

EDA技術専門委員会活動と成果

2003年6月30日
EDA技術専門委員会

本委員会活動と成果 サマリ

本委員会の特徴

- ・メンバー：国内半導体ベンダ、EDAベンダ、システムベンダ、客員（大学、STARC）から構成
 <= EDA技術開発の主要プレイヤーを網羅
- ・方針：（国内外組織とのコラボレートなど）オープンな活動、関連組織との協調

本委員会の目的、方策、成果

- 目的：日本エレクトロニクス業界全体のEDA技術レベル向上**（担当：SLD研究会・DMD研究会）
若手技術者の育成
- 方策：次世代技術（非競争領域、各社未踏領域）での
 技術調査、課題明確化、ソリューション提案 => 学会発表
 標準案作成 => EDAツールへの反映
- SLD：System Level Design
DMD：Deci-Micron Design
- 成果：学会発表（実績は別資料で報告済み）
（評価）
・SLD研究会のプロファイリングに関する機能提案が、日本のEDAベンダのツールに採用
・SLD研究会作成システムレベル設計フローが、半導体ロードマップ委員会 設計WG作成
 システムレベル設計フローへ反映（TRS2003ロードマップへ掲載予定）
・DMD研究会成果が、STRJ1999報告書「配線クロスカット」に反映
・STARCフォーラム2002で、SLD研究会での調査結果を参照
・STARC寄付講座 LSI設計教育で、当研究会成果をまとめた年次報告書を参考文献に推奨

- 目的：EDA関連標準化の推進**（担当：標準化対応小委員会）
- 方策：国際標準化組織（IEC/TC93、Accellera等）に対し日本業界代表として活動、委員参加
 新規標準化団体（SystemC など）への加盟検討
- 成果：EDIF、VHDLに関し日本の意見反映
・ASICライブラリフォーマット（ALR）を日本から提案、国際標準化完了

- 目的：最新EDA技術の国内の設計者・EDA技術者への普及促進**（担当：EDSFair実行委員会）
- 方策：国内随一のEDA/LSI設計技術展示会を開催
- 成果：1993年以来毎年、EDSFair（=EDAテクノフェア）を開催。2003年実績 来場者11,540名 出展社99社



委員会のメンバー構成

2003年6月時点

委員

半導体ベンダ (10社)

沖、三洋、シャープ、ソニー、東芝、NECEL、富士通、松下、ルネサス、ローム

EDAベンダ/代理店 システムベンダ (10社)

イノテック、NTTアドバンステクノロジー、セイコーインスツルメンツ、セイコーエプソン、凸版印刷、日本ケイデンス、日本シノプシス、丸紅ソリューション、メンターグラフィックス、リコー

客員

敬称略

STARC (2名)

小澤、増田

大学 (6名)

大阪大：今井、埼玉大：吉田、高知工科大：橘、近畿大学：神戸



委員会の構成

SLD : System Level Design

DMD : Deci-Micron Design

EDSFair : Electronic Design and Solution Fair

EDA技術専門委員会

業界EDA技術レベルの向上、若手技術者の育成

SLD研究会

システムレベル設計工程 担当

LSIの大規模化に対応するためシステムレベル設計フローを提案、実現のための課題と対策を検討し発表 (注 :03年度DAシンポジウムでの成果発表で解散)

PMD研究会

物理設計工程 担当 PDM : Physical Design Methodology

プロセスの微細化に起因する設計課題と対策を検討し発表
(注 :02年度末でDMD研究会は解散。03年度からPDM研究会として活動開始)

EDA関連標準化の推進

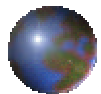
標準化小委員会

EDA関連の国際標準化組織に対し 国内代表として対応

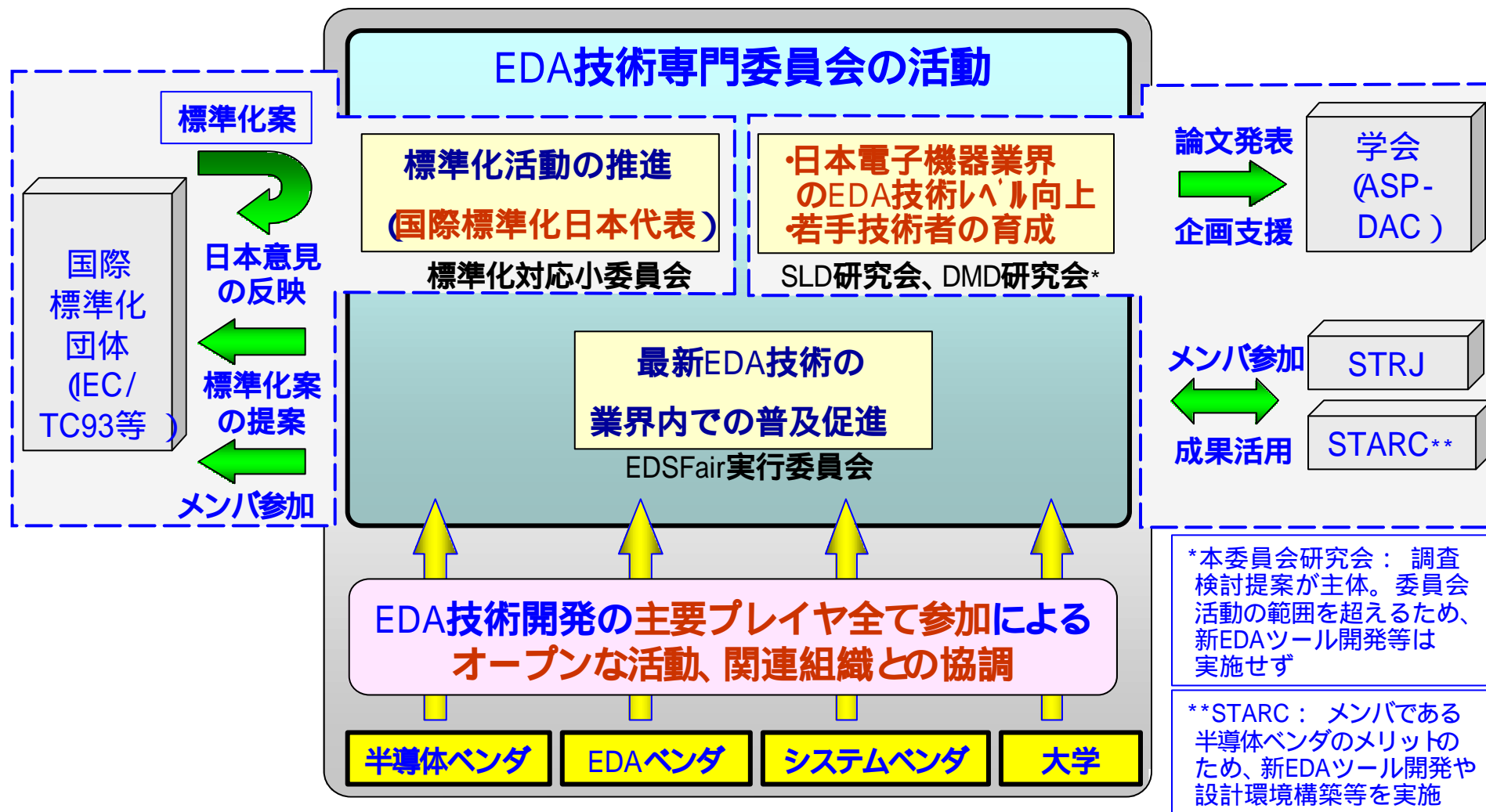
最新EDA技術の国内関係技術者への普及発展

EDSFair実行委員会

国内随一のLSI設計自動化技術に関する展示会であるEDSFairを企画実行



本委員会と関連組織との関係

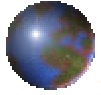


IEC/TC93：国際電気標準会議/設計自動化

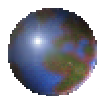
ASP-DAC：Asia South Pacific-Design Automation Conference

STRJ：半導体技術ロードマップ委員会

STARC：半導体理工学研究センター



以降、2002年度活動成果



SLD研究会の活動と成果概要

目的 : 大規模化、複雑化するシステムLSIの設計を効率化するため

活動 : システムレベル設計フローの提案と実現への課題と対策を検討し発表

2002年度成果 :

設計手法 タスクグループ

・目的 : システムレベル設計フローを実現し普及させるため

・成果 : 下記3つの重点技術について、技術動向を調査、問題を分析、対策の提言を行った

ハード検証 ハード / ソフト協調シミュレーション 動作合成

モデリング タスクグループ

・目的 : 現在提案されている各種計算モデルを提案フロー上のどの用途に適用すれば効率的かを明確にするため

・成果 : 計算モデルを調査し、各モデルの特徴を比較し、モデルごとの適用性を判定した

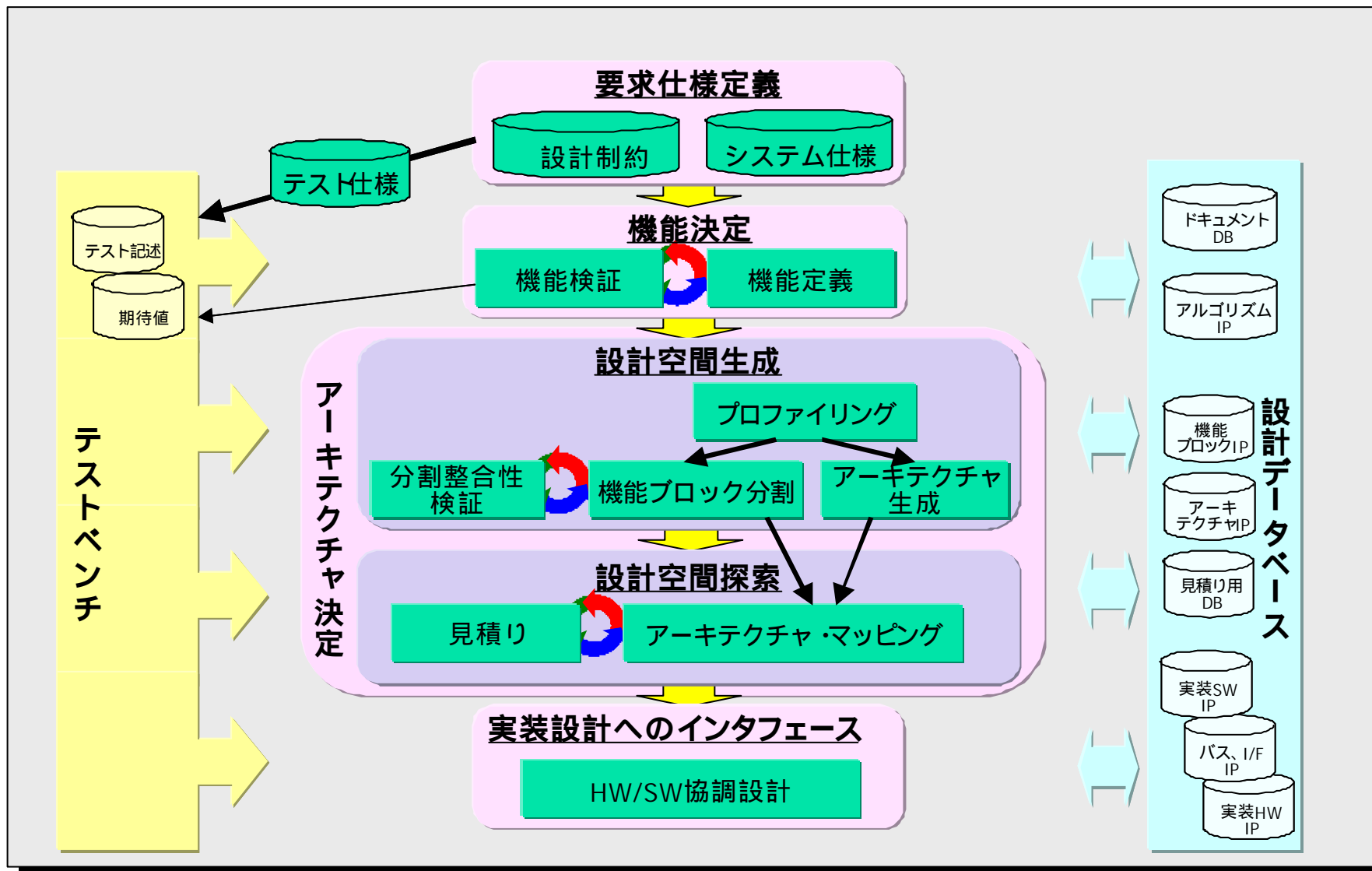
消費電力見積りタスクグループ

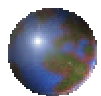
・目的 : システムレベル設計での消費電力見積り技術を評価し、課題を明確にし、解決策を提案するため

・成果 : 見積り手法やツールを調査し、提案フローへの適用性をまとめた



提案したシステムレベル設計フロー





DMD研究会の活動と成果概要

目的 : プロセス技術の微細化に対応するため

活動 : 微細化に起因する設計課題と対策を検討し発表

2002年度成果 :

オンチップインダクタンス タスクグループ (OCI-TG)

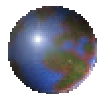
- ・目的 : インダクタンスを考慮すべき配線を、構造パラメータ (配線寸法、間隔等) で設計の初期に識別できる手法を確立し、従来の配線設計とインダクタンス考慮配線設計に分けることにより効率化が図れるようにするため、
- ・成果 : 配線の構造から配線遅延に対するインダクタンスの影響を予測する手法を提案した

チップ内ノイズ タスクグループ (NFD-TG)

- ・目的 : 0.1 μ mプロセス以降の設計で考慮すべきノイズを把握し、対処するため
- ・成果 : クロストークノイズと電源ノイズに配線インダクタンスが及ぼす影響を調査し、回避方法を提案した

プロセスばらつき タスクグループ (PTV-TG)

- ・目的 : 微細化に伴う製造プロセスばらつきの影響を把握し、同ばらつきも考慮した設計を可能にするため
- ・成果 : ゲート及び配線の製造ばらつきがパス遅延のばらつきに与える影響を解析するモデルを提案し、解析した



DMD研究会の2002年度社外発表実績

第15回回路とシステム 軽井沢ワークショップにて論文発表 (OCI-TG)

「インダクタンスが配線遅延に及ぼす影響の定量的評価方法

情報処理学会 DAシンポジウムにて論文発表 (OCI-TG)

「0.1 μm 級LSIの遅延計算における寄生インダクタンスを考慮すべき配線の統計的選別手法」

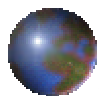
電子情報通信学会 秋季ソサイエティ大会チュートリアル講演

(OCI-TG,PTV-TG,NFD-TG)

「サブ100nm時代に向けた物理設計技術の動向と課題」

ASP-DAC2003にて論文発表 (OCI-TG)

“An Accurate Prediction of the Impact of On-Chip Inductance on Interconnect Delay Using Electrical and Physical Parameter-based RSF”



標準化小委員会の活動と成果概要

目的 : EDA関連の国際標準化組織に対し、国内代表として対応するため

活動 : 関連国際/国内標準化組織への委員派遣。具体標準化提案の審議

2002年度成果 :

設計自動化/設計記述言語(IEC/TC93/WG2)のWG活動を支援する体制を確立

(次ページの図「標準化小委員会と標準化推進団体の関係」を参照)

幹事会メンバ、標準化小委員会メンバはTC93/WG2国内委員会委員として登録

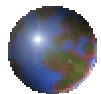
標準化小委員会の主査をWG2の主査に推薦

IEC北京大会に参加

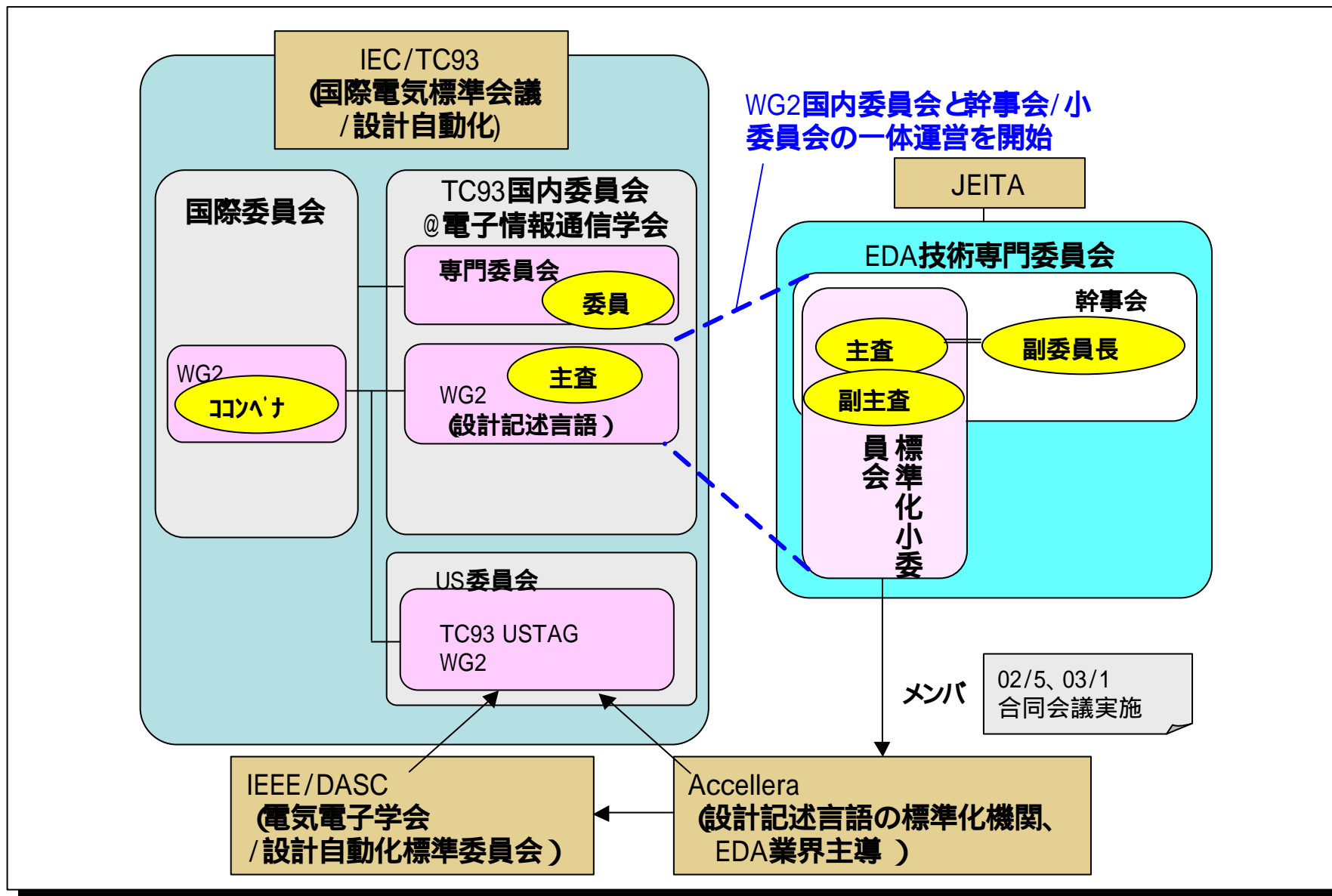
WG2において、日本としては、Verilog2001, VHDL2002, SDF, VITALはエキスパート選出OK、ALFは選出の可能性大、SystemVerilogは選出を検討することを表明

Accelleraと合同会議と技術セミナーを開催

Accelleraの会長他 キーパーソン招き02/5と03/1の2回、東京で会議を主催。標準に関する技術情報交換を目的とした技術会議と新標準候補のセミナーを併せて実施



標準化小委員会と標準化推進団体の関係





EDSFair実行委員会の活動と成果概要

目的 : 最新EDA技術の国内の設計者・EDA技術者への普及促進

活動 : 国内随一のLSI設計自動化技術に関する展示会EDSFairを企画実行

2002年度成果 :

「Electronic Design and Solution Fair 2003」を開催

(1)期 間 : 2003年1月30日 (木)~31日 (金)

(2)場 所 : パシフィコ横浜 展示会場

(3)主 催 : JEITA

協 力 : Electronic Design Automation Consortium(EDAC)

後 援 : 経済産業省、アメリカ合衆国大使館

外国系半導体商社協会 (DAFS)、横浜市

協 賛 : 電子情報通信学会、情報処理学会、
日本プリント回路工業会

出展者数 : 99社 (過去最大)

来場者数 : 11,540名 (前回10,551名)

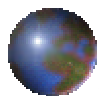
出展者セミナー

・セッション数 : 11会場、121セッション

総入場者数 3,355名

FPGA/PLD Design Conferenceを併設

次回「Electronic Design and Solution Fair 2004」を、2004年1月29日、30日に
パシフィコ横浜で開催予定



EDSFair2003風景



開会式



展示会



出展者セミナー

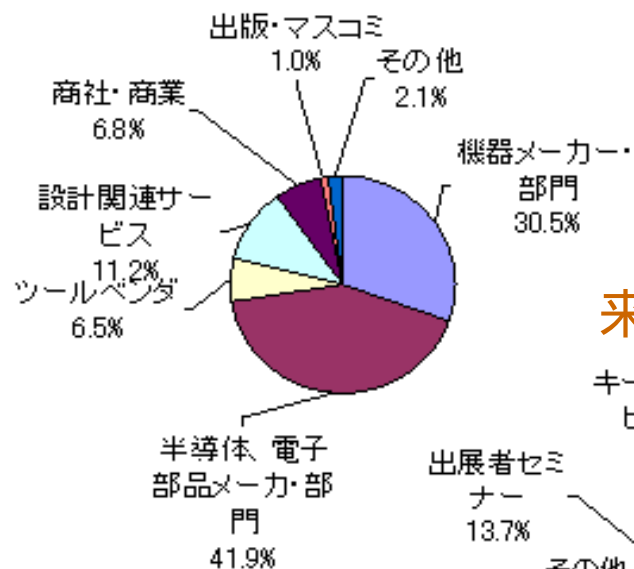


FPGA/PLD Design
Conference

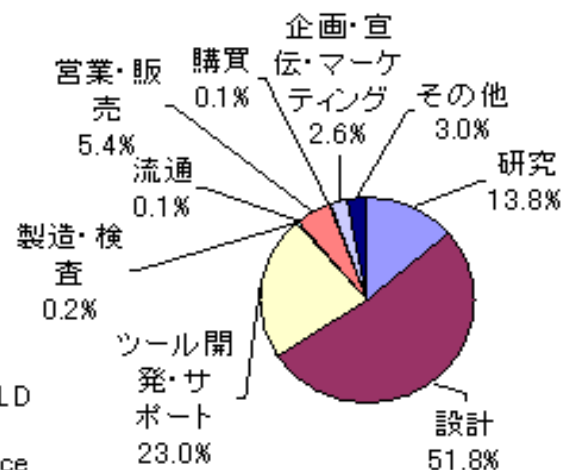


EDSFair 2003のアンケート結果

業種



職務



来場目的

