
インダクタンスに起因する配線遅延変動の 統計的予測手法

(社)電子情報技術産業協会デシмикロン設計研究会
オンチップインダクタンスタスクグループ

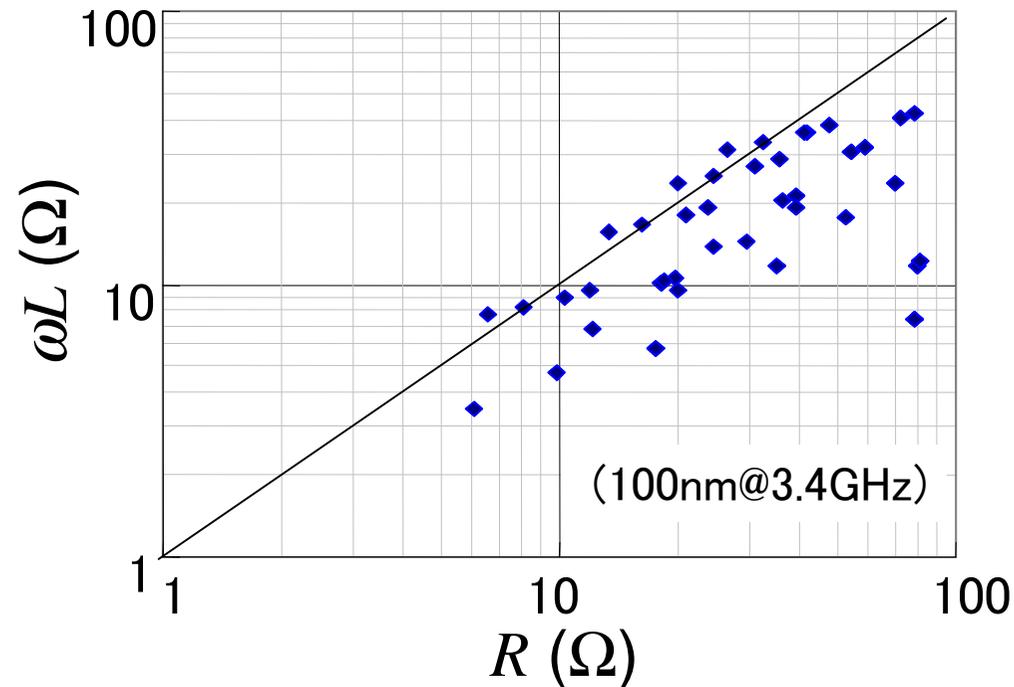
佐藤 高史(日立), 金本 俊幾(三菱), 黒川 敦(三洋),
川上 善之(松下), 岡 宏規(NTT-AT), 北浦 智靖(富士通研),
池内 敦彦(東芝), 小林 宏行(日本シノプシス),
橋本 昌宜(京都大学)

目次

- 背景と目的
- インダクタンスの遅延への影響予測手法
 - 遅延時間に対するインダクタンスの影響評価
 - 応答曲面法を用いた, 影響が大きい配線の予測
- 提案手法の具体例(100 nmノード)への適用
 - RC/RLC 遅延の比較
 - インダクタンスを考慮すべき配線の選別条件
 - 配線構造とインダクタンスの影響
- まとめ

背景

- オンチップ配線におけるインピーダンス比 $\omega L/R$ の増大
 - 動作周波数の向上による信号遷移時間の短縮
 - 銅配線プロセスによる配線抵抗の低下



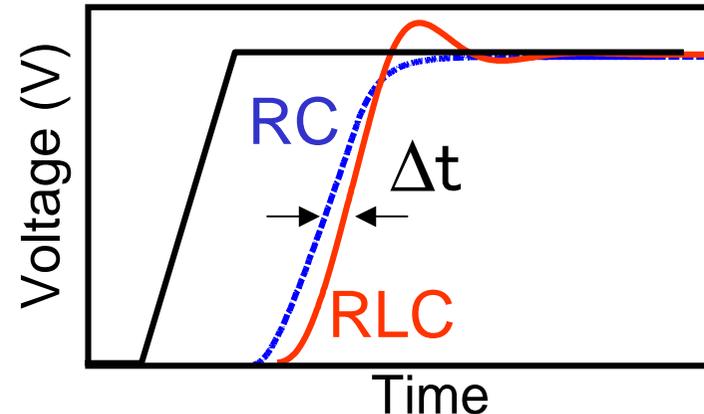
課題

- 大規模システムLSIの遅延計算におけるインダクタンス考慮の必要性
 - 対象
 - いつ(世代・製品)から考慮が必要なのか？
 - どのような配線で考慮すべきなのか？
(幅/層, バス/クロック/一般配線/電源)
 - 手法
 - 効率良い抽出手法が未確立
 - インダクタンスの影響を考慮するレイアウト改善方法は未確立
 - 検証フェーズからのレイアウト変更は手戻り大

目的

- インダクタンスを考慮すべき配線の明確化

- RC遅延とRLC遅延の
相対誤差を、網羅的に
計算

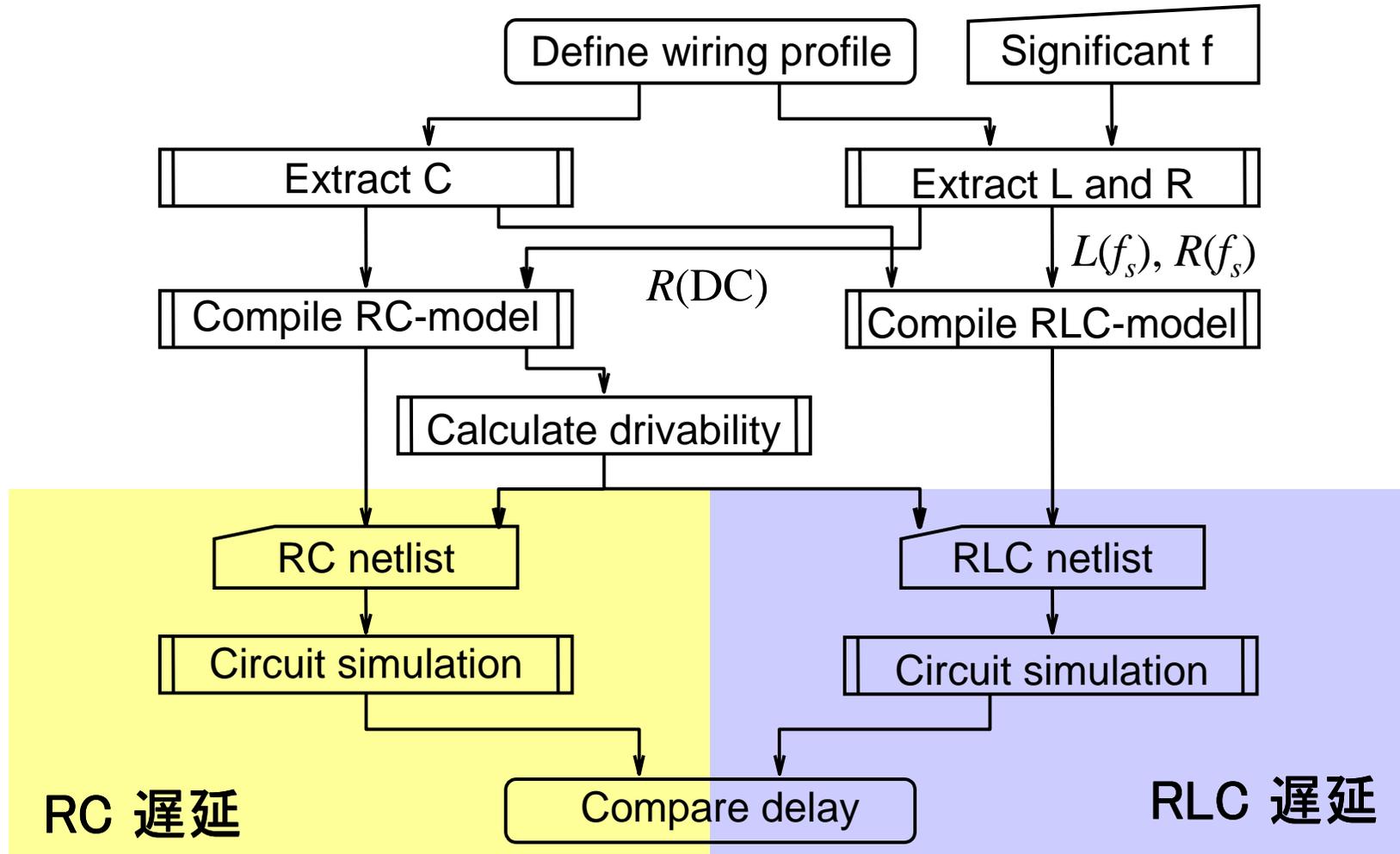


- インダクタンスを考慮すべき配線の選別

- 電気パラメータ(寄生RLC)による高精度な選別
 $\Delta t = f(R, L, C, \dots)$
- 構造パラメータ(配線寸法, 間隔等)による設計の早い段階での選別
 $\Delta t = f(\text{Pitch, Space, Width, } \dots)$

-
- 背景と目的
 - **インダクタンスの遅延への影響予測手法**
 - 遅延時間に対するインダクタンスの影響評価
 - 応答曲面法を用いた, 影響が大きい配線の予測
 - 具体例(100 nmノード)における遅延変動の予測
 - RC/RLC モデルによる遅延時間の比較
 - Lを考慮すべき配線の選別条件の検討
 - 配線構造とインダクタンスの影響
 - まとめ

RC/RLC遅延の評価フロー



遅延比較のまとめ

- 断面構造
 - インダクタンスと抵抗のインピーダンス比
 - 上層, 太幅の低抵抗配線, 大ドライバ駆動の長距離配線
 - インダクタンスは電流経路のループ面積に依存
 - 電流帰路となる電源・グランド配線を含む領域を指定
- 抵抗・インダクタンスの抽出
 - 配置・周波数依存のため, 3次元構造を記述
- 配線をRCモデルとしてドライバ・レシーバを作成
 - 設計方針1(Driver type 1): ドライバ遅延と配線遅延が等しくなるドライバを選択
 - 設計方針2(Driver type 2): レシーバ入力の立上り時間が目標値を満たすドライバを選択

応答曲面法による予測関数の作成

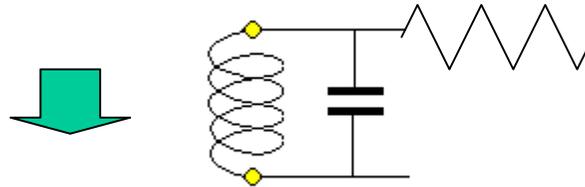
代表的な配線構造に対し RC/RLC 遅延を比較した結果から、応答曲面法を用いて RC遅延とRLC遅延の差 Δt を推定

- 電気パラメータ(配線のRLC)による Δt の推定
 - 従来式よりも高精度, シミュレーション不要
 - 予測関数の適用範囲が限定される
- 構造パラメータ(配線の寸法等)による Δt の推定
 - 実用上十分な予測精度
 - 設計の早い段階からの適用が可能

応答曲面を用いる配線の選別

- 提案する手法

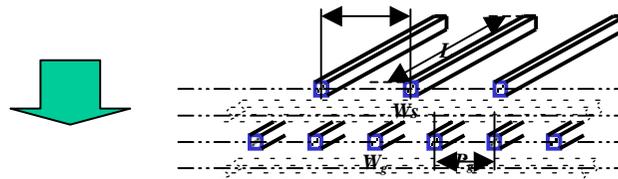
- 既存の予測式から電気パラメータの予測変数候補を選定



- 応答曲面法によりRC遅延誤差 Δt の予測式を導出



- 電気パラメータによる予測式 \Rightarrow 構造パラメータの予測変数候補選定

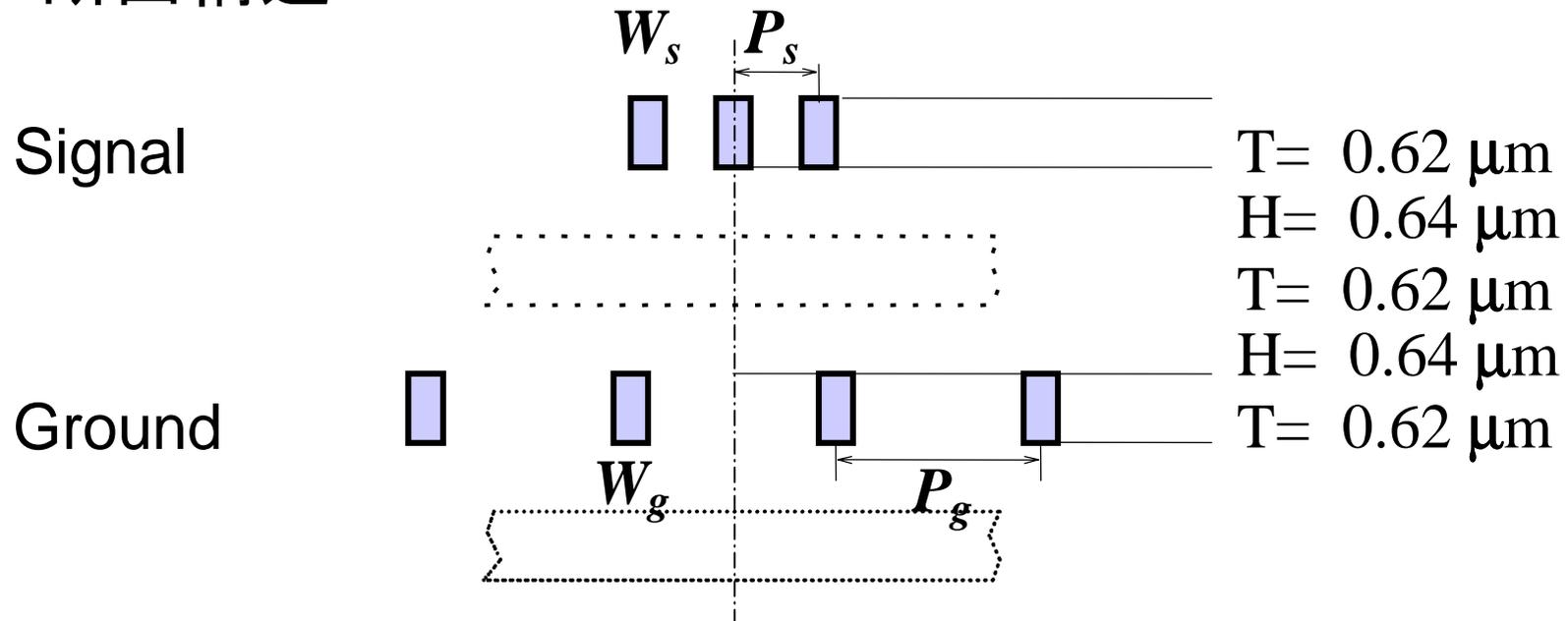


- 応答曲面法によりRC遅延誤差 Δt の予測式導出

-
- 背景と目的
 - **インダクタンスの遅延への影響予測手法**
 - 遅延時間に対するインダクタンスの影響評価
 - 応答曲面法を用いた, 影響が大きい配線の予測
 - **具体例(100 nmノード)における遅延変動の予測**
 - RC/RLC モデルによる遅延時間の比較
 - Lを考慮すべき配線の選別条件の検討
 - 配線構造とインダクタンスの影響の考察
 - まとめ

100nmノードへの適用

- ITRSに基づく100 nmノードASICプロセス, 配線縦構造
- 動作周波数: 1GHz
($t_r=t_f=100$ ps, 実効周波数 $f_s=0.35/t_r=3.5$ GHz)
- 断面構造:



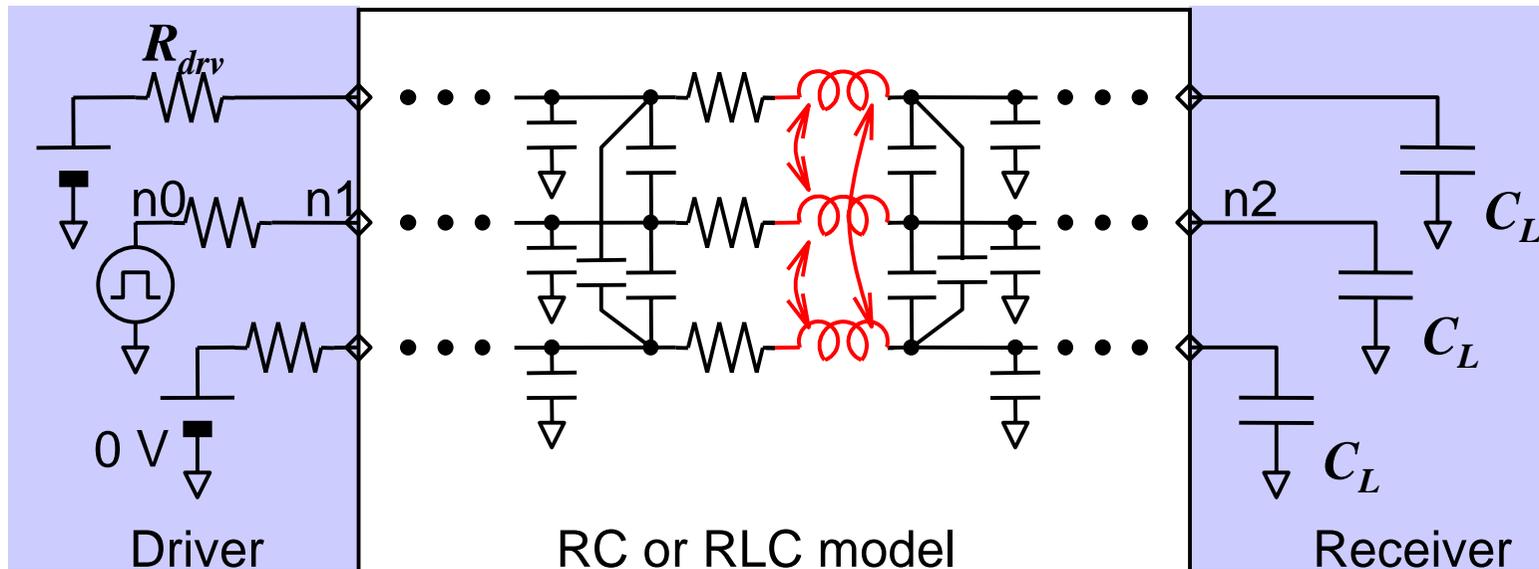
配線寸法組み合わせ

- 配線バリエーション
 - 下表のとおり全組み合わせ
 - 信号 (ピッチ, 幅), グランド配線 (ピッチ), 配線長
 - 全132ケース: 通常設計におけるコーナー条件を包含

Parameter	Unit	Variation
Signal Pitch P_s	P_{min}	x1, x2, x5, x10, x20
Signal Width W_s	W_{min}	x1, x2, x10, x20
Ground Pitch P_g	P_{min}	x2, x16, x32
Ground width W_s	W_{min}	x1
Line Length	mm	0.5, 1.0, 1.5, 2.0

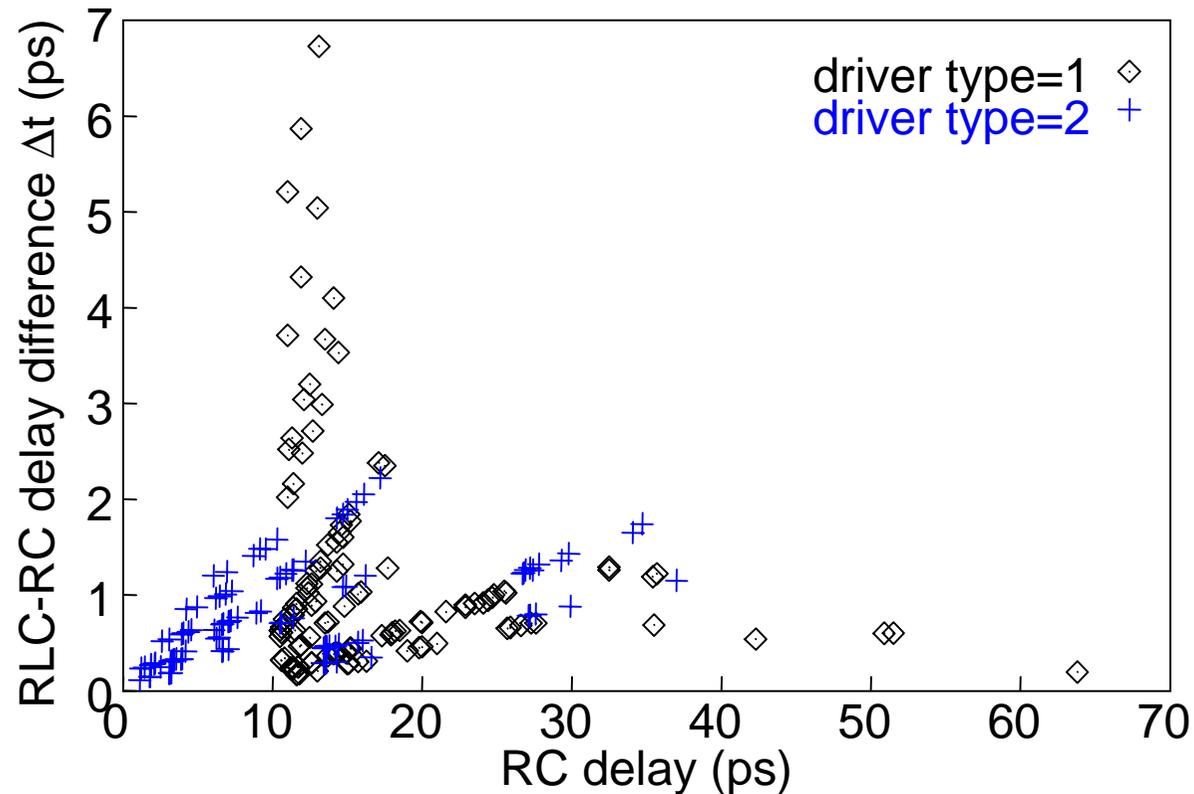
シミュレーションモデル

- ドライバサイズの大・小の両極端
 - 方針1: RC負荷小のときドライバサイズ大
 - 方針2: RC負荷小のときドライバサイズ小
- 3平行の中央の配線の遅延($n1 \rightarrow n2$)測定
- 両隣の配線は信号遷移なし(論理'L'固定)



遅延時間の比較

- ドライバ設計によりインダクタンスの影響に差
- ドライバ設計1 (リピータドライバ) で特に影響顕著
短めの配線に強すぎるドライバ



Lを考慮すべき配線の選別

- インダクタンスの影響大の配線を指摘
 - インダクタンス効果を避ける設計
 - インダクタンスを含む解析, 誤差の見積り
- 選別条件の例:

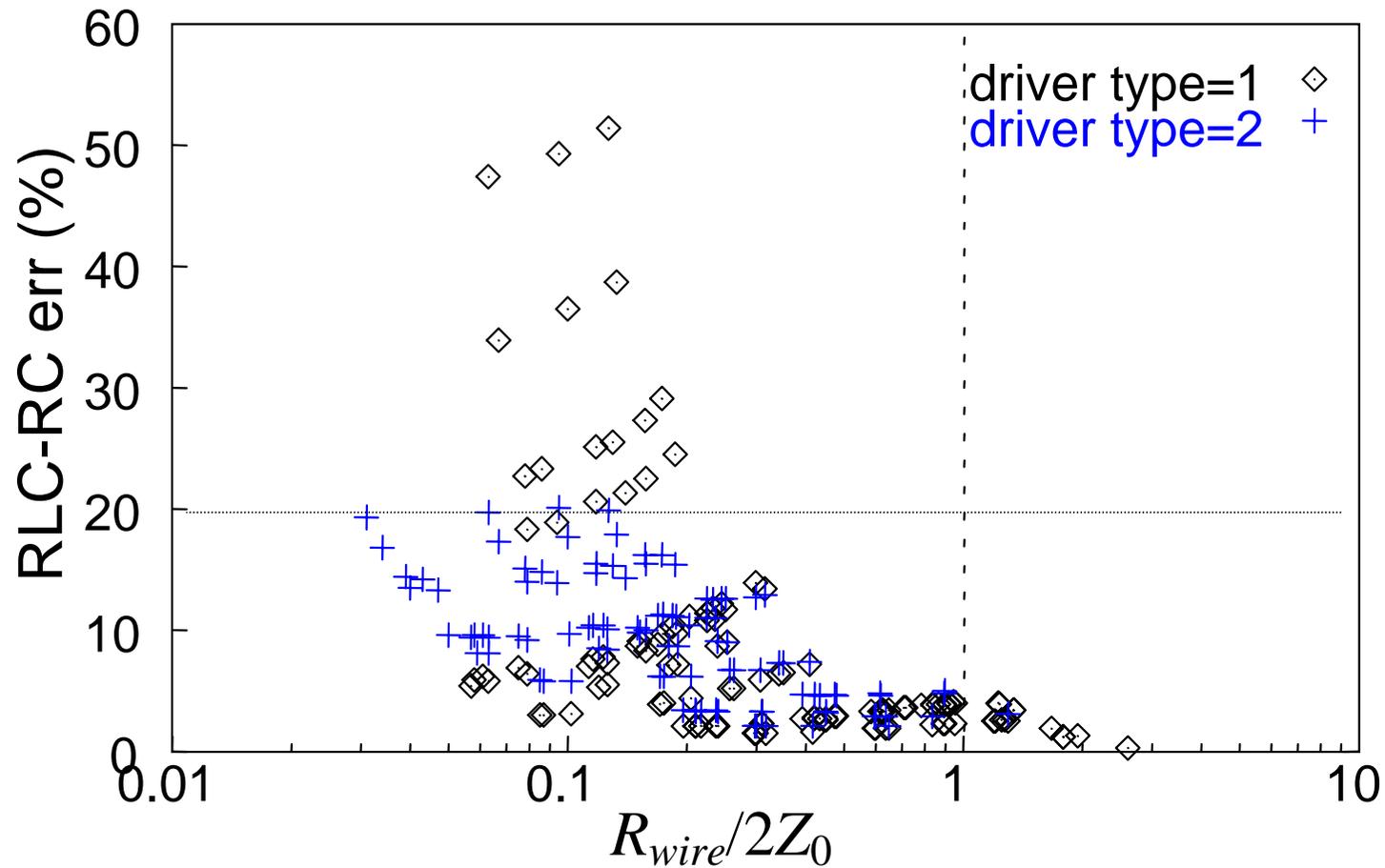
$$\xi = R_{wire} / 2Z_0 < 1 \quad (Z_0 = \sqrt{L/C})$$

A.Deutsch,P.Coteus,G.V.Kopcsay,et.al.: On-chip design challenges for gigahertz operation, Proc. of the IEEE Vol.89,No.4,pp.529-555,April 2001.

$$R_{wire} + R_s < m L \quad (m = 2 \sim 4)$$

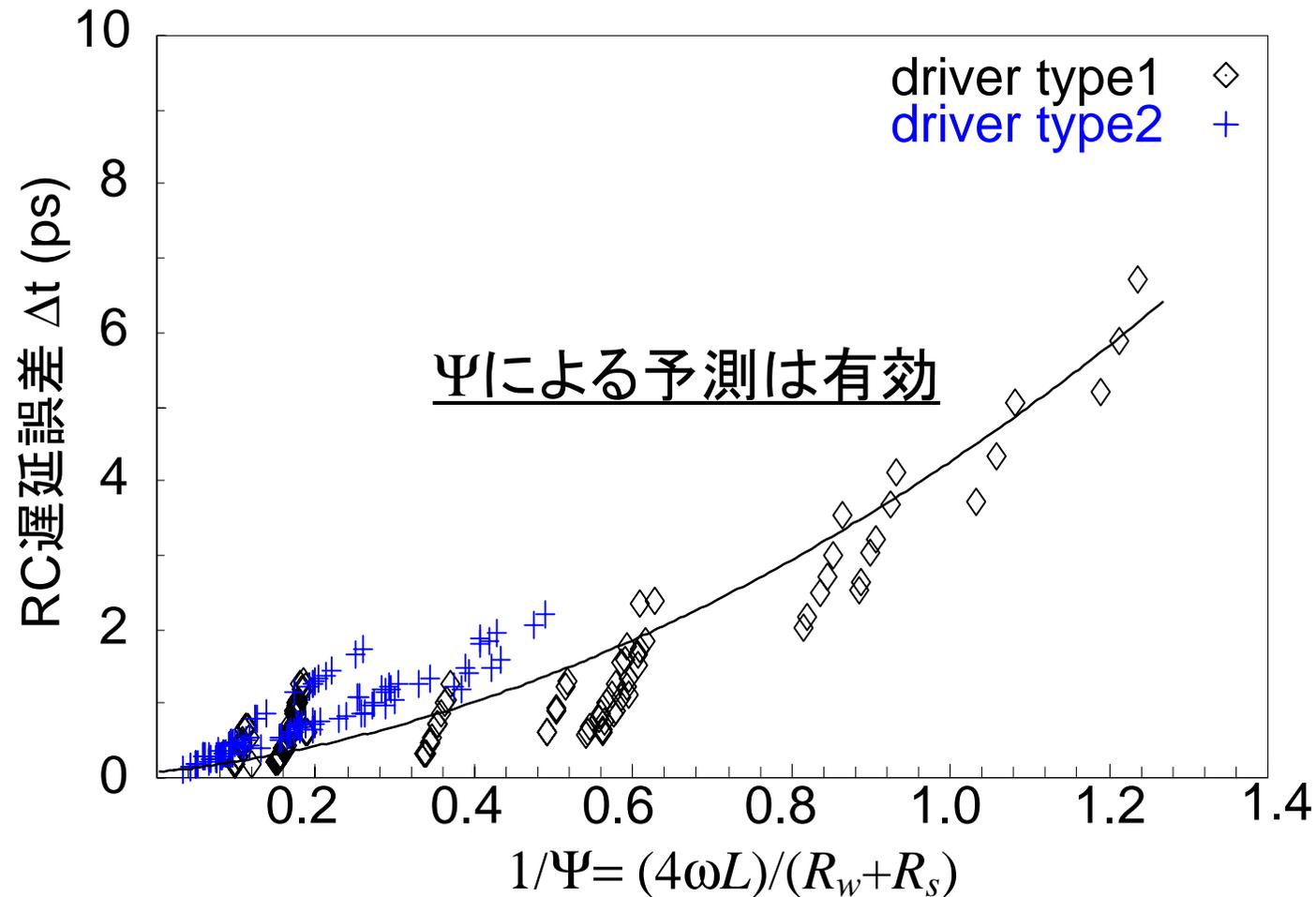
C.-K.Cheng,J.Lillis,S.Lin,and N.Chang: Interconnect analysis and synthesis, John Wiley & Sons, Inc., 2000.

$R_w/2Z_0$ (制動係数 ξ)による選別



電気パラメータによる既存の選別式

$1/\psi = (4\omega L)/(R_{wire} + R_{drv})$ によるRC遅延誤差予測

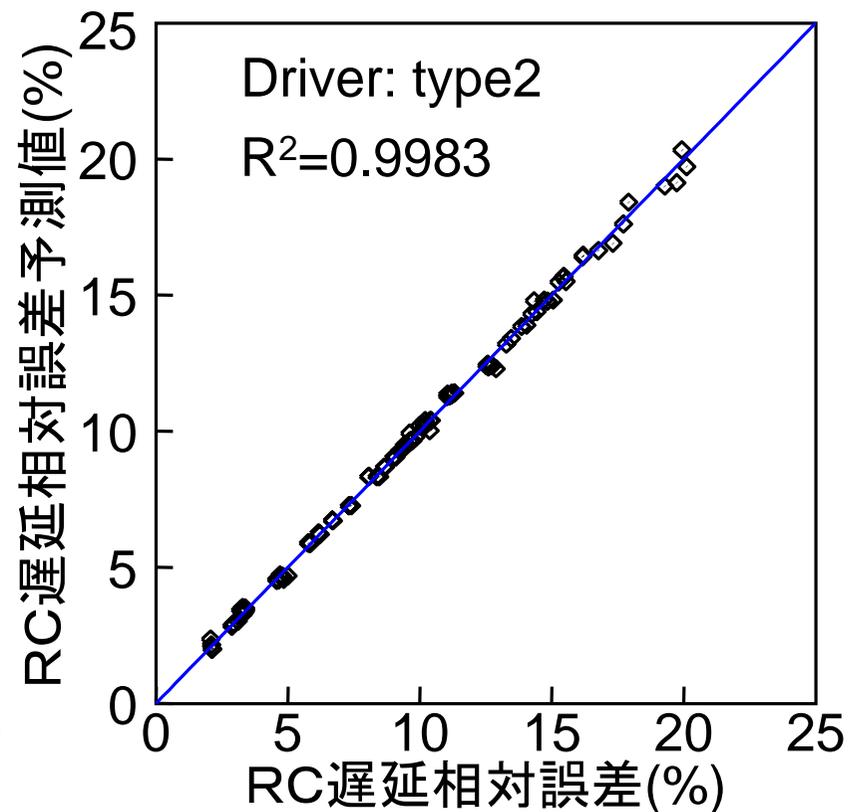
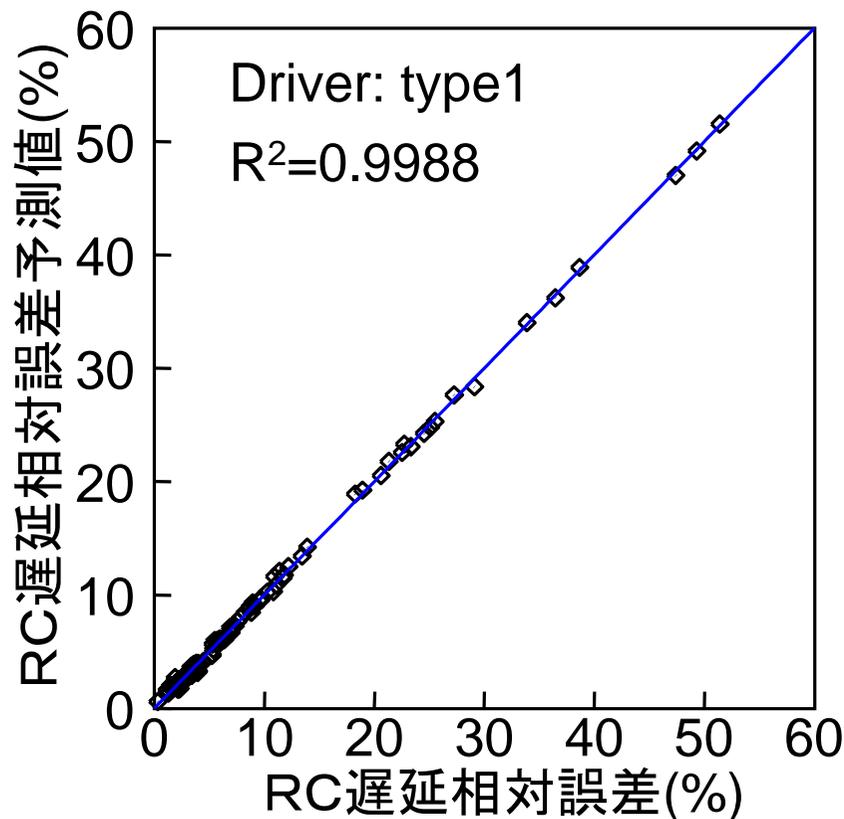


応答曲面を用いる選別手法

- 応答曲面法の実行条件
 - RC/RLC遅延評価フローによる全132点の数値実験
 - 選定した予測変数候補に対して3次以下の多項式によるRSF(Response Surface Function)
 - 最小2乗法およびT検定(減少法)によるRSF生成
 - 自由度調整済み決定係数(R^2)による予測精度評価
- 変数
 - 電気パラメータ
 - 構造パラメータ
- R^2 の目標値: 0.95

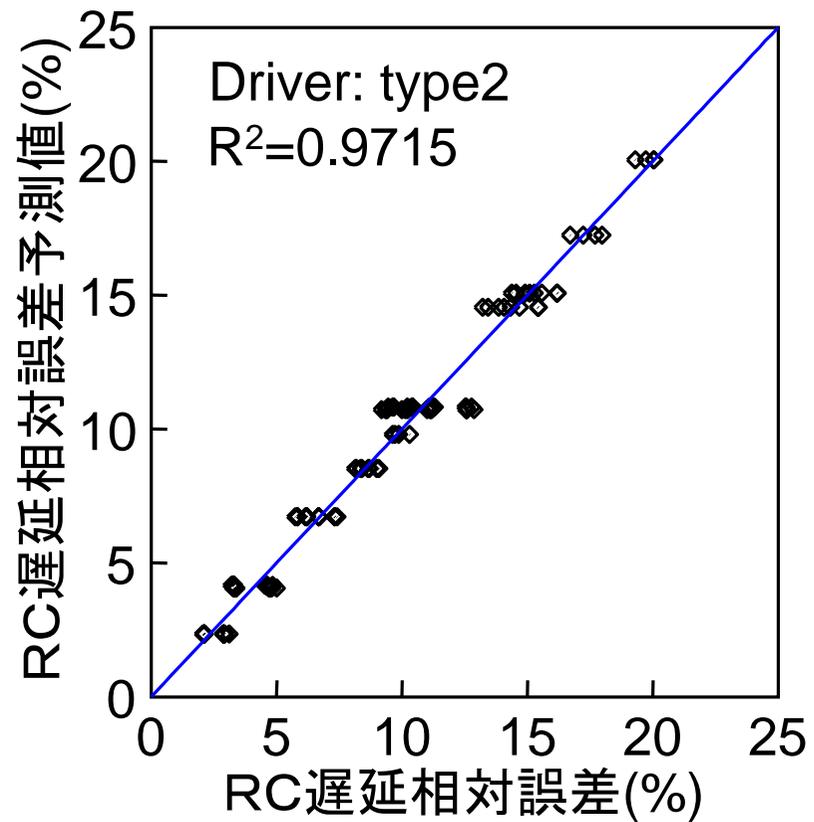
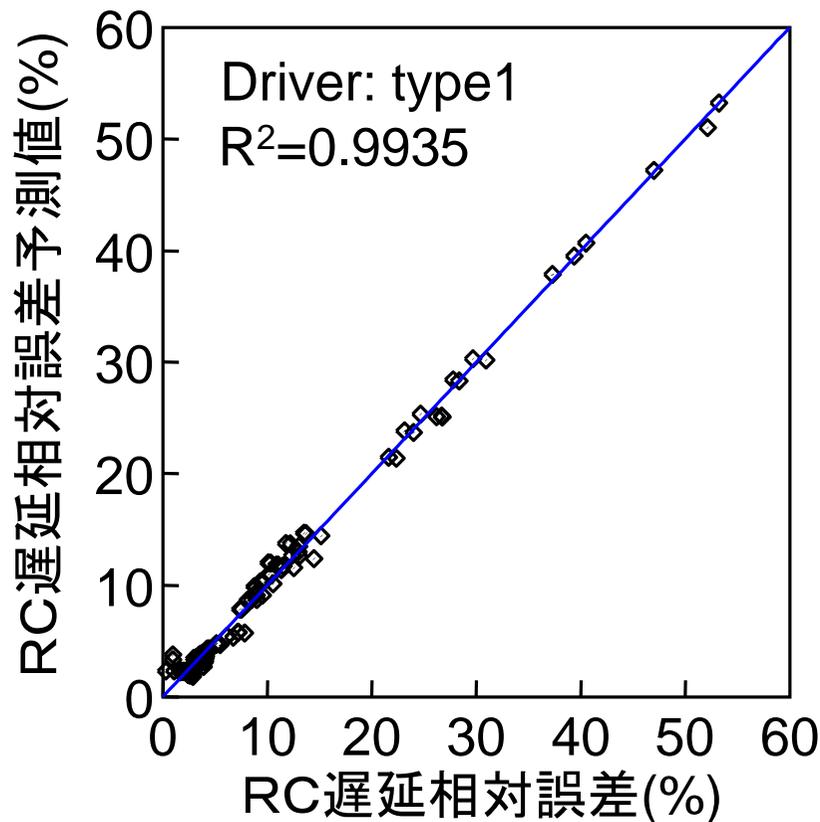
電気パラメータを変数とする誤差予測

- 既存式: $1/\psi = (4\omega L)/(R_{wire} + R_{drv})$ に対応して,
予測変数: $1/\psi, \omega L, 1/R_{wire}, 1/R_{drv}$



構造パラメータを変数とする誤差予測

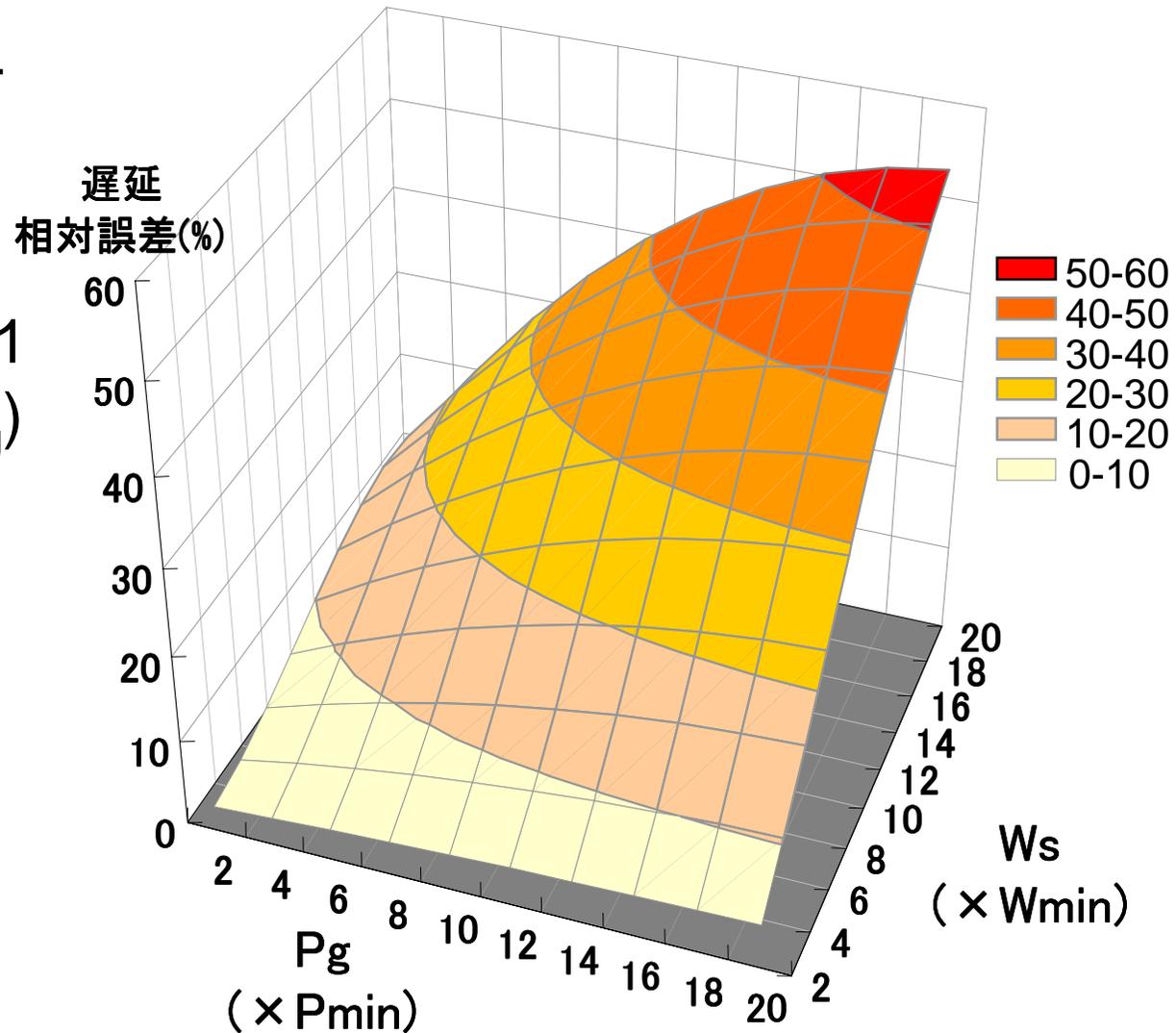
- 電気パラメータ: ωL , $1/R_{wire}$, $1/R_{drv}$ に対応し,
構造パラメータ: P_g , W_s , $1/R_{drv}$



配線構造パラメータによる応答曲面

- 応答曲面

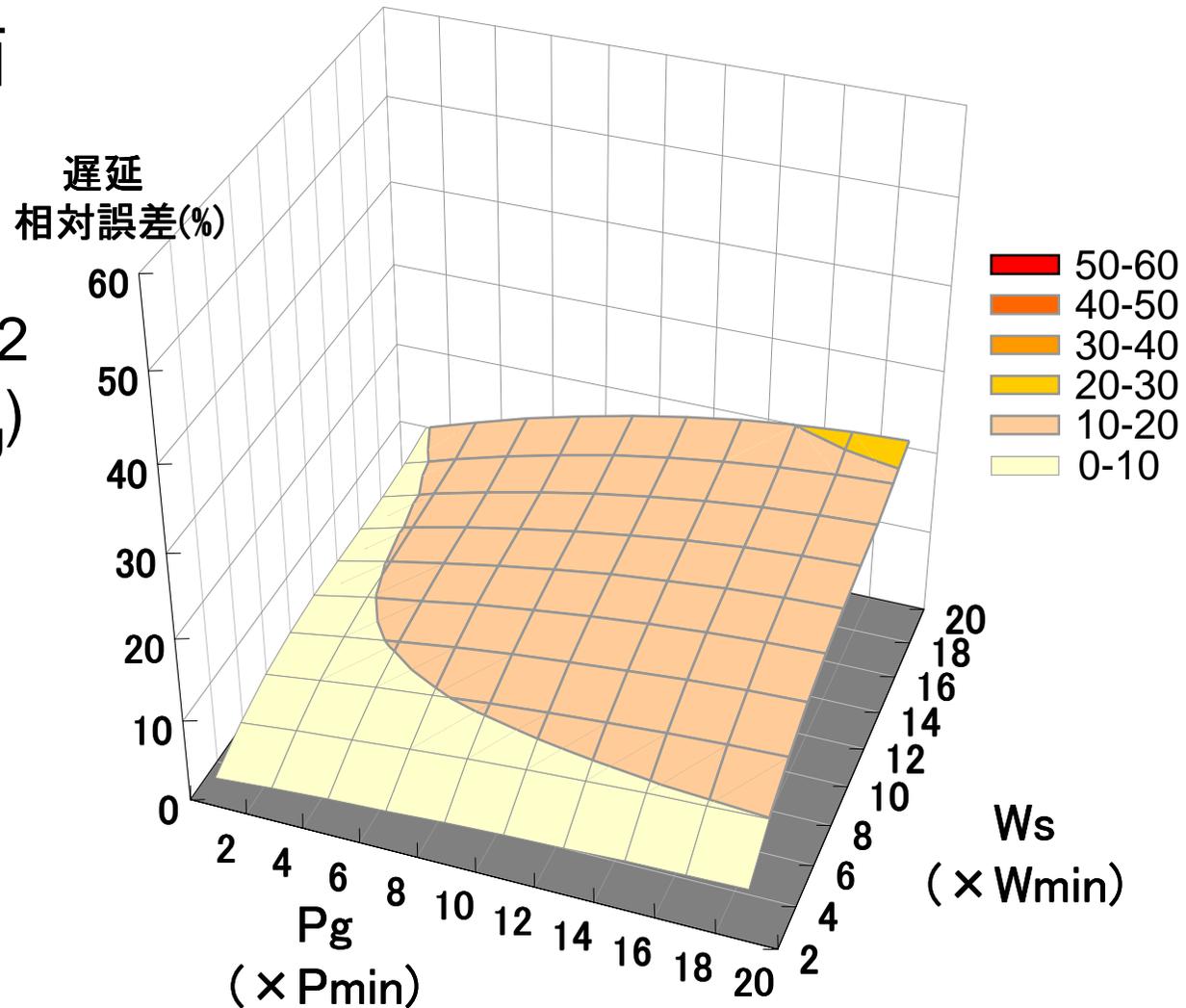
Driver type1
RSF(W_s, P_g)



配線構造パラメータによる応答曲面

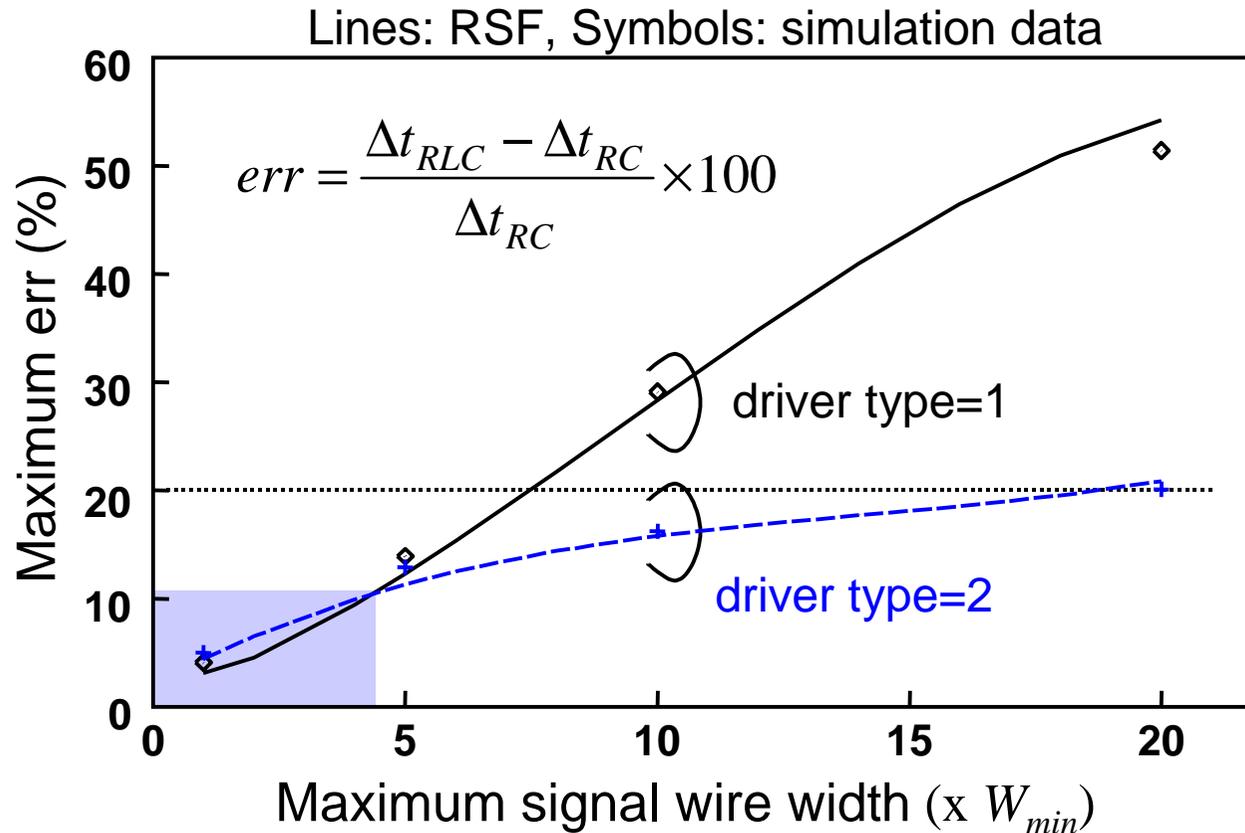
- 応答曲面

Driver type2
RSF(W_s, P_g)



配線幅上限と遅延誤差

- 最大配線幅制限($4W_{min}$)により遅延計算誤差 $err < 10\%$
- ドライバ設計がインダクタンスの影響を左右



配線構造とインダクタンスの影響

- 配線幅 $W_s \leq W_{min} \times 4 \Rightarrow$ RC遅延誤差10%以下
 - ドライバ設計に依存しない
 - グランドピッチ $P_g \leq P_{min} \times 4 \Rightarrow$ RC遅延誤差5%以下
- 配線幅 $W_s > W_{min} \times 4 \Rightarrow$ ドライバ設計に依存
 - レシーバ入力の立上り時間を制御 \Rightarrow Lの影響小
 - グランドピッチ P_g を狭めることが有効
- 幅広でない一般信号配線: Lの影響小
- $W_{min} \times 5$ 超の幅広配線: 立上り時間制御が必要
- グランド配線の近接配置が有効

-
- 背景と目的
 - インダクタンスの遅延への影響予測手法
 - 遅延時間に対するインダクタンスの影響評価
 - 応答曲面法を用いた, 影響が大きい配線の予測
 - 具体例(100 nmノード)における遅延変動の予測
 - RC/RLC モデルによる遅延時間の比較
 - Lを考慮すべき配線の選別条件の検討
 - 配線構造とインダクタンスの影響の考察
 - まとめ

まとめ

- LSI上の配線インダクタンスが遅延時間に及ぼす影響を定量的に評価する手法を提案
- RSFを用いて、インダクタンスを考慮すべき配線を予測
 - 電気パラメータにより予測を高精度化
 - 構造パラメータにより適用範囲を拡大
- 100 nmノードシステムLSIの配線に提案手法を適用し,
 - 提案手法の有効性を検証
 - インダクタンスの影響を抑える設計指針