

インダクタンس起因ノイズのトレンド ー クロストークと di/dt ノイズ

JEITA EDA技術専門委員会 DMD研究会
ノイズフリーデザインタスクグループ

山縣暢英（ソニー）

貝原光男（リコー）

蜂屋孝太郎（NEC）

小野信任（セイコーインスツルメンツ）

目次

- 活動目的と課題
- ノイズの種類と影響
- クロストークノイズのトレンド
- ダイナミック電源ノイズのトレンド
- まとめ
- 今後の課題

活動目的と課題

- 活動理念 『Noise Free Designへの道』
LSI設計者がノイズを意識せずに設計できるような設計インフラ確立を目指す
- 活動目的
0.1um世代以降のセルベース設計で、
今後どのようなノイズが重要となるのかを把握し、
必要となる設計手法・EDAツールを提案
- 今年度の課題
クロストークノイズおよび電源ノイズのトレンド解析、特に配線
インダクタンスがこれらのノイズに与える影響を調査

チップ内ノイズの種類(CMOS Static Logic)

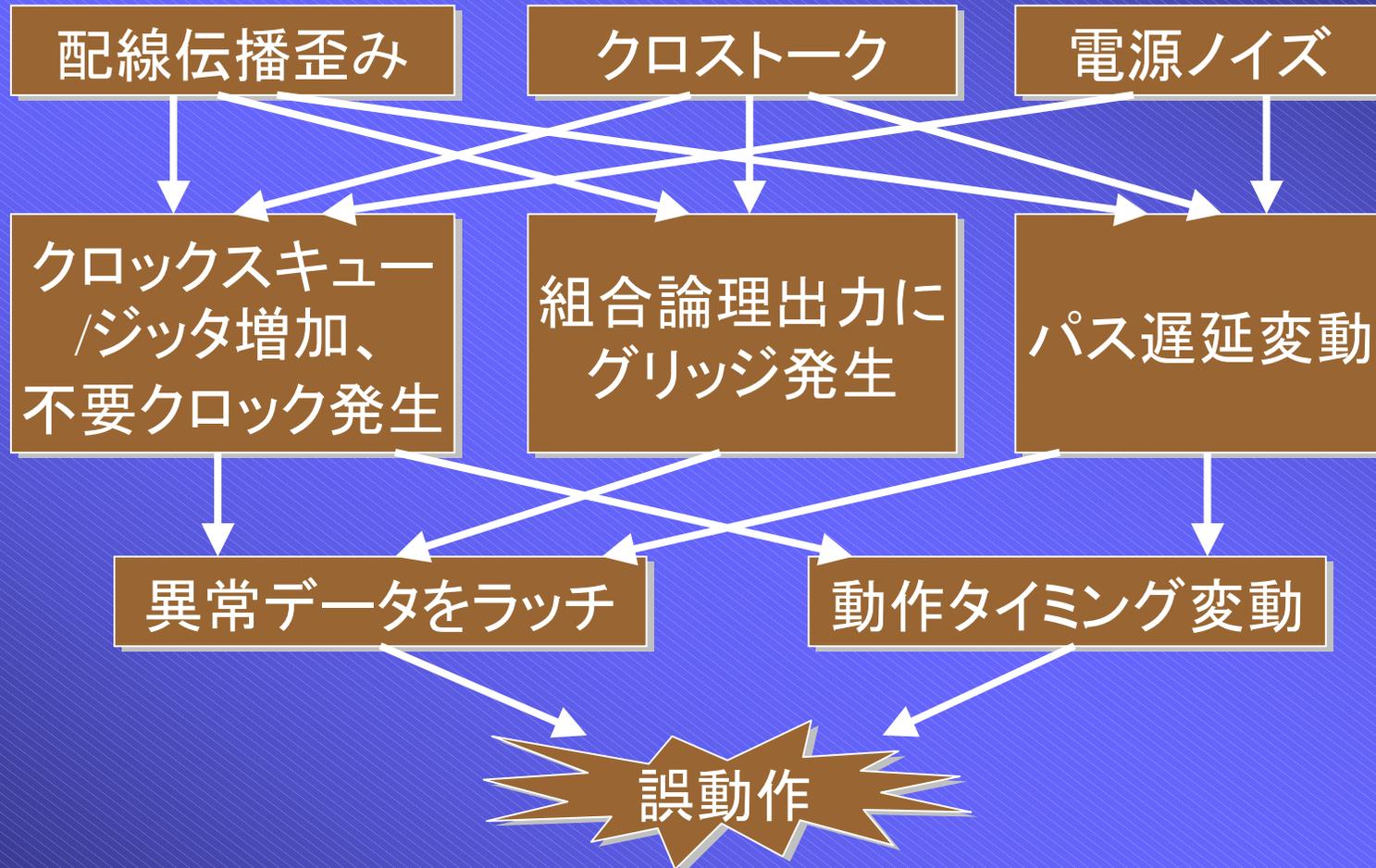
スタティック論理回路におけるノイズ

- 配線伝播中の信号波形歪み
配線RCによる波形なまり[1]
伝送線路・L起因の波形歪み、遅延誤差[1]
- クロストーク・ノイズ
容量結合、誘導結合[1]
- 電源ノイズ
IR-drop, di/dtノイズ, 電源分配系の共振[2]
- 基板ノイズ
基板を媒介にしたクロストークノイズ、電源ノイズ

ここに注力

チップ内ノイズの影響

CMOSスタティック論理回路でのノイズの影響

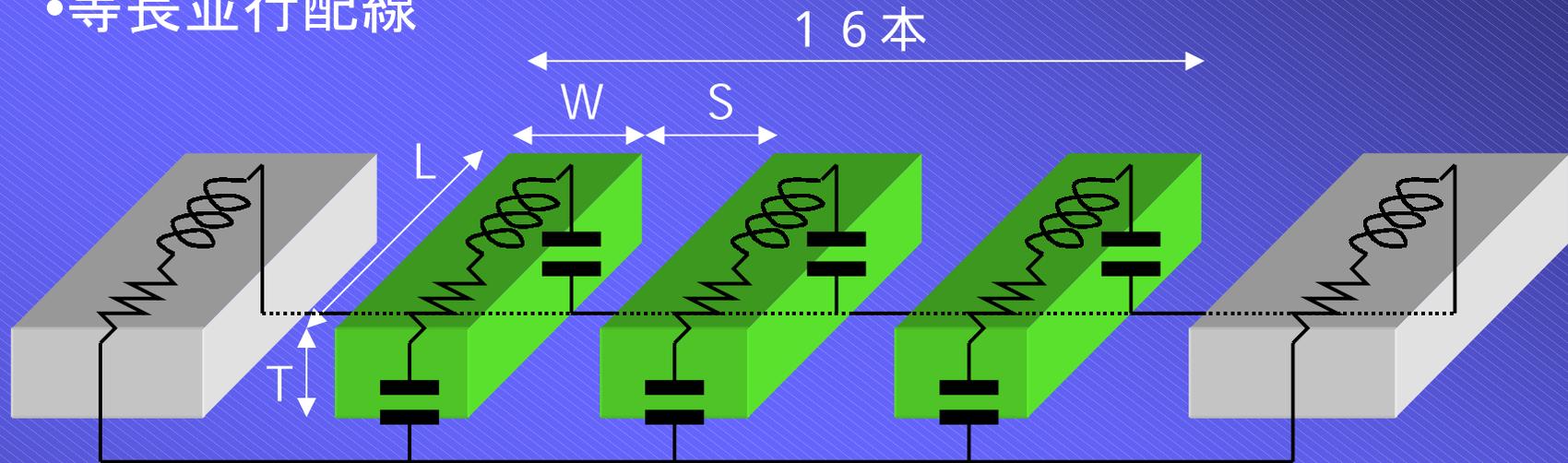


クロストークノイズのトレンド

- SPICEシミュレーションによって現象を解析
- 16bitの並行配線をモデル化
 - 中心の1本をVictim
 - 残りの15本はAggressor
 - 15本のAggressorに同時に変化信号を入力
- 配線ピッチと幅によるノイズの変化
- 信号の立ち上がり時間によるノイズの変化

配線構造

•等長並行配線



- L,Sを変えてR、L、Cを抽出。WはSと同じ
- 相互インダクタンスは全ての配線間
- カップリングCは3つ向こうの配線まで抽出

配線サイズ

- テクノロジーノード
 - 100nmのグローバル配線を想定
 - ITRS1999の予測値を使用
- 配線高(T)
 - 621 nm
- 配線長(L)
 - 0.5mm、1.0mm、5.0mm、10.0mm
- 配線幅(W)、間隔(S)
 - 230nm、460nm、920nm、1840nm、3680nm、7360nm

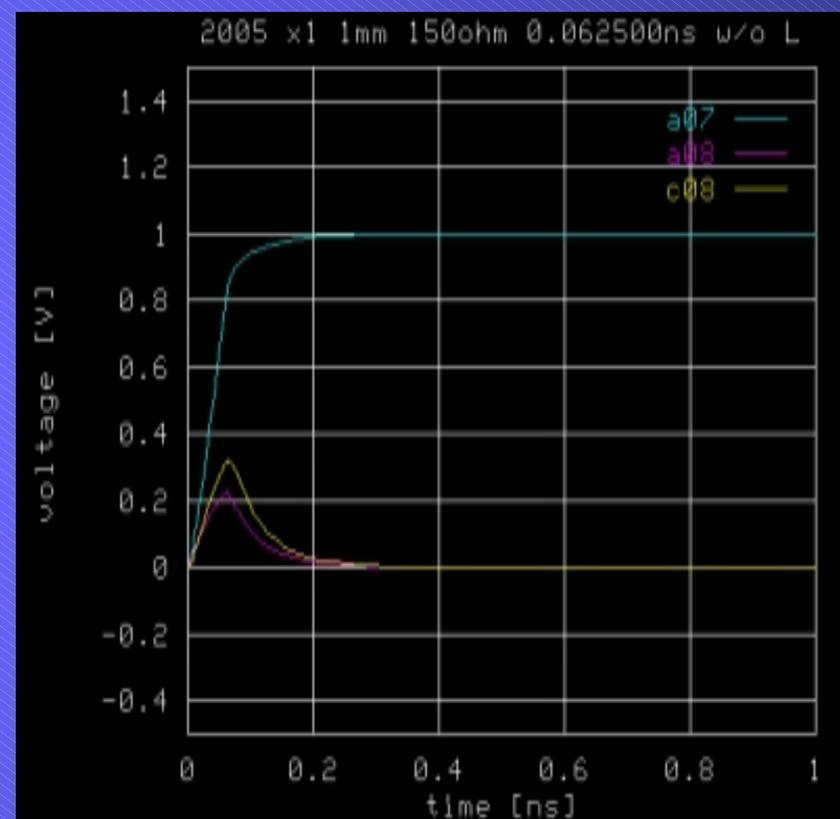
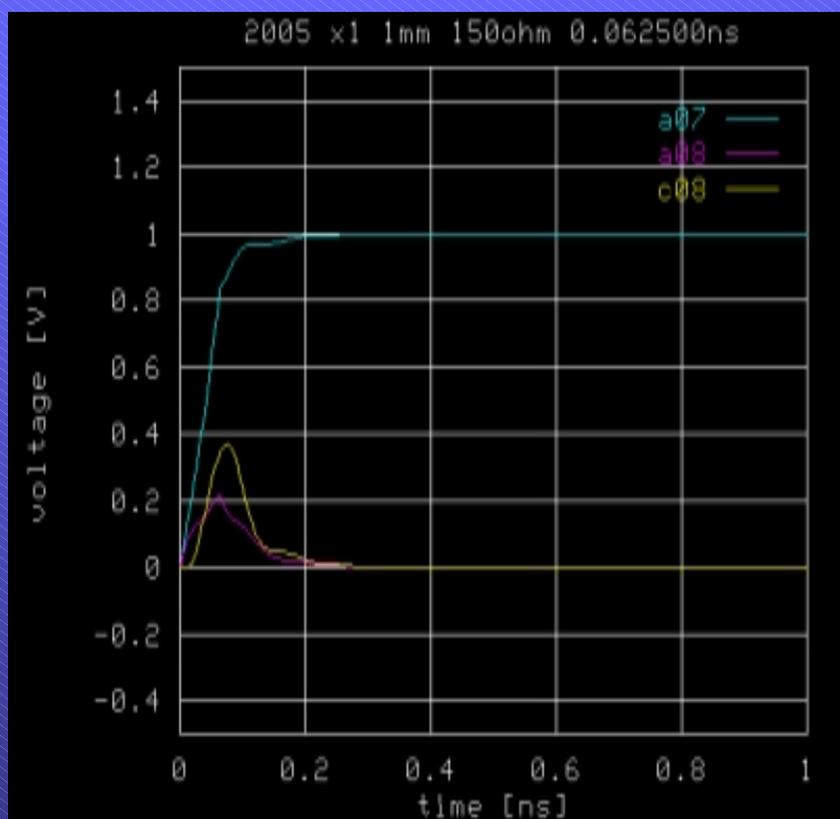
回路構成



$a_7 - GND$ 、 $a_8 - GND$ 、 $c_8 - g_0$ 、間の電圧を測定

クロストークノイズ波形(1)

- 配線長 : 1mm 間隔 : 230 nm Trf : 0.0625ns

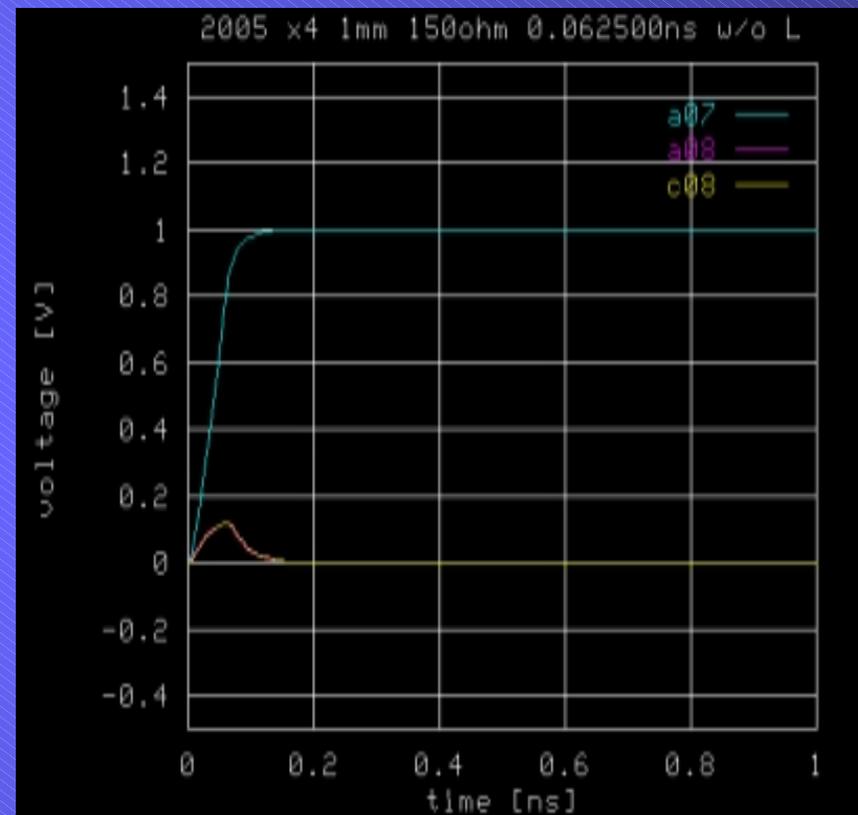
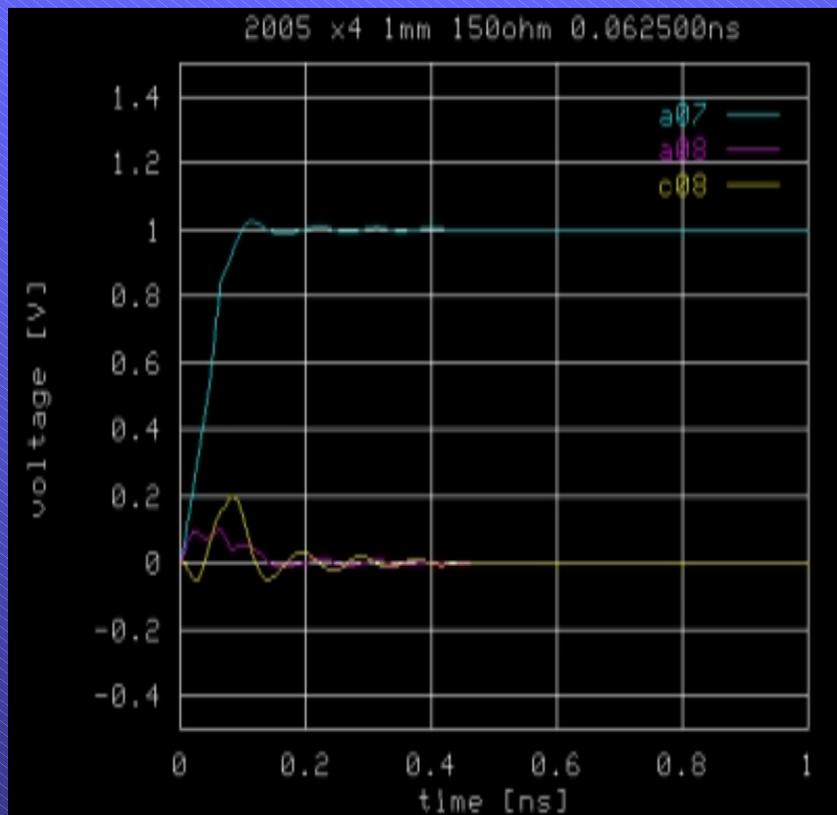


クロストークノイズ波形(2)

•配線長 : 1mm

ピッチ : 920 nm

Trf : 0.0625ns

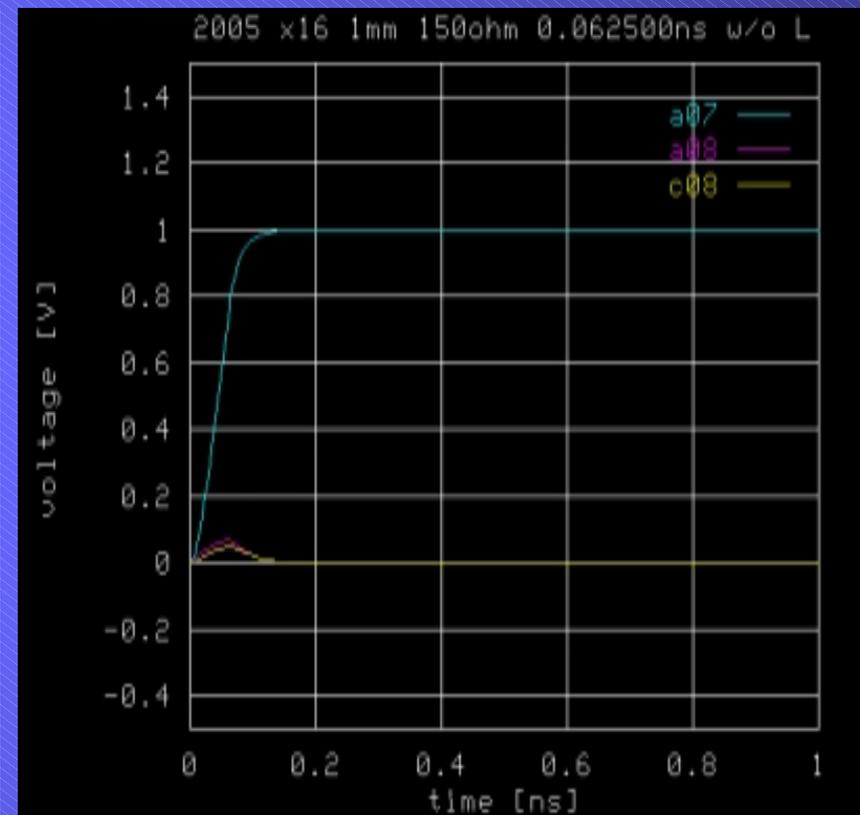
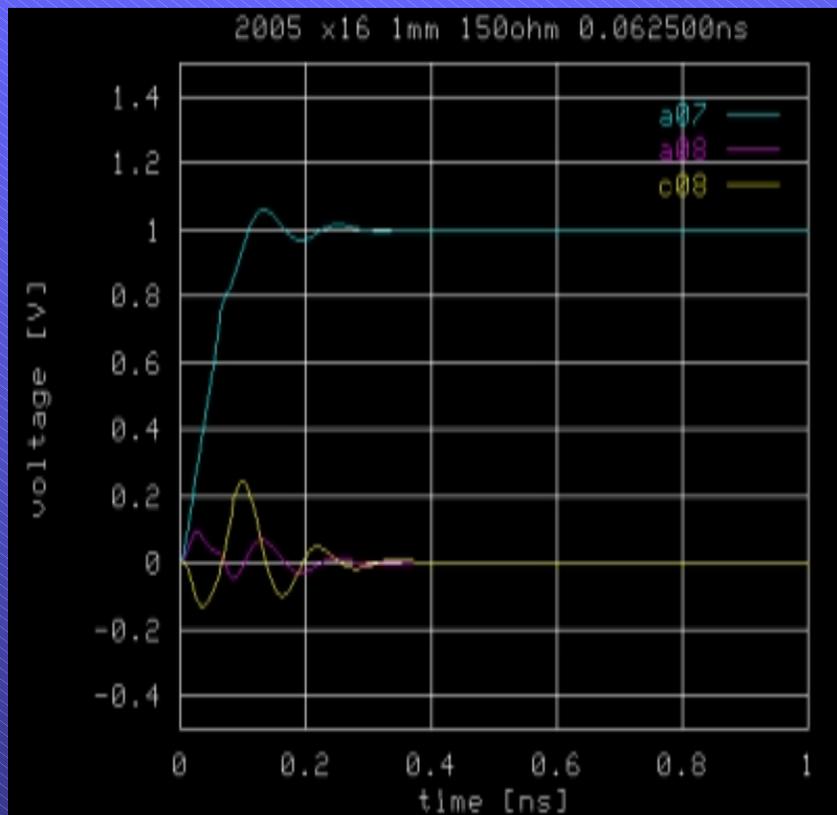


クロストークノイズ波形(3)

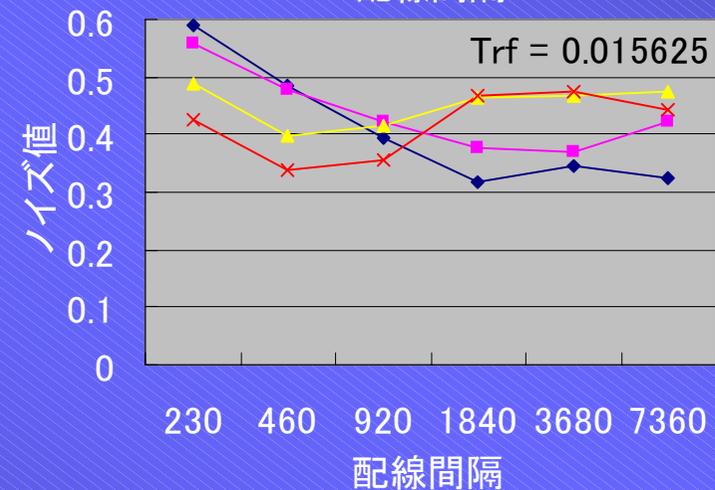
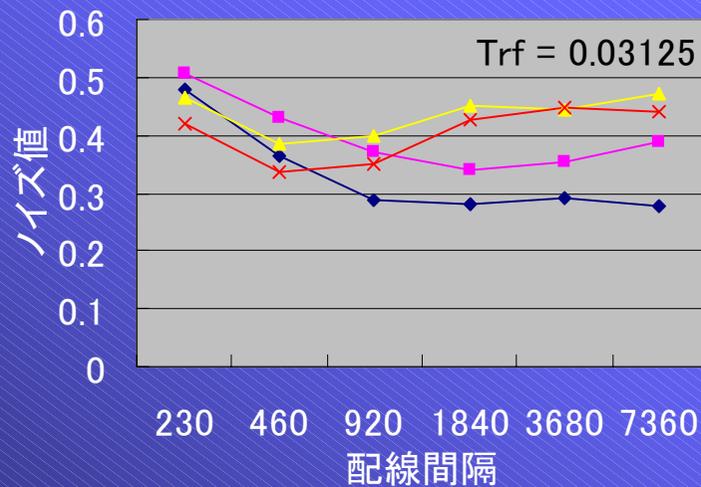
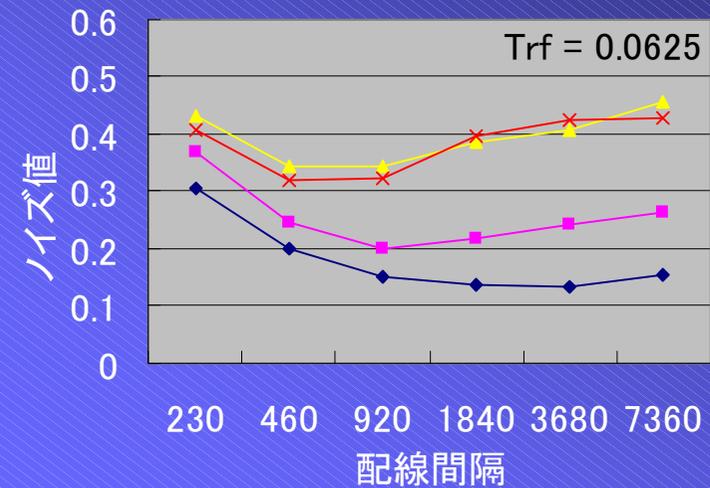
•配線長 : 1mm

ピッチ : 3680 nm

Trf : 0.0625ns

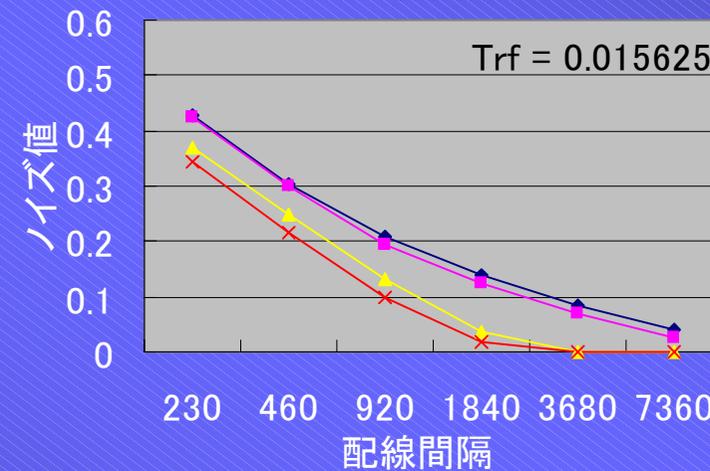
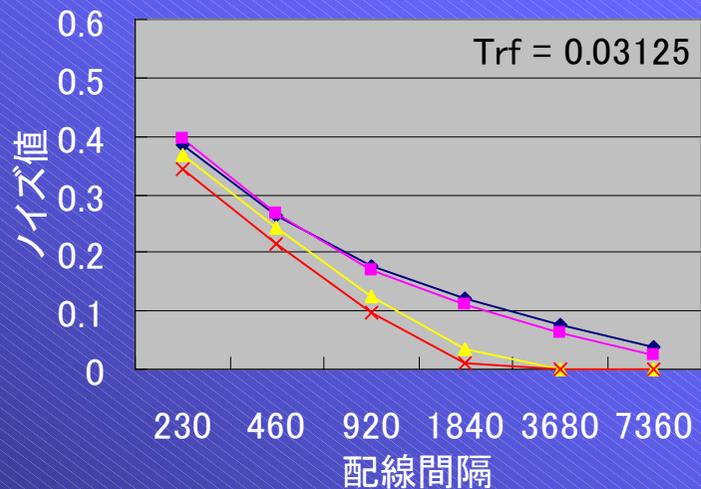
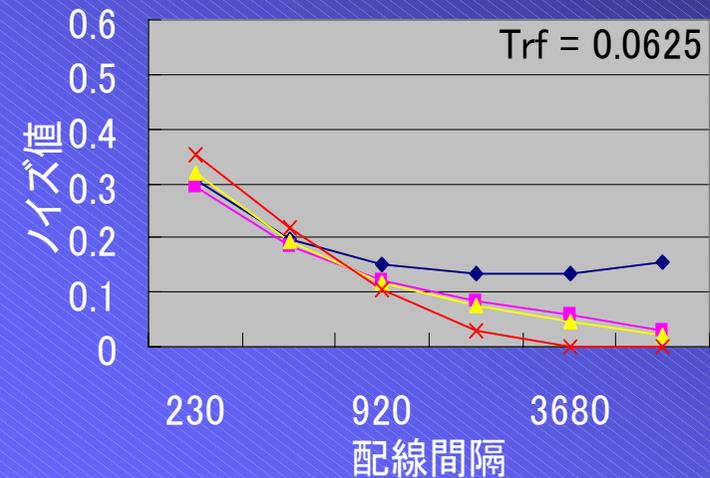
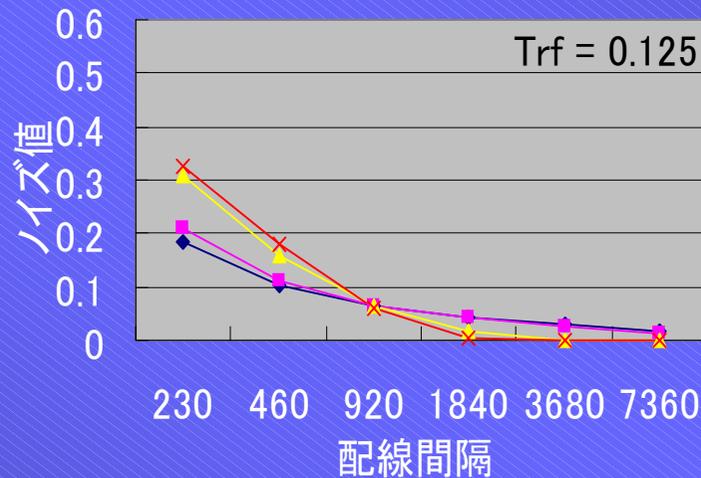


ノイズピーク値変化 (L有)



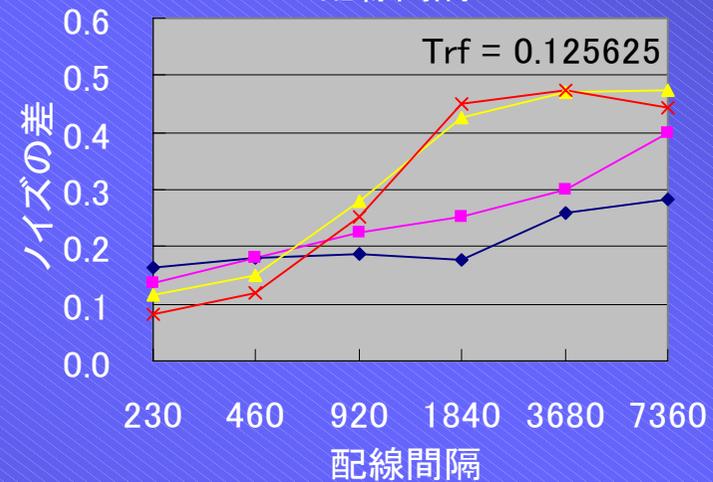
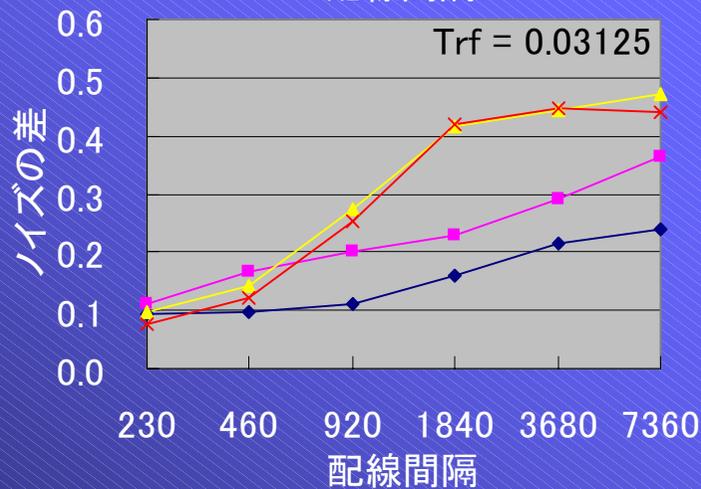
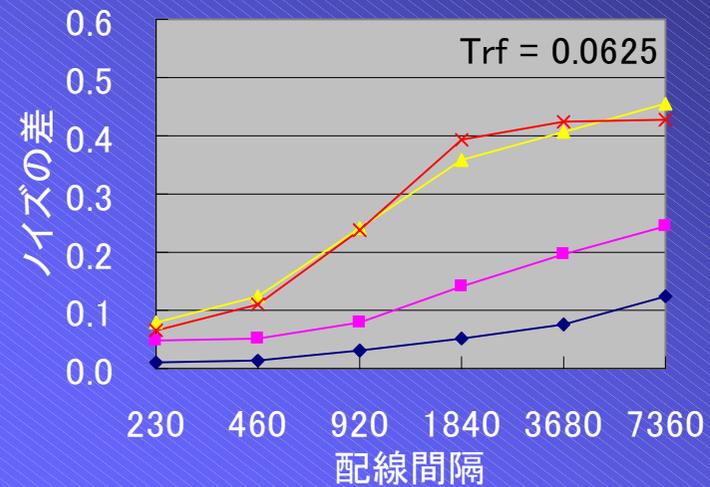
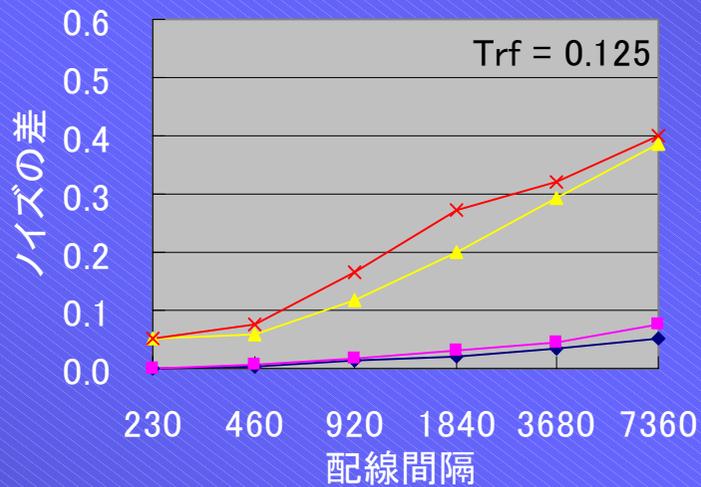
◆ 0.5mm ■ 1mm ▲ 5mm × 10mm

ノイズピーク値変化(L無)



◆ 0.5mm ■ 1mm ▲ 5mm × 10mm

ノイズピーク値 (L有無の差)



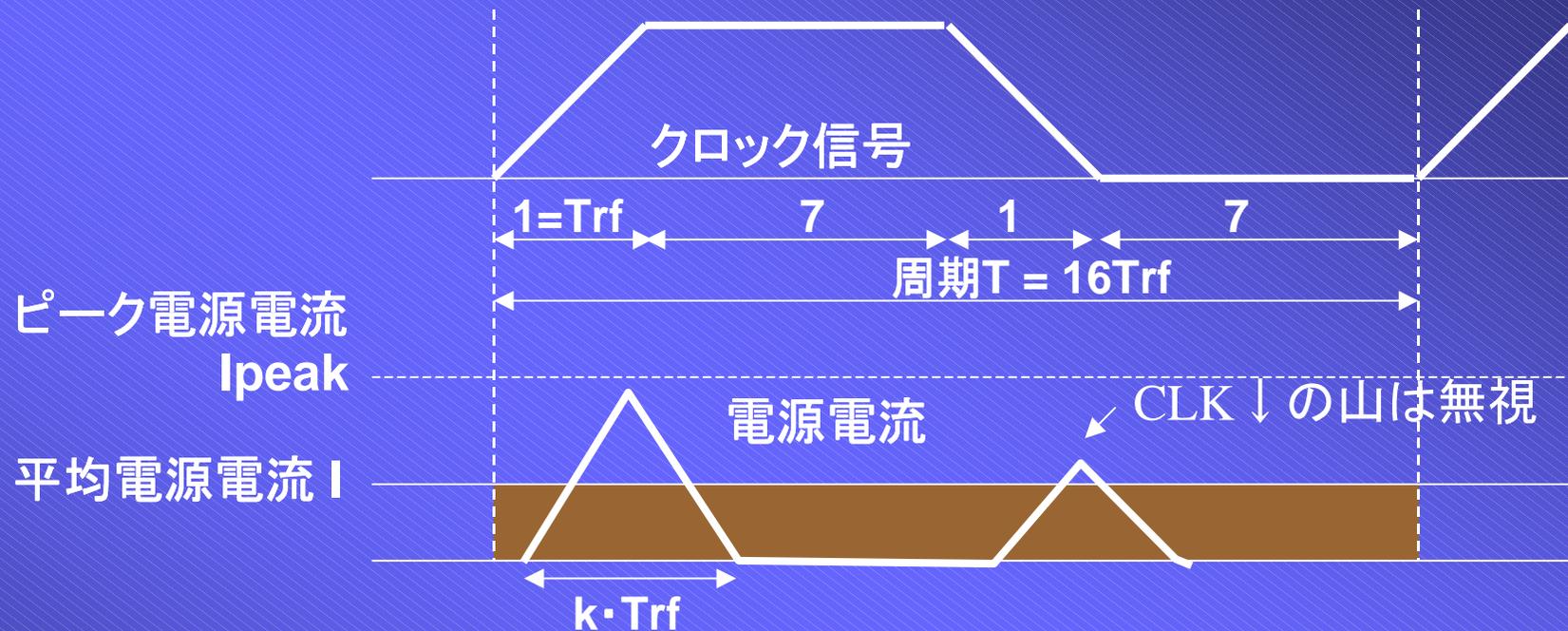
クロストークノイズまとめ

- SPICEシミュレーションにより現象を確認
- Trfが小さくなると配線サイズに関係なくノイズ大
- インダクタンスを考慮するとノイズは大きくなる傾向
- 配線長、間隔が大きい場合はLの考慮が必要
- 配線モデルについては今後も検討が必要

ダイナミック電源ノイズのトレンド

- di/dt ノイズの大きさからパッケージの許容インダクタンスを予測
- di/dt ノイズを回避するために必要なデカップリングキャパシタ(Cd)の容量を予測
- Cdの効果を実シミュレーションで確認

dI/dtのモデル



$$dI/dt = I_{peak}/(k \cdot Trf/2)$$

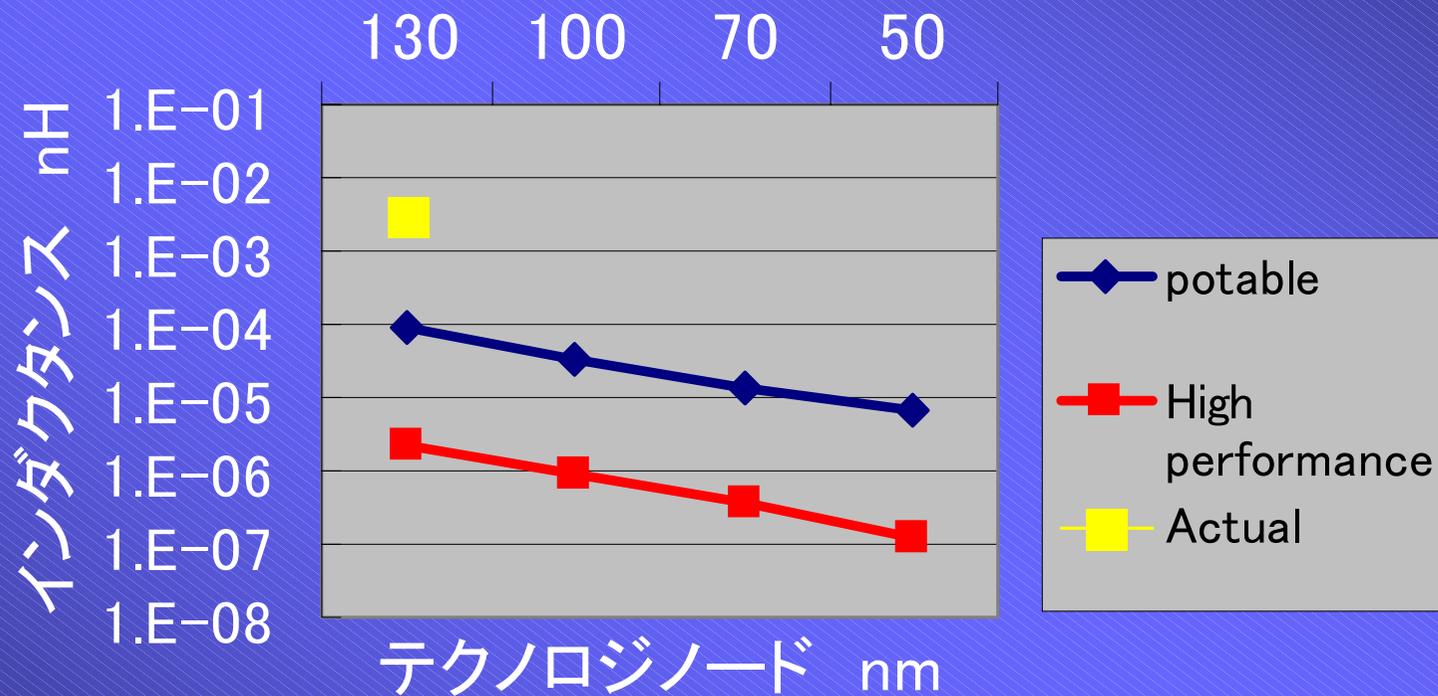
$$I_{peak} \times k \cdot Trf/2 = I \times (Trf \times 16) \rightarrow I_{peak} = 32I/k$$

$$\text{最悪は、} k=1 \rightarrow I_{peak}=32 I$$

$$dI/dt = 64 I/Trf$$

許容インダクタンスのトレンド

- ノイズ値 $\Delta V = L \cdot dI/dt$
- $\Delta V = 0.1V_{dd}$ として許容インダクタンスを算出



電源電圧、消費電力の値はITRS1999の値を使用

dI/dtノイズの問題

現状パッケージのリードのインダクタンスは
許容インダクタンスよりも大きい



チップ内にデカップリングキャパシタ(Cd)を入れて
ノイズを低減

デカップリングキャパシタ要求量

- ・平均消費電流

→ 1クロックあたりのチャージの時間積分量

- ・総電荷量 (The charge drawn during a burst is)

$$\Delta Q = I/2fc \quad (I: \text{電流}, fc \text{ 周波数})$$

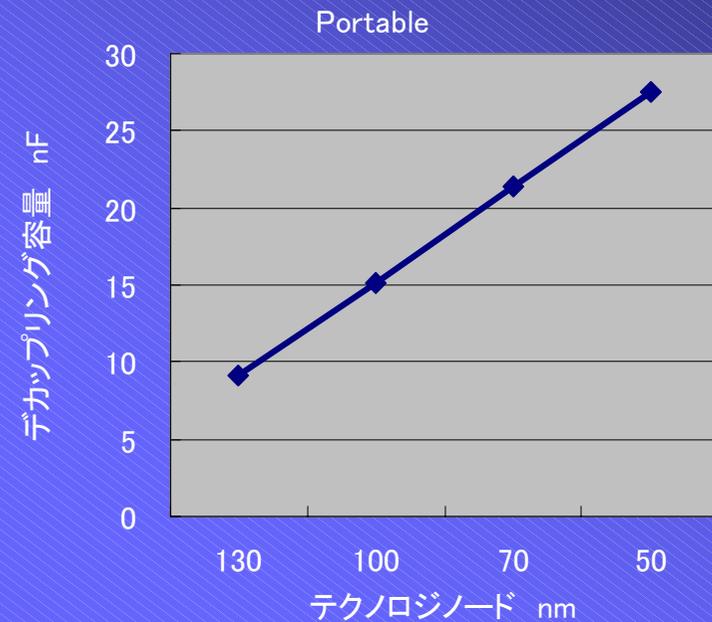
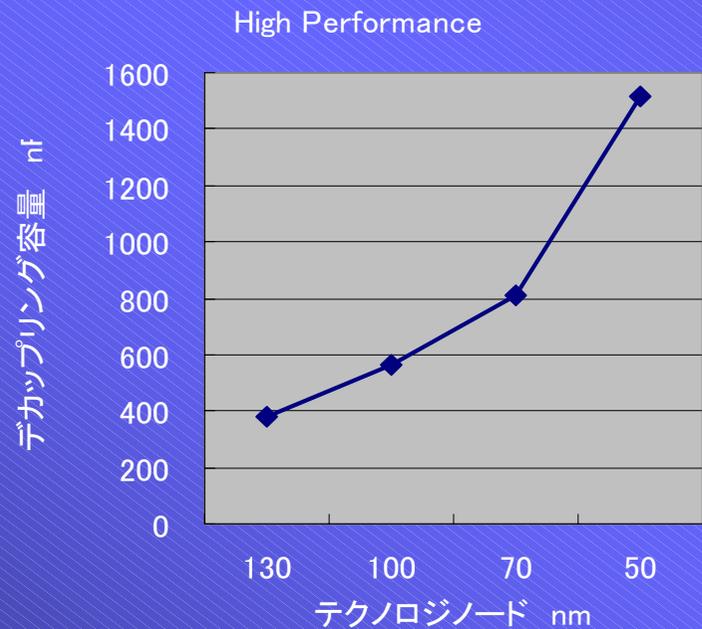
(殆どのロジックはクロックの両エッジで変化するので $2fc$ となる)

- ・遷移中の電荷をデカップリング容量から供給すると

$$\Delta V = \Delta Q/C \quad (C: \text{デカップリング容量})$$

$$C = \Delta Q/\Delta V = I/(2fc \times \Delta V) \quad (\Delta V: \text{許容変動電圧})$$

Cdの要求値のトレンド

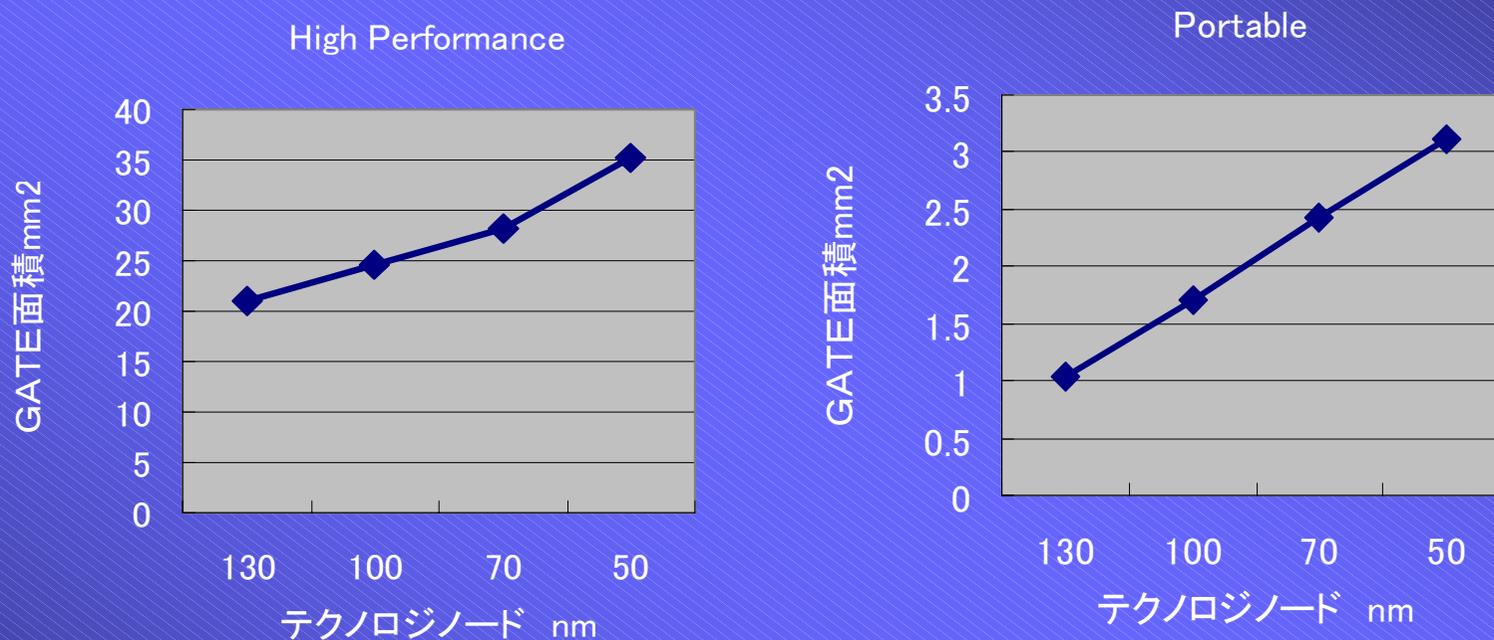


•消費電力、クロック周波数はITRS1999の予測値を使用

Cdの要求値（ゲート面積換算）

$Cd * T_{ox} / \epsilon_{ox}$ よりゲート面積に換算

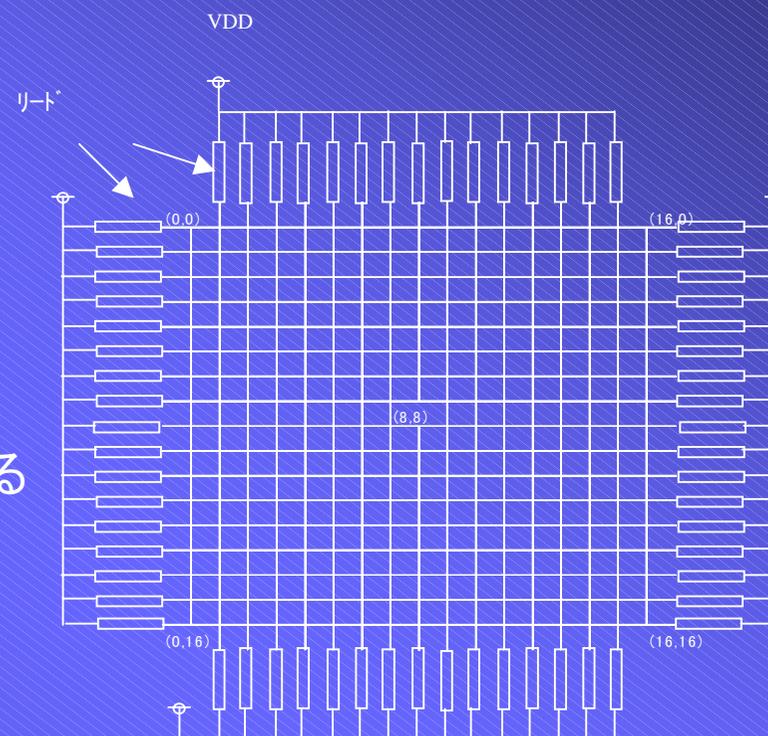
T_{ox} 、 ϵ_{ox} はITRS1999の値を使用



High Performanceではチップ全体に対して4%程度の面積

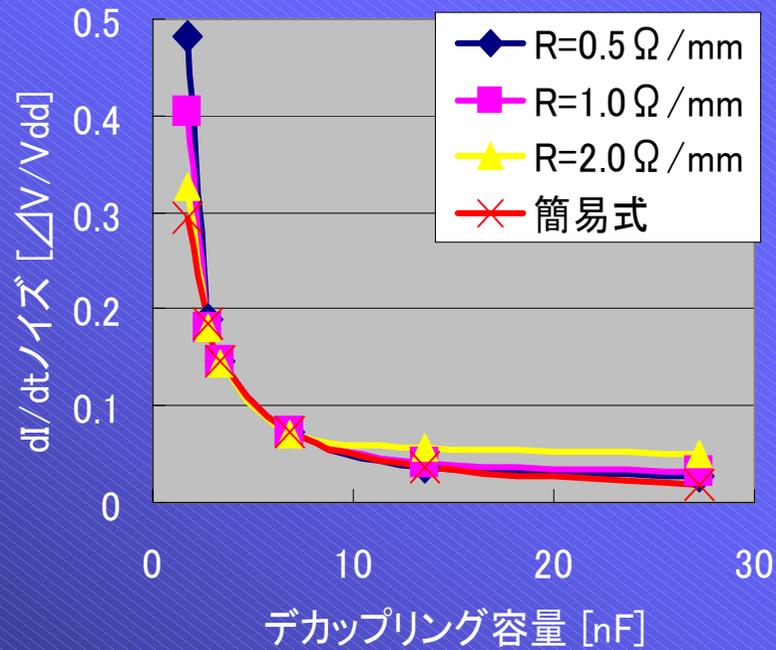
SPICEによるCdの効果の確認

- 10mm²のチップを想定
- チップを16分割するように簡易電源グリッドを設定
- 交点に電流源をもたせる(全体消費電力から交点に平均)
- 電源PinにはパッケージのLCRを付け理想電源に接続
 - それぞれの電源ラインの両端(1辺16ヶ所)
- 電源ラインは、交点から交点まで4段のπ型で近似
 - デカップリング容量は、その中に組み込んでいる
- 中央点での電圧をチェック(8,8)
- パッケージ L=1nH C=0.1pF R=0.1Ω
- チップ内 L=0.5nH/mm
- 電流源波形は、Trf=0.0625ns[1G/16]

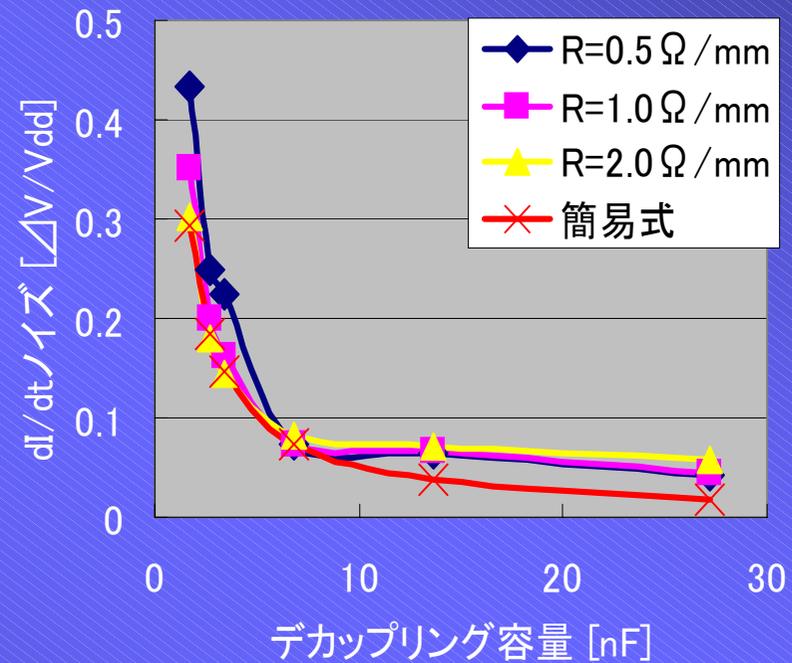


シミュレーション結果

オンチップL 無し



オンチップL 有り



SOIで予想される影響

- 寄生容量はCdとしての効果をもっている
 - Well容量
 - 電源配線自身の容量
 - 1になっている信号配線の容量
- SOIでは寄生容量が減る
 - Wellがなくなるので、Well容量がなくなる
 - Box容量がWellに相当するが、値は小さい
- Cdセル自体が作りにくくなる
 - 面積あたりのゲート容量自体が小さい

ダイナミック電源ノイズ まとめ

- di/dt ノイズの回避のために、Cdの挿入は必須
- Cdの必要量はテクノロジーノードに反比例する
- Cdの必要量は簡易式により比較的精度よく求めることができる。
- SOIではCdの必要量の確保が難しくなる可能性

まとめ

- SPICEシミュレーションにより、クロストークノイズにおけるインダクタンスの影響を確認
- デカップリングキャパシタの効果を実験により確認

今後の課題

- クロストークノイズ
 - 配線モデルの更なる検討
 - クロストークノイズスクリーニングのための簡易式の作成
- ダイナミック電源ノイズ
 - di/dt の計算モデルの改良
 - デカップリングキャパシタの最適配置方法の検討

参考文献

- [1] C.-K. Cheng, J. Lillis, S. Lin, N. Chang, "Interconnect Analysis and Synthesis," Wiley, 2000.
- [2] H.B.Bakoglu, "Circuits, Interconnections, and Packaging for VLSI," Addison Wesley, 1990.