

---

# プロセスばらつきを考慮した 遅延計算モデルの提案と ばらつき要因解析

(社)電子情報技術産業協会デシмикロン設計研究会  
配線ばらつきタスクグループ

栗山 茂(三菱), 菊地原 秀行(沖), 安島 裕恵(日立),  
永瀬 圭司(シャープ), 坂田 明雄(東芝), 山口 龍一(松下)

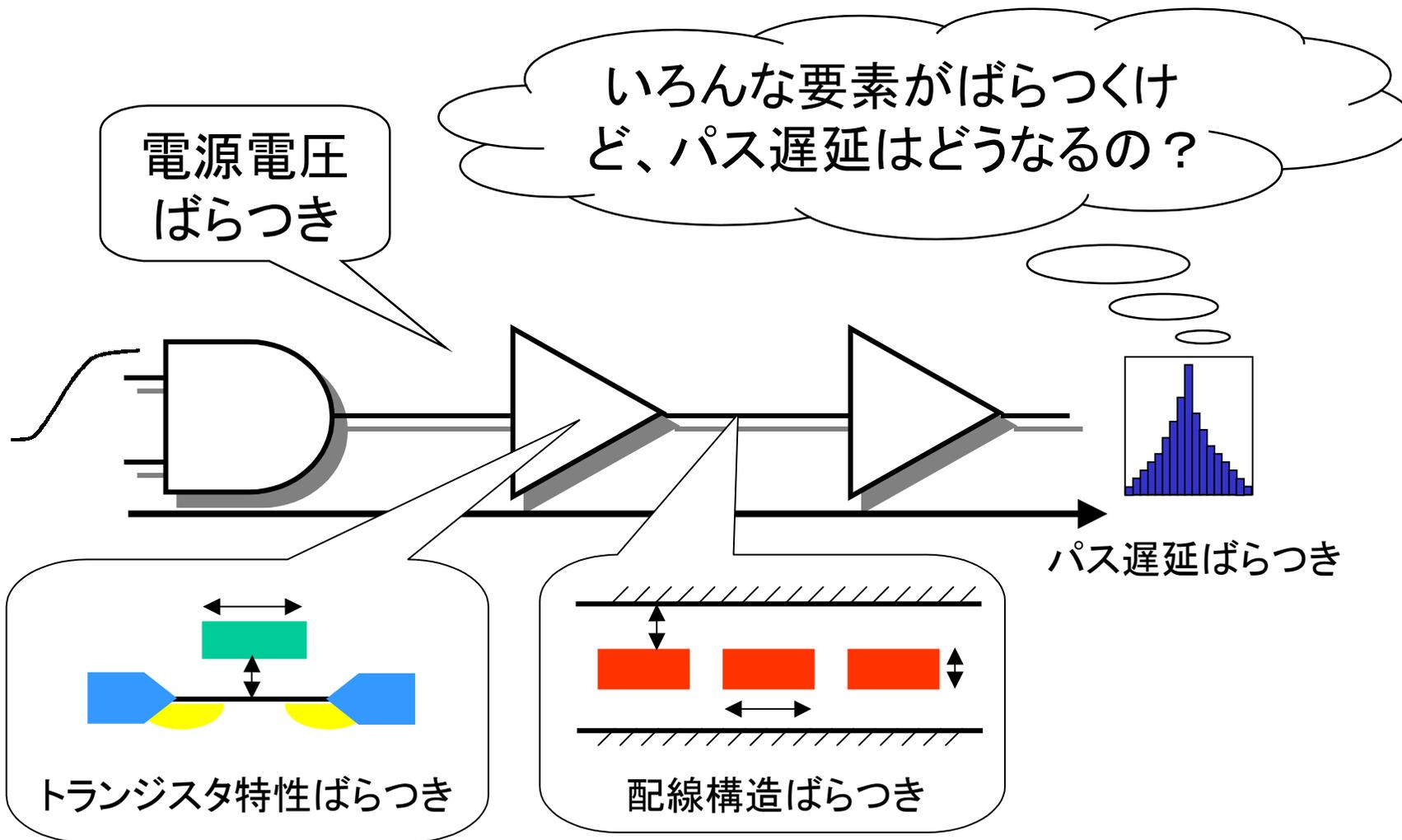
# 1 背景と目的

## 1.1 背景

- プロセスばらつきが与える影響の増大



# 1.1 背景

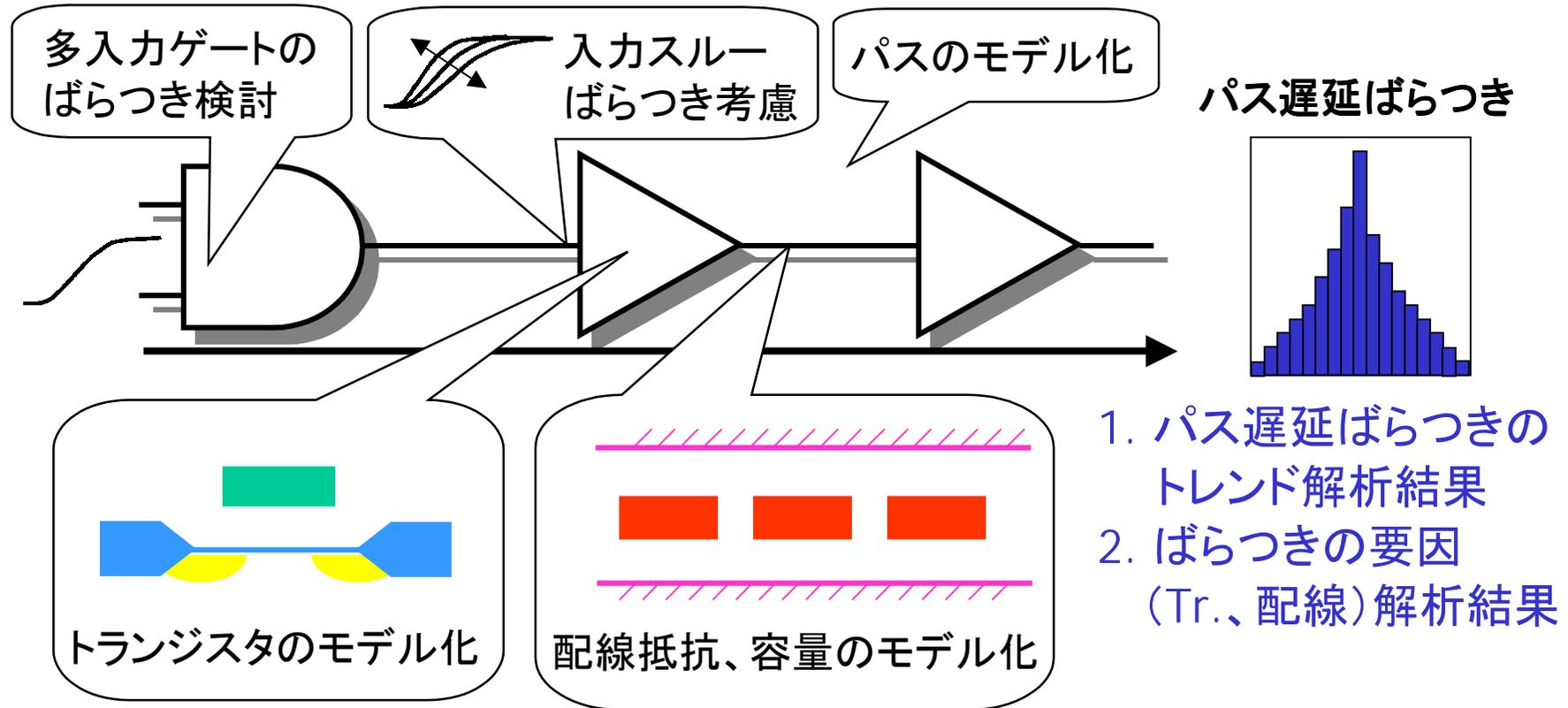


# 1.2 目的

---

- 以下の項目の評価を目的とする
  - 個々のゲートばらつきがパスばらつきに与える影響は？
  - 個々の配線ばらつきがパスばらつきに与える影響は？
  - 世代毎のばらつきは異なるのか？
- ばらつき解析プログラムを開発
  - ゲート、配線、パスをモデル化
  - 世代毎のばらつきを解析
  - ゲート遅延ばらつきと配線遅延ばらつきを比較

## 2. 概要



# 3. ゲートモデル

## 3.1 トランジスタモデル(1)

### ●トランジスタのオン抵抗

ショートチャネル領域での高電界によるキャリア速度飽和現象を考慮して、 $\alpha$  乗ドレイン電流式を用いて算出

$$R_d = V_{dd} / I_{ds} * 1 \\ = V_{dd} / (\beta * [(V_{gs} - V_{th})^\alpha])$$

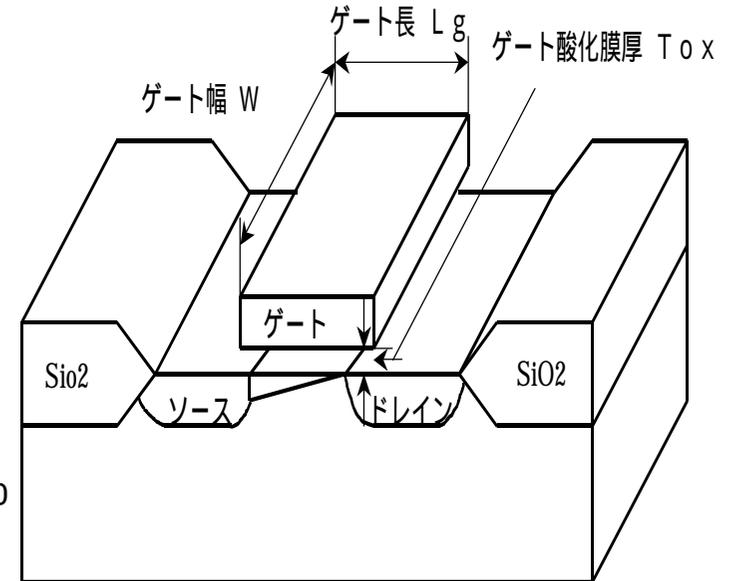
$$\alpha = 1.3, \beta = \mu \cdot C_{ox} \cdot W / L_g, C_{ox} = \epsilon_0 \cdot \epsilon_{ox} \cdot L_g \cdot W / T_{ox}$$

\*1:T.Sakurai et al.,IEEE J. Solid-State Circuits,Vol 25,No.2,Apr.,p584-594,1990

### ●トランジスタのゲート容量

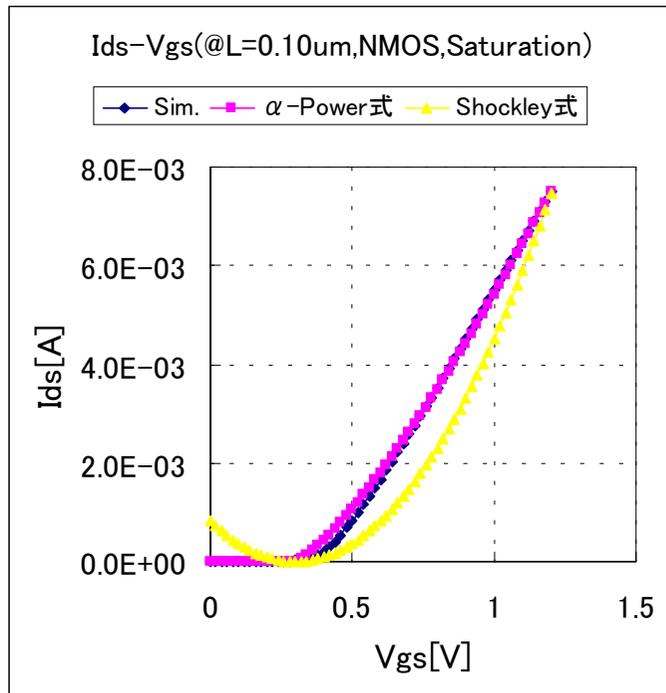
トランジスタ酸化膜容量とソース/ドレイン部でのPN接合容量の和として見積られるが、容量的に支配的なゲート酸化膜容量にてゲート容量を算出

$$C_{ox} = \epsilon_0 * \epsilon_{ox} * L_g * W / T_{ox}$$

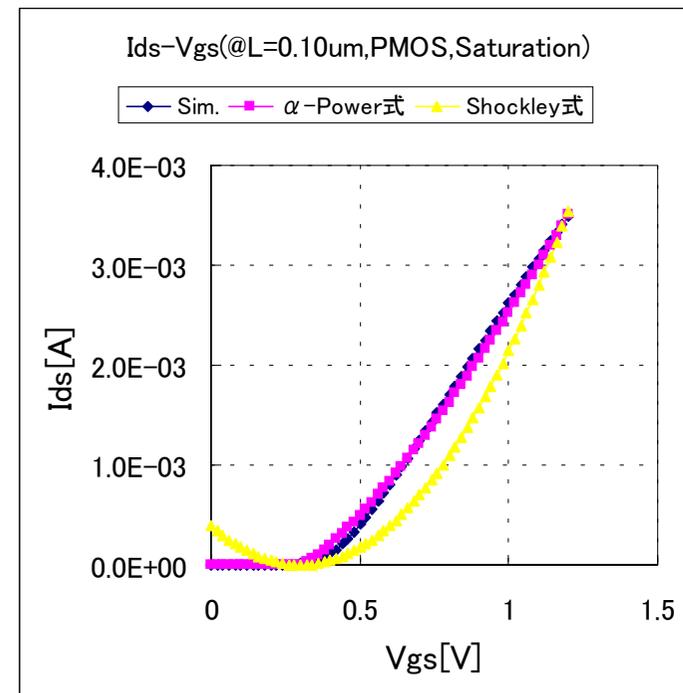


# 3.1 トランジスタモデル(2)

- $\alpha$  乗ドレイン電流式の近似精度評価



Lg = 100nm, NMOS



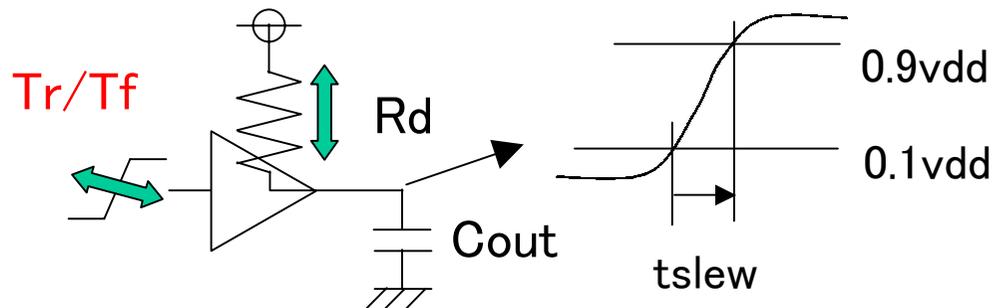
Lg = 100nm, PMOS

- 精度良く近似できることを確認

## 3.2 入力スルーの変動(1)

- 入力スルー $T_r/T_f$ の変動は、出力段トランジスタのオン抵抗( $R_d$ )を変動させる

$T_r/T_f$ を変化させたシミュレーション結果から $tslew$ を測定して、 $R_d$ を逆算し、オン抵抗の入力スルーに対する感度を求める



$$R_d = \frac{tslew}{C_{out} \times \ln\left(\frac{0.9}{0.1}\right)}$$

cell	pin	mode	a	b
inv	A	rise	0.3978	0.5969
		fall	0.445	0.5518
nd	A	rise	0.4295	0.5666
		fall	0.2969	0.7038
	B	rise	0.4357	0.5611
		fall	0.2724	0.732
nr	A	rise	0.2182	0.7868
		fall	0.4584	0.5396
	B	rise	0.237	0.7649
		fall	0.4634	0.5339
buf2	A	rise	0.0526	0.9488
		fall	0.0583	0.9411
buf16	A	rise	0.1214	0.8857
		fall	0.1144	0.8967

$$R_d = slew \times a + b$$

## 3.2 入力スルーの変動(2)

- 入力スルーのオン抵抗に対する感度

入力→出力までがゲート段数一段

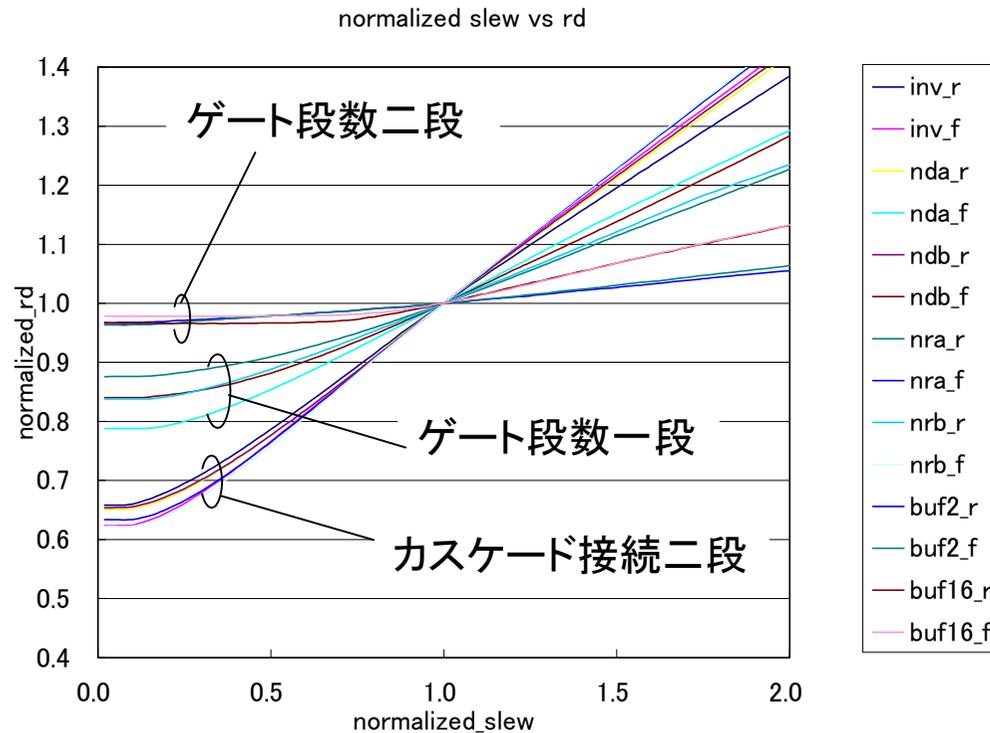
入力→出力までがゲート段数二段

カスケード接続トランジスタ二段以上

感度が高い

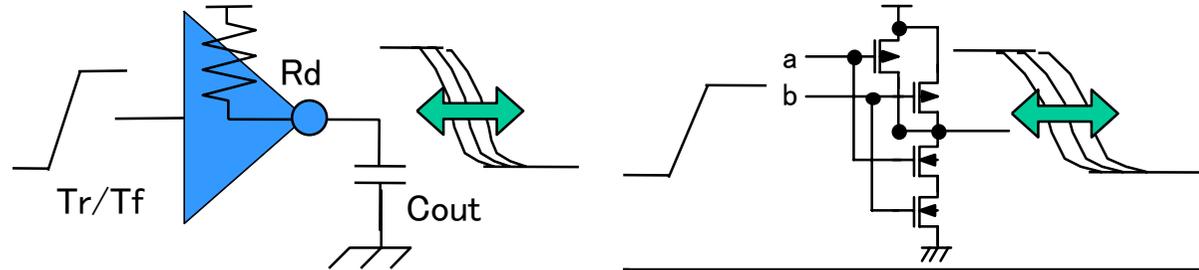
感度が低い

感度が高い



# 3.3 多入力ゲートモデルの検討(1)

- インバータと多入力ゲートのばらつきをオン抵抗( $R_d$ )で評価。 $R_d$ は入カスルーの評価と同様に求めた。



- 500回のモンテカルロによるSPICEシミュレーション
- ばらつかせたパラメータとばらつき量

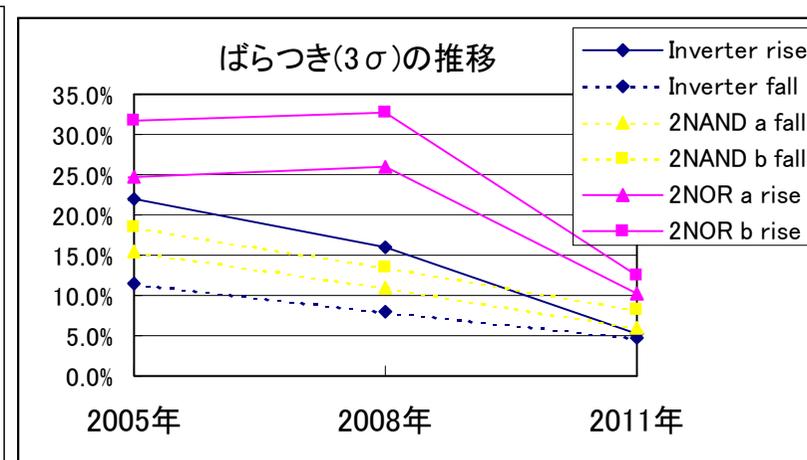
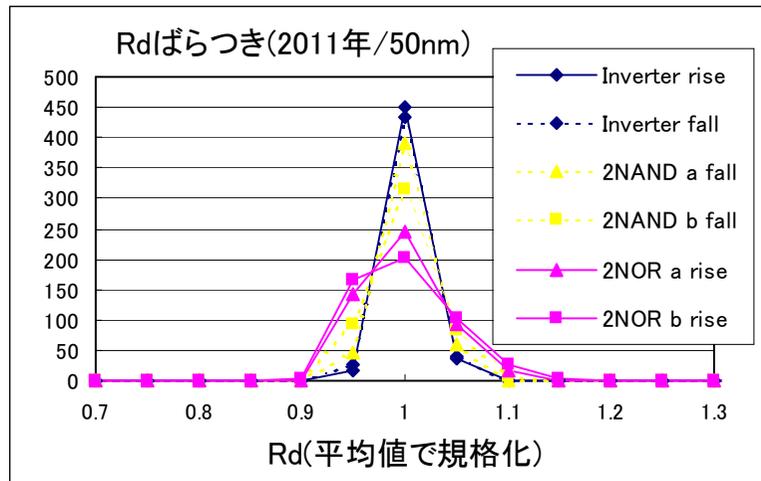
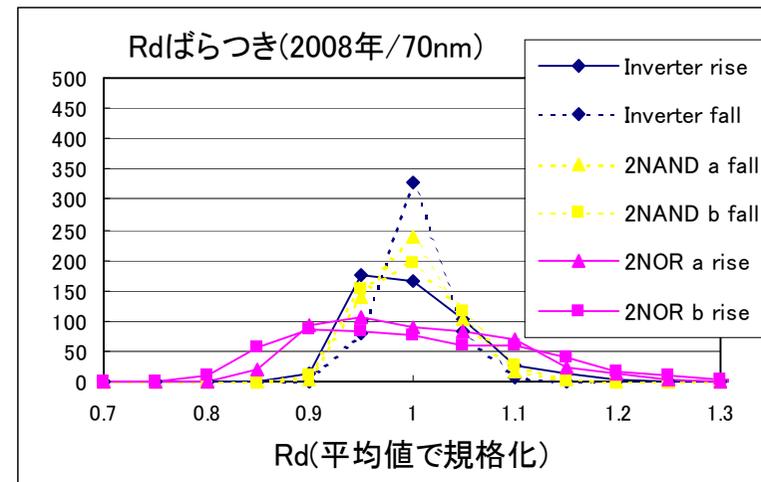
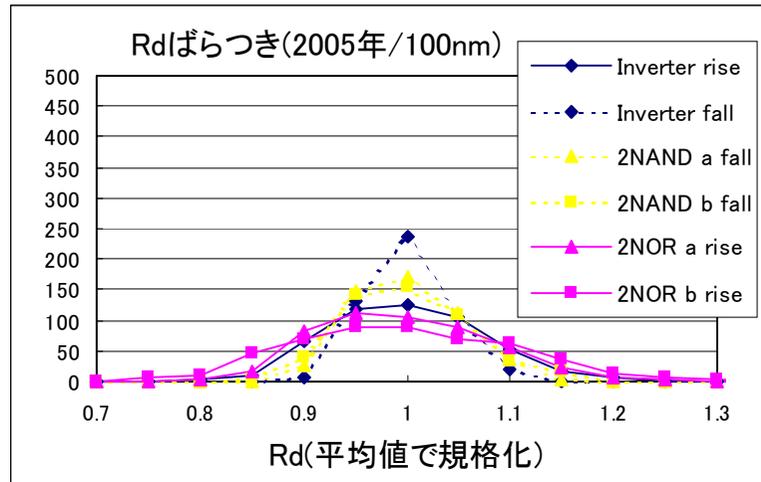
パラメータ	$3\sigma$
ゲート長( $L_g$ )	20%
ゲート幅( $W$ )	$L_g$ と同量
しきい値( $V_{th}$ )	20%
ゲート酸化膜厚( $T_{ox}$ )	20%

- セル内のNMOSとPMOSは**独立**にばらつかせた
- $C_{out} = fanout2$ 、 $Tr/Tf =$ クロック周期の5%

- Inverter、2入力NAND/NORで評価

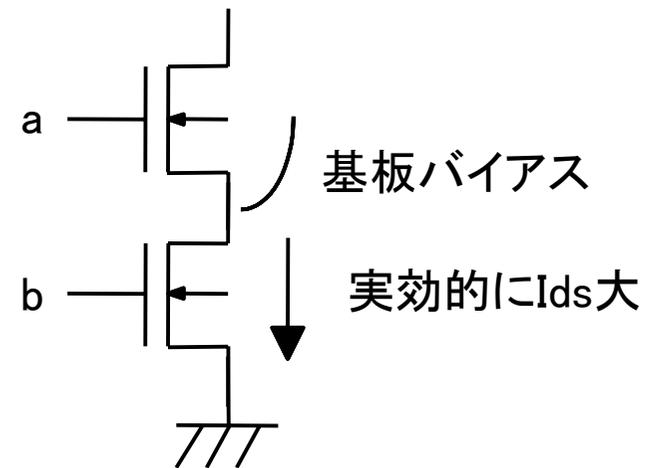
# 3.3 多入力ゲートモデルの検討(2)

## シミュレーション結果



## 3.3 多入力ゲートモデルの検討(3)

- 多入力NAND、NORの方がInverterに比べてばらつき(3 $\sigma$ )が3%~10%(2005年)大きい。これは、**カスケード接続によるMOSの基板バイアスの効果**のためと推測される。
- 多入力ゲートの入力ピンによってもばらつきに差(4~7%(2005年))があり、カスケード接続の電源側のMOSが動作する状態ではばらつきが大きい。このとき、**実効的なRdが小さくなる**ためと推測される。
- 以降の解析では、**ゲートモデルはInverterで代表**



# 4. 配線モデル

- 配線容量／抵抗表現式

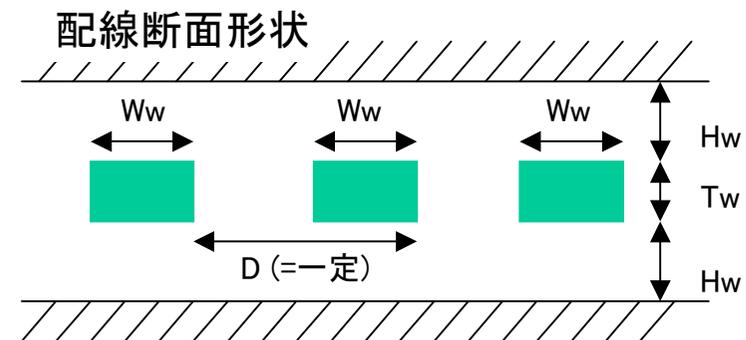
配線容量：
$$C_w = \alpha \times \varepsilon \times l \times \left( \frac{2 \times W_w}{H_w} \times P_{ud} + \frac{2 \times T_w}{D - W_w} \times P_n \right)$$

： 補正係数

$P_{ud}(=1), P_n(=2/3)$ : 上下層 / 同層配線隣接確率

配線抵抗：
$$R_w = \rho \times l \times \frac{1}{T_w \times W_w}$$

$l$ : 配線長



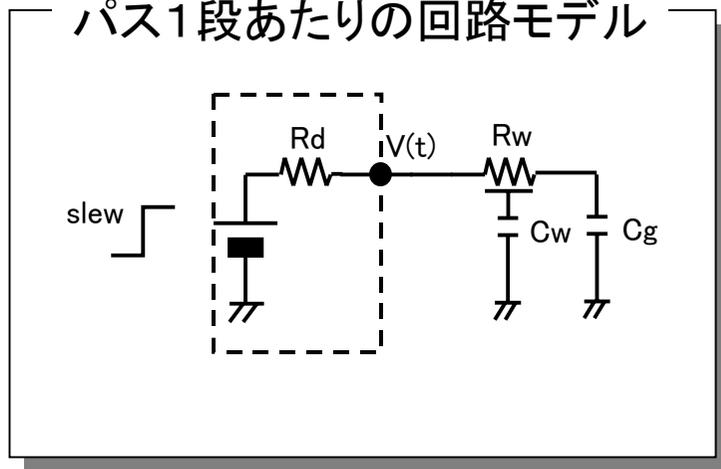
# 5. パスモデル(1)

- パス1段あたりの遅延計算式  
ゲートモデル、配線モデルの組み合わせ

$$Tpd = 0.7 \times Rd \times (Cw + Cg) + 0.7 \times Rw \times Cg + 0.4 \times Rw \times Cw$$

*T.Sakurai, "Closed-form expressions for interconnect delay, coupling, and Cross-talk in VLSI," IEEE TED, vol.40, 1993*

遅延計算に使用した  
パス1段あたりの回路モデル



$$Rd = Rd0 \times slew$$

$$Rd0: Vdd / Ids$$

*slew*: 前段セルの遅延変動率で代用

# 5. パスモデル(2)

- パスモデル

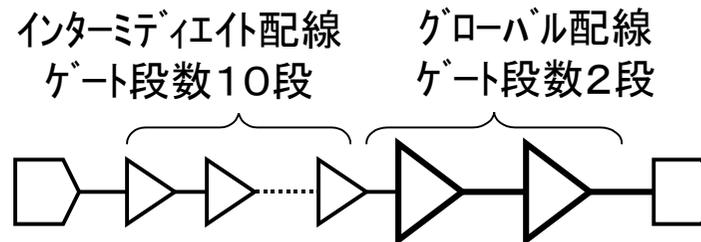
→ブロック内・ブロック間の配線階層を想定した回路モデルで特性解析を実施

- インターメディアイト配線 : ブロック内配線を想定した配線と駆動セル
- グローバル配線 : ブロック間配線を想定した配線と駆動セル

→インターメディアイト配線とグローバル配線の組合せでパスを構成

- パスモデルを構成するゲート段数

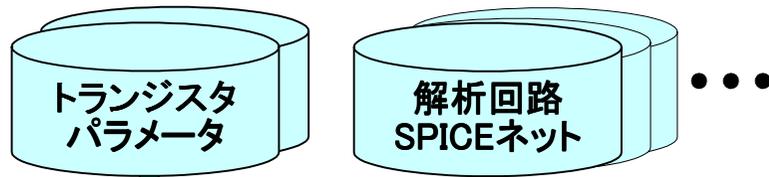
→ITRS1999 (参考: 2000Update) high-performance ASICの動作周波数から換算



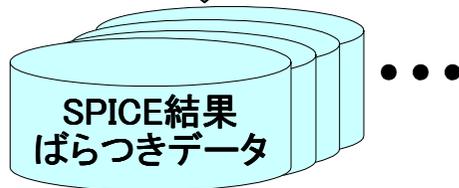
# 6. ばらつき解析プログラムの概要(1)

- SPICEモンテカルロシミュレーションで発生させた乱数(ばらつき)を活用

## ●テクノロジー水準

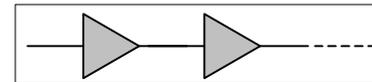


SPICE モンテカルロシミュレーション



## ●解析回路水準

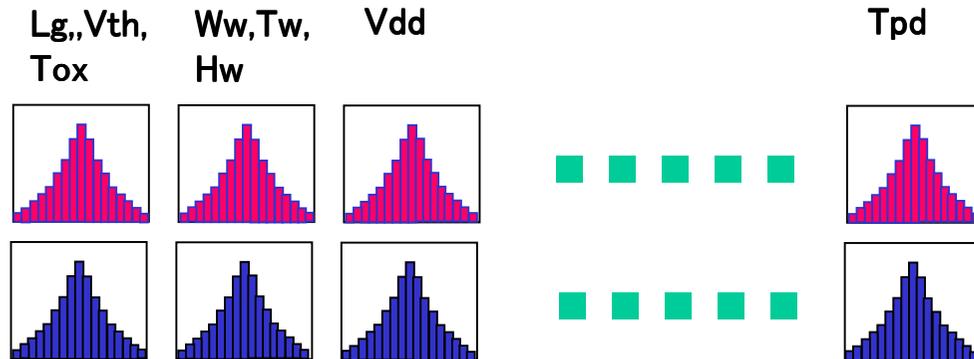
回路種別: インターメディアイト、グローバル、パス



ゲート:  $L_g(p/n)$ ,  $V_{th}(p/n)$ ,  $T_{ox}(p/n)$ ,  $V_{dd}$

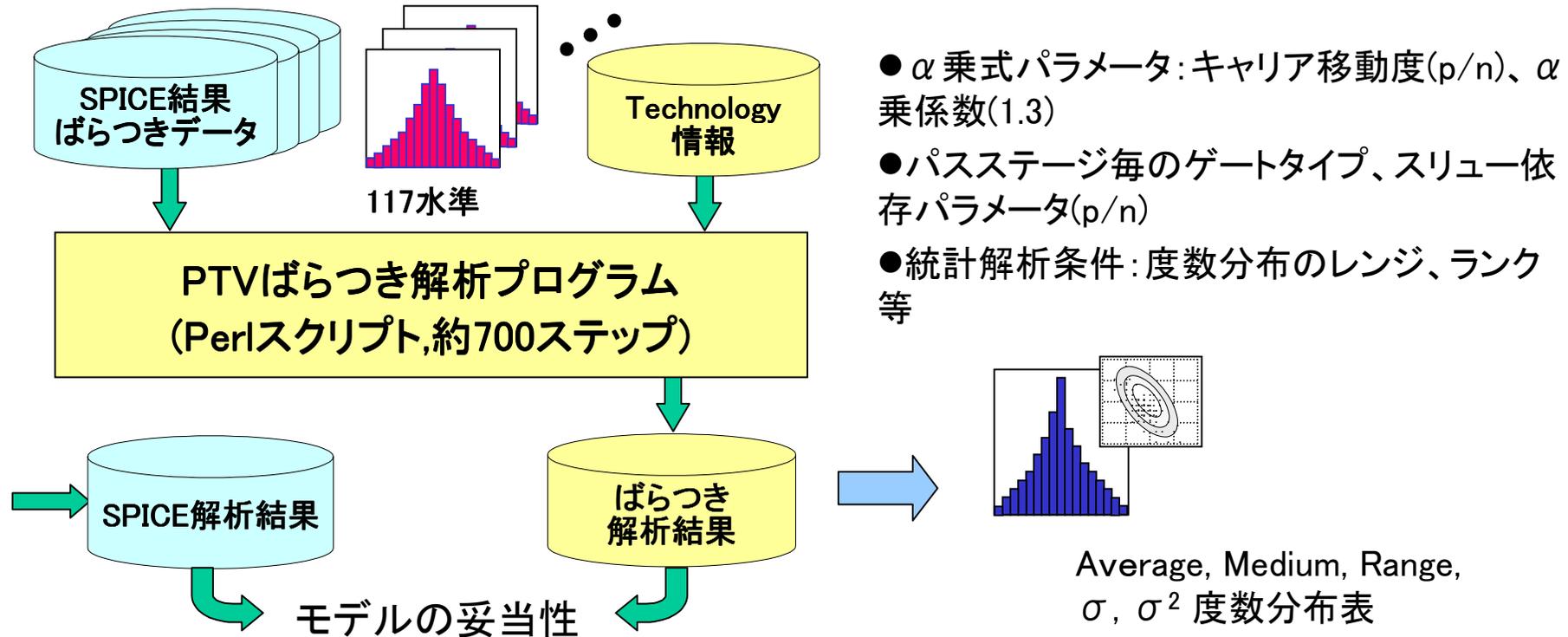
配線: 幅( $W_w$ )、厚( $T_w$ )、ビア高( $H_w$ )

グループ: ゲート+配線、ゲート、配線



## 6. ばらつき解析プログラムの概要(2)

- SPICE結果との比較によるばらつき解析モデルの妥当性検証
  - ばらつき解析プログラムによる遅延ばらつきの計算と統計解析
- ばらつきパラメータ(Lg, Vth, Tox, ...)



# 7. ばらつき要因解析

## 7.1 トレンド解析の水準

- 解析の種類
  - テクノロジー世代
    - 2005年(100nm) / 2008年(70nm) / 2011年(50nm)
  - パラメータ変動条件
    - 全パラメータ一括 / ゲートパラメータ / 配線パラメータ (ばらつきに相関なし)
    - 全パラメータ個別
- 水準

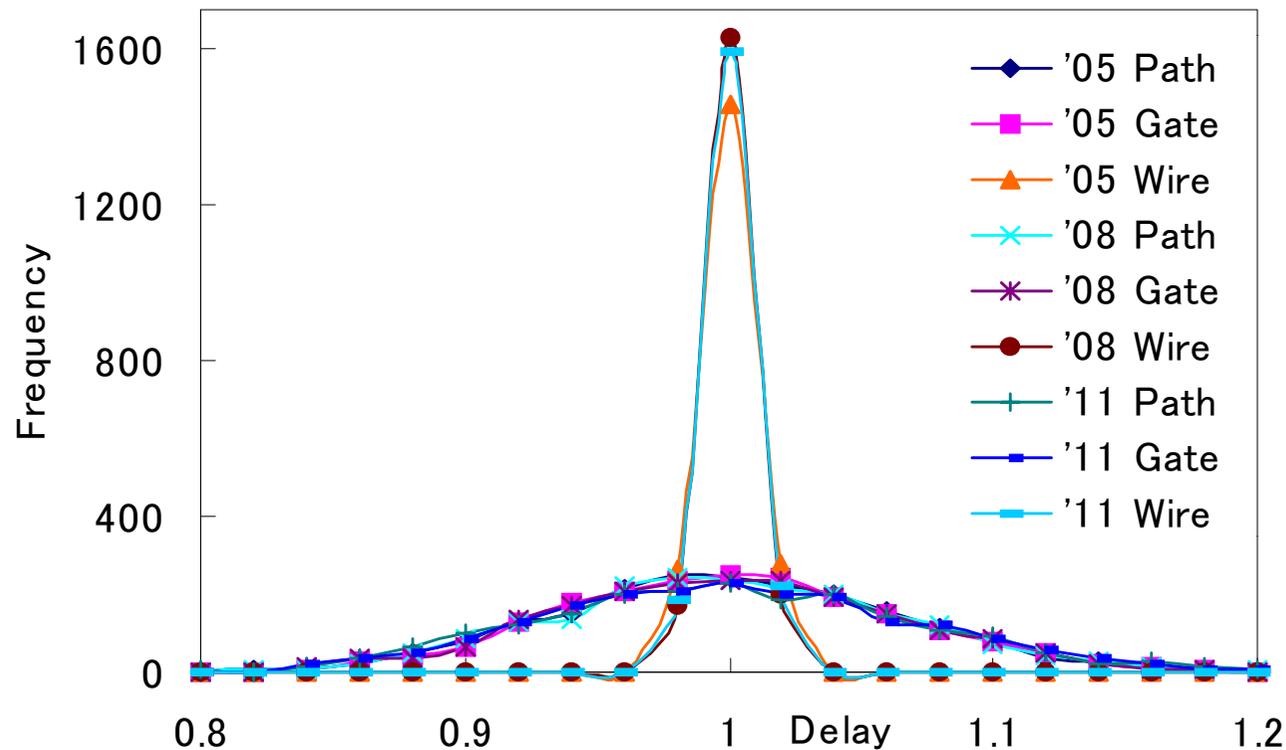
	インターミディエイト配線	グローバル配線	パスモデル
構成	インバータ 4段 インターミディエイト配線	バッファ 4段 グローバル配線	インバータ 10段 インターミディエイト配線 + バッファ 2段 グローバル配線
駆動能力	X 2	X 16	X 2(インバータ), X 16(バッファ)
配線長	配線ピッチの100倍	配線抵抗がオン抵抗 と等しくなる長さ	左記インターミディエイト、 グローバル配線長

	Lg(p/n)	Tox(p/n)	Vth(p/n)	Vdd	配線幅 Ww	配線膜厚 Tw	ビア高 Hw
ばらつき設定量 (3σ)	10%	4%	12.5%	10%	10%	10%	10%

参考 Selete/SEMATECH

## 7.2 世代毎のばらつき解析(1)

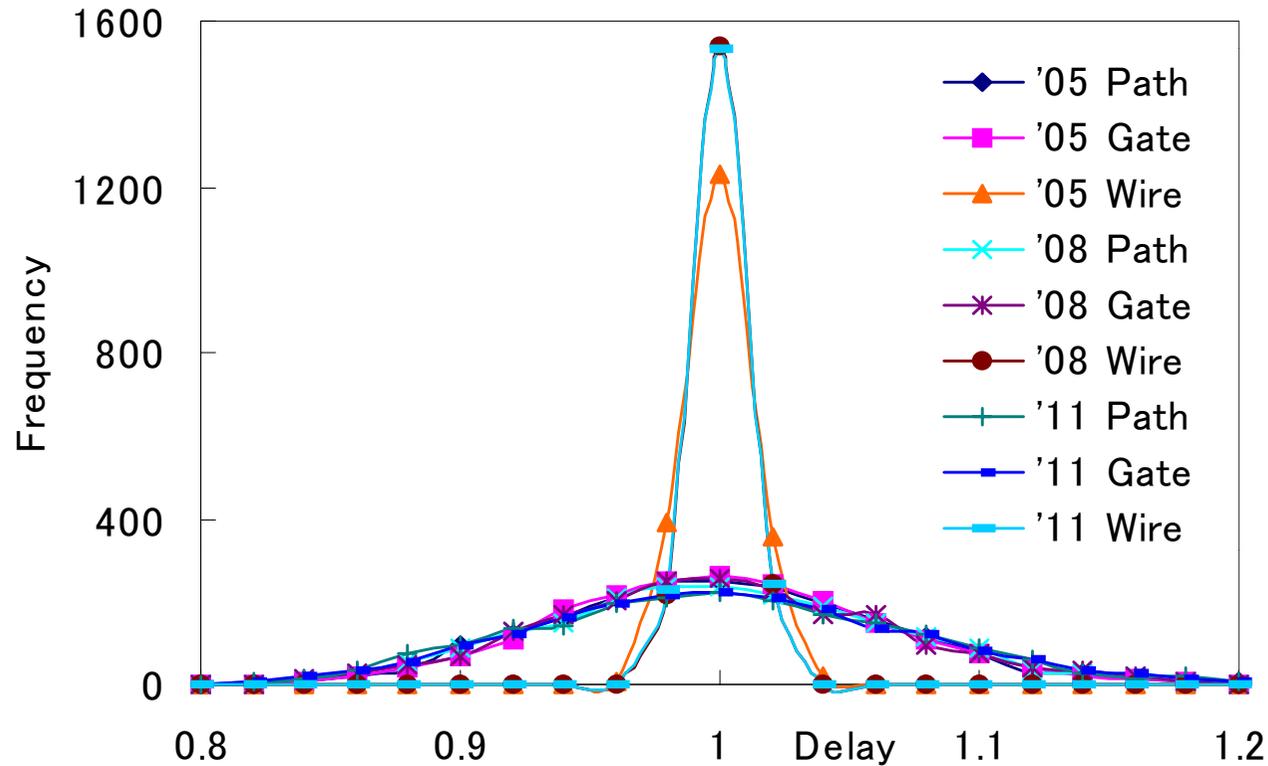
### インターミディエイト配線



- インターミディエイト配線駆動モデルでは、いずれの世代においてもばらつき要因はゲートばらつきが支配的

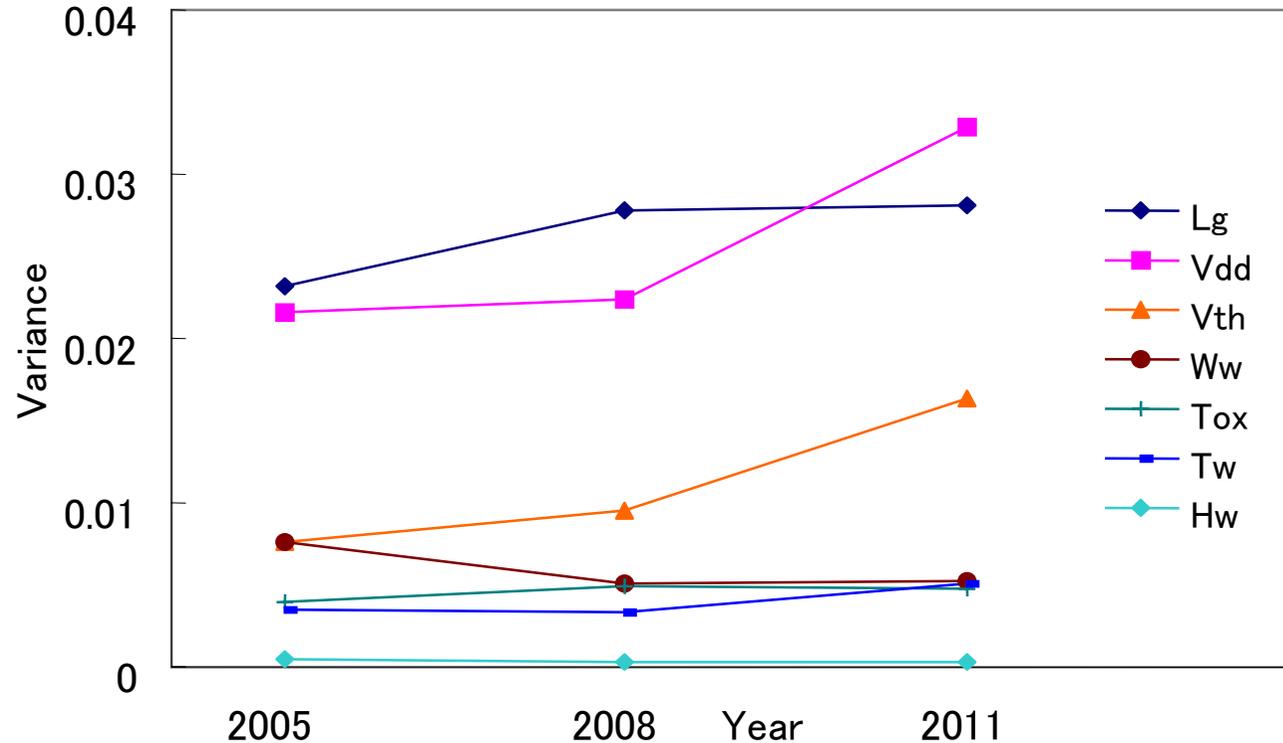
## 7.2 世代毎のばらつき解析(2)

### グローバル配線



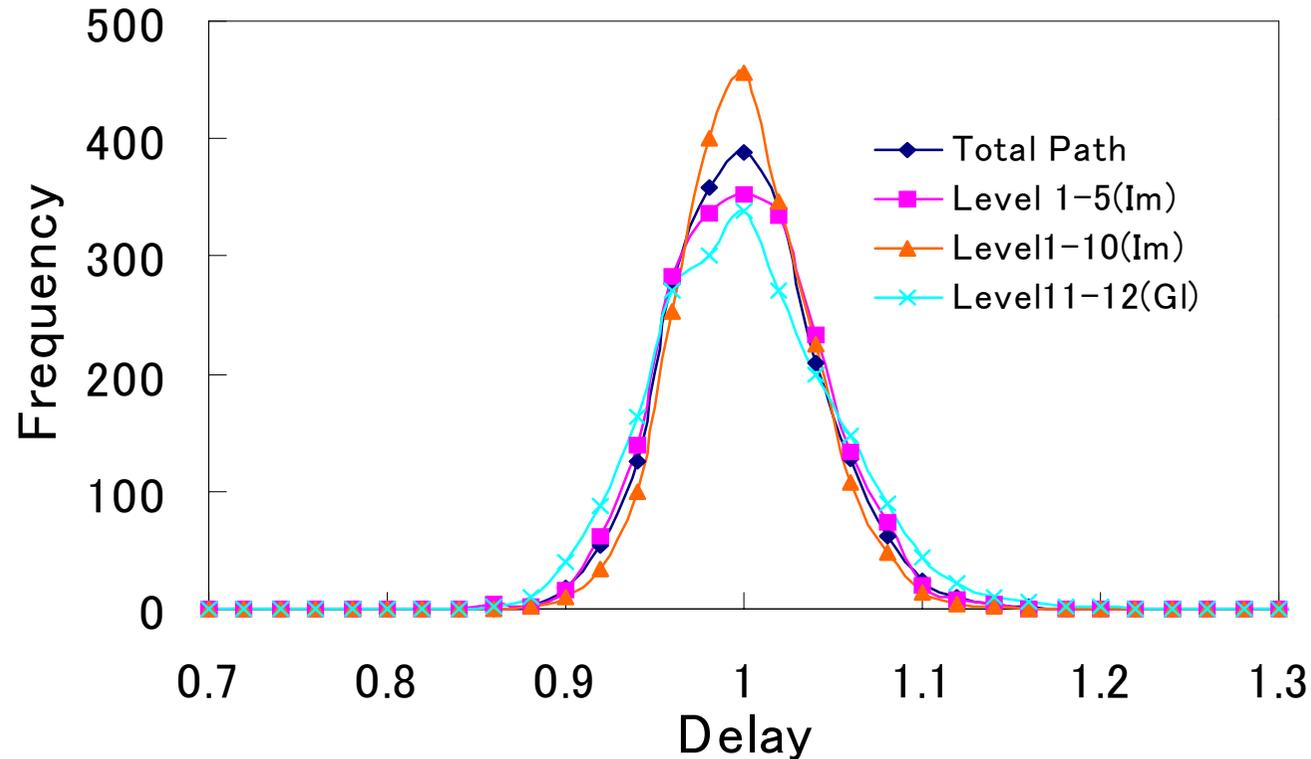
- グローバル配線駆動モデルでは、いずれの世代においてもばらつき要因はゲートばらつきが支配的

## 7.3 パス遅延ばらつきの変因解析



- ゲートばらつきパラメータの中でも、ゲート長(Lg)のばらつきへの影響度が高い
- 電源電圧 (Vdd)やVth変動によるIdsの変動が遅延ばらつきに及ぼす影響が大きい

## 7.4 パス段数依存性解析



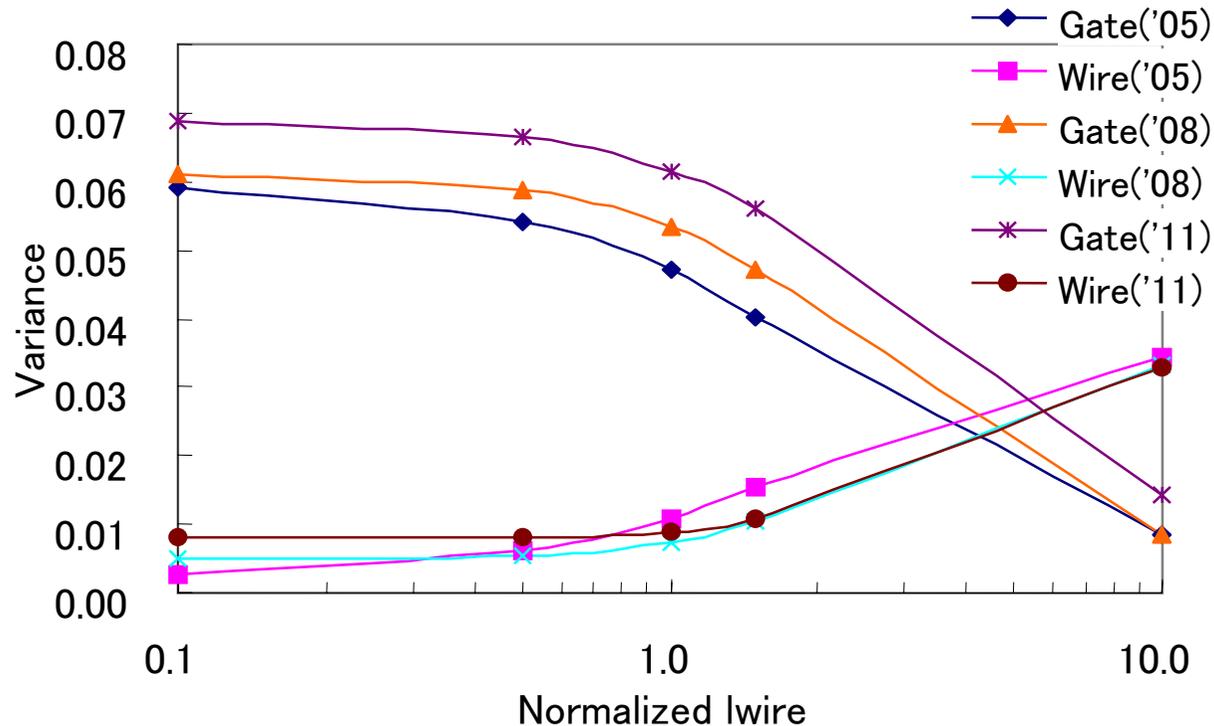
- インターミディエイトはゲート段数が増えるにつれてばらつきは減少
- トータルパスでは、グローバル配線の影響が大きくなりばらつき量は増加

## 7.5 ゲートばらつきと配線ばらつきの感度解析(1)

- ここまでの解析では、ゲートばらつきが支配的
- ゲートばらつきと配線ばらつきのパスばらつきに対する感度解析が必要
- グローバル配線を変化させて、感度解析
  - $R_w/R_d$ で正規化した配線長を変化させて感度解析を実施

	$R_d$ (x16) [ $\Omega$ ]	$R_w$ [ $\Omega$ /mm]	正規化配線長( $R_d/R_w$ ) [mm]
2005年	217	154	1.411
2008年	234	288	0.812
2011年	227	396	0.573

## 7.5 ゲートばらつきと配線ばらつきの感度解析(2)



- $R_w/R_d$ で正規化した配線長に対し、正規化配線長が4を越えるあたりからゲートばらつきと配線ばらつきの影響度が逆転し、配線ばらつきがパス遅延に与える影響が支配的になる。

## 8. まとめ

---

- ばらつきがパス遅延に及ぼす影響を定量的に計算する手法を提案
  - ゲートモデルは、 $\alpha$  乗ドレイン電流式を用いたオン抵抗で近似
  - 配線モデルは、平行平板モデルを仮定
  - 入力スルーの変動をオン抵抗の変動へ反映
- 上記手法を用いて、ばらつきのトレンド／要因解析を実施
  - ゲート遅延＝配線遅延 となるような設計スタイルでは、パス遅延のばらつきは世代に因らずゲート遅延が支配的
  - ゲート遅延ばらつきは $L_g, V_{th}, V_{dd}$ の影響度が高い
  - ゲート段数が増えると、パス遅延のばらつきは小さくなる

## 9. 今後の課題

---

- EDAツールでの実現可能性の検討

パスを構成するゲートの段数に応じて、ばらつき量を制御できるタイミング検証ツールが必要となる。

- 設計指針の提示

正規化配線長が4 ( $R_w/R_d > 4$ ) を超えるようなパス設計においては、配線ばらつきも考慮したタイミング検証が必要となる。