

2002 年 EDA 技術ロードマップ

1998 年 3 月 31 日

(社)日本 電子機械工業会

EDA 技術委員会 / EDA ビジョン研究会 編

序

半導体産業における技術革新は著しく、複合機能を 1 チップ上に実現するシステム LSI が電子機器に広く使われようとしている。これまで半導体産業の牽引役をつとめてきた汎用 DRAM に代表される少品種・大量生産型の事業から、新規商品市場を創造し得るアプリケーション直結型 LSI への転換が求められている。プロセス技術の革新により高性能化・高集積化が実現された結果として、「いかに作るか」から「何を作るか」へと視点が移行している。

半導体技術の革新は、半導体産業のビジネス構造の変革をもたらす。例えば半導体メーカーとシステムメーカーのビジネスインターフェイスが変化する。システムメーカーへ特定部品を提供する形態から、半導体メーカーがシステムソリューションを提供する形態へのシフトを招く。

今後のシステム LSI 設計はアルゴリズムから物理レイアウト設計まで広範な設計過程を対象とする。ハードウェア設計とともにソフトウェアによる機能実現が増大する。ヒューマンインターフェイスを中心にアナログ機能・センサ機能が内蔵される。商品サイクルの短期化により一層の短期間設計が求められる。等々 LSI 設計への改革要求は枚挙にいとまがない。

このような現状認識をもとに、社団法人 日本電子機械工業会 / EDA 技術委員会では、2002 年のシステム LSI のあるべき姿とこれを実現する設計技術を調査分析することとした。96 年 9 月に EDA ビジョン研究会を発足させ、設計目標とするシステム LSI のプロファイル設計フローを定義し、先端 LSI 設計者および EDA 技術者への詳細なインタビューを通じて、LSI 設計に関わる技術課題を分析した。我々は開発目標とするシステム LSI を「Cyber-Giga-Chip」と命名し、国内半導体産業の主力製品である民生携帯情報機器用システム LSI を分析の基軸とした。単に EDA の問題にとどめることなく、システム LSI 設計を取り巻くビジネス環境設計形態の変化をもとに、設計技術者の満たすべき目標を設定した。

ここに、来るべき半導体産業のパラダイムシフトを LSI 設計の観点から分析した結果として、「2002 年 EDA 技術ロードマップ」を報告する。本報告書がシステム LSI 設計の未来に対する指針となり、産業界のみならず大学・研究機関を含めた新たな議論の起点となることを期待する。

1998 年 3 月
EDA ビジョン研究会
主査 古井芳春

著作権

本報告書の一部または全部を著作権保持者(社団法人日本電子機械工業会)の許可なく複写し転載することは著作権法に違反することになります。本報告書を複写し転載する場合は著作権保持者の許可を必ず得て行って下さい

(社)日本電子機械工業会
電子デバイス部

〒100-0005

千代田区丸の内3-2-2

東京商工会議所ビル

TEL : 03-3213-1065

FAX : 03-3211-0993

© EIAJ 1998

ロードマップのバージョンとアクセス方法

オンライン アクセスの方法

本ロードマップは以下のホームページから電子ファイルとしてオンラインで入手できる
"<http://eda.ics.es.osaka-u.ac.jp/eiaj/eda/project/eda-vision.html>"

コメントの送付

本ロードマップに関するコメントを下記アドレスにて受け付けている
"feedback-vision@EDA.ics.es.osaka-u.ac.jp"

履歴

1998 年 3 月 31 日 第 1 版 発行

目次

1. はじめに.....	8
1.1 背景.....	8
1.2 目的と基本方針.....	10
1.3 用語の定義.....	11
1.4 読者.....	11
1.5 ロードマップ作成方法.....	11
1.6 利用法.....	12
2. 概要.....	14
2.1 2002 年における半導体を取り巻く状況	14
2.1.1 2002 年の設計対象の概観	14
2.1.2 2002 年の設計環境の概観	17
2.2 2002 年における EDA 技術.....	18
2.3 ロードマップの概要.....	22
3. EDA 技術への要求と分析.....	23
3.1 CYBER-GIGA-CHIP のプロフィール	23
3.2 EDA 技術への要求分析.....	25
4. EDA 技術の課題と技術開発目標	35
4.1 デジタル回路設計における EDA 技術課題と目標	35
4.1.1 システム設計	35
4.1.2 アーキテクチャ設計	41
4.1.3 RTL / 論理設計.....	47
4.1.4 回路設計.....	56
4.1.5 レアウト設計	60
4.1.6 製造装置インタフェース	64
4.2 アナログ回路設計における EDA 技術課題と目標.....	65
4.3 ソフトウェア設計における EDA 技術課題と目標	69
4.4 設計全体に関する EDA 技術課題と目標	73
5. EDA 技術ロードマップ	75
5.1 CYBER-GIGA-CHIP に対する EDA 技術ロードマップ.....	75
5.1.1 Cyber-Giga-Chip の設計フロー	75

5.1.2	Cyber-Giga-Chip に対するロードマップ	78
5.2	民生情報機器用CYBER-GIGA-CHIP.....	80
	謝辞	83
	参考文献	84
A	付録:LSI 設計者へのインタビュー結果	85
A.1	インタビュー対象者のプロフィール	85
A.2	インタビュー結果のまとめ	85
B	付録:EDA 技術者へのインタビュー結果	98
B.1	インタビュー対象者のプロフィール	98
B.2	インタビュー結果のまとめ	99
C	付録:学会動向	108
C.1	GAJSKI 教授を囲んでのラウンドテーブル議論の概要	108
C.2	電子情報通信学会の研究会におけるパネル討論の概要.....	111
D	付録:EDA 技術ロードマップ WG メンバ	116
D.1	(社)日本電子機械工業会 EDA 技術委員会 /EDA ビジョン研究会	117
D.2	(財)九州システム情報技術研究所.....	118
E	付録:用語の説明	119

目次

図 1 牧本ウェーブ(出典 IEEE S PECTRU M 1997 年 1 月)	9
図 2 EDA 技術ロードマップ作成方法	12
図 3 2002 年における CYBER-GIGA-CHIP のプロフィール	17
図 4 LSI 設計フローの変化	18
図 5 2002 年における CYBER-GIGA-CHIP のプロフィール	24
図 6 1997 年における CYBER-GIGA-CHIP の設計フロー	75
図 7 2002 年における CYBER-GIGA-CHIP の設計フロー	76
図 8 CPU コアの設計フロー	77
図 9 デジタル信号処理系コアの設計フロー	77
図 10 制御系コアの設計フロー	78

表目次

表 1 デジタル回路設計における EDA 技術課題(システム設計からアーキテクチャ設計)	19
表 2 デジタル回路設計における EDA 技術課題(RTL 設計から製造装置インタフェース)	20
表 3 アナログ回路設計における EDA 技術課題	21
表 4 ソフトウェア設計全体における EDA 技術課題	22
表 5 CYBER-GIGA-CHIP におけるコアの仕様	24
表 6 LSI 設計ニーズ	25
表 7 設計要求項目と EDA 技術課題との対応	34
表 8 システム設計における EDA 技術課題	35
表 9 アーキテクチャ設計における EDA 技術課題	41
表 10 RTL / 論理設計における EDA 技術課題	47
表 11 回路設計における EDA 技術課題	56
表 12 レイアウト設計における EDA 技術課題	60
表 13 製造装置インタフェースにおける EDA 技術課題	64
表 14 アナログ回路設計における EDA 技術課題	65
表 15 ソフトウェア設計における EDA 技術課題	69
表 16 設計全体に関する EDA 技術課題	73
表 17 EDA 技術の推移(1)	79
表 18 EDA 技術の推移(2)	80

1. はじめに

1.1 背景

集積回路技術における微細化技術はこれまで約 3年ごとに世代を更新しており、1cm²当たり1000万を超えるトランジスタからなる回路をシリコンチップ上に実現できるようになると予想されている。このような集積回路 (LSI)の製造技術の進歩を有効に活用して、どのようなシステムを構築して行くかが、今後の半導体産業の大きな課題となっている。

これまでのLSIの主力製品は、メモリにしてもマイクロプロセッサにしてもシステム全体から見ればLSIはあくまでも「部品」であった。しかし、作りたい対象が実際に作れる大きさを超えていたため、何を作るかという問題より、どのように設計・製造・テストするかという問題の方が主要な技術課題であった。しかし、現在の最高性能のマイクロプロセッサ・メモリがすべて1チップに集積でき、さらにチップ面積に余裕があるような状況が生まれると、システムそのものが一つのLSIとして実現できるようになり、どのようなシステムをシリコンチップ上に構築するかという点に問題の重点が移ってくる。システムオンチップ(SOC)あるいはシステムオンシリコン(SOS)と呼ばれる製品が主力となる時代の新しいシステムLSI設計法の確立が求められている。従来の「部品」としてのLSI設計技術からの大幅な方向転換が要求されているわけである。

メモリのような標準製品の設計では、製品仕様より製造技術や内部回路の設計技術の優劣が重要であった。少品種大量生産型のLSIでも、マイクロプロセッサのように仕様や設計技術がより多くの付加価値を生み出しているものもある。ASIC(特定用途向け集積回路)のようなチップでは、LSIの仕様の決定が極めて重要であるが、その仕様はシステムの部品としてシステム設計側から与えられることが多かった。しかし、これからのシステムLSIにおいては、最終製品のすべての機能が一つのチップに集積されるため、製品の設計とLSIの設計が必然的に融合され、LSIの仕様決定や設計技術そのものが、最終製品のビジネスにおいても半導体のビジネスにおいても決定的な意味を持つ時代が来ようとしている。

半導体の微細加工技術の進歩は、製造プロセスへの指数関数的な投資の増大を強いており、設計技術に対しても微細化や高性能化に関する様々な課題を課している。一方、システム設計の優劣に起因する付加価値の差も今後ますます大きくなり、大規模化・複雑化するシステム設計にいかに対応するかが、LSI設計のもう一つの大きな課題となっている。さらに、市場から開発期間を短縮するように圧力がかかるため、設計効率の向上がシステム開発の鍵ともなっており、短期間に多様なLSIを効率良く設計する技術への要求も急速に高まっている。これらの課題に対していかに対応するかで

今後の半導体ビジネスは

- 1) プロセス技術をベースとしたアプリケーション専門メーカー
- 2) システム設計能力とファブを持った垂直統合型メーカー
- 3) ファブレスのシステムメーカー

の3種に分化すると思われる。わが国に多いシステム部門から半導体部門までを持つ垂直統合型のメーカーも、今後の対応次第ではファブ리케이션専門メーカーやファブレスメーカーとならざるを得ない可能性は高い。垂直統合型メーカーとしての強味を發揮し、システム LSI時代をになう体制を確立するためには、設計技術の飛躍的な向上による新しい産業形態への脱皮が必要である。単に、同じ会社機構のもとにシステム系事業部と半導体系事業部が並んでいるのでは、垂直統合型メーカーとしての強味を發揮できない。これまでに無かった協同作業を可能にし、システム設計と LSI設計の融合を達成できるような設計手法そのための EDA技術の確立が緊急の課題である。

本ロードマップでは、システム LSI時代の設計技術を支えるEDA技術が今後、どのような方向へ発展するのかを明かにすることを目的とし、具体的な実用化技術への提言が可能なる 4年後の2002年を対象としてEDA技術への課題とそれに対する方策をまとめたものである。わが国の得意とする垂直統合型の産業構造を新しい技術的環境のもとで再構築し、システム LSIの新しい設計技術を統合的に確立するための基礎となることを目標している。

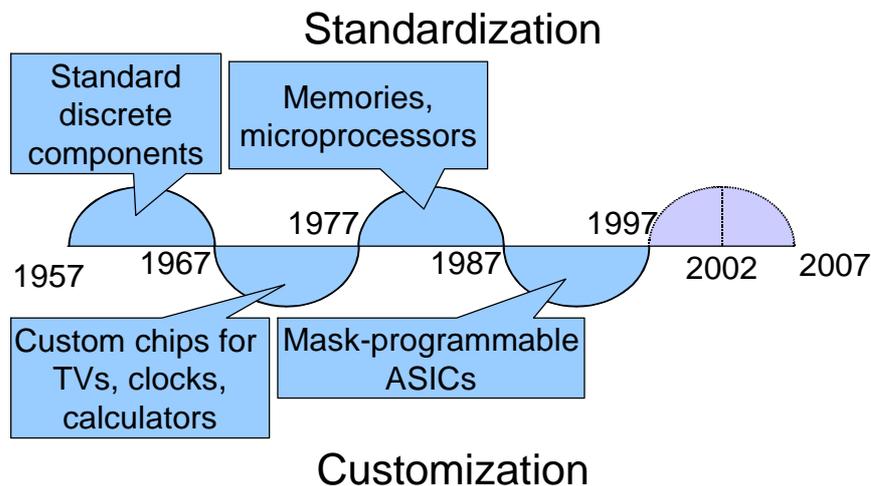


図 1 牧本 ウェーブ(出典 IEEE Spectrum 1992年 1月)

半導体産業における技術改革は、図 1 に示すように、技術革新(カスタム化)と競争(標準化)が 10年周期で繰り返されてきた。新しい市場を開拓するための技術革新が起こると、その技術を標準化し、製品化するための技術が伸びる。それらの製品が市場として飽和すると、差別化するための新しい技術革新が必要となるため、カスタム化技術が発展する。マクロ的な視点から見ると、1997年から2007年までは標準化された技術を組み合わせ、半導体の設計生産がなされる時代であり、2002年は、その絶頂期であると言える。また、この時点は、数千万個のトランジスタを搭載したシステム LSI が実用的に供給できるようになると予想される時期であり、本格的なシステム LSI 時代が始まる時期とも考えられる。システム LSI の多様な仕様に対応するため、設計資産の再利用が重要な課題となるが、これに対処するためにコアを組み合わせたシステム LSI 設計方式が主流になると予想される。コアやそれらの間のインタフェースさらにはシステム LSI 間のインタフェースなどが標準化され、大規模で高性能で複雑なシステム LSI が多様な仕様に従って柔軟に設計される時代であると予想される。すなわち、システムとして見

ればカスタム設計であるが LSI 設計としては標準化の時代であると言えるわけである。1997 年から 2007 年はシステムとしてのカスタム化 LSI としての標準化といった両方の波に対応することが求められていた。まったく新しいフェーズであるとも考えることもできる。

EDA 技術の立場から見るとカスタム化の時代は標準ツールが広く使われて各々の LSI はその企画力で勝負する時代と言える。一方標準化の時代は設計技術や設計ツールの差別化によって LSI の付加価値が大きく左右される時代と言える。今後の 10 年は設計技術とそれを支える EDA ツールの差が半導体メーカーの浮沈の鍵を握っていると言っても過言ではない。

半導体に関わる今後の技術動向を把握しロードマップを作成することはこれからの半導体産業の健全な成長に繋がると考えられる。米国では既に半導体全般に関わる技術動向をまとめたロードマップ [文献 1] や LSI の設計テストを支援するための EDA において標準化しなければならない項目をまとめたロードマップ [文献 2] などが発表されている。一方日本でも (社)日本電子機械工業会からの委託を受けて半導体産業研究所の ATLAS プロジェクトが中心となり 2010 年のアプリケーションを想定し日本における LSI 設計者の設計力に関する調査結果をまとめている [文献 3]。しかしながらシステム LSI に関する設計テストを効率的に行うための EDA 技術そのものに関するロードマップは、その発表が望まれていた。本ロードマップはこのような要請に応えるべく (社)日本電子機械工業会 EDA 技術委員会 /EDA ビジョン研究会において検討された EDA 技術の将来に関する議論を集約したもので今後の技術革新の指針となることを願っている。

1.2 目的と基本方針

本ロードマップの目的は 21 世紀へ向けて

- 設計対象となるシステム LSI (我々はこれを *Cyber-Giga-Chip* と命名した)
 - システム LSI 設計に必要な設計テスト技術
 - 設計テストを支援するための EDA 技術における課題と方策
 - システム LSI 設計のための適用分野別 EDA ロードマップ例
- などを示すことにある。

また、実用的なロードマップとするために

- 1) 2002 年までに必要な技術と達成レベルの明確化
 - 2) 設計者からの EDA 技術に関する要求分析
- を基本方針とした。

第一の方針をとった理由としては

- 機能ブロックなどのコアを用いた設計が主流となるのは製造技術として 0.18 ~ 0.13 μm 世代である
 - 2002 年は「標準化の時代」における絶頂期である
 - EDA 技術における各要素技術が実現可能かどうかを判断できる範囲は 5 年間程度である
- などがある。

第二の方針には EDA 技術者の基本技術と設計者の要求とを結び付けるという目的がある
以上のような基本方針に基づき本ロードマップを作成した。

1.3 用語の定義

ここで以降頻出する用語の定義をしておく

Cyber-Giga-Chip:	エレクトロニクス機器の中核となり、各種の機能ブロックの組み合わせで構成されるチップ。
コア:	機能ブロックなどのある機能を有した部分回路
IP:	Intellectual Property、設計資産などの知的所有物
システム設計:	システム LSI に求められる仕様を形成するさらに目的とする機能をハードウェアもしくはソフトウェアとして実現する方式を定めること
アーキテクチャ設計:	制約のもとに実現すべき機能のハードウェア構成を定めること
RTL/論理設計:	制約のもとに実現すべき機能をハードウェア回路 / 論理回路として実現すること
回路設計:	制約のもとに LSI 設計で使用される基本部品であるセル、アナログメモリなどの回路をトランスレベルで決定すること
レイアウト設計:	制約のもとに電気回路をシリコンチップ上に実現するために、基本部品を配置し、接続情報に基づいて配線すること。半導体の微細化により、基本部品の配置や配線が電気的動作に直接影響を与えるようになってきたため、レイアウト設計時に電気的動作を考慮して配置や配線経路を決める処理が必要となってきている
テスト設計:	シリコンチップ上に実装した電気回路が所望の機能を実現していることを確認するために、測定で使用するテストデータを作成すること。測定を容易化するための回路を追加するなどのテスト容易化設計 (DFT) も含まれることがある
テスト:	製作した LSI が所望の機能、電気特性を備えているかを LSI テスタなどを用いて測定すること

1.4 読者

本書の読者としてはシステム設計テスト、LSI 設計テスト、EDA 技術に関わる企業の経営者および技術者、および大学の研究者を想定している。

1.5 ロードマップ作成方法

本ロードマップは (社)日本電子機械工業会(EIAJ) EDA 技術委員会 /EDA ビジネス研究会が中心となり、(財)九州システム情報技術研究所、(株)半導体理工学研究開発センター、九州大学、大阪大学

等の協力によって作成された。図 2 は本ロードマップの作成方法をまとめたものである。EDA ビジョン研究会はその下部組織として Cyber-Giga-Chip 検討 WG および EDA 技術要求分析WG を設けた。Cyber-Giga-Chip 検討 WG では (株)半導体理工学研究開発センター、九州大学 大阪大学などの協力を得ながら、2002 年における設計対象となる Cyber-Giga-Chip のプロフィールと設計フローを予測した。EDA 技術要求分析WG では、2002 年に向けて必要となる EDA 技術に関して、LSI 設計者の設計要求を EDA 技術の観点から分析し、詳細なロードマップを作成した。LSI 設計者からの情報収集 EDA 要素技術の調査ロードマップの編集作業等に関しては、EDA ビジョン研究会からの委託を受け (財)九州システム情報技術研究所が行った。具体的には EDA ビジョン研究会に属する企業に従事する LSI 設計者を対象にインタビューし、その内容を設計要求としてまとめた。そして EDA 技術者へのインタビューを実施し、EDA 要素技術を調査した。また EDA ビジョン研究会での活動内容をロードマップとしてまとめた。

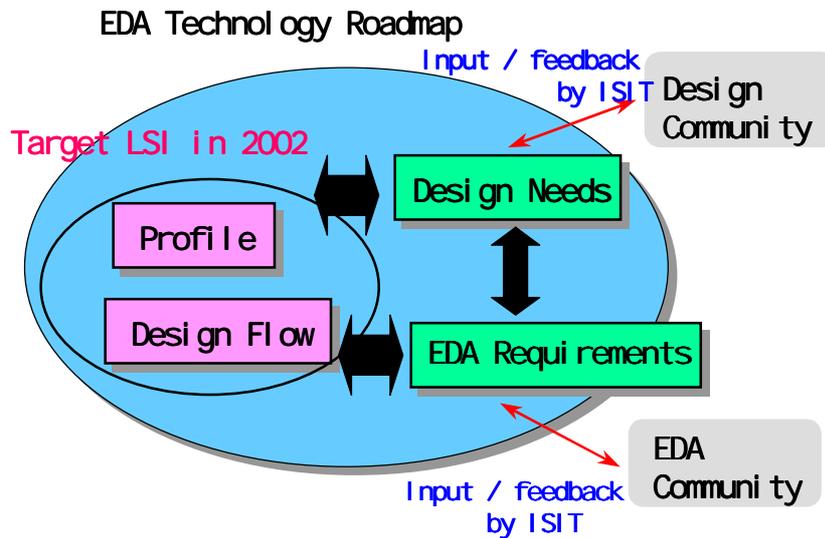


図 2 EDA 技術ロードマップ作成方法

1.6 利用法

本ロードマップの利用法としては、例えば以下のようものが考えられる。

- ・システム LSI 設計者これから設計しようとしているシステム LSI が本ロードマップで提示しているビジネスモデルにおけるどのカテゴリに入るのかを判断し、最適な設計環境を整備するために利用する。
- ・半導体技術者 半導体メーカーのビジネスもユーザーとのインターフェースとしての設計ツールの重要性が増大している。アプリケーションのみに徹するか、システム設計からアプリケーションまでの垂直統合ビジネスを進めるか、あるいはその中間形態を指向するのかを考えるために利用する。

- ・EDA 技術者 今後 どのようなツールを提供すれば 利幅の大きいビジネスができるのかを解析するために利用する
- ・EDA 研究者 今後のシステム LSI 設計支援を行う上での基本 技術とは何なのかを検討するために利用する

2. 概要

本章では本ロードマップを

- 1) 2002 年における設計対象と設計環境の予測
- 2) 2002 年における EDA 技術の予測

より観点からまとめ、ロードマップの概要を示す。

2.1 2002 年における半導体を取り巻く状況

ここでは 2002 年における設計対象と設計環境に関してインタビューを行った結果をまとめる。インタビュー結果の詳細は付録 A を参照いただきたい。

2.1.1 2002 年の設計対象の概観

システム LSI 時代における LSI 設計技術は、設計対象となるシステム自身の設計技術であるとも言える。数千万個のトランジスタを活かしてどのようなシステムを構築するかが最も基本的な問題であり、産業の方向性すら決めかねない重要な問題である。システム LSI は、パーソナルコンピュータなどの情報機器以外にも、家電製品、玩具、通信機器、自動車、光学機械、産業機械、社会システムなど幅広い分野に利用されていくと考えられる。まず、今後大きな市場となると予想されるいくつかの応用を考え、それぞれの応用がシステム LSI の設計に対してどのような要求を課すかを考察する。

1) 製品の中核となる機器組み込みシステムへの応用

マイクロコンピュータなどを含む機器組み込みシステムは、家電製品、自動車、産業機械、通信機器、玩具など社会のあらゆる分野に浸透し、現代人の日常生活を支える重要な基本部品となっている。システム LSI はこのような機器組み込みシステムの形態で、あらゆる電子製品や機械製品の中核をなす技術となると予想される。これらの製品設計の中でシステム LSI の設計が占める地位がますます大きくなると考えられる。システム LSI の開発を前提とした新しい製品開発フローを構築する必要も出てくる。ソフトウェア、ハードウェア、筐体、表示部、機械部などシステムの各構成要素の相互関係を統合的に設計し、その中でシステム LSI を最適化していく協調設計技術が重要になる。また、医療用機器への応用のように、安全性や信頼性が重要視される応用も少なくない。信頼性の高いシステム LSI の設計技術も求められている。さらに、近年の家電製品やゲーム機における製品のライフサイクルの短期化はシステム開発時間の短縮への要求ともなっており、数週間での質の良いシステム LSI を開発設計できるような技術への要求も高まっている。

2) 情報通信機器への応用

画像、音声、文字情報など種々の情報を各種の通信手段を用いて流通させる通信技術の革命はマルチメディア社会などと呼ばれる新しい社会現象を産み出している。異なる帯域を持つ通信路に種々の形態の情報を流すために、情報の圧縮、伸長、符号化、暗号化、復号化などの処理が必要となる。このような通信処理は、標準のプロトコルによって行われるために、同一処理をそれぞれのシステムで行う必要が出てくる。また、接続したシステムの設計誤りや誤動作が、世界的な広がりを持つ大規模ネットワーク全体に大きな障害を引き起こす可能性もある。各システムごとにこのような通信処理の回路を設計するのは無駄であり、信頼性の低下にも繋がる。そこで、良設計された通信処理回路を各応用のシステムLSI内に部分回路として取り込んで再利用する技術が重要となる。このような要求から、設計の再利用、知的所有物(IP: Intellectual Property)化、マクロライブラリ化、新しい設計ビジネス形態への模索などが議論されている。また、無線通信に対応するためのアナログ回路を集積する技術へのニーズも大きい。

3) 社会システムにおける情報技術

組み込み型システムLSIの将来の大きな市場と期待されている分野に、社会基盤に組み込んで利用される情報技術がある。これは、建築物、道路、鉄道、電気、水道、ガス、通線などの社会基盤の保守、管理、災害時の対応に利用する情報の獲得、収集、伝送、処理、制御などを行う情報システムの構築を目指す技術である。通常の機器組み込みシステムと比較して、厳しい環境条件のもとで利用され、人命に関わる機能を果たすため、高い信頼性が要求される。また、環境情報を取り込むセンサ、処理や記憶を担当するプロセッサやメモリ、通信に対応する回路などを太陽電池などで駆動するような要求も起ってくる。社会の基盤となる経済システムへの応用では、電子マネーがある。これは、現在の紙幣や貨幣を電子化し、金銭の移動の空間的制約を大幅に緩和する技術であり、今後の社会システムを大きく変える技術として注目されている。個人が財布の代わりに持ち歩くICカードとその関連機器およびそれらによって構築される新しい経済システムはシステムLSIの大きな市場となる。電子マネーを中心とする経済システムは、故意によるシステムへの攻撃に対する高い信頼性を要求し、システムLSI設計へ種々のレベルの信頼性を保証する技術を要求する要因となる。詐欺や偽造などの犯罪行為から安全なシステムを構築する技術は、暗号技術などの新しい技術をシステムLSIの設計へ取り入れることを意味し、微細加工技術を積極的に利用した安全性確保など新しい研究開発分野の開拓が必要となる。

4) 高性能計算システムへの応用

計算機システムは、これまでも半導体産業の大きな市場であり、新しい技術の牽引車の役割を果たしてきた。今後もスーパーコンピューティング分野を中心とした高性能プロセッサへの要求は、高性能システムLSIへ大きな影響を与えられ、特に、遺伝子解析などの生化学分野、分子設計、航空機や宇宙開発、地球科学、物理学など計算科学分野からのスーパーコンピューティングへの要求は、半導体の高性能化への大きな圧力となり続けられる。数万個以上のプロセッサを結合した超並列システムの設計技術は、フロンティア技術として今後のシステムLSI設計技術に大きな影響を与えること

が予想される。従来の半導体メモリ技術とプロセッサ技術を融合した DRAMと論理の混載技術や、機能メモリ技術などの飛躍的な発展が期待される。

5) パーソナル情報機器への応用

パーソナルコンピュータを中心とした小型化/分散化の流れは、大衆製品として計算機システムを普及させ、半導体の大きな市場を形成してきた。今後インターネットなどの通信機能やマルチメディア処理機能の充実により、益々大衆化が進むことが予想される。パーソナルコンピュータへの応用からは高性能化のみならず、低コスト化・低消費電力化などの要求がシステム LSI設計技術へ強く出される。特に携帯型の情報機器からの低消費電力化の要求は非常に強く、今後の技術開発の大きな課題となっている。また、マルチメディア処理やユーザインタフェースの拡充の要求からはセンサやアナログ処理とデジタル処理を融合する技術や高性能化設計技術が期待される。

以上述べた各応用分野で利用されるLSIは、大きく分けて以下の三つに分類される。

1) プロセス指向型 LSI

従来のDRAMのように、製品仕様は比較的安定しており、最先端のプロセス技術を駆使して世界記録を競うような形の LSIである。大量生産されることが前提で、数年にわたり時間をかけて設計されることが多い。

2) 性能指向型 LSI

マイクロプロセッサのように、大枠としての仕様は決まっているがアーキテクチャレベルの仕様を含めて設計側に自由裁量権があり、アーキテクチャ、論理回路レイアウトなどのあらゆる設計レベルにおける最高の設計技術を駆使して設計される LSIである。必ずしも最先端のプロセスを使用するとは限らず、設計技術の優劣が極めて明瞭に現れる。数年にわたり時間をかけて設計されることもあるリーディングエッジ システム LSIなどと呼ばれる分野がこれにあたる。

3) 市場指向型 LSI

LSIを利用するユーザ側が主導権をもって設計される LSIである。各種組み込みシステムや情報通信機器などに利用されるものはこの分類に入るものが多い。特に市場価値が時間の関数で決まるために、短い開発期間で開発されることがほとんどである。この分類に含まれるシステム LSIでは短期開発に加え、システムの多様な仕様に対処する必要がある。そのためには標準的なコアを利用し、特定用途向けに LSIの性能を最適化するような技術に基づくものでなければならない。今後のシステム LSIの主流となるものがこの分類に含まれる。システム設計と LSI設計の融合により、従来の LSI設計手法が通用しない分野とも言える。わが国の垂直統合型の産業構造に適した LSIの形態と考えられる。

本ロードマップでは設計目標とする LSI として 2002 年における市場指向型 LSI、特にその時点で最先端の技術に基づくコアから構成されるシステム LSI に焦点を当てる。我々はそのようなシステム LSI を Cyber-Giga-Chip (CGC) と呼び、図 3 に示すようなチップの仕様を定義する。CGC は、複数のコアから構成されておりシステムの中核となる LSI である。第 3 章では CGC の仕様に関して説明を加え、LSI 設計者に対して、「CGC を設計する場合にどのような技術が必要となるか」という観点からインタビューを行った結果得られた設計要求項目に関してまとめる。

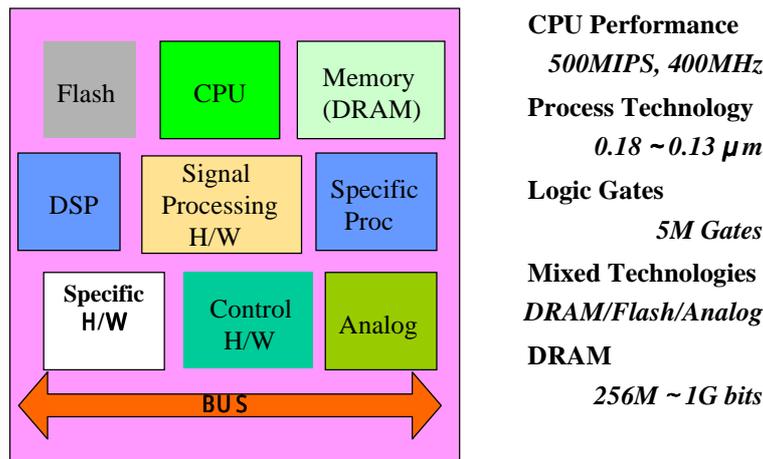


図 3 2002 年における Cyber-Giga-Chip のプロフィール

2.1.2 2002 年の設計環境の概観

今後、情報技術・通信技術の進歩に伴い、設計環境も設計手法・設計対象の変化に対処しなければならぬ。よって、ネットワークデータベース技術を駆使し、複数の組織間での協調設計を行った。EDA ツールを動作させる計算プラットフォームを充実させるために、並列処理などの積極的利用も検討する必要がある。

プロセス指向型 LSI では、いかにして良いプロセスを開発し、プロセス技術の利点をどれだけ設計に取り込めるかが重要になる。よって、プロセス技術と CAD/EDA 技術との結びつきがより強くなると考えられる。性能指向型 LSI では、現在のスーパーコンピュータの設計環境と同様に、設計技術、CAD/EDA 技術は一部企業群に局在すると考えられる。市場指向型システム LSI では、設計技術、CAD/EDA 技術は多くの産業需要に支えられ、幅広・益々高度に発展すると考えられる。どわは、記述の多層化・多種類の IP 記述、ハードウェアとソフトウェアの混在などから、設計階層間の変換技術と検証技術が重要となる。また、IP の善し悪しを判定するための技術が求められる。

2.2 2002 年における EDA 技術

2002 年に向けて、システム LSI の普及とともにコアを用いた設計が主流となり、図 4 に示すように LSI 設計フローが変化し、設計の分担がシステム設計者、シリコン設計者、プロセス技術者に分かれる。現在、複数の LSI を用いてシステムを構築する場合、システム設計者は既存の LSI を組み合わせ最適なものを旨とする。そのため、LSI 設計とシステム設計は、独立に行われる。しかしながらシステム LSI を設計する場合にはシステム設計者は要求するシステムの目的に応じて最適な LSI を設計する必要がある。そのため、新たに「システム設計者用の EDA ツール」が必要となる。システム設計者の提示する要求が固まれば、シリコン設計者により従来の EDA ツールの延長線上にある技術を用い、既設計のコアを利用したり、新たなコアが設計され、チップ全体が設計される。現在、設計ルールはプロセス技術者によって一方的に与えられることが多い。しかしながらシステム LSI 設計ではシステムの目的達成のために、プロセス技術を最適化することも必要になる可能性があるため、テクノロジー依存した EDA ツールの高度化が必要となる。

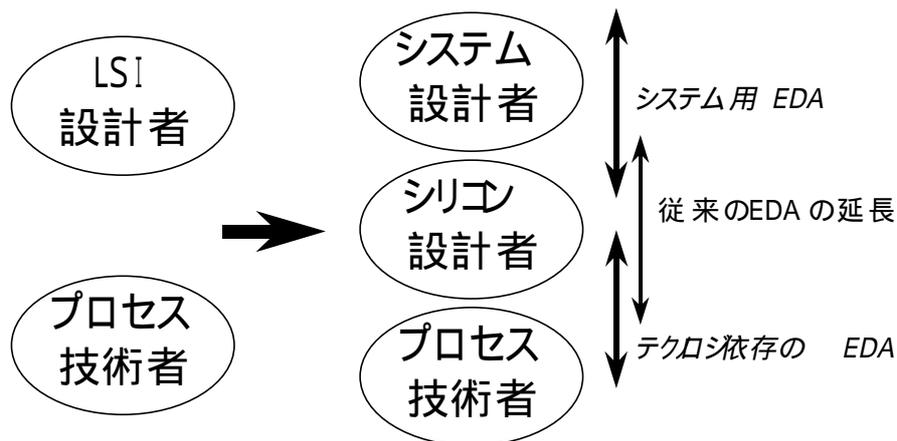


図 4 LSI 設計フローの変化

システム LSI 設計の応用分野は多様である。よって、2002 年に必要となる EDA 技術は、設計対象となるシステム LSI の設計目標に応じて、優先順位が異なってくる。第 4 章では EDA 技術課題に関し、各項目ごとに解説を加える。第 5 章では、2002 年における CGC の設計フローを予想し、CGC を設計するための EDA 技術として何が必要になるのかを示す。以下では、2002 年における EDA 技術課題の概要を示す。その詳細は、第 4 章を参照いただきたい。

EDA 技術における課題と対応策をまとめるに当たり、設計の流れに沿って、設計対象をハードウェアとソフトウェアに分けて検討した。そしてハードウェアに関してはさらにデジタル回路とアナログ回路に分け、デジタル回路に関しては仕様、見積、検証、合成、テストの各項目に分類した。

表 1 は、デジタル回路設計におけるシステム設計とアーキテクチャ設計での EDA の技術課題を示したものである。システム設計においては、システムモデルの標準化、システム仕様記述言語の標準

化 性能予測 シミュレーション エミュレーション フォーマルベリフィケーションなどの検証技術 ハードウェアとソフトウェアの分割 テスト戦略の決定支援などへ対処しなければならない。アーキテクチャ設計においてはアーキテクチャモデルの標準化 アーキテクチャ記述言語の標準化 面積遅延 電力フロアプランなどの推定 RTL 合成で必要となる面積や電力などの制約決定支援 システムとアーキテクチャの整合性を検証するフォーマルベリフィケーション パリデーションを目的としたシミュレーション アーキテクチャ合成 テスト戦略の決定支援とテスト容易化設計などへの対処が挙げられる。

表 1 デジタル回路設計における EDA 技術課題(システム設計からアーキテクチャ設計)

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
1. システム	1A(1) システムモデルの標準化	1B(1) システムレベル性能予測(アプリケーションソフトウェア)	1C(1) システム記述言語 SLDLシミュレーション	1D(1) システムのハードウェア /ソフトウェア分割	1E(1) システムテスト戦略の決定支援(ハードウェアソフトウェアの両方に対する)
	1A(2) システム記述言語の標準化 (SLDLなど)	コンパイラ ハードウェアの性能解析 最適化	1C(2) エミュレーション技術の改良(システム全体の高速検証)	1D(2) システムレベルライブラリ(IPコアミドルウェアなど)	
			1C(3) フォーマルベリフィケーション (仕様 - システム)		
2. アーキテクチャ	2A(1) アーキテクチャモデルの標準化(分野別モデルを含む)	2B(1) アーキテクチャレベル推定(面積遅延 電力フロアプラン)	2C(1) フォーマルベリフィケーション (システム - アーキテクチャ)	2D(1) アーキテクチャ合成	2E(1) アーキテクチャテスト方式決定支援(テスト方式 / 面積 / テスト時間)
	2A(2) アーキテクチャ記述言語の標準化 (Verilog HDL, VHDLなど)	2B(2) RTL設計制約決定 (面積 タイミング 消費電力フロアプランのパッケージング)	2C(2) パリデーション / シミュレーション	2D(2) コシシセシス	2E(2) アーキテクチャレベルDFT

表 2は デジタル回路設計における RTL / 論理回路設計から製造装置インタフェースまでの EDA の技術課題を示したものである。RTL / 論理回路設計では、RTL モデルの標準化 RTL 記述言語の標準化 面積遅延電力予測 論理合成における面積や電力などの制約決定を支援できるフロアプランナ、電源系プランニング、フォールスパス完全除去、フォーマルベリフィケーションなどの各種検証技

表 2 デジタル回路設計における EDA 技術課題(RTL 設計から製造装置インタフェース)

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
3. RTL/論理	3A(1) (合成可能な) RTL モデルの標準化(図 的な表現方法を含 む)	3B(1) RTレベル面積遅延電 力予測	3C(1) フォールスバ完全除 去	3D(1) タイミングリブな論 理合成	3E(1) IPのテストインタフェ ースの標準化(IP内とIP 間の両方)
		3B(2) RTフロアプランナで の論理合成制約決定 (面積 タイミング 消 費電力 フロアプラン のロベツティング)	3C(2) フォーマルベリファイ ーション高機能化 (アーキテクチャ - RTL) (RTL - ゲート回路)	3D(2) リバースシンセシス (下位の変更を上位 へ反映する)	
4. 回路	3A(2) RTL記述言語の 標準化 (Verilog HDL, VHDLなど)	3B(3) RTレベルの電源系 プランニング (周波数 電源電圧 フロアプランなどを 入れた電源系の プランおよび見積)	3C(3) 論理シミュレーション に代わる機能タイ ミング検証技術	3D(4) インクマンタルデザ イン	3E(2) 不良解析容易化設 計故障モデルの高度 化 多様化故障箇所 特定化
			3C(4) IPを使ったときのチップ レベルの機能 タイ ミング検証テストパタ ーン生成	3D(5) パラメトリック Vdd/Vth 対応の論理合成	
5. レイアウト	5A(1) レイアウト記述インタ フェースの標準化	4B(1) プロセス変動のモデ ル化(回路シミュレ ーションの高精度化)	4C(1) 熱解析 ノイズ解析 電磁界解析ツールの 高度化	4D(1) RT/論理レベルから のトランジスタレベル 回路レイアウト合成	5E(1) テスト容易化レイアウト 手法
			4C(2) 微細化プロセス用高 精度モデル パラメ ータ抽出	4D(2) パラメトリック Vdd/Vth 対応のライブラリ生 成 シミュレーション	
			4C(3) パッケージ ボードを 考慮したタイミング検 証	4D(3) 特性を保證するプロ セスマイグレーション 技術	
6. 製造装置 インタフェース			5C(1) 高速レイアウト検証	5D(1) 自動電源系生成シス テム	
			5D(2) シミュレーションベ ースレイアウト技術		
			5D(3) マスク処理高速化		
			5D(4) 多層配線仕様決定手 法		
			5D(5) パラメトリック Vdd/Vth 対応のレイアウト技術		
			6D(1) 微細加工マスク製造 インタフェース技術		

術 タイミングを考慮した論理合成 RTL 合成 IP に関するテストインタフェースの標準化 不良解析容易化設計などへの対応が必要である 回路設計においては プロセス変動のモデル化 熱イズ電磁界解析ツールの高度化 微細化に対応した高精度なプロセスモデル パッケージやボードを考慮したタイミング検証 RT レベルからのトランスタ回路レイアウト合成等への対応が必要である レイアウト設計においては レイアウト記述インタフェースの標準化 高速レイアウト検証 電源系の自動生成 /スズロストークインダクタンス線間容量などを考慮したレイアウト技術 多層配線仕様 決定手法 テスト容易化レイアウト手法などに対応しなければならない 製造装置とのインタフェースに関しては マスク処理の高速化 微細加工に対応するためのマスク製造インタフェースの整備などに対応しなければならない

表 3 アナログ回路設計における EDA 技術課題

	F アナログ
1. システム	1F(1) アナログ / デジタル分割
2. アーキテクチャ	
3. RTL/ 論理	3F(1) アナログモデル(RTレベルのデジタルと混在検証できるようなモデル)
	3F(2) アナログモデルのシミュレーション
	3F(3) AHDL 標準化
	3F(4) AHDL からの回路合成
	3F(5) アナログ / デジタル分離(混合回路のテスト)検証テスト手段 標準化
4. 回路	
5. レイアウト	5F(1) アナログセル生成
6. 製造装置 インタフェース	

表 3 は アナログ回路設計における EDA の技術課題を示している アナログ / デジタル分割 RT レベルの デジタル回路混在シミュレーションができるようなモデル アナログモデルのシミュレーション AHDL の標準化 AHDL からの回路合成 アナログ / デジタル混合回路の検証 / テストアナログセル生成などに対応する必要がある

表 4 は ソフトウェア設計全体における EDA の技術課題を示している ソフトウェア設計においては OS の生成カスタマイズソフトウェアコア(ミドルウェア)の生成カスタマイズ 特定プロセス専用コンパイラ自動生成、複数の標準コアを共通に扱えるソフトウェア開発環境 ソフトウェアハードウェアシミュレーションなどに対応しなければならない 設計全体にわたるものとしては 設計資産の再利

用 設計フロー管理 非同期回路の設計自動化 RTL からのドキュメント生成などに対処する必要がある

表 4 ソフトウェア 設計全体における EDA 技術課題

G ソフトウェア	H 設計全体
G(1) OS生成カスタマイズ	H(1) RTLからのドキュメント生成
G(2) ソフトウェアコア(ドングルウェア)生成カスタマイズ	H(2) 設計フロー管理
G(3) 特定プロセッサ用コンパイラ自動生成	H(3) 非同期回路設計自動化
G(4) 複数の標準コアを共通に扱えるソフトウェア開発環境(コアモデルの標準化)	
G(5) ソフトウェアハードウェア コミュニケーション	

2.3 ロードマップの概要

機器組み込みシステム 情報通信機器 社会システムなどシステム LSI の応用分野は 多岐にわたる 多様な製品仕様に応じてシステム LSI を設計するには、標準的なコアを組み合わせることが一つの現実的な解となる 2002 年に向けて、このようなコアを組み合わせさせたシステム LSI が、様々なシステムに組み込まれることになる 本ロードマップでは、2002 年における標準的なコアを組み合わせさせたシステム LSI を Cyber-Giga-Chip と命名し、そのプロファイルを定義し、設計フローを予想した また EDA 技術者の基本技術と設計者の要求とを結び付けた実用的なロードマップにするために、EDA 技術者のみで作成するのではなく、設計者の要求を反映した

これらの方針に基づき、2002 年へ向けての EDA 技術ロードマップを作成するに当たり、以下の方法をとった 最初に、2002 年におけるシステム LSI として Cyber-Giga-Chip を定義し、続いて、第一線の LSI 設計者へインタビューし、2002 年に向けての設計技術に関する要求をまとめた、続いて、それらの要求を EDA 技術の観点から分析し、設計目標と、2002 年においてどの程度の技術水準まで達するのかを検討した、最後に、Cyber-Giga-Chip と各コアの設計フロー、さらには、Cyber-Giga-Chip を用いたシステムの設計フローを示し、それを支援するための EDA 技術における課題をまとめ、その対応策を検討した

3. EDA 技術への要求と分析

本章の目的は EDA 技術を取り巻く環境を明示することにある。具体的には 2002 年における設計対象として Cyber-Giga-Chip と呼ばれるシステム LSI を定義し、2002 年に向けて、LSI 設計者へのインタビューから得られた EDA 技術への要求を分析する。

3.1 Cyber-Giga-Chip のプロフィール

本ロードマップで設計対象とする LSI はその時代の最先端の要素技術を用いたシステム LSI である。その定義を行うに当たり、2002 年におけるシステム LSI の特徴に関する調査結果を示す。

- (1) メモリ / 論理混載 DRAM や SRAM などのメモリプロセッサや DSP が混載する。特に 32 ビットマイクロプロセッサによるシステム LSI が主流となる。
- (2) デジタル / アナログ混載 デジタル回路アナログ回路が混載される。システム全体としてはプログラムによる機能実現が中心で、アナログは必要最小限となる。しかしアナログ的な技術が差別化のポイントとなるので、設計としては重要視すべきである。
- (3) センサとアナログ回路の結合: センサとアナログ回路の結合により、チップ内でデータの圧縮と認識を一体化するような処理が行われる。
- (4) 並列処理システム LSI の CPU としては、RISC のオンチップマルチプロセッサ(MIMD)が中心となる。応用はマルチメディア対応の携帯機器であり、ハードウェアは標準機能の多様化はソフトウェアで対応する形となる。
- (5) フォールトトレラント: 重電用高信頼システムなどのように高い信頼性が要求される分野ではチップ内 2 重化などの技術が使われる。
- (6) 無線系コアの搭載: 通信に関わるシステム LSI では、無線系コアが組み込まれる。
- (7) ハイエンドプロセッサの仕様: システム LSI の仕様を予測するために、ハイエンドプロセッサにおける 2002 年における仕様を調査した。その結果をまとめると、動作周波数 1GHz、トランジスタ数 500M-1G 個 (内 論理部は 50M-100M 個)、消費電力 50-60W、電源電圧 1-1.5V、CMOS となる。特にスーパーコンピュータ用プロセッサなどはマルチプロセッサ構成で 1000-2000 ピンの実装となる。

これらの調査結果を基に、2002 年における最先端技術を用いたコアから構成される市場指向型システム LSI の仕様を定義する。我々はこれを Cyber-Giga-Chip と呼び、CGC と略する。図 5 は、CGC のプロフィールを示している。CGC は CPU、DSP、メモリなどのコアからなり、メモリ / 論理混載技術やデジタル / アナログ混載技術等が重要となる。

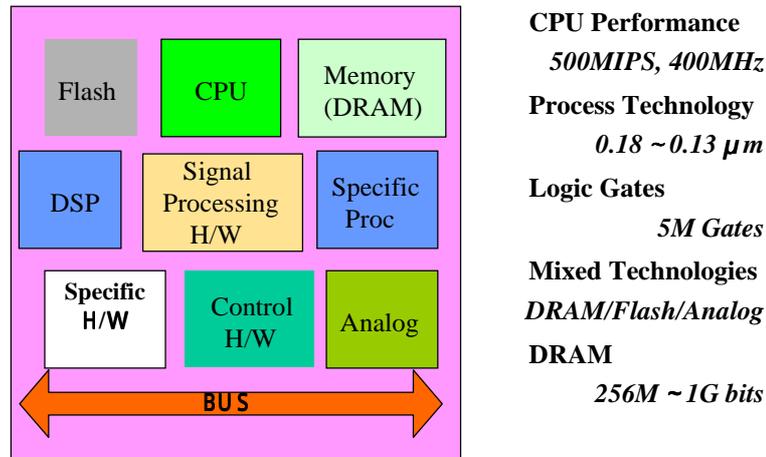


図 5 2002 年における Cyber-Giga-Chip のプロフィール

表 5は CGC におけるコアの仕様を示している。2002 年では 0.18 から 0.13 μm ルールの半導体製造技術を用い CPU は動作周波数400 MHz、DSP は 3GOPS、内部バスの転送速度は 4G バイト/秒、3次元グラフィックスの表示性能は 5GFLOPS、アナログ/デジタル変換器の消費電力は 2mW、プロセッサ 0.18 μm ~ 0.13 μm 論理ゲート数 5M 個、DRAM の容量は 256M ~ 1G ビットとなる。ここで CPU の性能が 2002 年におけるハイエンドプロセッサに比べ約半分の動作周波数なのは、製造時のプロセスラインの違いによる。CGC は種類の異なるコアからなるため、ハイエンドプロセッサで用いられるような高速化重視のプロセスラインではなく、汎用的なプロセスラインが用いられると考えられる。

表 5 Cyber-Giga-Chip におけるコアの仕様

Embedded Cores	1997	2002	2007
Process	0.25 μm	0.18 ~ 0.13 μm	0.1 ~ 0.07 μm
CPU	100 MIPS 100 MHz	500 MIPS 400 MHz	3 GIPS 650 MHz
DSP	1 GOPS	3 GOPS	10 GOPS
BUS	3 GB	4 GB	10 GB (Asynchronous)
3D Graphic (Display)	1 GFlops	5 GFlops	60 GFlops
Analog(ADC)	5 mW (10bit 20MS/s)	2 mW	
DRAM	64 Mbits	256 M ~ 1 Gbits	1 ~ 4 Gbits

MS/s = Mega Sample / second

3.2 EDA 技術への要求分析

ここでは LSI 設計者へのインタビューによって得られた EDA 技術への要求をまとめる。設計の流れをシステム設計、アーキテクチャ設計、RTL 設計、論理設計、回路設計、レイアウト設計、テスト設計、マスク設計、パッケージ設計、テストに分け、各設計フェーズと設計全体にわたるものに分類した。

表 6 は LSI 設計者からの EDA 技術に関する要求事項をまとめたものである。表中、行は設計目標、列は設計フェーズである。ここでは設計目標を大規模化、微細化、高速化、低消費電力化、多機能化、設計効率向上、高信頼化、知的所有権、その他に分類した。表中の数字は設計者が重要であると指摘した件数を示している。システム設計やアーキテクチャ設計等の上流設計における EDA 技術要求が多いのが特徴である。また、上流設計における見直し精度向上のためにはプロセスの情報を反映させる必要があることから、回路設計やレイアウト設計におけるプロセスに依存した EDA に関する課題も多かったインタビューで得られた情報の詳細な内容は付録 A を参照頂くと、ここではその要求を分類したものを示す。

表 6 LSI 設計ニーズ

Category Design Process	Size	DSM	Speed	Power	Function	TAT	Reliability	IP	Others	Sub-total
Product Spec.	9		3	4	3	2	2	7	5	35
System/Algorithm	7	2	6	7	2	19	2	1	4	50
Architecture	4	2	6	3	2	8	1	1		27
RTL	2	1	4	3		5				15
Logic		2	5	5		4				16
Circuit	2	6	5	4		5	2	1	1	26
Test			1	1		1	4	2		9
Layout	1	7	4	1		1				14
Mask	1					1				2
Package										
Testing				4		3	5		1	13
Others	4		4	1		12	1	4	8	34
Sub-total	30	20	38	33	7	61	17	16	19	241

表中の数字は、要求事項として指摘された項目数を表している。

システムレベル設計での要求

- (1) ソフトウェア / アナログ / デジタル / メモリなどこれまで別々に設計されてきた要素が一つのシステムとして同一のチップ上に混載システムとして実現される。このため、このような混載 / 混合システムの最適化に関する技術が重要となる。
- (2) システム設計レベルの設計記述の標準化が必要である。分かり易い仕様書の作成がシステム LSI 開発の大きな課題である。

- (3) チップ上のプログラムも半導体設計側が行うことになる可能性がある。このため、コンパイラ、オンチップデバッグ、オンチップ ICE (In Circuit Emulator) 技術などのソフトウェア開発技術が重要な技術となる。
- (4) 仕様を正しく記述し、検証し、理解する技術が設計の効率向上において重要である。特にシステム設計者と議論ができるようにシロン設計者を教育する必要がある。また、システム設計者とシロン設計者のジョイント開発に対応できる仕組みとツールが欲しい。
- (5) ハードコアやソフトコアを用いたハードウェア / ソフトウェアコデザインを支援する CAD の開発が望まれる。
- (6) CPU コアは多機能化へ向かうので、CPU コアのモデル化技術の充実が重要になる。CPU のコアモデルを含めたシミュレーションモデルやパイプライン設計のアーキテクチャレベルでのシミュレーション技術などが利用できるようにしたい。
- (7) プログラムサイズが小さくなる。CPU アーキテクチャの設計技術や OS、コンパイラ開発者と LSI 設計者とのコミュニケーション支援ツールなどが必要となる。通信系等は標準的なモジュールの再利用を行う。チップができあがっていても OS 等のデバッグが可能な FPGA 等を用いた高速エミュレータなどソフトウェアとの同時協調設計が行える環境が欲しい。検証用エミュレーションツールなどで実機の 10 分程度の動作をシミュレーションしたい。また、OS、コンパイラを CPU コアにチューニングして提供する技術も重要になる。
- (8) 多値やアナログの導入は Vdd が低下するので難しい。アナログ回路はできるだけ限定する方向に行くと考えられる。DC-DC コンバータを用い、ユーザインタフェースはアナログで設計し、中はデジタルで設計するのが効率的であると考え。
- (9) 周波数と演算器数のトレードオフを評価するツールなど、高位設計の支援ツールが必要である。
- (10) 内部電圧を制御するパワーマネージメント機構が種々のレベルで導入される。このため、スリープ制御などを含んだパワーマネージメント機構の設計に関するツールが必要となる。例えば、HDL において、“電源を切る”という記述ができるようにすることも必要である。
- (11) アーキテクチャレベルと RT レベルのギャップの解消が緊急の課題である。アーキテクチャレベルから RTL 回路を自動合成するツールやアーキテクチャレベルでの検証ツールが望まれている。また、パイプラインのラッチを自動挿入するツールやパイプライン化を自動化する技術の実用化が待たれている。
- (12) レイアウトツールとして、タイミングプロファイルシミュレータに基づく配置配線ツール、多層配置配線のモデル化ツール、配線間のカップリングの解析を行うツールが必要となる。

性能見積り

- (13) ソフトウェア / アナログ / デジタル / メモリなどこれまで別々に設計されてきた要素が一つのシステムとして同一のチップ上に混載システムとして実現される。このため、このような混載 / 混合システムの性能見積りに関する技術が重要となる。

- (14) 高速プロセッサの性能は、実装の質に依る部分が大きいため、パイプラインやキャッシュに関する性能見積ツールが必要である
- (15) システムレベル CAD(アナログ / デジタルトータルシミュレーション)における精度良い消費電力見積技術も必要である
- (16) RAM や ROM の電力を見積るために、動的なテストパターンを用いた活性化率解析ツールが必要である
- (17) 組み込み制御システムでは、ファンレス / フィンレスシステムへの要求など、製品性能への要求が厳しい、消費電力も制限値以下というだけではなく、正確な設計が要求される

アナログ設計

- (18) アナログ回路を効率良く設計することがシステム LSI の設計の効率化に繋がる。アナログとデジタルの分割技術、アナログとデジタルを統一的に検証する技術、アナログ HDL の整備などが重要となる
- (19) アナログとデジタルが混合された回路の設計検証手法、テスト容易化設計、自動テストパターン生成、テストパターン記述などは、未開の分野である。新しい設計技術の開発が望まれる。特に、アクティブコンポーネントを含む場合のアナログ / デジタル混合回路のテストは、多くの難しい問題を含んだ研究開発対象である
- (20) デジタル / アナログ混合回路では、デジタル回路部からアナログ回路部へのノイズが大きな問題となる。サブストレートやパッケージを含めたシステムとしての問題としてノイズを取り扱ふ必要がある。ノイズを解析できるアナログ / デジタルトータルシミュレーションやノイズシミュレーション技術が必要である。また、システム設計者にどの程度アナログの知識を持たせるべきかも議論が必要である
- (21) チップ外の高速度への対応も重要である。インタフェースの高速度化、ボードの設計、電源供給など、チップ内の技術とボード技術の融合が求められる。スキューフリーを実現するためのプリント基板を含めたトータルシミュレーション技術なども必要となる
- (22) アナログ / デジタル / センサ回路を適切に用いることによる低電力化設計ができる手法とツールが必要である

設計資産再利用

- (23) デジタル回路やアナログ回路の再利用技術が極めて重要である。再利用する回路は、そのまま利用されるのではなく、手を加えることができることが望まれる
- (24) CPU コアは多機能化へ向かうので、CPU コアのモデル化技術の充実が重要になる
- (25) プロセッサコアの再利用技術が重要になる。効率的なソフトウェア開発のために、CPU や DSP のコアの標準化が必要となる。言語で設計された資産は、良く検証されたもののみが再利用可能である

- (26) デジタル回路のコア化は必然である。アナログ回路のコア化は、言語で記述できるかどうかによって異なる。アナログコアの 80%は、規格化できる。言語記述できないアナログ回路の IP 化は無理であろう。モジュール間のインターフェースの標準化も必須である。
- (27) DRAM 混載 LSI における IP インターフェースの標準化が必要である。各種メモリ(DRAM, ROM, Flash)への対応も重要である。
- (28) コア化された部品を使ったときの機能検証用のテストパターンを自動的に生成する技術がないと、再利用は実用化されない。
- (29) 外部から導入したコアの検証技術が本質的な問題点となる。また、モジュールの検査法の標準化も必要である。
- (30) EDA ツールのデータに関する標準化を推進して欲しい。

設計フロー管理(データのバージョン、チーム設計技術)

- (31) 設計管理、工程管理など、設計全体を管理する技術の重要性が増大する。
- (32) 大規模な回路は分割設計を行う。別々に設計された回路を集めてトータルシミュレーションをするツールが必要である。このとき、分割設計を集めたときのバグを検証する方法が重要である。また、仕様を分担して分散設計する場合の、誤解の増幅を避け、理解の共有を助けるためのコミュニケーションツールや分散設計におけるバージョン管理支援ツールも重要である。

編集設計 / ECO

- (33) 設計変更への対応の効率化が重要である。インクリメンタルシミュレーションやインクリメンタルネット外自動生成など、変更部分にのみ注目した解析 / 合成技術が必要である。

システムエミュレーション(ソフトウェアを含めたシステム検証技術)

- (34) デバイスドライバ等のソフトウェアのデバッグを目的とした FPGA 等のプロトタイピングの技術が必要である。
- (35) ボードとパッケージコントローラ (CPU+ソフトウェア)をすべて統一的にシミュレーションして検証できるような環境が必要である。
- (36) チップ内の設計技術とボードの設計技術の融合が求められる。スキューフリーを実現するためには、プリント基板を含めたトータルシミュレーション技術なども必要となる。

デバイスモデル、特性抽出

- (37) 微細化に伴い、設計におけるマージンが性能やコストに与える影響が大きくなる。そのため、マージンを小さくした精度良い設計と設計見積りの誤差の管理が重要な技術となる。

- (38) 現在 電池 や電源回路の制約, 温度変動などの使用される環境の制約, パッケージや実装形態からの制約のもとで設計を行っている。 今後は 電源電圧や環境に左右されない設計技術が重要となる
- (39) 同期設計の限界はどこまで配線遅延のばらつきを正確に扱えるかに依る。 遅延見積の精度の向上が 設計品質に大きく影響する
- (40) より細かなマージン制御をしたい
- (41) 500MHz 以上の LSI を設計するには新しい技術が必要である。 電圧のドロップインダクタンスの影響 線間容量などの取り扱えるツールを開発して欲しい。 また 製造のゆらぎの影響を考えた検証や多層配線の積極利用とそのモデル化 自動配置配線とタイミング解析の結合なども課題である
- (42) モデルの精度向上が本質的に重要である
- (43) ライブラリの充実が必要である。 特に パラメータ(V_{th} や V_{dd} などの多様化に対応できるライブラリの整備が必要である

タイミング解析 遅延計算

- (44) 動作のローカリティを予測するためのタイミング検証技術も必要である
- (45) 高速化大規模化に伴い システムレベルでのタイミング制約記述とその検証が大きな問題となる。 小ブロックは同期 全体は非同期で設計をするといふこと考えられる。 新しい設計手法それに対応する設計ツールの開発が望まれる
- (46) 消費電力 / 配線遅延 / ノイズの対策が重要な技術となる。 配線遅延の見積り用 CAD, 多層配線用 CAD, レアウト後の配線間の影響を扱えるシミュレーションなどが必要となる。 また ノイズは大電流スイッチ 寄生抵抗 インダクタンスを考慮する必要がある。 今後 配線技術の重要性が増す。
- (47) タイミングプロファイルシミュレータに基づく配置配線ツールや多層配置配線のモデル化とツール 配線間のカップリングの解析ツール AC 的な動作を保証するレイアウトツールが重要となる
- (48) DRAM 混載におけるメモリからの読み出しネックをどのように解消するかが問題である。 コントローラや CPU からの距離に応じたきめ細かな設計条件のちがいにに対応できるタイミング設計手法も必要になると思われる
- (49) 同期設計の限界はどこまで配線遅延のばらつきを正確に扱えるにかかっている。 遅延見積の精度の向上が 設計品質に大きく影響する
- (50) 500MHz 以上で動作する LSI を設計するには新しい技術が必要である。 電圧のドロップ インダクタンスの影響 線間容量などの取り扱えるツールを開発する必要がある
- (51) デレイチェックの効率化 高精度化が必要である。 タイミングに起因する論理バグの検出技術も新しい展開が望まれる

非同期回路設計自動化

- (52) 広域的には非同期、局所的には同期のシステム構成に対応する設計手法が必要となる
- (53) 動作速度の向上に伴いスキューフリー設計への要求が高まっている。単にチップ内のスキューを考慮するだけでなくプリント板上のチップの位置まで考慮した設計が必要となる
- (54) 高速化・大規模化に伴いシステムレベルでのタイミング制約記述とその検証が大きな問題となる。小ブロックは同期、全体は非同期で設計をするといことも考えられる。新しい設計手法それに対応する設計ツールの開発が望まれる
- (55) ブロック内は同期し、ブロック間は非同期となるような回路の検証手法が必要である
- (56) 回路内に非同期部分が入って来るので、非同期回路設計支援システムを早急に整備する必要がある
- (57) 15mm 角のチップでは、端から端へ 1 クロックで信号が伝わらないので、完全同期設計が難しい。ローカルには同期式でグローバルには非同期となるような回路の設計支援ツールが必要となる。非同期回路の合成、検証技術の研究開発が望まれる

フォーマルベリフィケーション

- (58) シミュレーションには限界があるので、フォーマルベリフィケーションと組み合わせる必要がある
- (59) 大規模な回路は分割設計を行う。別々に設計された回路を集めてトータルシミュレーションをするツールが必要である。このとき、分割した設計結果を集めたときのバグを検証する方法が重要である。また、仕様を分担して分散設計する場合に、誤解の増幅を避け、理解の共有を助けるためのコミュニケーションツールや分散設計におけるバージョン管理支援ツールも重要である
- (60) 大規模回路に対応するためには、ハードウェアエンジンではなく、分散シミュレーション技術が現実的には用いられると思われる。大規模回路には、機能設計レベルでのフォーマルベリフィケーションが重要な技術となる

アナログ / デジタル混合回路の検証およびテスト

- (61) アナログとデジタルが混合された回路の設計検証手法、テスト容易化設計、自動テストパターン生成、テストパターン記述などは未開の分野である。特にアクティブコンポーネントを含む場合のアナログ / デジタル回路のテストは、多くの難しい問題を含んだ研究開発対象である
- (62) アナログ / デジタル回路の BIST を設計するための環境とツールが必要である。LSI の多ピン化に対応したテスト技術や BIST のカバー率の拡大も課題である

システム オンシリコン(SOS)における検証およびテスト

- (63) マルチチップモジュールやチップの貼合わせ技術など 新しい実装手法に対応するテスト手法の確立が求められる。貼る前のテストと貼ってからのテストをどのように考えるかなど基本的問題も多い。このような環境では、チップ間も考慮したバウンダリスキャン技術なども開発する必要がある。
- (64) アナログ / デジタル回路の BIST を設計するための環境とツールが必要である。LSI の多ピン化に対応したテスト技術や BIST のカバー率の拡大も課題である。

高速論理検証技術(論理シミュレーションの高速化)

- (65) 回路規模の増大とともに、論理シミュレーションにかかる時間は増加する。よって、将来の大規模 LSI に対処するための高速論理検証技術が必要となる。

機能設計ユーザインタフェース (高位設計効率向上)

- (66) グラフィカルエンリのようなユーザインタフェースも重要な技術である。
- (67) IP ドキュメントの整備が極めて重要である。ドキュメンテーションの文化の育成が必要で、それをサポートする CAD 技術が望まれる。

電圧マネジメント

- (68) マルチ V_{th} マルチ V_{dd} マルチ酸化膜圧などの新しい技術に対応したツールが必要である。マルチ V_{th} マルチ V_{dd} マルチ酸化膜圧等の技術をどの部分に用いればよいのかを決定する最適化技術も重要である。これらの技術は、2002 年では公開技術ではなく、自社 CAD で対応すべきものである。
- (69) 与えられた動作周波数に必要な電源電圧を自動的に設定してくれる電圧マネジメント回路などの設計ができる手法ツールが必要となる。
- (70) 電圧マネジメント回路のテストなどこれまでになかった問題も多く出てくる可能性がある。
- (71) V_{th} や V_{dd} などのパラメータの多様化に対応できるライブラリの整備が必要である。

クロック制御

- (72) 2002 年では 1 ~2Gbyte/秒でメモリからのデータの取り込みが行われるため、メモリ間のインタフェースを管理する ASIC の導入やデータバスのスキューフリー設計が必要となる。これに対応する設計ツールが必要である。
- (73) 大規模化・高速化に伴いクロック分配が難しくなる。クロック分配のスキューマネジメントの精度向上とそれに基づく自動分配ツールが重要な技術となる。さらに、クロッククイズを定量的に把握するための CAD も必要である。

- (74) クロック設計において、ゲートドレープ クロックをサポートできる CAD が必要である。また、クロックを止めるとノイズが発生するため、低電力化を施した場合に、ノイズの影響が考慮できる CAD 技術が必要である。ゲートドレープ クロックを考慮したクロックスキューが扱えるレイアウト CAD も必要である。

ノイズ

- (75) デジタル / アナログ混合回路におけるノイズが大きな問題となる。アナログ回路、デジタル回路の間で相互に生じるノイズの影響、バルク電流によるノイズ、高周波回路同士のカップリングの問題などを取り扱う環境が必要である。また、クロストークはチップ上だけでなく、チップ間も考慮する必要がある。ノイズミュレーション技術も重要な技術となる。

電源設計

- (76) 電源ドロップの測定技術を確立する必要がある。

レイアウト(配置 配線)

- (77) DRAM のコア化に関しては、プレーナ型は可能であるが、他の形態は難しい。メモリの高速インターフェースの規格化は必要である。メモリのセル容量やビット線容量を考慮したメモリセルレイアウトツールもコア化には必須の技術である。

プロセスマイグレーション

- (78) AC 的な動作を保証したテクノロジマイグレーションの実現が必要である。
- (79) メモリ部分の設計においては、プロセスに依存しないメモリ設計が必要である。旧テクノロジで実装されたブロックが短期間で、かつ少ない作業量で新テクノロジに再実装できないとメモリを混載したシステム LSI は実現が難しい。
- (80) メモリエネレーション技術や周辺回路(アナログ / デジタル)の自動生成技術が重要となる。
- (81) トランジスタのリサイズを自動的に行うレイアウト CAD などセルを使わない設計に対応できる設計環境が望まれる。
- (82) ライブラリの誤差を一つのパラメータで制御するような技術 CAD での誤差と製造の精度を考慮したライブラリの生成技術、アナログ回路のライブラリ化による再利用技術などが実現できれば生産性は大幅に向上する。特にプロセス / デバイス変更時に自動対応できる技術が必要となる。

テスト

- (83) テストのコストと信頼性のトレードオフを考えた設計が行われる可能性がある。テスト項目の増加にどのように対応するかを整理し、テストで何をどこまで保証するかを明確にする必要がある。アナログ混合回路をいかにデジタルテストでテストするか A/D、D/A のセルフテスト、高速フーリエ変換を利用したテストなどテストコストの低減に関する技術を確立しなければならない。

不良解析

- (84) 不良動作時の解析技術も重要な技術である

オンボードシステム検証

- (85) ボード設計やテストの治具の作成へのサポートも効率改善に大きく貢献する
(86) アナログ / デジタル / 無線を 1 チップ化した 1000 ピンから 5000 ピンの多ピンプロセッサが現れる多ピン化積層技術 MCM などに対応したボード / チップ内の統一的な解析技術が必要となる
(87) パッケージやインターフェースのオープン化が重要となる 3 社以上のアライアンスが最低限必要である
(88) マクロブロック間インターフェースや耐压ブロック間インターフェースの実現が問題である

マスク処理

- (89) マスク処理時間の短縮も重要なテーマである、並列処理などの利用が期待される

ソフトウェア設計

- (90) マルチプロセッサに対応するための OS を誰が担当するのかなどの問題がある
(91) ソフトウェア部品が重要となる。モデムドライバなど多機能への要求はソフトウェアで対応するようになる

設計記述モデル

- (92) 仕様を正しく記述し、検証し、理解する技術が設計の効率向上において重要である。特に、システム設計者と議論ができるようにシロン設計者を教育する必要がある

以上の設計要求に対して、第 4 章では EDA 技術の観点から課題とその対策についてまとめる。表 7 は本章における設計要求項目と次章における EDA 技術課題の項目番号との対応を示したものである。各番号は表 1 から表 4 における各項目の番号にも対応している。

表 7 設計要求項目と EDA 技術課題との対応

	第3章 設計要求項目	第4章 EDA技術課題
1	システムレベル設計	1A(2),1B(1),1C(1),1D(1),1F(1),1D(3),2B(1),2D(1),2E(2), G(3),G(4),G(5)
2	性能見積り	1B(1),2B(1),2B(2),3B(1),3B(2),2D(1)
3	アナログ設計	3F(1),3F(2),3F(3),3F(4),5F(1)
4	設計資産再利用	H(1)
5	設計フロー管理(データのバージョン、チーム設計技術)	H(2)
6	編集設計 / ECO	3D(2),3D(4)
7	システムエミュレーション(ソフトウェアを含めたシステム検証)	1C(2)
8	デバイスモデル、特性抽出	4B(1),4C(2),4C(3)
9	タイミング解析 遅延計算	3B(2),3C(1)
10	非同期回路設計自動化	H(3)
11	フォーマルベリフィケーション	1C(3),2C(1),3C(2)
12	アナログ / デジタル混合回路の検証およびテスト	3F(5)
13	System on Silicon (SOS) における検証およびテスト	1E(1),3D(6),3E(1),3C(4)
14	高速論理検証技術(論理シミュレーションの高速化)	3C(2),3C(3)
15	機能設計ユーザインタフェース(高位設計効率向上)	H(1)
16	電圧マネジメント	3D(5),4D(2),5D(5)
17	クロック制御	3D(1),3D(3)
18	ノイズ	4C(1),4C(3),5D(2),5D(4)
19	電源設計	3B(3),5D(1)
20	レイアウト(配置 配線)	5A(1),5C(1),5D(2),5D(4),5D(5)
21	プロセスマイグレーション	4D(1),4D(2),4D(3)
22	テスト	1E(1),2E(1),2E(2),5E(1)
23	不良動作解析	3E(2)
24	オンボードシステム検証	4C(1),4C(3),
25	マスク処理	5D(4),6D(1)
26	ソフトウェア設計	G(1),G(2),G(4),G(5)
27	設計記述モデル	1A(1),2A(1),2A(2),3A(1),3A(2)

4. EDA 技術の課題と技術開発目標

本章では、個別の EDA 技術における課題と技術開発目標を提示する。前章までにまとめた LSI 設計者からの要求を EDA 技術の視点から捉え直し、EDA の技術として何が望まれているのかを分析する。以下では、デジタル回路設計、アナログ回路設計、ソフトウェア設計、設計全般に関わるものに分け、現状、2002 年、2002 年以降で、どのように技術が推移してゆくのかをまとめる。

4.1 デジタル回路設計における EDA 技術課題と目標

以下では、デジタル回路設計における設計の流れに沿って、システム設計、アーキテクチャ設計、RTL / 論理設計、回路設計、レイアウト設計、製造装置インタフェースの各段階において、個別の EDA 技術課題と開発目標項目を述べる。

4.1.1 システム設計

表 8 システム設計における EDA 技術課題

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
1. システム	1A(1) システムモデルの標準化	1B(1) システムレベル性能予測(アプリケーションソフトウェア)	1C(1) システム記述言語 SLDLシミュレーション	1D(1) システムのハードウェア /ソフトウェア分割	1E(1) システムテスト戦略の決定支援(ハードウェアソフトウェアの両方に対する)
	1A(2) システム記述言語の標準化 (SLDLなど)	コンパイラハードウェアの性能解析最適化	1C(2) エミュレーション技術の改良(システム全体の高速検証)	1D(2) システムレベルライブラリ(IPコアミドルウェアなど)	
			1C(3) フォーマルベリフィケーション (仕様 - システム)		

項目名	現状(1997)	2002 年	2002 年以降
<p>システムモデルの標準化</p> <p>位置 1 A(1)</p> <p>概要 抽象度の高いシステムレベルで、システムの表現を可能とするモデルの標準化 システムの仕様、動作機能 構成 制約などはこのモデルにより規定 表現れる</p>	<p>標準的なモデルなし、システムの仕様、動作機能 構成 制約などは図、表 言語 説明文などの不統一なレベルや表現で曖昧 不完全に表現されている システムの一部のアルゴリズムや動作が VHDL、 Verilog HDL、C 言語などで表現されることがあるが 標準的なモデルはない</p>	<p>システムレベルでシステムの仕様、動作 機能 構成 制約などを表現 規定するための抽象的な基本モデルが 図 や 言語により確立される</p>	<p>各種のマクロや IP(ソフトウェア ハードウェア等)を完全に表現できるモデルが確立し、システムはこれらの IP モデルと基本モデルにより完全に規定、表現できこのモデルとシステム記述言語や各種処理系との完全な対応が可能となる</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>システム記述言語の標準化 (SLDL など)</p> <p>位置 1 A(2)</p> <p>概要 ハードウェアソフトウェアを含めたシステム仕様を記述する言語 システムの性能見積 検証(co-sim 含む)、動作レベル合成を行う 将来この言語を中心にシステムレベル設計技術を確立して行くため標準化が必要</p>	<p>標準仕様なし 開発には C/C++ 等のプログラミング言語と Verilog HDL または VHDL 等のハードウェア記述言語を併用している</p>	<p>システム記述言語のいくつかの候補が現れ、それに対する処理系ツールの開発が進む。</p>	<p>システム仕様 記述言語の標準化が行われ、複数のベンダから処理系ツールが提供される 高機能なマクロの標準化 およびそれらのマクロに関しての IP ビジネス化</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>システムレベル性能予測(アプリケーションソフトウェアコンパイラハードウェアの性能解析最適化)</p> <p>位置 1 B(1)</p> <p>概要: プロセッサコアのソフトウェア開発環境に関する要求、最適化支援のための性能解析技術また自動最適化技術アーキテクチャのトレードオフ評価の一つとしてのアルゴリズムの性能評価技術</p>	<p>汎用プロセッサ用のシミュレータ、デバッガは用意されているが、性能解析最適化の程度はツールに差がある</p> <p>シミュレータの高速化のために、特定のプロセッサに最適なプログラミングが一部で行われているが、十分な環境はない</p> <p>アーキテクチャ設計は十分な設計環境はなく設計者の技術に強く依存している</p> <ul style="list-style-type: none"> ・ C 言語などを用いたアルゴリズム評価が一般的であり信号処理に限っては特化した設計環境がいくつか実用化されている ・ アプリケーションソフトウェアに対してアーキテクチャの性能および効率を評価する技術が盛んに研究されている ・ HW/SW コデザイン(分割見積)支援が研究レベルにあり実用の域に達していない 	<p>プロセッサアーキテクチャの標準化が進みコンパイラは最適化が進む。並列プロセッサが普及しソフトウェア開発技術の研究が進む。コアプロセッサ(固定されているかあるいはレジスタ数などある程度の変更がきく)に対して、どのような専用 HW を追加すれば性能を満たすことができるか見積もれる技術が実用化される</p> <ul style="list-style-type: none"> ・ プロセッサ + カスタム HW 方式に対応するコンパイラコンパイラが実用化される 	<p>ハードウェア/ソフトウェアの最適な自動分割のための性能予測</p> <p>並列プロセッサが主流となりそのためのコンパイラの最適化が進む。</p> <p>与えられたアプリケーションに対し最適なアーキテクチャを自動生成する技術が実用化する</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>システム記述言語 SLDL シミュレーション</p> <p>位置 1 C(1)</p> <p>概要: システム記述言語の標準化を前提としたシステム機能検証技術</p>	<p>C 言語を用いたアルゴリズム検証が主</p> <p>VHDL などによるシステム動作シミュレーションが始められている</p>	<p>システム記述言語用シミュレータが開発される</p> <p>シミュレータ用モデルの開発が進む</p> <p>実用レベルでは従来の HDL、C が主流</p>	<p>システム記述言語用シミュレータが普及する</p> <p>ハードウェア/ソフトウェアの最適な分割と合成技術が実現する</p>

項目名	現状 (1997)	2002 年	2002 年以降
高速プロトタイプ 位置 1 C(2) 概要 システムレベルでシステム全体を高速でエミュレーションする技術	FPGA ベースのエミュレータが実用化になっている シミュレーションより高速だが実チップより遅い	システム全体の検証が可能な規模スピード	ソフトウェアシミュレータからエミュレータを動かす(使用者は意識せず)、高速にシミュレーションを実行

項目名	現状 (1997)	2002 年	2002 年以降
フォーマルベリフィケーション (仕様 システム) 位置 1 C(3) 概要 基本モデルをベースに構成されるシステム動作に対して各コンポーネントの動作条件や制約を指定することで条件を満たしているかどうかを論理的に確認する	RT レベルの検証技術として実用化が始まろうとしている	システムレベルの動作制約条件を表現する方式(言語)の標準化が始まる	開発レベルで利用が始まる

項目名	現状(1997)	2002年	2002年以降
<p>システムの HW/SW 分割</p> <p>位置 1 D(1)</p> <p>概要: システム仕様記述言語で記述されたシステム仕様からコストやパフォーマンスなどの制約条件を考慮しハードウェア/ソフトウェア分割を行う技術 ソフトウェア処理のプロセッサは IPとして流通している汎用プロセッサをターゲットとする</p>	<p>人手で見積り、分割している</p>	<p>設計者が分割したシステム記述言語によるハードウェア仕様、ソフトウェア仕様からの性能見積りや、自動分割技術の開発が始まる</p>	<p>システム記述からハードウェア/ソフトウェアの分割をして、最適解を求める それに基づく自動分割</p>

項目名	現状(1997)	2002年	2002年以降
<p>システムレベルライブラリ</p> <p>位置 1 D(2)</p> <p>概要: システムを表現するための基本モデルを使って、汎用的な機能ブロックがライブラリとして用意される</p>	<p>ない</p>	<p>システム記述言語をベースに作成が始まる</p>	<p>標準的に使われる機能ブロックに対しては標準モデルが用意される</p>

項目名	現状(1997)	2002年	2002年以降
システムテスト戦略の決定支援 (ハードウェアソフトウェアの両方に対する) 位置 1 E(1) 概要 システムレベルでその動作を確認する手段、またその正当性を確認するための方針決定を支援する仕組み	ない	システムの基本コンポーネントごとに基本テスト戦略もライブラリとして用意される。これを参照しながら、最適な組み合わせを確認するために、フォーマルベリフィケーション技術が利用される	ライブラリの充実が図られる。

4.1.2 アーキテクチャ設計

表 9 アーキテクチャ設計における EDA 技術課題

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
2. アーキテクチャ	2A(1) アーキテクチャモデルの標準化(分野別モデルを含む)	2B(1) アーキテクチャレベル推定(面積 遅延 電力フロアプラン)	2C(1) フォーマルベリフィケーション(システム - アーキテクチャ)	2D(1) アーキテクチャ合成	2E(1) アーキテクチャテスト方式決定支援テスト方式 / 面積 / テスト長)
	2A(2) アーキテクチャ記述言語の標準化 (Verilog HDL, VHDLなど)	2B(2) RTL設計制約決定(面積 タイミング 消費電力フロアプランのパッケージング)	2C(2) パリテーション / シミュレーション	2D(2) コンシセシス	2E(2) アーキテクチャレベルDFT

項目名	現状(1997)	2002 年	2002 年以降
アーキテクチャモデルの標準化(分野別モデルを含む) 位置 2 A(1) 概要: アーキテクチャレベルでハードウェアの表現を可能とするモデルの標準化 アーキテクチャの仕様、動作 機能 構成 制約などはこのモデルにより規定、表現される	標準的なモデルはない。CPU 系のアーキテクチャは図や HDL で、また、信号処理系についてはデータフローやブロック図で表現される場合があるが、統一した表現方法はない。研究レベルではアーキテクチャを HDL や GUI で統一したレベルで表現する試みがなされており、そのレベルの処理系(シミュレータ、合成など)も研究されている。	アーキテクチャレベルでハードウェアの仕様、動作 機能 構成 制約などを規定、表現するためのモデルが図や言語により確立される。	各種アーキテクチャ(CPU 系、信号処理系、制御系など)を完全に表現 規定するためのモデル(パイプライン、データフロー、コンポーネント、動作記述方法などが確立され、このモデルから検証 合成などのインタフェースが可能となる。

項目名	現状(1997)	2002 年	2002 年以降
アーキテクチャ記述言語の標準化 (Verilog HDL, VHDL など) 位置 2 A(2) 概要 「アーキテクチャモデル」に対応してその仕様、動作、機能、構成、制約などを表現するための記述言語が確立される	標準的な記述方法はない。CPU 系のアーキテクチャを図や HDL で記述してシミュレーションするケースがよくあるが、記述レベルが統一されていない。研究レベルでは「アーキテクチャモデル」を規定してその動作の記述レベルを統一しようという試みがなされている。また、そのレベルの処理系(シミュレータ、合成など)も研究されている	HDL(VHDL や Verilog HDL)のサブセットにより「アーキテクチャモデル」に対応してアーキテクチャ記述の標準化がなされる	各種アーキテクチャを表現できる「ハードウェアモデル」が確立され、このモデルのアーキテクチャ記述が標準化される。また、それに対応した処理系(シミュレータ、合成、フォーマリフィケーションなど)が開発される

項目名	現状(1997)	2002 年	2002 年以降
アーキテクチャレベル推定 (面積、遅延、電力フロアプラン) 位置 2 B(1) 概要 アーキテクチャレベルでのハードウェアの性能、面積、電力等の推定する。この技術により各種トレードオフ(性能 / 面積(フロアプラン) / 電力など)が可能となる	アーキテクチャレベルではハードウェアの性能、面積、電力等の予測は技術者が経験と勘により見積る。よって、見積精度は技術者に依存するため、誤差が大きい	アーキテクチャが「アーキテクチャモデル」により規定、表現されるため、各種推定(性能、面積、電力等)が可能となり、各種トレードオフ(性能 / 面積(フロアプラン) / 電力など)を行い、最適なアーキテクチャ設計が可能となる。絶対誤差は +50% ~ -30%だが、相対的な評価が可能	下流設計からのフィジカル情報(合成レイアウトなどの情報)とのリンクが進み、アーキテクチャレベルで設計制約に対応した高い精度の推定が可能となる。絶対誤差 + 20%

項目名	現状(1997)	2002 年	2002 年以降
RTL 設計制約決定 (面積 タイミング 消費 電力 フロアプランのパ シetting) 位置 2 B(2) 概要 アーキテクチャ設計で RTL 設計の設計制約 (性能 面積 電力な ど 合成制約など)を 決定する 推定技術に より 設計制約が生成さ れる	要求仕様 から人手で設 計制約(性能 面積 電力などに対する制 約)を決定する 制約に 基づき合成を繰り返 し 試行 錯誤して設計が行 われている	推定技術に基づき 設 計制約(性能 面積 電力などに対する制 約)が生成されるこれ により論理合成の繰り 返しが激減する	推定技術の精度向上 により 最適な設計制 約が生成される 論理 合成の繰り返しがなくな る

項目名	現状(1997)	2002 年	2002 年以降
フォー マルベリフケー ション (システム - アーキテ クチャ) 位置 2 C(1) 概要 システムとアーキテク チャの等価性を検証す る	システムとアーキテク チャの等価性を検証する 技術なし	制約条件下(あるいは システムの一部の み)で システムとアー キテクチャの等価性が 検証可能となる システ ムのソフトウェア部分は 除く	システムとアーキテク チャの等価性の検証が可 能となる またソフトウ ェア部分についても等 価性が検証可能とな る

項目名	現状(1997)	2002 年	2002 年以降
バリデーション / シミュレーション 位置 2 C(2) 概要 シミュレーションを行うことにより外部仕様や各種条件とアーキテクチャレベルの設計の検証を行う。またアーキテクチャの性能評価(実行サイクル数、パイプラインの効率など)を行う。	CPU 系などの限られたものについて、C 言語や HDL シミュレーションにより検証が行われている。まだ一般的ではない。	各種のアーキテクチャについて、シミュレータなどにより検証が可能となる。	各種アーキテクチャについて、仕様、各種動作条件、テストデータとの検証およびアーキテクチャの性能評価が可能となる。

項目名	現状(1997)	2002 年	2002 年以降
アーキテクチャ合成 位置 2 D(1) 概要 動作記述、アルゴリズム記述やシステム記述からアーキテクチャを合成する。	非常に限定された動作記述やアルゴリズム記述からの合成が研究レベルで行われているが、実用的なものはない。	限定された「システムモデル」からアーキテクチャを生成する合成技術が実現する。また、限定された動作記述やアルゴリズムからアーキテクチャを合成する技術が実用となる。	「システムモデル」からの合成が可能となる。

項目名	現状(1997)	2002年	2002年以降
コシセンス 位置 2 D(2) 概要 CPU系でアーキテクチャのパラメータを与え ることによりアーキテクチャとそれに対応した言語コンパイラを生成し HW/SWのトレードオフを解析する	研究レベルでは本技術が実験的にやられているが実用的な技術はない	一部のCPU系で限定したアーキテクチャに対応したコシセンスが可能となる	大部分のCPU系で各種アーキテクチャに対応してコシセンスが可能となる

項目名	現状(1997)	2002年	2002年以降
アーキテクチャテスト方式決定支援(テスト方式/面積/テスト長) 位置 2 E(1) 概要 アーキテクチャ設計レベルからテストコスト(面積/パワー/スピードを考慮したテスト方式/テスト時間のトレードオフなどを推定し、テストコストの最小化を行う。またテストコストと信頼性のトレードオフを推定し、テスト戦略(コア選択/DFT手法)を決定する技術が求められる。	熟練した設計者が経験に基づきテストコストを見積り、テスト戦略を決定。	アーキテクチャレベルでIP仕様およびDFT手法からテストコストの自動推定が可能となる。 ・IPの候補およびDFT手法の候補の中から低コストな組み合わせが自動選択され、自動アーキテクチャ生成のトレードオフ要素となる。	アーキテクチャ生成において選択されたIPおよびDFT手法が以降の設計に自動的に適用され、最終的には検査パターンが自動生成される。 ・テストコストの自動推定がHW/SW分割におけるトレードオフ要素となる。

項目名	現状 (1997)	2002 年	2002 年以降
アーキテクチャレベル DFT 位置 2 E(2) 概要 アーキテクチャレベル でそのアーキテクチャ に最適な DFT 手法を テスト時間とのトレード オフを推定することによ り決定し テストコストの 最小化を行う	アーキテクチャレベル でのテスト手法決定は 行われていない。現状 はゲートレベルでテス ト手法が決定されてお り 最適のテスト手法を とれないことがある	アーキテクチャレベル の DFT 手法フル / パ ーシャル・スキャン、 BIST など決定技術が 確立し テストコストが 低減できる	DFT 手法が多様化(新 自己テストなど)さら にテストコストを低減す ることが可能となる

4.1.3 RTL / 論理設計

表 10 RTL / 論理設計におけるEDA技術課題

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
3. RTL/論理	3A(1) (合成可能な) RTL モデルの標準化(図 的な表現方法を含 む)	3B(1) RTLレベル面積遅延電 力予測	3C(1) フォールスパス完全除 去	3D(1) タイミングリブナ論 理合成	3E(1) IPのテストインタフェー スの標準化(IP内とIP 間の両方)
		3B(2) RTフロアプランナで の論理合成制約決定 (面積 タイミング 消 費電力フロアプラン のロジック)	3C(2) フォー マルベリフィケ ーション高機能化 (アーキテクチャ - RTL) (RTL - ゲート回路)	3D(2) リバースシンセシス (下位の変更を上位 へ反映する)	3E(2) 不良解析容易化設 計故障モデルの高度 化 多様化故障箇所 特定化
	3A(2) RTL記述言語の 標準化 (Verilog HDL, VHDLなど)	3B(3) RTLレベルの電源系 プランニング (周波数 電源電圧 フロアプランなどを入 力 した電源系のプラン および見積)	3C(3) 論理シミュレーション に 代わる機能タイミン グ検証技術 3C(4) IPを使ったときのチッ プ レベルの機能 タイ ミング検証テストパター ン生成	3D(4) インタナルデザイ ン 3D(5) パラメトリック Vdd/Vth 対応の論理合成 3D(6) IPコア間の機能 タイミングのトレードオ フの調整と生成	

項目名	現状(1997)	2002年	2002年以降
(合成可能な) RTL モ デルの標準化(図的な 表現含む) 位置 3 A(1) 概要 RTL の合成サブセット の標準化	進行中なるも公開 標 準化は遅れている	標準化が達成 実現さ れる	標準化された RTL モ デルが普及する

項目名	現状(1997)	2002年	2002年以降
RTL記述言語の標準化(Verilog HDL,VHDLなど) 位置 3 A(2) 概要 論理合成以外の一般的なRTLモデルの標準化	ほとんど標準が出来ておらず。一方でフォーマルベリフィケーションやサイクルベースシミュレーションなどの技術の入力としてのRTLモデルの標準化が切望されている	RTLモデルの標準化が達成 実現される	標準化されたRTLモデルが普及する

項目名	現状(1997)	2002年	2002年以降
RTレベル面積遅延電力予測 位置 3 -B(1) 概要 システム性能評価・最適化のための予測技術 高精度予測が要求される	RTレベルでの面積遅延・電力予測技術は一部実用化されているが簡易の論理合成をベースにしており誤差は大きい	IP化の促進により性能情報がデータベースで予測技術は10%以下となる	アーキテクチャレベルでの予測技術が主流となる

項目名	現状(1997)	2002年	2002年以降
RTLフロアプランナの論理合成制約決定(面積タミング消費電力フロアプランでのパシティング) 位置 3 B(2) 概要 RTレベルで面積タミング消費電力等を見積り、その見積り結果をベースに目標性能仕様を満たすための論理合成の制約を生成する技術	RTレベルのフロアプランナの実用化が始まりつつある。しかし現状の技術は簡易合成やそれに引き続く配置結果からタミング情報を分析してRTL設計にフィードバックが出来るレベルのものである。タミング以外の設計制約や目標を見積りさらにそれを論理合成時の制約として生成する技術はない	RTLフロアプランナの完全な実用化定着 RTLフロアプランナの一部自動化	RTLフロアプランナの完全自動化

項目名	現状(1997)	2002 年	2002 年以降
<p>RTL レベルの電源系プランニング 位置 3 B(3)</p> <p>概要: 設計の上位段階(RTL)で電源系の見積りを行い、フロアプランを介してそれをレイアウト設計フェーズにインタフェースする EDA 技術</p>	<p>RTL レベルでの消費電力見積り技術が実用化されつつある</p>	<p>RTL 以上の設計段階での概略な消費電力予測に基づき、パッケージ選択、電源系統、フロアプラン制約を決定、電源電圧や動作周波数を変化させることができる機能ブロック(IP コアやカスタムブロック)を取り扱った電源プランに基づき、消費電力、ピーク電流、発熱量などを見積り、危険箇所を予測する。設計変更(電圧変更や系統分離など)を仮定した場合の性能変化を分析できる。最終案より以降の工程に対する制約条件を生成する</p>	<p>RTL 以上の設計段階での消費電力の予測見積りに基づいて、電源系の各種制約条件を生成し、その結果をフロアプランレベルでの物理的な電源系の諸仕様、条件として合成する技術が自動化される。すなわち、RTL 以上の設計で消費電力を予測・分析し、それから自動的に複数電源系統の発生や、チップ内の各ブロックへの電源の供給、また電源配線の経路や線幅などを自動的に決定する。また、RTL 以上の設計段階での消費電力の見積り精度が向上し、レイアウト設計段階から RTL 設計段階に再度さかのぼって、RTL の変更修正と消費電力の見積りをやり直す必要が殆どなくなる</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>フォールスパスの完全除去(静的タイミング検証) 位置 3 C(1)</p> <p>概要: 静的タイミング解析において、実際にはあり得ないパス(いわゆるフォールスパス)を可能な限り出力ないように除去して、同解析手法の効率化を図る技術</p>	<p>静的タイミング解析は既に実用化しており、疑似エラーの除去などが残された課題。疑似エラーの除去には、設計者が逐一判定する以外に手段がなく、静的タイミング解析の効率を低めている</p>	<p>上位レベルのテストパターンを取り込んでフォールスパスの削除を行う 80%程度のフォールスパスが削除される</p>	<p>完全フォールスパスフリーなタイミング解析が可能となる</p>

項目名	現状(1997)	2002年	2002年以降
<p>フォーマルベリフィケーションの高機能化 位置 3 C(2)</p> <p>概要: フォーマルベリフィケーションは現在の延長線上の技術より高機能(RTL対ゲート,RTL対RTL)の実用化が求められる</p>	<p>・フォーマルベリフィケーションはゲートレベル対ゲートレベルでは有効であり EDA ベンダより市販ツールも販売され、適用され始めてきている</p> <p>・RTL対ゲートでの等価性検証は現状では困難でまだ市販のツールも発表されていない</p>	<p>・RTL対ゲートでの限定された回路においての等価性検証は実用化される。ここで言われた限定された回路はデジタルで合成可能なHDL記述レベルの回路を意味する</p> <p>・IPのコアを使つての設計においてはIPコアのパウダリインタフェース情報をもとにしてゲート対RTレベルの等価検証が可能となる</p>	<p>・RTL対ゲートの等価性検証は現在の論理合成レベルの適用範囲まで可能となる</p> <p>・RTL対RTLに対しても同様のレベルとなる</p>

項目名	現状(1997)	2002年	2002年以降
<p>論理シミュレーションに代わる機能タイミング検証技術 位置 3 C(3)</p> <p>概要: 論理シミュレーションを高速化するのではなくゲートレベルの論理シミュレーションを不要にする新たな論理検証技術。設計ニーズでは論理検証期間の長大化への問題意識が高い</p>	<p>論理シミュレーションは回路規模に比例して長時間化し短期開発のネックとなっている。サイクルベースシミュレーションが限定されたモデルに対し、実用化されつつある。フォーマルベリフィケーションもゲートレベルで実用レベルになりつつある。これらでは扱えないタイミング問題に対して静的解析による補完が用いられている</p>	<p>ハードIP評価用チップの普及によりボード試作による動作検証が普及する。フォーマルベリフィケーションがRTレベルに対しても大規模回路の高速検証が可能となる</p>	<p>IPの普及によりシステムレベルでのフォーマルベリフィケーション、動作シミュレーションが普及する</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>IP を使ったときのチップレベルの機能 タイミング検証テストパターン生成 位置 3 C(4)</p> <p>概要 IP はその性格上 内部の詳細な構成が設計者にとって不明確であるそのため IP を用いた設計では 機能タイミングの検証が困難となり 新たな検証技術が要求される</p>	<p>設計者が IP を含めたチップ全体のパターンを作成し 機能検証 IP 間のタイミング検証を実施。</p>	<p>設計者作成のチップレベルのパターンに基づいて、コアの機能検証カバレッジがシミュレーションにより求められる IP のインタフェースの記述が標準化され周辺コア間のタイミングが静的に解析検証される</p>	<p>IP の機能記述とシステム記述言語に基づいて、機能検証パターンが自動生成される</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>タイミングドリブな論理合成 位置 3 D(1)</p> <p>概要 論理合成で高速回路を生成する技術や 論理合成でデザインのタイミング制約を高精度・高精度に制御 最適化する技術</p>	<p>・実用的な処理時間では 100K ゲート規模程度の回路の論理合成が限界であり 大規模回路のタイミング最適化は困難 ・論理合成を実行しないと 達成可能なタイミングがわからず、RTL の修正 変更とタイミング最適化のイテレーション時間が長 設計効率上問題となっている</p>	<p>・ 1Mゲート程度の回路を一括で実行時間内に論理合成・タイミング最適化する技術 ・論理合成とタイミング最適化の一元化(統合化)によって 精度の高いタイミングの見積りができる技術 ・高速化達成のために 非同期回路を自動生成する技術</p>	<p>・論理合成と 配置配線技術が融合したタイミングドリブ設計技術</p>

項目名	現状(1997)	2002 年	2002 年以降
リバースシンセシス 位置 3 D(2) 概要 設計工程途中で設計変更を行った場合に変更内容を設計工程上位に戻す技術 設計資産再利用の観点からも必要 3-D(4)のインクリメンタルデザインとも関連する技術	トランスタレベルからゲートレベルあるいはそれに近い抽象度への変換は検証やシミュレーションの効率化に使用されている。ゲートレベルから上位への変換は実用化されていない。	付加的な情報なしにゲートレベルから RTL の一般的な変換は依然として難しいと思われる。設計変更に関する差分を上位の記述に戻す目的など 限定された形で設計者が必要な付加情報を指定する仕組みで実用化される。	使用目的を明確にした上で必要な機能を今後検討する必要がある。

項目名	現状(1997)	2002 年	2002 年以降
RTL 合成 位置 3 D(3) 概要 アーキテクチャレベルの記述やアルゴリズムの表現から RTL を生成 合成する技術	特定のアプリケーション(CPU/DSP 等)に対しては市販ツールで一部対応できている。	・アーキテクチャアルゴリズムのモデリング技術 ・上記を適用した用途別に合成できるツールを用意する必要がある。	・アーキテクチャアルゴリズムの汎用的なモデリング表現技術 ・上記を適用した汎用的な RTL 合成ツールを用意する必要がある。

項目名	現状 (1997)	2002 年	2002 年以降
<p>インクリメンタル デザイン 位置 3 D(4)</p> <p>概要: 合成 解析等で追加変更された設計条件を高速に反映する技術 将来においても常にトップダウンで設計できるわけではないというのが背景ある。設計者ニーズでは現状 ECO の延長で回路やレイアウトを手で修正するようなイメージで考えているがそれらにとらわれる必要はない</p>	<p>原則的にブロック単位で人手で修正し 全体を再検証する。人手やレイアウトツールによる回路修正が上位レベルとの不整合を生ずる問題もある。合成ツールの ECO 機能が実現されなかった不整合の問題の一部は解決されて行く</p>	<p>ECO 合成が実用性能 にとって普及し 必要最小限の回路変更が可能となる。また変更個所の情報に関し レイアウトツール、遅延・レイアウト検証ツールとのインタフェースが可能になる</p>	<p>変更箇所の再合成に関して、再合成の範囲を必要最小限にする (TAT 優先) か、性能 / 面積等を最適にするために必要な部分まで範囲を拡大して行うか (性能優先) トレードオフを判断する情報を提示する。設計フロー管理ツール(H(2)に関連)により設計変更 データのバージョン管理、変更箇所への必要な処理の再実行が管理される</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>パラメトリック Vdd/Vth 対応の論理合成 位置 3 D(5)</p> <p>概要: マルチ Vdd /Vth をサポートする論理合成技術</p>	<p>Vdd/Vth とスピード 消費電力などの関係を表す上位レベルの標準的なモデルは用意されておらず、従って Vdd/Vth をマルチ化した場合の論理合成用のライブラリや論理合成技術そのものが実現されていない</p>	<p>パラメトリック Vdd/Vth に対応した上位レベルのモデルの定義・開発とその標準化 パラメトリック Vdd/Vth に対応した論理合成技術</p>	<p>・動的な Vdd 変動で パワー / スピード / 周波数 / 面積をコントロール、最適化する論理合成 シミュレータ。 ・ OS やプログラミング言語レベルで Vdd をコントロールする技術</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>IP コア間の機能 タイミングのトレードオフの調整と生成 位置 3 D(6)</p> <p>概要: 今後 IP を多用した LSI が主流になる各 IP の機能やタイミングをモデル化し、またそのモデルを標準化する技術は進みつつあるが、一方でチップレベルで IP 間の機能やタイミングを調整したりまた与えられた設計目標に基づいて機能やタイミングのトレードオフを自動的に生成し、それを各 IP に反映させる技術が必要となる</p>	<p>・機能 タイミングをモデル化し、ブラックボックス化する技術は達成されている</p>	<p>・ IP コア間のパシビテイング機能 ・ IP 間での機能モジュールの部分的、階層的な切り取りや移植 (インポート/エクスポート) 機能</p>	<p>・複数 IP にまたがる検証パターンでのデバッグ時のバグ追跡技術、どの IP がバグの原因かを自動判定する技術</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>IP のテストインタフェースの標準化 位置 3 E(1)</p> <p>概要: 今後 IP の流通利用が増加し、LSI 開発は複数の IP の組み合わせで実現される。これに伴い、LSI 全体のテスト設計を容易にするために、IP の内部または IP 間のテスト仕様インタフェースの標準化が必要とされる</p>	<p>・ IP プロバイダがそれぞれ独自のテスト仕様を IP に組み込んでいる ・ IP インテグレータが各 IP のテスト仕様から LSI のテスト仕様を策定している ・ VSA IEEE P150 で IP のテスト容易化手法の標準化が進められている</p>	<p>・ IP のテスト容易化のインタフェース仕様が標準化される ・ IP のテスト容易化のインタフェース仕様から LSI に組み込んだ状態での各コアおよびコア間に対するテスト手法の自動決定の自動決定、テスト回路/パターンの自動生成が行われる</p>	<p>・ IP のテストのためのテスト回路仕様が標準化され、IP の完全自動テスト(プラグアンドプレイ)が実現される</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>不良解析容易化設計 故障モデルの高度化 位置 3 E(2)</p> <p>概要: 大規模化 / 微細化が進むにつれ、不良の解析は益々困難となると同時に、新たな故障を考慮する必要がある。このため、新たな故障を検出する技術とともに不良解析を容易にする技術への要求が益々高まる</p>	<p>・不良解析は現状では 0, 1 縮退故障を仮定しているため、実際のチップ上での故障と対応できていない</p> <p>・ DC テスト AC テスト IDDQ テスト等においても GO / NOGO の判定までで、チップ上の故障個所を特定することは容易ではない</p> <p>・ BIST を使ったテストではさらに、故障個所の特定は困難である</p>	<p>・ スキャンを備えた回路の 0, 1 縮退故障に対する不良解析技術 不良解析用 DFT / テストパターン生成技術が確立される</p> <p>・ デレイブリッジ故障のテストモデルが一般化され、DFT / テストパターン生成が自動化される</p> <p>・ 大規模微細化により発生する新たな故障モデル(電源バス、クロストーク、サブストレートミス等)が定義され、故障シミュレーションが可能となる</p>	<p>・ 新たな故障モデルについての DFT / テストパターン生成が自動化される</p>

4.1.4 回路設計

表 11 回路設計における EDA 技術課題

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
4. 回路		4B(1) プロセス変動のモデル化(回路シミュレーションの高精度化)	4C(1) 熱解析 / 電磁界解析ツール の高度化	4D(1) RT/論理レベルから の回路レイアウト合成	
			4C(2) 微細化プロセス用高精度モデル、パラメータ抽出	4D(2) パラメトリック Vdd/Vth 対応のライブラリ生成シミュレーション	
			4C(3) パッケージボードを考慮したタイミング検証	4D(3) 特性を保證するプロセスマイグレーション技術	

項目名	現状 (1997)	2002 年	2002 年以降
プロセス変動のモデル化 (回路シミュレーションの高精度化) 位置 4 B(1) 概要: 設計マージンが小さくなる中、プロセスの揺らぎ(ばらつき)や設計ツールのモデル誤差を統一的に考慮する回路設計技術	TEG (Test Element Group: プロセス検証用のテストチップ)を作成し、typical bias の回路シミュレーション用のモデルパラメータをフィッティングから求め、この 3 点でシミュレーションするのが一般的。プロセス条件とはこのモデルパラメータでインタフェースをとるのみ 従ってプロセス条件を色々振った最適条件でのシミュレーションは難しい	TCAD (Technology CAD)とリンクし、プロセス条件を振りながら回路シミュレーションし、プロセス設計と回路設計を並行して行えるようなシステムの実用化	プロセスばらつきを統計的な振る舞いを基にした TCAD と回路シミュレーション技術の実用化システム化

項目名	現状(1997)	2002 年	2002 年以降
<p>熱解析ノイズ解析 電磁界解析ツールの高精度化 位置 4 C(1)</p> <p>概要: チップ内部発熱による回路特性変動 クロストークRFドロップ 同時切り替えノイズ解析の高精度化 チップ設計時の電磁界ノイズ(EMC, EMI)の見積り技術</p>	<p>消費電力から発熱量と分布の見積りは実用化しつつある 電源系の電圧降下はシミュレーション可能 クロストークは TAT の問題で部分回路にのみ抽出可能 パッケージを考慮した同時切り替えノイズのシミュレーションは可能であるが、定性的な解析程度 ボードレベルでは電磁界ノイズのシミュレーションは可能であるがチップの設計では無い</p>	<p>消費電力から発熱チップ内の温度分布のシミュレーションが可能となり、回路設計時に熱の効果を含んだシミュレーションが可能となる RFドロップ 同時切り替えノイズはチップ全体でシミュレーション可能 電磁界ノイズはチップレベルでシミュレーションが可能となる</p>	<p>全チップレベルでクロストークノイズ解析が可能となる 電磁界ノイズを低減するチップ設計が可能となる RFドロップや同時切り替えノイズは高速化と高精度化が進む。</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>微細化プロセス用高精度モデル パラメータ抽出 位置 4 C(2)</p> <p>概要: 高精度で寄生素子を抽出し、かつ現実的な時間内で精度を維持しながら抽出された大規模なデータの処理を行う縮約(精度を維持しながら回路を簡略化する)技術 微細化プロセスに対応した高精度の回路モデル化技術 設計者のニーズは回路モデルであったが、設計データ再利用の観点からも IP コアの遅延や特性を精度高くモデル化する技術も必要</p>	<p>2次元は実用化 3次元レベルの寄生素子の抽出が実用化しつつある 精度と TAT が両立していない 設計誤差は最大-最小の考え方で取り扱われているが、微細化が進み、不確定部分の割合が増大し、制約条件を満たす設計が困難となりつつある 高精度デバイスモデル(BSM 3)が標準となりつつあり、多くの SPICE シミュレータがサポートを始めている 縮退技術は実用的な TAT で実用的な精度が実用化している</p>	<p>3次元レベルの高精度寄生素子抽出 微細プロセスに対応した実デバイスプロセスからの精度よい正確なモデル化とパラメータ抽出</p>	<p>予測を利用した検証精度 抽出精度の向上 プロセスの進化とモデルの進化 プロセスと製品設計が並行して行われるようになる</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>パッケージボードを含めたタイミング検証 位置 4 C(3)</p> <p>概要: チップ内外の高速化に伴い、チップ外も含めたトータルなシミュレーション技術</p>	<p>ボードレベルのシミュレーションのニーズは高いが、処理速度の限界により多用できない ボードのノイズシミュレーションは IBIS の標準化により可能になりつつある</p>	<p>チップの動作モデルの流通 IBIS モデルの標準化により、ボードレベルでの動作およびノイズシミュレーションが可能となる</p>	<p>ソフトウェアを含めた動作検証が可能となる</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>RT / 論理レベルからのトランジスタレベル回路レイアウト合成 位置 4 D(1)</p> <p>概要: RT / 論理レベルからのトランジスタレベルの回路レイアウトを合成する技術、ダイナミック回路の設計支援 EDA 技術から発展した項目、これを拡大解釈すると RT / 論理レベルから直接トランジスタレベルの回路レイアウトを合成する EDA 技術となる</p>	<p>現状ではトランジスタレベルで設計者が試行錯誤を重ねて設計している レイアウトについては基本セルの自動生成、メモリなどの特定マクロセルのテンプレートをを用いた生成が実用化されている</p>	<p>パストランジスタロジックなどのように、用途、目標仕様に応じた回路およびセルレイアウトを自動生成する技術が実用化される</p>	<p>用途、目標仕様に応じた回路およびセルレイアウトをチップ設計の視点から最適化する技術が実用化される</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>パラメトリック Vdd /Vth 対応ライブラリ生成 シミュレーション 位置 4 D(2)</p> <p>概要: マルチVdd /Vth に対応したライブラリ生成とそのシミュレーション技術</p>	<p>・ Vdd の使い分けは基本的には設計者がスピード / 電力などのトレードオフを判断して行う タイミング解析と電圧の使い分けを組み合わせる技術は一部存在 ・ Vth に関わるリーク電力などを取り扱う EDA 技術はない</p>	<p>・パラメトリック Vdd/Vth に対応したシミュレーションモデル標準化 ・ Vdd/Vth をパラメータ化したセルライブラリ群を高速にキャラクタライズする技術 ・電源や基板バイアスのコントロールなど非動作時の電力まで勘案できるシミュレーション技術 ・ Vdd/Vth をパラメータ化したまま処理できるシミュレーション技術</p>	<p>・動的な Vdd 変動でパワー / スピード / 周波数 / 面積をコントロール 最適シミュレーション</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>特性を保証するプロセスマイグレーション技術 位置 4 D(3)</p> <p>概要: 特性を維持しながら回路レイアウトをプロセス変更時に移行 (マイグレーション) する技術</p>	<p>SPICE のネットリスト デザインルール セル生成仕様 (高さやボロジなど) からレイアウトセルを合成する技術は実用化しつつある。デザインルールを変更することでセルのプロセス間マイグレーションを行う</p>	<p>レイアウトパターン変換技術と抽出 キャラクタライゼーション技術の統合セル モジュール等のマイグレーション時に、レイアウトパターンの拡大 縮小と特性抽出が同時進行できる</p>	<p>TCAD とリンクしてプロセスパラメータから最適なデバイス設計ルールを自動生成する</p>

4.1.5 レイアウト設計

表 12 レイアウト設計における EDA 技術課題

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
5. レイアウト	5A(1) レイアウト記述インタ フェースの標準化		5C(1) 高速レイアウト検証	5D(1) 自動電源系生成シス テム 5D(2) シミュレーションペー スドレイアウト技術 5D(3) マスク処理高速化 5D(4) 多層配線仕様 決定手 法 5D(5) パラメトリック Vdd/Vth 対応のレイアウト技術	5E(1) テスト容易化レイアウト 手法

項目名	現状(1997)	2002年	2002年以降
レイアウト記述インタフ ェースの標準化 位置 5 A(1) 概要: トランジスタレベルから ゲートレベルまで論理 合成システムの入出力 情報をレイアウトシステ ムに相互に交信できる レイアウト記述インタフ ェースが求められてい る	PDEF, DEF は それぞ れフロアプラン、レイ アウト情報の標準インタフ ェースとなりつつある。 レイアウトツールごとに 記述言語は一部見られ る。現状ではトランジ スタレベルなどで一部 使用されているレベ ル。	レイアウト記述インタフ ェースの標準化が進 み、論理合成システム への入力情報をレイ アウトシステムで受け取る ことができるようになる。 レイアウトシステムの出 力情報を論理合成シス テムの入力情報として 受け取ることができるよ うになる。	レイアウト仕様、セル生 成論理合成論理シ ミュレーション結果情報 を取り込んだインタフ ェースが標準化される。 ECO 時に再シミュレ ーションの負荷が大幅に 軽減される。

項目名	現状 (1997)	2002 年	2002 年以降
<p>高速レイアウト検証</p> <p>位置 5 C(1)</p> <p>概要: LSI の大規模化に伴う 検証時間増大の問題 に対し より高速な検 証手段が求められてい る</p>	<p>過去、検証の方式自体 の大きな変革はなく 図形演算アルゴリズム のチューニング、マシン 性能の向上などにより 実用上は許容範囲で 推移してきた。近年速 度だけでなくメモリ使 用量の限界などから階 層処理が必要となり 実用化されている。</p>	<p>並列化処理が実用化さ れる。領域分割やそれ に対応したアルゴリズム 開発とともに、並列処理 を効率的に進める計算 機環境が整備される。 インクリメンタル処理も 実用化される。</p>	<p>データの性質(規則性 等)に着目したデータ圧 縮技術が進歩する。</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>自動電源系生成システ ム</p> <p>位置 5 D(1)</p> <p>概要: 電源系のレイアウトを電 圧ドロップ、マイグレイ ションなどを考慮して、 自動化する EDA 技術</p>	<p>レイアウト完了後に RC 回路を抽出し、回路ミ ュレーションを行うこと で、電圧降下箇所やピ ーク電流を観測する技 術が実用化されつつあ る。</p>	<p>プランニングで決定さ れた各機能ブロックの 電源電圧、動作周波数 に基づき、電圧降下や ピーク電流を推定し、 実際の電源配線径路 案を生成する。</p>	<p>電源線の層幅、分岐 箇所、ビア箇所などを 自動決定し、上記制約 に従い、電源配線を行 う。また、その他の信号 線も制約を電源線の制 約を満たしたまま配線 できる。</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>シミュレーションベースレイアウト技術</p> <p>位置 5 D(2)</p> <p>概要 スピード パワーのみならず、ノイズクロストークインダクタンスなどを考慮したレイアウト技術、ノイズやクロストークなど実レイアウト前に正確に予測することは不可能なため、レイアウト段階での考慮が必要</p>	<p>論理合成時には仮配線長で見積り、そこから制約をレイアウトツールに与えて配置配線するのが基本。レイアウト後に実配線長を戻しての最適化も行われる。またレイアウト時に制約ベースでバッファ挿入やゲートサイングを行う技術は開発されている。また指定した特定の信号に対して、遅延改善やノイズ対策配線を行うツールが現れ始めている。</p>	<p>レイアウトツール側で遅延、消費電力、耐ノイズ性などの解析を行いつつ、ゲートサイングや配線幅、間隔などをコントロールし、完全にタイミング パワー、およびノイズを保証したレイアウトを生成する。</p>	<p>クロストーク等の問題に対し、シミュレーション結果を解釈し、選択的に必要な部分にレイアウトの追加、修正等を行い最適にする。また必要に応じて機能を保持したまま部分的に回路構成等を変更する。さらに統計的なプロセス変動モデルの考慮が可能となる。</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>マスク処理高速化</p> <p>位置 5 D(3)</p> <p>概要 膨大化するマスクデータ処理、作成の高速化技術、微細化、大規模化に伴って、マスクデータ処理、作成に要する時間が膨大になるため、何らかの EDA 技術でこの問題を本質的に解決して行く必要あり</p>	<p>階層処理、分散並列処理等の施策が現在でもなされているがその延長線以上の改良が必要と考えられる。</p>	<p>インクリメンタル処理、データ順序の最適化を行うためのツールが現れる。</p>	<p>データの性質(規則性等)によって繰り返し処理等を取り入れる。</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>多層配線仕様決定手法</p> <p>位置 5 D(4)</p> <p>概要 多層配線の製造技術は既に確立しており、今後はその最適な使い分けが重要となる</p>	<p>電源配線、クロック配線などの特殊配線を特定層に割り当てるなどを設計者が指定して行う程度</p>	<p>配線名称(グループ)ごとに配線層幅間隔をアプリケーションが使いわける</p>	<p>設計初期においてコスト、製造 TAT、性能、信頼性等の見積りにより、耐熱性、熱速度、電流、材質等を考慮して、最適な配線層数を選択し、その具体的な使い分けをプランニングする</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>パラメトリック Vdd/Vth 対応のレイアウト技術</p> <p>位置 5 D(5)</p> <p>概要 昇圧、減圧回路を含む回路のレイアウトをサポートするフィジカル EDA 技術</p>	<p>パラメトリック Vdd に対応した配置配線は原理的には可能であるが、チップ構造による制約、タイミングリブとの関係など汎用的に利用できる技術とはなっていない</p>	<p>低消費電力実現のために、物理的に同一のレイアウトモジュールを異なる Vdd/Vth にて使用可能とする EDA ツールが開発される</p>	<p>EDA ツール、回路合成、シミュレーション、ライブラリ生成とともに実用化される</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>テスト容易化レイアウト手法</p> <p>位置 5 E(1)</p> <p>概要 故障検出率向上を支援し、また DFT により生じる問題点をカバーするレイアウト技術、また DFT 部分の最適レイアウト手法を含む</p>	<p>テスト手法関連のレイアウト手法として、スキャンパスのリアーダリング(レイアウト時にスキャンの配線が短くなるように繋ぎ変える)などは行われている</p>	<p>スキャン動作時の大電流によるマイグレーションや電圧降下などを防ぐためのレイアウト手法が確立される。さらに電源分離により IDDQ 試験での故障検出率向上を支援する技術が実用化される</p>	<p>各種 DFT 技術が実用化され、それに伴って DFT 回路に課せられる配置、タイミングなどの制約が発生し、これら制約を満たしながら自動でレイアウトする技術が実用化される</p>

4.1.6 製造装置インタフェース

表 13 製造装置インタフェースにおける EDA 技術課題

	デジタル				
	A 仕様	B 見積	C 検証	D 合成	E テスト
6. 製造装置 インタフェース				6D(1) 微細加工マスク製造 インタフェース技術	

項目名	現状 (1997)	2002 年	2002 年以降
微細加工マスク製造装置 インタフェース技術			
位置 6 -D	今回は 詳細化分析を見送る。		
概要			

4.2 アナログ回路設計における EDA 技術課題と目標

表 14 アナログ回路設計における EDA 技術課題

F アナログ	
1. システム	1F(1) アナログ / デジタル分割
2. アーキテクチャ	
3. RTL/論理	3F(1) アナログモデル(RTレベルのデジタルと混在検証できるようなモデル)
	3F(2) アナログモデルのシミュレーション
	3F(3) AHDL標準化
	3F(4) AHDLからの回路合成
	3F(5) アナログ / デジタル分離(混合回路のテスト)検証テスト手段 標準化
4. 回路	
5. レイアウト	5F(1) アナログセル生成
6. 製造装置 インタフェース	

項目名	現状 (1997)	2002 年	2002 年以降
アナログ / デジタル の分割			
位置 1 F(1)	今回は 詳細化分析を見送る。		

項目名	現状 (1997)	2002 年	2002 年以降
<p>アナログモデル(RT レベルのデジタルと混在検証できるようなモデル)</p> <p>位置 3 F(1)</p> <p>概要 アナログ回路検証のためのモデリング技術</p>	<p>CMOS デバイスモデル</p> <ul style="list-style-type: none"> ・BSM 1: デジタル用モデル ・BSM 2: アナログ動作を考慮したモデルだったが、区分線形モデルのため不十分 ・BSM 3: 1 次微分不連続問題を大幅に解消 0.2 ミクロン程度までをカバー。 	<p>一層の高周波・微細デバイスモデル開発が進展する</p> <p>またシミュレーションを高速化するためにポトムアップ的にトランジスタ回路を抽象レベルで記述する技術が登場する</p>	<p>レイアウト後のアナログ / デジタル間のノイズシミュレーションを容易にする寄生効果モデル抽出システムが開発される</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>アナログモデルのシミュレーション</p> <p>位置 3 F(2)</p> <p>概要 アナログ回路検証のためのシミュレーション技術</p>	<p>SPICE ベースの伝統的な直接法アルゴリズムでは 10 万トランジスタで数 10 クロック程度が事実上の解析限界</p> <p>純粋にアナログ動作する回路の検証にはこれ以外の実用的なシミュレーション方法はない</p> <p>デジタル回路のアナログシミュレーションでは波形緩和法や回路縮退などの方法が実用化されている</p>	<ul style="list-style-type: none"> ・SOC に対応してアナログ混在のシミュレーション環境が必須となる <p>システム検証のためにアナログ / デジタル混在で動作記述しシミュレーションする方向へ進む。</p> <ul style="list-style-type: none"> ・高周波 / 微細デバイスの設計ではレイアウト情報のフィードバックが不可欠となり、必然的に解析素子数やノード数が増える。基盤のアナログモデリング回路方程式の縮退など多くの方法が開発される 	<p>アナログ / デジタル混在設計環境として、従来のアナログとデジタルの環境を接合したものではなく、アナログ混在検証環境が開発される</p> <p>例えばアナログ混在回路の分割が不必要で回路部分ごとに最適なアルゴリズムをシミュレータが判断して適用する</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>AHDL 標準化</p> <p>位置 1 F(3)</p> <p>概要: アナログ回路合成 検証のためのアナログ動作記述言語の標準化</p>	<p>AHDL(Analog Hardware Description Language)は 2 種類の言語標準化が進行中。(AMS: Analog Mixed Signal)</p> <p>VHDL-AMS : 米国 IEEE での標準化を終了。</p> <p>Verilog-AMS:米国 OVI (Open Verilog International) が標準化案を作成中。</p> <p>97 年末で使用できるシミュレータは VHDL-AMS:パーサのみ</p> <p>Verilog-AMS:アナログ部のみ</p>	<p>各ベンダからシミュレータが発表される。標準化言語仕様に基づき各ベンダは解析手法に特色を出す。</p>	<p>Verilog-AMS では周波数領域の規定が無かったが、周波数領域や RF 専用の表現形式、Z 空間表現などが標準化される。同時にこれに対応したシミュレータが開発される</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>AHDL からの回路合成</p> <p>位置 3 F(4)</p> <p>概要: アナログ記述言語 (AHDL) を入力とした回路合成</p>	<p>アナログ回路合成はほとんど実用化されていない。多少なりとも貢献するものは回路最適化技術であり、フィルタやアンプなどでポロジをユーザが設定し、変動パラメータを最適化する</p>	<p>アナログ IP が実用的になる。これはデジタルのように RT レベルで供給され自動合成するのではなく、フレキシブルなハードマクロという形態。レイアウトデータを含むアナログ IP が提供され、ユーザ仕様に対応してデータを最適化する</p>	<p>知識ベースのアナログ合成が実現する。エキスパートシステムとして発展すると考えられる。</p>

項目名	現状(1997)	2002年	2002年以降
アナログ/デジタル分離(混合回路のテスト)検証テスト手段標準化 位置: 3 F(5)	今回は 詳細化分析を見送る。		

項目名	現状(1997)	2002年	2002年以降
アナログセル生成 位置: 5 F(1) 概要 トランスタレベルのネットリストからレイアウトセルを生成する技術 デジタルの世界でそのまま使用できるようなセルとしての生成(モデル化含む)を想定しているアナログの扱いについては設計者ニーズにおいても積極的に活用すべき「極力減らすべき」と意見が分かれている	一部で開発されオペアンプなどに部分的に使用されているが性能仕様やレイアウト後の面積を満足する点で課題を残している	オペアンプ、フィルタ、AD/DAコンバータなど特定回路に適用され、性能仕様およびレイアウト後の面積をも満足する生成技術が実用化レベルに達する	アナログ回路合成との結合により最適なセル生成が数百素子まで可能となる

4.3 ソフトウェア設計における EDA 技術課題と目標

表 15 ソフトウェア設計における EDA 技術課題

G ソフトウェア
G(1) OS生成カスタマイズ
G(2) ソフトウェアコア(ミドルウェア)生成カスタマイズ
G(3) 特定プロセッサ用コンパイラ自動生成
G(4) 複数の標準コアを共通に扱えるソフトウェア開発環境(コアモデルの標準化)
G(5) ソフトウェアハードウェア コミュニケーション

項目名	現状 (1997)	2002 年	2002 年以降
OS 生成カスタマイズ 位置 G(1) 概要 プロセッサコア上で動作するソフトウェアの動作環境である OS を実装・最適化する技術	プロセッサコアに応じて利用可能な OS を選択し実装している 種類としては、プロセッサメーカー提供の市販 OS や ITRON のようなフリーソフトウェアがある 現状すべて人手でありカスタマイズなどが行われるのはまれ	OS のオブジェクト指向化が進み、カスタマイズが容易になる ソフトウェアハードウェア コミュニケーション技術が実用化し、OS の部分的なチューニングも容易なる	システム LSI 用 OS の標準化が進み、OS の提供するサービスと必要なハード IP との関係が定義され、特定アプリケーションに対して不十分なサービスのためのソフトウェアとハードウェアを削除するような用途に応じた選択カスタマイズが可能となる

項目名	現状 (1997)	2002 年	2002 年以降
<p>ソフトウェア(ミドルウェア)生成カスタマイズ</p> <p>位置 G(2)</p> <p>概要: プロセッサコア上で動作するアプリケーションソフトウェアの開発最適化技術</p>	<p>C 言語 もしくはアセンブラで人手設計されている。プロセッサコアに応じたコード変更はすべて人手。</p>	<p>・ マルチメディアアプリケーションに共通するソフトウェアなどがミドルウェア化され、LSI 上に搭載される。一部のミドルウェアはコアや OS とともに供給されるソフトウェアのオブジェクト指向化、階層化が進み、カスタマイズは容易なる。</p> <p>・ 高級言語が一般的となり、コンパイラによるオブジェクトコード最適化が進む。</p> <p>・ ハード OS アプリケーション全体のシミュレーションによりアプリケーションソフトウェアの検証、カスタマイズが容易なる。</p>	<p>システム記述言語により記述されたシステム動作全体からアプリケーションソフトウェア部を生成・最適化する研究が進む。</p> <p>・ 汎用ミドルウェアをアプリケーションに必要な機能だけで構成するようにカスタマイズできる。</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>特定プロセッサ用コンパイラ自動生成</p> <p>位置 G(3)</p> <p>概要: ある程度標準化されたアーキテクチャのプロセッサコアに対しコンパイラを自動的に生成する技術</p>	<ul style="list-style-type: none"> ・ プロセッサに対して個別にコンパイラシミュレータデバッガ ICE が提供されている ・ プログラミング言語はアセンブラから C 言語への移行が進んでいる ・ 周辺 I/O など記述方法が異なり移植には問題がある ・ ソフトウェアの開発支援ツールとして静的もしくは動的解析の汎用ツールが普及しつつある ・ しかしプロセッサ固有の最適化についてはコンパイラなどの設計環境の性能に依存している 	<ul style="list-style-type: none"> ・ リターゲッタブルコンパイラ技術が実用化しアプリケーションに特化したプロセッサの設計、プロセッサに特化したソフトウェアの最適化が可能となる 	<p>スレッドレベルの並列コンパイラ技術が実用化し大規模並列システムの開発が進む。</p>

項目名	現状 (1997)	2002 年	2002 年以降
<p>複数の標準コアを共通に扱えるソフトウェア開発環境</p> <p>位置 G(4)</p> <p>概要: ハードウェアのコアに依存しない共通なソフトウェア開発環境を提供する枠組み</p>	<p>現状ではコアごとに独立した開発環境が準備されている。複数のコアをサポートする OS が提供する開発環境が出現しつつある。</p>	<p>システム LSI 化に伴い OS の利用が不可欠となる。システム LSI 用 OS の標準化が進みそれに伴って開発環境の標準化が進む。</p>	<p>ソフトウェア開発環境はシステム開発環境の一部となる。システム記述からソフトウェアへの自動変換の研究が進む。</p>

項目名	現状(1997)	2002年	2002年以降
ソフトウェアハードウェア コミュレーション 位置 G(5) 番号 概要 システム LSI に実装さ れるハードウェアとプロ セッサ上で動作する OS アプリケーションソ フトウェアとの間で動作 検証を行うシミュレーシ ョン技術	<ul style="list-style-type: none"> ・ C 言語記述されたハードウェア部ソフトウェア部とのインタフェース設計用のシミュレーションはある ・ またソフトウェアを 0, 1 信号表現、ハードウェア部への入力として論理レベルシミュレーションが行われている ・ 動作記述の準備に多大な手間がかかるシミュレーション出来る範囲が狭いなどの問題がある 	<ul style="list-style-type: none"> ・ ハード IP に対応するシミュレーションモデルが普及し、コミュニケーションが容易になる ・ ソフトウェアハードウェア部の通信高速化が図られる 	システム記述言語でシステム全体の動作を記述し、ソフトウェアハードウェアへトップダウンに設計する手法が実用化され、コミュニケーションが定着する

4.4 設計全体に関する EDA 技術課題と目標

表 16 設計全体に関する EDA 技術課題

H 設計全体
H(1) RTLからのドキュメント生成
H(2) 設計フロー管理
H(3) 非同期回路設計自動化

項目名	現状 (1997)	2002 年	2002 年以降
RTL からのドキュメント生成 位置 H(1) 概要 設計資産再利用に関連する技術の一つ。設計仕様ドキュメントの標準化の観点で RTL からドキュメント生成することで曖昧さの無いかつ実設計と対応した仕様が残せる。これにより設計資産の再利用を容易にする。	<ul style="list-style-type: none"> RTL からフローチャートやステートマシン記述で表現できるツールは存在するがドキュメントという意味では人間に分かりやすいレベルに抽象化されていると言いはない 人手で書かれた RTL だけでは元々上位のドキュメントとしての情報は不足していると考えられるため、別の観点での解決も必要 	<ul style="list-style-type: none"> ESDA ツールの普及とドキュメント化のためのインタラクティブ性使い勝手の向上により設計者のドキュメント化をサポートする 	<ul style="list-style-type: none"> システムレベルの記述があるという前提で、それとの整合性の検証および詳細化や具現化のための付加的な情報の付与という意味で RTL が用いられる 限定された形でパースシネシス (3 D(2)に関連)の技術も使われる

項目名	現状(1997)	2002 年	2002 年以降
<p>設計フロー管理</p> <p>位置 H(2)</p> <p>概要: 設計フローやそれに従った設計の進行状況、設計データの作成状況をグラフィカルに表示し、設計工程の進行やフローに従わない工程を禁止する技術、設計データのバージョン管理も含む。</p>	<p>設計工程を管理する市販ツールもあるが、設計チームにより設計工程、設計スタイルが様々であるため、画一的なツールでは管理できず利用されていない。</p> <p>基本的な設計資産の管理機能、合成/シミュレーション等とのリンク機能は ESDA ツールが有している。</p> <p>PC ベースのスケジュール/進捗管理ツールの利用は徐々に始まっているが、設計そのものには直接リンクはしていない。</p>	<p>ESDA ツールを核とした設計環境にスケジュール/進捗管理ツール/リンクし、設計フロー全体は管理される。</p> <p>EDA ツールインタフェースの多くは個別のカスタマイズにより実現されるが、データ管理等は標準化される。</p>	<p>各設計工程に必要な設計ツールやバージョン管理ツールなどが部品として用意され、プロジェクトごとにこれらを組み合わせて管理する様なツールが必要となる。</p> <p>このためにもデータフォーマットが標準化されている必要がある。</p> <p>EDA ツール側のインタフェースが標準化される。ツール側で入力されたデータの種別設計進捗を判断し、適切な処理の実行や標準化されたエラーコードを返し、標準的な管理ツールへの組み込みが容易になる。</p>

項目名	現状(1997)	2002 年	2002 年以降
<p>非同期回路の設計自動化</p> <p>位置 H(3)</p> <p>概要: 非同期回路の設計に関わる問題</p>	<p>データフローモデルを用いた非同期回路の自動合成が研究レベル。</p>	<p>多相クロック設計への適用、同期 + 非同期の組み合わせによる回路実現方式の確立。</p> <p>各ブロックは同期設計、インタフェースの一部で非同期設計となる設計手法がとられる。</p>	<p>用途に応じて同期非同期を使い分ける技術開発が進む。</p>

5. EDA 技術ロードマップ

これまでの EDA 技術を取り巻く環境、各要素技術の推移を見てきた。ここでは大局的な EDA 技術ロードマップを概観する。最初に、Cyber-Giga-Chip の設計フローを示し、各設計フェーズにおいて必要となる EDA 技術の課題と目標を示す。次に、具体例として民生情報機器用 Cyber-Giga-Chip を設計するためのロードマップを示す。

5.1 Cyber-Giga-Chip に対する EDA 技術ロードマップ

5.1.1 Cyber-Giga-Chip の設計フロー

Cyber-Giga-Chip を 1997 年現在の環境で設計しようとすると、図 6 に示す設計フローとなる。システム設計アーキテクチャ設計は、人手で行われている。EDA ツールのサポートがあるのは、RTL レベルより下流の設計である。また、ハードウェア/ソフトウェアコデザインを支援する EDA ツールの市販が始まっている。

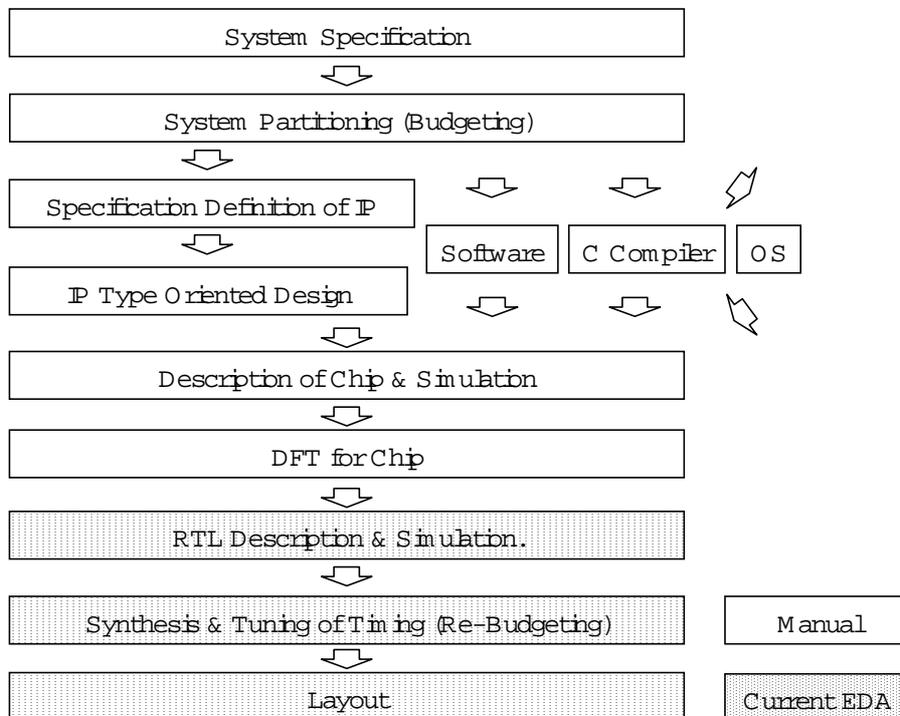


図 6 1997 年における Cyber-Giga-Chip の設計フロー

図 7 は CGC の典型的な設計フローが 2002 年までにどのように変化しているかを示したものである。第 4 章で述べた EDA 技術課題と対応付けるための位置をフローに付したシステム設計アーキテクチャ設計を支援するための新しい EDA 技術が導入される。システムの仕様を記述するための言語が整備され、ハードウェア/ソフトウェア コデザインが実用化する。

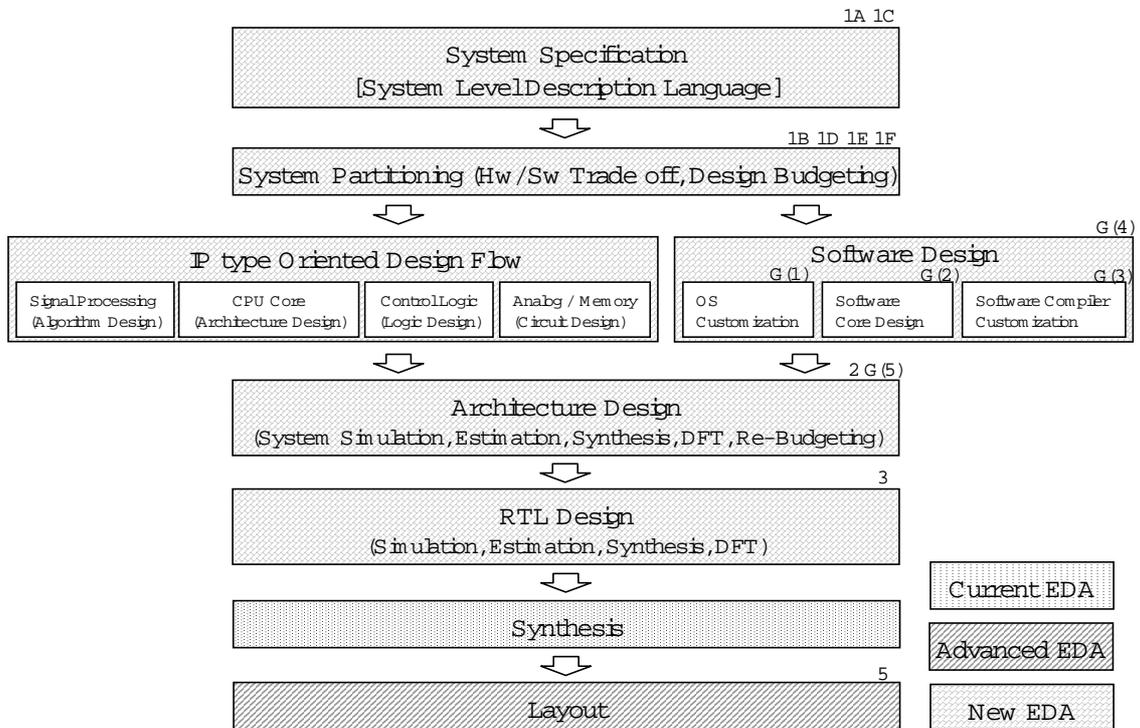


図 7 2002 年における Cyber-Giga-Chip の設計フロー

以下では Cyber-Giga-Chip の各コアの設計が 2002 年において、どのように変化するかを示す。ここでは特に CPU コア、デジタル信号処理系コア、制御系コアの三つについて述べる。

CPU コアの設計フローを図 8 に示す。CPU コア設計では命令レベルでのアーキテクチャ記述とソフトウェアのシミュレーションを同時に行うようなハードウェア/ソフトウェア コシミュレーションを行うためのツールの整備が進む。またアーキテクチャ合成、検証、性能見積り、テスト容易化設計などを支援するツールが開発される。

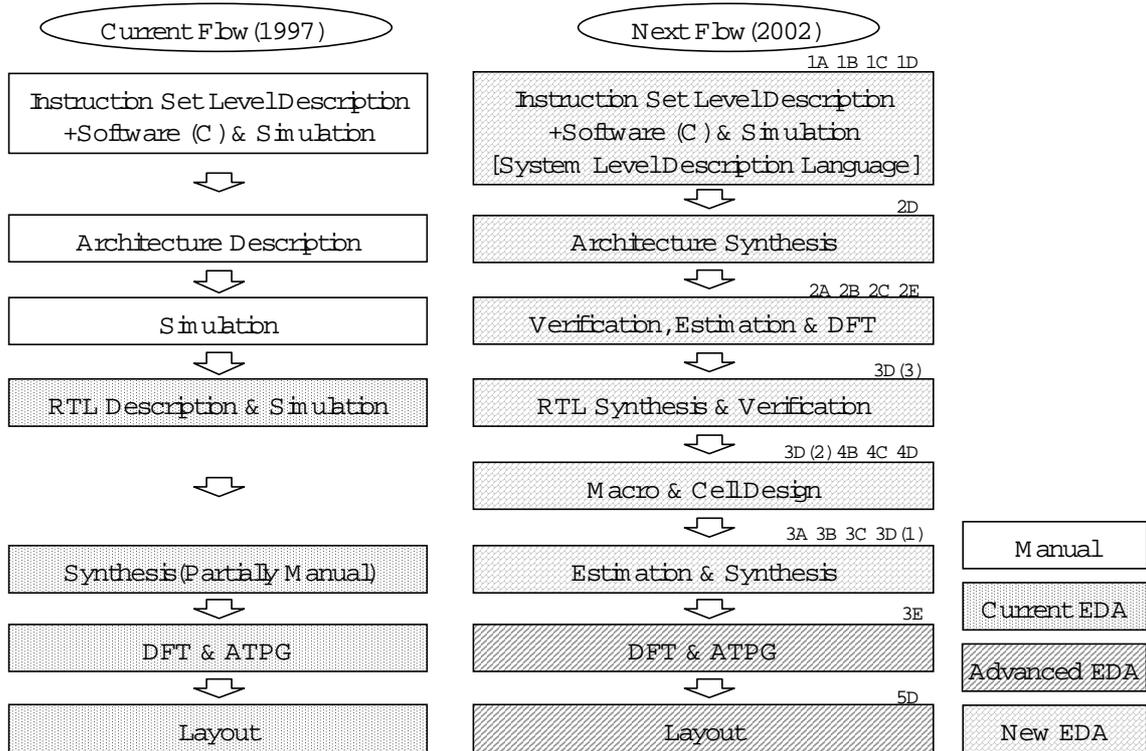


図 8 CPUコアの設計フロー

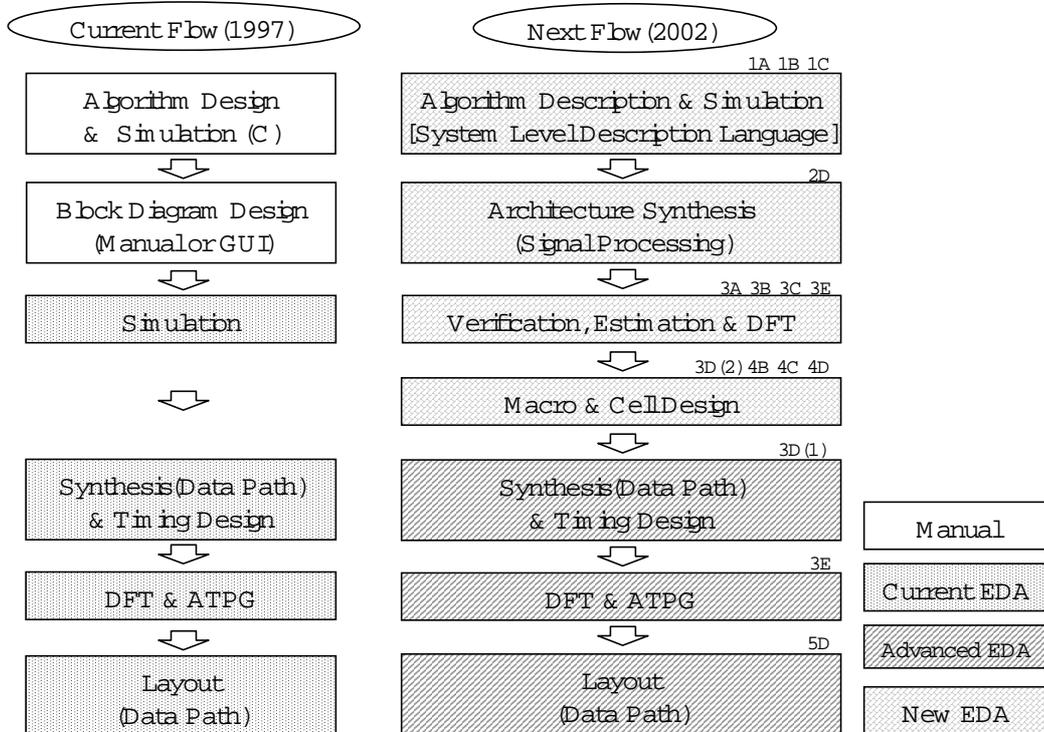


図 9 デジタル信号処理系コアの設計フロー

デジタル信号処理系コアの設計フローを 図 9 に示す。現在 人手で行っているシステム設計における自動化が進む。システム記述言語によって 信号処理用のアルゴリズムが記述されるとそれを効率的に実現するためのアーキテクチャが合成され、RTL 設計において、検証、見積り、テスト容易化設計を支援する EDA が実用化される。

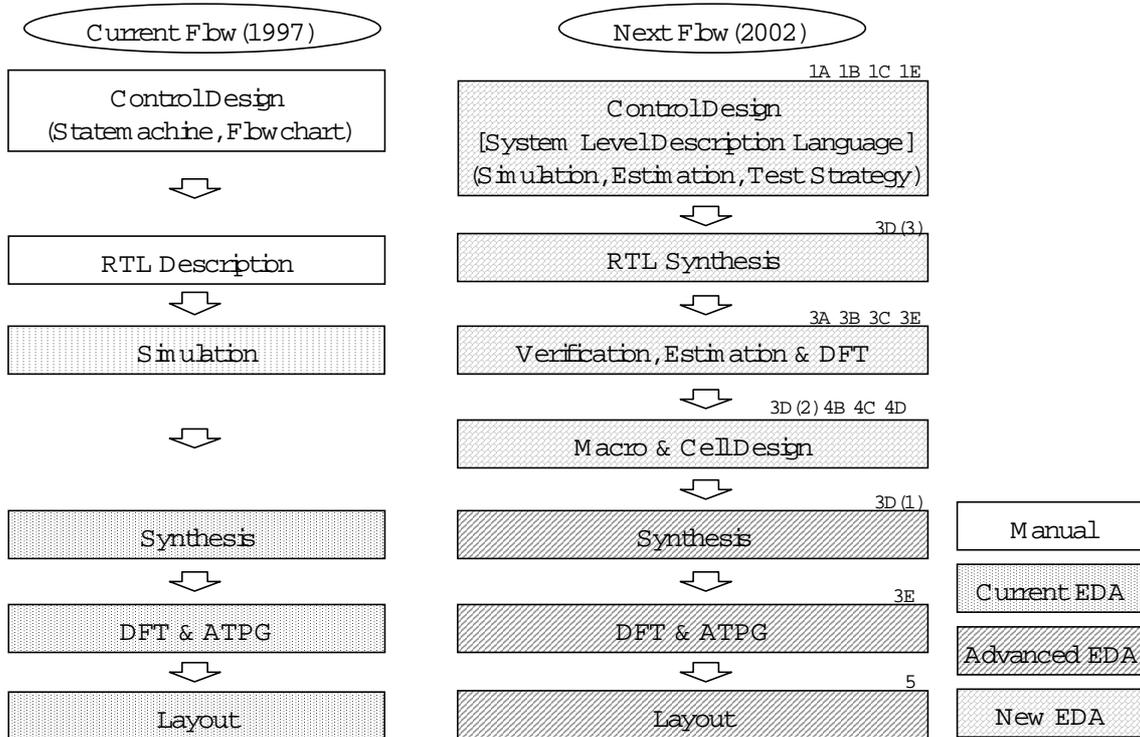


図 10 制御系コアの設計フロー

制御系コアの設計フローを 図 10 に示す。制御系のコアに関しても デジタル信号処理系コアと同様、システム設計における自動化が進む。システム記述言語により、ステートマシンなどの制御フローを記述すると、シミュレーション、見積り、テスト方式決定支援などのツールにより、制御が正しく行われるかを検証し、テスト容易化設計に基づき、論理合成、レイアウトへと進む。

5.1.2 Cyber-Giga-Chip に対するロードマップ

Cyber-Giga-Chip の設計を効率化するために必要な EDA 技術についてまとめ、今後 5 年間でどのように推移するのかを示したのが 表 17 と 表 18 である。

表 17 EDA 技術の推移(1)

項目	1997年	1998年	1999年	2000年	2001年	2002年	2003年	2004年
[システム設計]								
システムモデルの標準化								
システム記述言語の標準化(SLDLなど)								
システム記述言語SLDシミュレーション								
システムレベル性能予測 (アプリケーションソフト、コンパイラ、ハードウェアの性能解析、最適化)								
高速プロトタイピング								
フォーマルベリフィケーション(仕様 - システム)								
システムのHW/SW分割								
システムレベルライブラリ(IPコアミドルウェアなど)								
システムテスト戦略の決定支援(ハードソフトの両方に対する)								
アナログ/デジタルのトレードオフ								
[アーキテクチャ設計]								
アーキテクチャモデルの標準化(分野別モデルを含む)								
アーキテクチャ記述言語の標準化(Verilog HDL, VHDLなど)								
アーキテクチャレベル推定(面積、遅延、電力、フロアプラン)								
RTL設計制約決定 (面積、タイミング消費電力、フロアプランのパッケージング)								
フォーマルベリフィケーション(システム - アーキテクチャ)								
バリデーション/シミュレーション								
アーキテクチャ合成								
コンセンシス								
アーキテクチャテスト方式決定支援 (テスト方式 / 面積 / テスト長)								
アーキテクチャレベル DFT								
[RTL/論理]								
(合成可能な) RTLモデルの標準化								
RTL記述言語の標準化								
RTLレベル面積遅延電力予測								
RTフロアプランナーでの論理合成制約決定								
RTLレベルの電源系プランニング								
フォールスバス完全除去								
フォーマルベリフィケーション高機能化 (アーキテクチャ - RTL)(RTL - ゲート回路)								
論理シミュレーションに代わる機能タイミング検証技術								
IPを使ったときのチップレベルの機能、 タイミング検証テストパターン生成								
タイミングリブナ論理合成								
リバーシブルシネシス								
RTL合成								
インクリメンタルデザイン								
パラメトリック Vdd/Vth対応の論理合成								
IPコア間の機能、タイミングのトレードオフの調整と生成								
IPのテストインターフェイスの標準化(IP内とIP間の両方)								
不良解析容易化設計故障モデルの高度化、 多様化故障箇所特定化								
[アナログ]								
アナログモデル(RTLレベルのデジタルと混在検証できるモデル)								
アナログモデルのシミュレーション								
AHDLからの回路合成								
AHDL標準化								
アナログセル生成								

 試行利用
 先行利用
 実用化

表 18 EDA 技術の推移(2)

項目	1997年	1998年	1999年	2000年	2001年	2002年	2003年	2004年
[回路]								
プロセス変動のモデル化								
熱解析、ガス解析、電磁界解析 ツールの高度化								
微細化プロセス用高精度モデル、パラメータ抽出								
パッケージボードを考慮したタイミング検証								
RT/論理レベルからのトランジスタレベル回路、レイアウト合成								
パラメトリック Vdd/Vth対応のライブラリ生成								
特性を保證するプロセスマイグレーション技術								
[レイアウト]								
レイアウト記述インターフェイスの標準化								
高速レイアウト検証								
自動電源系生成システム								
シミュレーションベースレイアウト技術								
マスク処理高速化								
多層配線仕様決定手法								
パラメトリック Vdd/Vth対応のレイアウト技術								
テスト容易化レイアウト手法								
[ソフト]								
OS生成カスタマイズ								
ソフトウェアコア(ミドルウェア)生成カスタマイズ								
特定プロセス用コンパイラ自動生成								
複数の標準コアを共通に扱えるソフト開発環境 (コアモデルの標準化)								
ソフトハードシミュレーション								

 試行利用
 先行利用
 実用化

5.2 民生情報機器用Cyber-Giga-Chip

ここでは具体的な設計対象とする製品として民生情報機器を設定し、ある限定された前提条件のもとでのEDA技術のロードマップを描いてみる。これは、仮定した前提条件を満たす範囲内でのみ成立する可能性があるストーリーである。

1) 前提条件

多機能で頻繁なモデルチェンジが要求される民生情報機器を対象とする。仕様の細部は確定されておらず、製品の市場投入後も頻繁に細かな設計変更が起こり得る。開発開始から市場投入までの期間が通常3から6ヶ月と短い。開発要員に熟練したLSI設計者を配置することが難しい。使用するプロセステクノロジーは一応安定している。メモリ混載技術が利用できる。性能の要求よりもコストや消費電力に対する要求が厳しい。類似した製品開発が頻繁に行われる。

2) 設計手法に関する仮定

プロセッサとプログラムを組み合わせたシステム構成とする。プロセッサコアメモリマクロ専用回路のコアなどを組み合わせて回路を構成する。新規設計回路は必要最低限とする。モデルチェンジに対してはソフトウェアの変更(ROMの書き換え)でできる限り対応する

3) システム / アルゴリズムレベルで要求される EDA 技術

プログラムとして設計資産を保持 / 再利用するためには、プロセッサアーキテクチャとプログラムの完全な独立性を確保する必要がある。それを実現するための EDA 技術としては

- ・汎用プロセッサ上のプログラムによるプロトタイプ実現からシステム LSI 設計に関する諸情報を取り出す技術とその支援ツール
- ・プログラムを解析し、並列化の可能性を評価するためのアルゴリズム開発 / 改良支援ツールが考えられる。また、FPGA などによる短期間で可能なプロトタイピング技術も重要となる

4) アーキテクチャ / 方式レベルで要求される EDA 技術

プロセッサコアメモリマクロ専用回路のコアの提供技術が重要となる。具体的には、以下のものが必要となる。プロセッサコアの提供技術としては

- ・可変パラメータを持つ自動合成可能なプロセッサアーキテクチャの提供。プロセッサの応用プログラムに対するカスタマイズ技術
- ・リターゲッタブルコンパイラ構成技術
- ・プログラム用ライブラリ / OS / デバッガなどの提供
- ・プログラマからコスト / 性能 / 電力が制御できるしみの提供

などが挙げられる。メモリマクロの提供技術としては、各種メモリの検証用 / 性能評価用モデルが必要となる。また、専用回路のコアの提供技術としては、専用回路の仕様を簡潔にかつ正確に表現するための手法が必要となる

システム全体の検証およびテストの手法そのためのツール、早期フロアプランとコンパイラ技術 (RAM ROM の面積に関する変更) の結合なども重要な技術となる

5) RTL / 論理レベルで要求される EDA 技術

プロセッサコアメモリマクロ専用回路のコアの回路生成技術として

- ・面積 / 遅延 / 電力の評価に必要な情報の提供を実現するための検証用シミュレーションモデル
 - ・効率良い論理合成
 - ・コア内およびチップ全体のテストインタフェース
- 等が重要な技術となる

6) 回路レベルで要求される EDA 技術

プロセッサコアメモリマクロ専用回路のコアの構成技術として検証用モデルやテスト用モデルを提供し易い回路構造とモデル開発のツールが必要となる

7) レイアウトレベルで要求される EDA 技術

プロセッサコアメモリマクロ専用回路のコアに対するレイアウト生成技術が重要となる

8) 製造装置インタフェースレベルで要求される EDA 技術

製造ばらつきを設計にフィードバックするためのパラメータの抽出とその利用技術が重要となる

謝辞

本ロードマップを作成するに当たりご協力頂いた以下の皆様 に感謝いたします。

三洋電機	小椋功氏
シャープ	田中隆吉氏
東芝	黒田忠広氏 森山誠二郎氏
日本電気	矢野陽一氏 黒部恒夫氏
日立製作所	堀田多加志氏 村林文夫氏、畠山一実氏 服部俊洋氏
富士通	藤井滋氏 佐藤公昭氏 広瀬文保氏 松永祐介氏
松下電器産業	松澤昭氏 山内寛行氏 岡本吉史氏 田口浩文氏 水野洋氏
三菱電機	島津之彦氏 近藤晴房氏 清尾克彦氏 石川淳士氏

参考文献

- [1] The National Technology Roadmap for Semiconductors 1997 Edition, Semiconductor Industry Association.

URL=<http://www.sematech.org/public/roadmap/index.htm>

- [2] EDA Industry Standards Roadmap, CFI, EDAC, SEMATECH

URL=<http://www.cfi.org/roadmap/>

- [3] 半導体産業の将来展望等調査「2010 年 LSI 設計力強化に向けて」 - 日本の LSI におけるアプリケーションと設計力の分析、半導体産業研究所、社団法人日本電子機械工業会 1997 年 3 月。

A 付録: LSI 設計者へのインタビュー結果

設計者側からのニーズを把握するために、設計者 10 名(6 社)にインタビューを行い、EDA への要求や要望を調査した。以下の内容はインタビュー対象者の発言を原文のまま記載したものである。

A.1 インタビュー対象者のプロフィール

インタビューは、6 社 10 名の設計者の協力を得て行った。各設計者の簡単な背景をまとめておく。

設計者 A: アナログ LSI、半導体メモリの設計を経験。メモリの高速化、低消費電力化、DRAM-Logic 混載 LSI の研究を担当。

設計者 B: CMOS のモデル設計、16Mbit DRAM を設計。DRAM の低消費電力化混載技術を研究。

設計者 C: ゲートアレイ、カスタム LSI のロジック信号処理、DSP、プロセッサチップ、オフコン用チップなどの論理設計、回路設計、レイアウト設計を経験。現在、超高速プロセッサの開発を担当。

設計者 D: デジタル信号用プロセッサのレイアウト設計、バスのインタフェース設計、アナログ / デジタル混載 LSI の設計を経験。現在は、ATM スイッチを設計。

設計者 E: CMOS ロジック LSI の設計基準策定、ゲートアレイのライブラリ設計、スタンダードセルのライブラリ設計、Sea of Gate のモジュールジェネレータ、CAD を開発。メモリ設計などを経験。現在、低電力 CMOS 回路における回路技術を研究。

設計者 F: 高性能 RISC プロセッサ (BiCMOS, CMOS) 設計を経験。現在、電力用変換器や医療機器等の産業機器用の CMOS ゲートアレイを組み込んだ高信頼リアルタイムシステムを設計。

設計者 G: 汎用大型計算機用高速 CPU (BiCMOS, CMOS) 設計を経験。スーパーコンピュータ用高速 CPU の設計を担当。

設計者 H: 一貫してプロセッサを設計。現在は、マルチメディア用プロセッサを開発中。手設計から論理合成ツールを用いた設計まで、幅広い経験。

設計者 I: DRAM 設計を経験。メモリ設計用 CAD の統合化と開発。現在は、メモリに関する標準化を推進。

設計者 J: デバイシミュレーションを開発。以降、アナログ回路設計、DSP 設計を経験。現在、システム LSI のビジネス展開を統括。

A.2 インタビュー結果のまとめ

ここではインタビューで得られた各種の意見をビジョン研究会で定めた検討項目に従って整理する。複数の設計者の意見をまとめているので相反する意見や整合性がとれない部分もある。

(1) 2002 年の設計対象のイメージ

- (1) イメージセンサ CPU/DSR アナログ デジタル DRAM などのメモリ 無線系を集めたシステムチップである。センサとアナログ回路の結合により チップ内でデータの圧縮と認識を一体化するよな処理が行われる
- (2) DRAM 混載のシステムデバイス特に 32 ビットマイコンと DRAM によるシステム LSI が主流となるシステム全体としては program による機能実現が中心で アナログは必要最小限となる。しかしアナログ的な技術が差別化のポイントとなるので 設計としては重要視すべきである。1 chip 化することが必ずしも全体のコストを下げるとは限らないが カスタマがそう信ること製造側へのプレッシャーとなる
- (3) 半導体産業において、これまでカスタム化(技術革新)と標準化(競争)が 10 年周期で繰り返されてきた(牧本ウェーブ)。今後もこの傾向は続くと考える。1997 年から 2007 年まではデファクトスタンダードなシステムと組み合わせて、半導体大量生産が行われる時代である。RISC のオンチップマルチプロセッサ(MIMD)とメモリを混載したシステム LSI が標準の形態となる。応用はマルチメディア対応の携帯機器でありハードウェアは標準。機能の多様化はソフトウェアで対応する形となる。混載技術(DRAM アナログ、センサ等)と並列処理技術が鍵となる。このような標準化の時代には、提案力、カスタマイズ力、量産能力、ユーザとのインタフェースが重要な技術となる。このような標準化の時代はハードウェア設計のターゲットは絞り易い、ソフトウェアの差が製品の差になりターゲットを絞った CAD のサポートも大きなポイントとなる
- (4) ハイエンドプロセッサは(1GHz、500M-1G Tr. (うち Logic は 50M-100M)、50-60W、1-1.5V、CMOS)程度の仕様となる。基本的に組み込み用プロセッサは多機能化、ハイエンドプロセッサは高性能化へ向かう。特にスーパーコンピュータ用プロセッサなどはマルチプロセッサ構成で 1000-2000 ピンの実装となる
- (5) 重電用高信頼システムなどのように高い信頼性要求される分野ではチップ内 2 重化などの技術も使われる。社会基盤システム用の組み込みプロセッサはネットワークインタフェース MPU、I/Q ROM と Flash メモリを混載したものとなる。さらにアナログや DRAM の混載、無線系、貼合せや積層実装などの技術も利用される

(2) システム設計フェーズでの要求

[開発設計の効率向上]

- (6) ソフトウェア / アナログ / デジタル / メモリなどこれまで別々に設計されてきた要素が一つのシステムとして同一のチップ上に混載システムとして実現される。このため、このような混載 / 混合システムの最適化および性能見積りに関する技術が重要となる
- (7) アナログ回路部分が設計の効率を左右するようになると考えられる。アナログとデジタルの分割技術、アナログ / デジタル統一検証用シミュレーション、アナログ HDL の整備などの技術が重要となる

- (8) 設計の初期の段階にできるだけ設計上位で、下位のツールの誤差や自由度などを考慮した設計全体を見た設計が行いたい。このような設計手法の確立とそれに対応する設計ツールの開発が必要である。
- (9) デジタル回路やアナログ回路の再利用技術が極めて重要である。再利用する回路はそのまま利用されるのではなく、変更できることが求められる。
- (10) 設計管理、工程管理など設計全体を管理する技術の重要性も増す。
- (11) システム設計レベルの設計記述の標準化が必要である。分かり易い仕様書の作成がシステム LSI 開発の大きな課題である。SP レベルでシミュレーションして RTL への自動変換できるような環境が欲しい。
- (12) 設計変更への対応の効率化も重要である。インクマンタルシミュレーションやインクマンタルネットリスト自動生成など、変更部分にのみ注目した解析/合成技術が必要である。
- (13) チップ上のプログラムも半導体設計側が行うことになる可能性がある。このため、コンパイラ、オンチップデバッグ、オンチップ ICE 技術などのソフトウェア開発技術が重要な技術となる。これらの技術は当面、外注で対応するが、鍵を握る技術であるので、自社開発も重要である。
- (14) 仕様を正しく記述し、検証し、理解する技術が設計の効率向上において重要である。特に、システム設計者と議論ができるようにシロン設計者を教育する必要がある。また、システム設計者とシロン設計者の共同開発に対応できる仕組みとツールが欲しい。
- (15) 面積/速度/消費電力/短 AT とら四つのパラメータを扱える CAD は、一般的には難しいが標準品に絞ると可能性はある。面積/速度/消費電力を扱える見積ツールが必要である。
- (16) デバイスドライバ等のソフトウェアのデバッグを目的とした FPGA 等の Early Prototyping の技術も必要である。
- (17) ハードコア/ソフトコアを用いたハードウェア/ソフトウェアコデザインを支援する CAD の開発が望まれる。
- (18) マルチプロセッサに対応するための OS を誰が担当するのかなどの問題がある。
- (19) CPU コアは多機能化へ向かうので CPU コアのモデル化技術の充実が重要になる。CPU のコアモデルを含めたシミュレーションモデルやパイプライン設計のアーキテクチャレベルでのシミュレーション技術などが利用できるようにしたい。アーキテクチャレベルでの性能見積りの技術も重要である。
- (20) プログラムサイズが小さくなる CPU アーキテクチャの設計技術や OS、コンパイラ開発者と LSI 設計者とのコミュニケーション支援ツールなどが必要となる。通信系等は標準的なモジュールの再利用を行う。チップができあがっていても OS 等のデバッグが可能な FPGA 等を用いた高速エミュレータなどソフトウェアとの同時協調設計が行える環境が欲しい。検証用エミュレーションツールなどで実機の 10 分程度の動作をシミュレーションしたい。また、OS、コンパイラを CPU コアにチューニングして提供する技術も重要になる。

[微細化]

- (21) 微細化に伴い、設計における余裕が性能やコストに与える影響が大きくなる。マージンを小さくした精度良い設計と設計見積りの誤差の管理が重要な技術となる
- (22) 動作のローカリティを予測するためのタイミング検証技術も必要である

[大規模化]

- (23) 1 チップで種々の要素を混載するだけでなく、マルチチップモジュールやチップの貼合わせ技術 (Chip on chip) など新しい実装技術も組み合わせた大規模化が進展すると考えられる。混載大チップと小チップ貼合せのコスト/性能評価などの新しい技術が必要となる
- (24) 多値やアナログの導入は Vdd の低下で難しい。アナログはできるだけ限定する方向に行くと考えられる。DC-DC コンバータを用い、ユーザインタフェースはアナログで設計し、中はデジタルで設計するのが効率的であると考え
- (25) 広域的には非同期、局所的には同期のシステム構成に対応する設計手法が必要となる
- (26) シミュレーションには限界があるので、フォーマルベリフィケーションが使える技術なら使いたい
- (27) 大規模な回路は分割設計を行うが、別々に設計された回路を集めてトータルシミュレーションをするツールが必要である。このとき分割設計を集めたときのバグを検証する方法が重要である。また仕様を分担して分散設計する場合の、誤解の増幅を避け、理解の共有を助けるためのコミュニケーションツールや分散設計におけるバージョン管理支援ツールも重要である

[超高速]

- (28) 動作速度の向上に伴い、スキューフリー設計への要求が高まっている。単にチップ内のスキューを考慮するだけでなく、プリント板上のチップの位置まで考慮した設計が必要となる (1-2Gbit/秒転送対応) またこれに対応するシミュレーション技術が必要である
- (29) システムレベルでのタイミング制約記述とその検証が高速化と大規模化に伴い、大きな問題となる。小ブロックは同期、全体は非同期の設計技術など新しい設計手法それに対応する設計ツールの開発が望まれる
- (30) 高速動作に伴い、ミズの問題が顕在化する。ミズを扱える CAD が必要である
- (31) 周波数と演算器数のトレードオフを評価するツールなど、高位設計の支援ツールが必要である。また高速プロセッサは実装に敏感なので、パイプラインやキャッシュに関する性能見積りツールも欲しい

[低消費電力]

- (32) 当面の目標は 1V 動作である。さらに、電池や電源回路の制約、使用される環境の制約、パッケージや実装形態からの制約などから、電源電圧フリー、環境フリー (温度変動など) インタフェースフリーの設計技術が重要となる。

- (33) 内部電圧を制御するパワーマネージメント機構が種々のレベルで導入される。このため、スリープ制御などを含んだパワーマネージメント機構の設計に関するツールが必要となる。例えば、HDLにおいて、“電源を切る”という記述ができるようにすることも必要である。
- (34) システムレベル CAD(アナログ/デジタルトータルシミュレーション)における精度良い消費電力見積り技術も必要である。
- (35) マージン設計における精度向上が低消費電力化に繋がる。システム設計から論理設計全てのフェーズにおける消費電力見積り用 CAD が構築されるべきである。具体的には 2002 年にはポータブルでは 0.9V、デスクトップでは 1.8V の電源設計が必要なので、抵抗インダクタンスに起因するノイズを考慮した動作マージン設計を支援する CAD が必要である。
- (36) 回路の電圧を部分的に下げするために、 V_{th} をコントロールする回路技術
- (37) 2002 年では部分的に 0.5V が使えるような CAD 環境が必要となる。
- (38) RAM や ROM の電力を見積るために、動的なテストパターンを用いた活性化率解析ツールが必要である。
- (39) 組み込みの制御システムではファンレス、フィンレスシステムへの要求など製品性能の要求が厳しい。消費電力も制限値以下というだけでなく、正確に設計したい。

[テスト技術 / 手法 / 環境]

- (40) アナログとデジタルが混合された回路の設計検証手法。テスト容易化設計、自動テストパターン生成、テストパターン記述などは未開の分野である。新しい設計技術の開発が望まれる。特にアクティブコンポーネントを含む場合のアナログ/デジタル回路のテストは、多くの難しい問題を含んだ研究開発対象である。
- (41) 将来の情報機器は無線によるリモートテスト(テストパターンを送信することによる診断)なども行う必要が出てくる。これに対応する技術の確立も必要である。
- (42) マルチチップモジュールやチップの貼合わせ技術など新しい実装手法に対応するテスト手法の確立が求められる。貼る前のテストと貼ったからのテストをどのように考えるかなど基本的問題も多い。このような環境では、チップ間も考慮したバウンダリ スキャン技術なども開発する必要がある。
- (43) ブロック内は同期し、ブロック間は非同期となるような回路の検証手法が新しい技術開発テーマである。
- (44) 低消費電力化設計のために導入される各種電力マネージメントの仕組みをどのようにテストするかも問題である。
- (45) オンチップDRAM に対しては従来の DRAM とは違ったテストや ECC 技術が必要となる。

[その他の objective]

- (46) デジタル系からアナログ回路へのノイズが大きな問題となる。サブストレートやパッケージを含めたシステムとしての問題としてノイズを取り扱ふ必要がある。ノイズを解析できるアナログ/デジタル

ルータシミュレーションやバスシミュレーション技術が必要である。またシステム設計者にと
の程度アナログの知識を持たせるべきかも議論が必要である

- (47) 高い信頼度を要求する制御用組み込みシステムに対応するために、高信頼化設計に対応できる
CAD 技術も必要になる
- (3)ハードウェア実現フェーズでの要求
[開発設計の効率向上]
- (48) アーキテクチャレベルと RT レベルのギャップの解消が緊急の課題である。アーキテクチャレベル
からの自動合成やアーキテクチャレベルでの検証などのツールが欲しい。また、パイプラインのラッ
チの自動挿入などパイプライン化を自動化する技術も実用化が待たれている
- (49) 回路内に非同期部分が入って来るので、非同期回路設計支援システムを早急に整備する必要が
ある
- (50) AC 的な動作を保証したテクノロジマイグレーションの実現が必要である
- (51) メモリ部分の設計においては、プロセスに依存しないメモリ設計が必要である。旧テクノロジで
implement された Block が短期間で、かつ少ない作業量で新テクノロジに再 implement 出来ること
が実現できないとメモリを混載したシステム LSI は実現が難しい
- (52) ボードとパッケージコントローラ (CPU+ソフトウェア)をすべて統一的にシミュレーションして検証で
きるような環境が必要である
- (53) 分散シミュレーション技術(大規模回路用)はハードウェアエンジンより現実的解となると思われる。
大規模回路には機能設計レベルでのフォーマルベリフィケーションも使える範囲では使いたい
- (54) ボード設計やテストの治具の作成へのサポートも効率改善に大きく貢献する
- (55) Visual-HDL のようなユーザインタフェースも重要な技術である

[微細化]

- (56) 消費電力 / 配線遅延 / ノイズの対策が重要な技術となる。配線遅延の見積り用 CAD、多層配線
用 CAD、レイアウト後の配線間の影響を扱えるシミュレーションなどが必要となる。またノイズは大
電流スイッチ、寄生抵抗、インダクタンスを考慮する必要がある。配線技術が中心的な技術とな
る
- (57) タイミングプロファイルシミュレータに基づく配置配線ツールや多層配置配線のモデル化とツール
配線間のカップリングの解析などモデル解析合成を一体化した技術が重要になる。AC 的な動
作を保証するレイアウトツールが鍵である

[大規模化]

- (58) DRAM 混載におけるメモリからの読み出しネックをどのように解消するかが問題である。コントロー
ラや CPU からの距離に応じたきめ細かな設計条件のちがいに対応できるタイミング設計手法必
要になると思われる

- (59) メモリエネレーション技術や周辺回路(アナログ / デジタル)の自動生成技術が欲しい。
- (60) アナログ / デジタル / 無線を 1 チップ化した多ピンプロセッサ(1000 ピンから 5000 ピン)などが現れるので 多ピン化 積層技術 MCM などに対応したボード / チップ内の統一的ノイズ解析技術が必要となる
- (61) マスク処理時間の短縮も重要なテーマである、並列処理などの利用が期待される

[超高速]

- (62) 15mm 角のチップでは 端から端へ 1 クロックで信号が伝わらないので 完全同期設計が難しい、ローカルには同期式で グローバルには非同期となるような回路の設計支援ツールが必要となる、非同期回路の合成 検証技術の研究開発が望まれる
- (63) 同期設計の限界はどこまで配線遅延のばらつきを正確に扱えるかにかかっている、遅延見積りの精度の向上が 設計品質に大きく影響する、また、電力管理と高速化は同じ視点で見積りしたい
- (64) 従来の Typical 値 + マージンによる設計からより細かなマージン制御をしたい、ユーザからの高い要求仕様に対応できる同じ機能でも高付加価値となるのでこれは 標準品 / 量産の宿命である
- (65) 500MHz 以上には新しい技術が必要である、電圧のドロップ、インダクタンスの影響、線間容量などの取り扱えるツールを開発して欲しい、また、タイミングのプロファイル(製造のゆらぎの影響)を考えた検証や多層配線の積極利用とそのモデル化、自動配置配線とタイミング解析の結合なども課題である
- (66) 2002 年で 1 2Gbyte/秒でメモリからのデータの取り込みが行われるため、メモリ間インタフェースを管理する ASIC の導入やデータバスのスキューフリー設計が必要となるこれに対応する設計ツールが必要である
- (67) デジタル / アナログ混載回路におけるノイズの問題が大きな問題となる、アナログ回路、デジタル回路間で相互に生じるノイズの影響、バルク電流によるノイズ、高周波回路同士のカップリングの問題などを取り扱える環境が必要である、またクロストークはチップ上だけでなく、チップ間も考慮する必要がある、ノイズミュレーション技術も重要な技術となる
- (68) すべてのバスをクリティカルと考えた設計がしたい、レイアウト後の Delay チェックを高度化し、全バスチェックができる、CAD が必要となるクリティカルなバスを自動的に検出できるような静的な解析ができる CAD があってほしい
- (69) トランジスタのサイジングを自動的に行うレイアウト CAD などセルを使わない設計に対応できる設計環境が欲しい
- (70) 大規模化・高速化に伴いクロック分配が難しくなる、クロック分配のスキューマネジメントの精度向上とそれに基づく自動分配ツールが重要な技術となる、さらにクロストークノイズを定量的に把握するための CAD も必要である
- (71) ダイナミック回路に対する CAD サポートも検討が必要である

- (72) 不良動作時の解析技術も重要な技術である
- (73) チップ外の高速化への対応も重要である。インタフェースの高速化、ボードの設計、電源供給などチップ内の技術とボード技術の融合が求められる。スキューフリーを実現するためのプリント基板を含めたトータルシミュレーション技術なども必要となる

[低消費電力]

- (74) 各レベルでの精度の高い電力の見積りが重要な技術となる。また、各レベルで設計マージンと見積り誤差を制御したい。そのための基礎データも必要である
- (75) マルチV_{th}、マルチV_{dd}、マルチ酸化膜圧などの新しい技術に対応するためにツールの変更が必要である。マルチV_{th}、マルチV_{dd}、マルチ酸化膜圧等の技術をどの部分に用いればよいのかを決定する最適化技術も重要である。このあたりの技術は、2002年では公開技術ではなく自社CADで対応すべきものである。
- (76) 与えられた動作周波数に必要な電源電圧を自動的に設定してくれる電圧マネジメント回路などの設計ができる手法ツールが欲しい
- (77) アナログ/デジタル/センサ回路を適切に用いることによる低電力化設計ができる手法ツールが欲しい
- (78) クロック設計において、Gated clockをサポートできるCADが必要である。また、クロックを止めるとノイズが発生するため、低電力化を施した場合にノイズの影響が考慮できるCAD技術も欲しい。Gated Clockを考慮したClockスキューが扱えるレイアウトCADも必要である

[テスト技術 / 手法 / 環境]

- (79) アナログ/デジタル回路のBISTを設計するための環境とツールが必要である。LSIの多ピン化に対応したテスト技術(BIST等)やBISTのカバレッジの拡大も課題である
- (80) 電圧マネジメント回路のテストなどこれまでになかった問題も多く出てくる可能性がある。
- (81) デレイチェックの効率化、高精度化が必要である。タイミングがからんだ論理バグの検出技術も新しい展開が望まれる
- (82) 従来バスで観測して行っていたプロセッサのテストをシステムオンチップ化した場合に、どのように対処するのかという新たな新しいシステムLSI固有の問題が起きてくるのでそれに対する対応も必要である
- (83) 電源ドロップの測定技術を確立する必要がある
- (84) テストのコストと信頼性のトレードオフを考えた設計が行われる可能性もある。テスト項目の増加にどのように対応するかを整理し、テストで何をどこまで保証するかを明確にする必要がある。アナログ混載回路をいかにデジタルテストでテストするか、A/D、D/Aのself Test、高速フーリエ変換を利用したテストなどテストコストの低減に関する技術を確立しなければならない

[その他の objective]

- (85) パッケージやインタフェースのオープン化が重要となる 3 社以上のアライアンスが最低限必要である

(4) IP(メガセル)やライブラリに関する要求

[開発設計の効率向上]

- (86) 独占的な IP だけが商売になる IP ビジネスは、日本では、文化的に成り立たない可能性がある
- (87) プロセッサコアの再利用技術がキーである SIC に対する効率的なソフトウェア開発のための CPU や DSP のコアの標準化、規格統一が必要である 言語レベルでは良 検証されたもののみが再利用可能である
- (88) コアプロセッサはプロセスの違いはあるがアーキテクチャは一定となる マルチメディアをターゲットとすると、マルチファンクションを扱い、規格変更に対応する必要があるため、 MIPS コンパチ、SH コンパチなどの標準的なコアが普及し、ソフトウェアによる製品の差別化が起こる さらに JAVA 等が普及し、ソフトウェアもハードウェアに依存しなくなると標準的なコアの淘汰が起こる
- (89) デジタル回路のコア化は必然である アナログ回路のコア化は言語化の可否が決め手である アナログコアの 80% は規格化コア化可能である 言語記述できないアナログ回路の IP 化は無理である モジュールの接続法の標準化も必須である
- (90) DRAM のコア化に関しては プレーナ型は可能であるが、他の形態は難しい メモリ的高速インタフェースの規格化は必要である メモリのセル容量やビット線容量を考慮したメモリセルレイアウトもコア化には必須の技術である
- (91) ライブラリの誤差を一つのパラメータで制御するような技術、 CAD での誤差と製造の精度を考慮したライブラリの生成技術、アナログ回路のライブラリ化による再利用技術などが実現できれば生産性は大幅に向上する 特にプロセス / デバイス変更時に自動対応できる技術が欲しい

[微細化]

- (92) モデルの精度向上が本質的に重要である
- (93) ライブラリの充実が必要である 特に、パラメータ(Vth や Vdd など)の多様化に対応できるライブラリの整備が必要である

[大規模化]

- (94) CPU コアのサポート技術(プログラムサイズの最小化、低消費電力、高性能、 OS サポート、モジュラータや ICE のサポート、ソフトウェア開発環境)が再利用を有効に活用する基盤技術である モジュールの品揃えとそれに対応できる CAD の展開が鍵である
- (95) マクロブロック間インタフェースや耐圧ブロック間インタフェースの実現が問題である
- (96) DRAM 混載 LSI における IP インタフェースの標準化が必要である 各種メモリ(DRAM, ROM, Flash)への対応も重要である。

(97) ソフトウェア部品が重要となる。モデム、ドライバなど多機能への要求はソフトウェアで対応するようになる

(98) 可変ハードウェア(FPGA, E2PROM)はバグ対策に利用可能である

[超高速]

(99) 高性能IP のみが独占的に生き残る

(100)IP のドキュメントの整備と内部が分かっている人の確保をしないと超高速のコアは使いになせない

[テスト技術 / 手法 / 環境]

(101) コア化された部品を使ったときの機能検証用のテストパターンを自動的に生成する技術がないと、再利用は実用化されない

(102) 外部から導入したコアの検証技術が本質的な問題点となる。また、モジュールの検査法の標準化も必要である

[その他の objective]

(103) IP ドキュメントの整備が極めて重要である。ドキュメンテーションの文化の育成が必要で、それをサポートする CAD 技術が欲しい。(Computer Aided Documentation)

(104) 特徴のあるコアを持つことがシステム設計者に魅力的なシリコン設計者である

(105) DA ツールのデータの標準化をもっと推進して欲しい

(5) TCAD とリンクした問題に関する要求

[開発、設計の効率向上]

(106) プロセスのゆらぎや設計ツール / モデルの誤差を統一的に考慮する設計技術が必要である。特に、TCAD と回路ミュレーションの結合、回路ミュレーションのモデルの自動生成などが重要な技術となる。TCAD と結合してプロセスに対するマージンを考えた上流設計が行える環境が理想である

(107) 線間容量の精度を向上させたアナログレイアウトツールやクロストークの解析とそのレイアウトでの対応技術などより詳細な解析技術とレイアウト技術の融合が必要である

(108) 各種ツールに対するテクノロジファイルの自動ジェネレータが欲しい。テクノロジファイル、ルールファイルの正当性の保証も大きな技術課題である

(109) アナログ / デジタル混載回路設計における、デバイスを考慮したチューニング設計を支援するための知識処理を利用したツールなどが欲しい

[微細化]

(110) レイアウトデータからの各種パラメータを抽出する技術の高精度化が第一義的に求められる

- (111)アナログ回路の特性ばらつきをモデル化するためのデータを系統的にとり、検証に用いるツールも必要である
- (112)DRAMメモリ内における SPICE モデルの精度の向上が望まれる
- (113) 3-D 配線シミュレーションなど回路シミュレーションモデルの精度を上げる努力も必要である。また、回路パラメータの自動抽出や回路特性の実測技術の高度化に伴って、より精度の高い検証が行える環境が欲しい

[大規模化 / [超高速

- (114)デバイス (Vth など)のばらつきを小さくするために TCAD の活用が望まれる

[低消費電力

- (115)Vth のプロセス揺らぎに対応できる設計技術を確立したい
- (116)Fanless, Finless(消費電力 1W 以下)設計に対応するための温度制約を扱える TCAD の確立を希望する

[テスト技術 / 手法 / 環境]

- (117)デバイスの信頼性を検証する CAD 技術が求められる。トランスタにどの程度ストレスをかければ 10 年間保証できるのかを判定できるツールなどは、テストコストを見積り削減したりすることに活用できる

[その他の objective]

- (118)プロセスの標準化はないので、マルチファウンドリーに対応するため、プロセスや TCAD と密接に結合した社内 CAD が必要である

(6)計算 / 設計環境

[開発、設計の効率向上]

- (119)分散設計で横方向の協同設計をサポートする技術が重要である。データベースのコンシステンスを保証する技術、バージョン管理やデータマネージメント / 工程管理を支援するツールなどが必要である。ファイル管理、治具管理、ライセンスサーバ管理、グラフィカル設計、画面共有等が可能な環境の整備をして欲しい。
- (120)トラブル対策の効率化も大きな課題である。ツールの know-how や設計上の留意点などをサポートするインテリジェント CAD、ツールのバグを減らす努力、ツールの相互接続の管理などについても注力して欲しい。ツールに関するトラブルを一般化してツールにフィードバックする学習機能などを持つツールなどがあるとうれしい。
- (121)並列処理が利用できるところは利用して高速化を進めて欲しい。特に、マスク生成に並列処理を導入する必要がある

[微細化 / 大規模化]

(122) レイアウト検証, 論理合成の高速化, 回路検証の時間短縮などが求められる

[超高速]

(123) 分散設計環境での同期設計の難しさをどのように克服するかは, 課題である

[テスト技術 / 手法 / 環境]

(124) アナログ / デジタルテストの新技术として, LSI メーカーとテストメーカーとの連携開発によるアナログ / デジタル混載 LSI 用テストが必要になる。アナログ回路をデジタル回路と一緒にテストする技術が鍵の技術である

(7) その他の要求や要望

(125) EDA 技術に対する要望としては, 日本というより, グローバルな視点で見て, 設計とリンクしたものにしたい

(126) EDA ロードマップに対する要望としては, 数量的な効率ではなく, 質的なものを求める。今後の設計としては, 低消費電力技術とアナログ設計技術がキーとなる。日本の設計技術に合った設計ツールや環境を議論してほしい。

(127) ボード, LSI, 電源イズなど境界を越えた設計支援技術が今後重要となると思われる

(128) 今後, 回路の大規模化に伴う複雑な回路に対してのテストは, 設計保証を明記した上で, テストの精度を下げず製品化する必要がある。TEG だけをテスト保証する場合も有り得るので, このような場合に対応できる CAD 技術を考えてほしい

(129) 仕様書が書けるエンジニアの養成が重要な課題である。仕様書作成のサポート技術や設計者の技術の底上げが必要である。基本的に議論をすることが重要であり, 標準化など米国の議論に入っていく努力も必要である。個々のエンジニアの能力をいかに上げるか, 教育の問題も議論すべきである

(130) 下位設計は, 自社独自技術に基づく差別化を行い, 上位設計は, システム設計者が標準的なツールを用い設計する環境が現出する。自分の設計に最適のように, PERL などの言語を用いて, 個別に提供される複数の CAD ツールをインテグレートできる設計者を育成する必要がある。設計者が CAD を作れるようにする大学や社内の教育の充実が必要である。半導体側でシステム設計者とコミュニケーションができる人を育成することが重要となる

(131) 標準化とカスタム化の波の周期を考慮すると 2002 年には, カスタム ASIC 設計用 CAD がどうあるべきかを決めなければならない

(132) 今後の LSI ベンダの方向としては, 社内の半導体部門とシステム部門の垣根を取り払う努力が必要である。今後は, 総合電機メーカーであることは必ずしも強味とは言えない。小さくても動きの早いシステムメーカーと組むのが半導体メーカーとしては得策である。CAD 技術者は開発プロセス外

に入ってしまうべきで、これが標準化時代の対応する方策である。買えるものは何でも社外から買う。社外 CAD のインテグレーションは重要な技術である。下位設計は、自社独自技術に基づく差別化を行う。これは、社内 CAD が必須である。上位設計は、システム設計者が標準的なツールを用い設計する。ここでは、人とカハワの集積が重要となる。

- (133)ハイエンドプロセッサやメインフレームはまだすべて社内 CAD ベースで開発される。ツール間を効率良く接続するために、モジュールの表現形式を標準化して、使い易い環境を提供して欲しい。ハイエンドプロセッサ設計において社内 CAD は必須であり、VenderCAD で使えるものは使うが、無いものは自社で対応するしかない。
- (134)セルベース設計の ASIC は基本的にVenderCAD を用い、レイアウトはプロセスやデバイスに近いので社内 CAD を使うことになる。ツール間のつながりをスムーズにし、使い勝手を上げるのが社内 CAD の役割であり、社内 CAD は設計技術の集積点として面白い役割であると評価すべきである。

B 付録: EDA 技術者へのインタビュー結果

EDA 技術者 13 名 (8 社) にインタビューを行い、2002 年に向けて EDA 技術がどのように推移していくのかを調査した。以下の内容はインタビュー対象者の発言を原文のまま記載したものである。

B.1 インタビュー対象者のプロフィール

インタビューは、8 社 13 名の協力を得て行った。各技術者の簡単な背景をまとめておく。

技術者 A: レアウトが専門。2 年ほど前からマイコン用設計フローを検討し、EDA 環境構築

技術者 B: Bipolar のモデルを開発。SPICE を大規模回路用に高速化、回路合成等を経験し、現在事業部にて CAD の整備、ライブラリのパッケージ化等、アナログ回路が専門

技術者 C: 組合せ回路用テスト生成、フルスキャン、DFT に関する研究に基づき、実用システム構築。最近では遅延テスト、機能テスト、BIST などを研究開発

技術者 D: テスト、BIST に関する研究が専門。現在はシステム、LSI に関する事業統括

技術者 E: 論理合成、組合せ回路テスト生成、論理検証が専門

技術者 F: 配置配線エディタ、テスト生成、専用ハードウェアが専門。現在は CAD 研究、特に論理検証、論理合成のマネージメント

技術者 G: 機能シミュレータ、論理合成や高位合成などの内製。CAD を開発。現在は市販 CAD ツールを統合したハードウェア/ソフトウェア、コミュニケーション等の設計支援環境の構築を統括

技術者 H: プリント基板のレイアウト、マッピングテストなどのツールを開発。汎用機向け CPU の開発を進めるとともに、マイクロシミュレータ、タイミング解析ツール等を開発。現在はシステム設計部門を統括。テストバウンダリスキャン等も専門

技術者 I: Physical Design, Symbolic Design, Layout などが専門。推定技術とレイアウトをリンクさせることを推進。システム、LSI 開発環境の構築を統括

技術者 J: EDA マスク処理検証、レイアウトライブラリ、EDA 統括

技術者 K: レアウトツール、市販ツール(タイミング設計が中心)、論理合成、タイミングドリブン設計

技術者 L: 並列論理シミュレーション、論理シミュレーションエンジン、論理故障シミュレーション、モデル生成の環境の構築。市販 CAD を用いたハードウェア/ソフトウェア、コミュニケーション環境の構築

技術者 M: 工場における生産技術を経て、CAD 技術を推進。現在事業部にてインタフェースソフトウェア、デザインフローを統括。上流設計とレイアウト設計とのリンク、ライブラリ設計が専門

B.2 インタビュー 結果のまとめ

全体に関する意見

細かな技術課題も良いが、どこが最終製品のコストや性能に一番効くかを議論し、大きな効果がある技術をロードマップに加えるべきである

この観点で見ると、ハイエンド ASIC なるもののベース(個々の設計ではなく、その基本的な構造)を設計する技術がこの表には欠けている。例えば、プロセスのおおよその仕様と対象とするマーケット(チップコスト低減を競うのか、TAT 短縮で勝負するのかなど)が決まった段階で、何層のプロセスを使い、どのように層を割り当てるのか？

セルの高さや形状をどう決めるか(セル面積をとるか配線容易性をとるか)？

マクロとして何をを用意するのか？ライブラリの個数をどうするのか？(少数のマクロやリーフセルで他社より早く出すことで勝負するか、じつと大きなライブラリをつくって完全性で勝負するか)

アナログやメモリをどこまで搭載するか(マスクの数をどうするのか)？

個々の設計をする人にどのような設計フローを薦めるのか？

などの ASIC のプロフィールを決定することで勝負の大半が決まることをサポートしないのは CAD が握ってしまうことが肝心である。その意味で、現在の表は、大きな欠陥を持っている

上記の決定は、設計者も CAD もプロセスも責任を持ってやっていないのが現状で、そこが、わが国におけるほとんどの会社の決定的な弱みである

よって、ハイエンド ASIC の基本仕様を決定する EDA 技術を重要課題とすべきである。これは、プロセスを持っている会社でしかできない(やらない)技術であり、社内 CAD の生命線といってもいい

自社のプロセスを前提とした、CAD のためのモデル化技術とベンダが提供する技術やモデルを正しく評価する技量も重要である

システム LSI ではシステム設計、デバイス設計、ソフトウェア設計が基本となる。ハードウェアはドライバやファームウェアがないと成り立たないので、ハードウェアとソフトウェアの検証は両輪でなければならない

製品の設計サイクルから、プロトタイプ設計は 6 ヶ月で完了する必要がある。実環境に近い動作速度で、ハードウェアとソフトウェアの両方を検証するためのクイックプロトタイピングが必要(デバッグも含めたもの)

コミュニケーション環境の中ではシステムを構築する場合に、仕様を決めることが困難になる。想定していなかった環境で使用されることもあるため、標準にもバグがあることもある

信頼性検証 テストに関しては、設計の初期段階から考える必要がある

設計の再利用に関しては、汎用コンピュータの設計において、実績がある。信頼性を含めた再利用をする必要がある

ボードを 1 チップ化するといらぬのでは、皆が同じものとなる。新しい発想が必要

インターネットの例のようにグローバルスタンダードとなるものが必要

テストに関しては、テストの価格、テスト時間などの経済性が重要

検証をしっかりと、テストは構造的に行うことが重要

IP の RTL サインオフは難しい、その理由は、RTL 以降の処理がストレートフォワードにできれば良いのだが、必ず手戻りが必要なため

製品のライフサイクルについて装置を含めて考え、戦略を考える必要がある

設計の再利用は、閉じた世界では可能だが、開いた世界で可能かは疑問がある

シミュレータとフォーマルベリフィケーションとを組み合わせ補完させることが重要

ハード IP における課題は、レイアウト、ピン位置が変えられるなどの自由度が必要

ソフト IP における課題は、ハードマクロ設計、パラメトリックライブラリなどを利用したセルを用いない設計が必要、現状のセル設計ではワークケースを考えて、頑丈なもの設計している

種類の異なった回路技術を合成するためのテクノロジーマッピングの技術が必要

デバイス回路技術がシステムにどのように効くかを推定する技術が必要

ソフトウェアとハードウェアの両方を考慮したレイテンシを推定する技術が必要

コデザインは、大規模では使えない、コベリフィケーション、エミュレーションは使える

プログラマブルデバイスの応用が見えてこない、マイクロプロセッサと EPRO M との組合せと比較して、その優位性を議論する必要がある

アナログ / デジタル混載回路におけるミスプロセス揺らぎの問題に対処する必要がある

非同期の検証と合成に関しては、マクロについては、2002 年までに実現可能

高集積化が進み面積コストがななれば、多値論理は不必要

アナログ / デジタル混載回路のモデル化が必要

コンパイラ技術等のソフトウェアの移植性を高める技術が重要

現状 HDL で RTL を記述し、HW エミュレーションするツールはある

2002 年における設計者の役割分担としては、IP 設計者とセル設計者とに分かれ、現在の RTL サインオフから IP サインオフへと移行する。セル設計者は、部品 (IP) を組み合わせて構築するリアルタイム OS 上のソフトウェアの性能を評価するための標準化が進む。

プロセス技術の開発スピードが速くなるとすれば、短期間で良い仕様を決めることが勝負となる。ASIC のセルとしてどのようなものを渡すのか決めるインタフェース技術が重要となる

TCAD と E CAD とをリンクさせ、セル設計、推定ツールは自作する

設計者側からプロセス技術者に対して、デファクトの技術水準を示すためのツールが必要となる。プロセスの標準化は推進する

低消費電力に特化したプロセス技術が重要

プロセスのターゲット仕様をきめることが製品の品質に大きく左右する。上流のライブラリを生成する場合の精度にも関係する。

新しいマスク生成技術を意識したレイアウト技術が重要となる。

電源・タイミングを考慮したレイアウト技術が重要となる。

信頼性を考慮したプロセス技術がオーバスペックにならないようにすることが重要。

現在システムはパーツを集めて設計しているシステム。LSI も、この領域に行くと考えられる。

現在の設計フローの延長線上でシステム LSI の設計を行うのでは TAT を考えると検証項目が多すぎる。アメリカの CAD ベンダの論理にはまっているのでは。

システム LSI はハード IP を張り合わせて設計する。ハード IP のシミュレーションは基本的には行わない。

現在レイアウト合成は全体の工数の 10 分の 1。よって、システム設計の高速化を推進する必要がある。

システム設計者に対する CAD と P 設計者に対するものとは分けて議論する必要がある。

ライブラリを自社で設計しておけば RTL とリンクさせて精度の高い面積推定が可能。

特殊な LSI では競争力を上げるためセルを作り込む。

全般にセル設計のサポートが抜けておりセルの仕様と推定に関する議論が抜けている。

現状アプリケーションごとにセルまで考慮した設計を行っている。

2002 年までにプロセスの安定性の面からマージン設計自体ができなくなる可能性がある。

ハード IP の検証に関してはソフトウェア的に行うのでは不十分でエバチップを試作して検証を行う必要がある。

短期的に用意できる試作ラインの数によりハード IP ベンダの優劣が決定する。

レイアウトとプロセスのリンクを最適化することが重要となる。

アナログ技術としての重点課題

デジタル / アナログ混在の満足できる精度でのシミュレーション技術

数百素子規模のフィルタやコンバータの自動回路合成

自動レイアウト技術の実用化

ポストレイアウトシミュレーション技術(アナログとして十分な精度を確保)

アナログ回路テストの自動合成

プロセス変動を考慮した設計支援

CAD の利用技術(モデルやツールの近似のずれを正しく認識し、自社のプロセスにあわせこむ技術)

日本における EDA 技術の重点領域

日本における EDA 技術としてはテクノロジーに関する研究を強化することにより上流での見積り精度を良くすることが重要。

日本が得意とする応用分野のモデルを強化しプロセスとリンクさせることが重要。

5 年後の設計者はシステム設計者、インタフェース設計者、デバイス設計者の三つに分類されるシステム設計者を支援するツール設計は CAD 技術者では無理、デバイス設計ではトランジスタレベルでのシミュレーションが重要。その際エレクトロマイグレーション、外部ノイズ等を速くモデル化する必要がある。トランジスタレベルのシミュレーションに関しては研究者の数が少ない。半導体メーカーはもっと力を入れるべきでは。レイアウト CAD に関するベンチャー企業を日本でも作るべき。TCAD と E-CAD の連携は 2002 年までに実現可能である。よって半導体メーカーは物理的な解析技術に注力すべき。

日本の CAD ベンダが技術力を伸ばすためには、大学のつながりを強める必要がある。

FAB を持ち続けるとすれば、良いプロセスを早く作る技術が必要。

セクターはアプリケーションに特化した技術に注力し、信頼性テストに力を入れるべき。

特化したシステムに対して、早くデバイスを立ち上げる技術に注力する必要がある。

システム設計からレイアウト設計まで CAD に頼りすぎている。解析するためのツールが必要となる。

EDA ビジョン研究会への要望

大学への産業界からのフィードバックをサポートする仕組みを確立して欲しい。また EDA に関する政策提言をして欲しい。

具体的に目的を絞ったプロジェクトを企画して、技術者のベクトル合わせをして欲しい。

何故米国に EDA ビジネスを持って行かれるのかを解析し、共同で使える EDA を作って行くようなプロジェクトを推進して欲しい。

日本を引っ張って行く活動を推進して欲しい。

システム / アルゴリズム

[デジタル仕様]

システムレベルでのライブラリの整備が必要。

システム / アルゴリズムレベルでは、デファクトスタンダードツールを用いる。

製品のライフサイクルについて装置を含めて考え、戦略を考える必要がある。

IP 情報として何を付加するかが問題。

FPGA によりハードウェア / ソフトウェアを設計することにより、プロトタイプを作成し、製品につなげる。

システム LSI の仕様記述は、ハードウェアとソフトウェアの両方が記述できる必要がある。

システム記述言語としては、オブジェクト指向言語 (C++、JAVA など) と C との混成。

[デジタル検証]

フォーマルベリフィケーションは万能ではない。シミュレータとフォーマルベリフィケーションとを組み合わせ補完させることが重要。その結果を論理合成にかける。

ATPG を用いたフォーマルベリフィケーション。

プログラマブルデバイスの応用が見えてこない。マイクロプロセッサと EPRO M との組合せと比較して、その優位性を議論する必要がある。

流通した IP に関する 検証とテストは問題 検証に関しては 大本のシステム仕様も含めたものが必要
フォーマルベリフィケーションに関しては テスト回路を入れる前後の論理ゲートの機能検証などは 実
用レベル、また RTL とゲートレベルの機能検証に関しても、bool 代数の世界では 使える さらに上流
のフォーマルベリフィケーションに関しては 言語の整備が先決
コミュニケーションにおける ソフトウェアのデバッグが課題。

ハードウェアとソフトウェアの分割に関しては 支援ツールは必要だが 自動化は不要
アナログ / デジタル自動分割は 必要ない

今後、フォーマルベリフィケーションの実用化が進むと考えられるが 図的に記述ができる仕様記述言
語が必要

上流設計では 設計者の頭の中にある仕様を確認する (validation)ためのツールとして シミュレーション
とフォーマルベリフィケーションとが組み合わせて使われる。

仕様を固めるためのエディタやプロトタイピング 検証ツールなどの技術が重要

新しい領域のシステム LSI をトップダウンで設計するのは無理

[デジタル推定]

推定の精度を上げるには システムのモデル化の技術が重要だが RTL より上は 数学的に扱いにく
い

ソフトウェアとハードウェアの両方を考慮したレイテンシを推定する技術が必要

FSMは 使いにくい

消費電力に関しては 地球環境も含めた重大な問題 RTL やゲートレベルだけではなく 高位での考
慮が必要である

RTL で記述したものを FPGA にマッピングしソフトウェアを含めた CPU 周辺部の検証をする技術が進
み 検証とテストをリンクし テストコスト削減することが重要

ハードウェアのモデルとして パイプラインやキャッシュを考慮したソフトウェアを含めたタイミング推定
技術が必要で CPU の選定などに用いたい

上流の設計では アプリケーションに合ったモデル化が必要

上流設計での見積りの精度を向上させるためには 下流情報が必須。

HW /SW コデザインにおける、性能の見積り技術は 検証、推定、合成の順で進む。現在では 合成レ
ベルでの性能推定技術は実現されていない

[デジタルテスト]

フォーマルベリフィケーションを用いた ATPG (シンボリック ATPG)

RTL のテストパターン

IP 化に関しては BIST が重要

テストに関しては テスタの価格、テスト時間などの経済性が重要

検証をしっかりと テストは構造的に行うことが重要

[デジタル合成]

アナログ / デジタルの分割の自動化は、不必要、基本的に人間がしばらくはやる仕事で、HW/SW の分割のようなきれいにモデル化できる問題ではない。2002 年のロードマップからは削除すべきである。論理合成において、HW/SW の自動分割は、2002 年では、無理。

テスト回路合成技術が重要となる。

[デジタルテスト]

テストインタフェースの標準化

システム全体におけるテストのバランスとコストを考慮し、システムとアルゴリズムの設計をする必要がある。

[アナログ]

アナログの仕様は、多様なので記述が困難、一般的な解は難しい。

AHDL は、現在システムレベルでは用いられていない。VHDL -AMS, Verilog -AMS などの発表はあるが、まだユーザはほとんどいない。(教育が不十分)

アナログの上位レベルシミュレータは、精度を落とさず、いかに高速化するかが課題。2002 年までのシステム仕様レベルの記述は無理がある。

[その他 / 設計環境]

グループ設計を支援するツールが必要。支援すべき具体的な項目としては、工程管理、バージョン管理、設計変更の波及効果の解析、デジタル / アナログの整合性検証、ハードウェアとソフトウェアの整合性の検証など。

アーキテクチャ / 方式

[デジタルテスト]

テスト構造の標準化

[アナログ]

アナログの仕様は、多様なので記述が困難、一般的な解は難しい。個別の回路種類ごとに記述法ができてくる。フィルタ、コンバータ (A/D, D/A) など。

ユーザの教育も大きな問題である。シミュレーションや合成がきちんとできるものは使えるようになる。

[RTL / 論理]

[デジタル仕様]

オムニシス(HP社)やALTA SPW(CADENCE社)などはアナログを扱えるシミュレーションだが、非線形性やミズなどを表現できない。

デジタル / アナログ混在のシミュレーションは現状では未成熟であるが、2002 年にはかなり実用化できそうである。モデルの精度にはもちろん限界はあるが、使える範囲では実設計に組み込まれると考える。

[デジタル検証]

BGAなどの RTL における消費電力(発熱に関する解析ツールの開発は 2002 年までに実現可能)の場合 消費電力は データに依存するがそれは 問題ないであろう

携帯情報機器に関してはゲーテッドクロックやパストランジスタなどの技術を駆使し 低消費電力化する

[デジタル推定]

各モジュールに対する電力バジェット(割当て)は 2002 年までに実現可能

[デジタルテスト]

DRAM / 論理混載回路における故障モデルの提案
power device とデジタル回路の混載チップのテスト技術
並列処理等による順序回路用テスト生成の高速化技術

[アナログ]

AHDL からの自動合成は、数百素子までのフィルタ、コンバータ (A/D, D/A), など限定されたもので 2002 年には実用される。ただし、合成の知識を誰が書くかが大きな問題で、これが成功の鍵である。プロセスばらつきに対する対応などいろいろな技が必要だから難しい。

[回路/デバイス]

[アナログ]

アナログ / デジタル混載のテストは 分割して行う。その場合の課題としては 故障モデルを定義し、テスト手法の標準化、機能テストカバレッジの定義を行う必要がある。

アナログ回路のテストはヨーロッパが先行しており、テストベクタの自動生成も現れるであろう。2002 年までに一部実用化される可能性がある。回路をセグメントに分け、レイアウトライブラリに反映しパラメータ化する。

レイアウト情報を回路情報にバックアノテーションし、検証精度を上げる必要がある。配線寄生容量とサプストレートカップリングの両方を考慮できるシミュレーションが実現するであろう。

微細化に対応して電磁界解析なども必要になる。また、プロセスの変動を SPICE パラメータの変動としてモデル化する技術が必要で、実用化しなければならない。TCAD との組合せが必要である。モデルやツールの近似の誤差を正しく把握し、プロセスにあわせこむ技術が重要になる。

[RTL / レイアウト]

[デジタル合成 / テスト]

IP は テスト生成 論理合成、レイアウトなどのテクノロジーマップを一緒に普及させる必要がある。

ハード IP における課題は レイアウトピン位置が変えられるなどの自由度が必要。

ソフト IP における課題は ハードマクロ設計、パラメトリックライブラリなどを利用したセルを用いない設計が必要。現状のセル設計ではワークケースを考えて、頑丈なもの設計している。

種類の異なった回路技術を合成するためのテクノロジーマッピングの技術が必要。

[デジタル推定]

デバイス回路技術がシステムにどのように効くかを推定する技術が必要
コデザインは、大規模では使えない、コペリフィケーション、コミュレーションは使える

[レイアウト]

[デジタル仕様]

デザインルールの標準化はしなくても良、デザインルールとしては特化したものを用いることを前提とし、モジュール生成が可能なツールの開発が必要

レイアウトの標準化が進めば、アーキテクチャビジネスが発生する

ASIC の製品コンセプト(対象アプリケーション)を考慮し、レイアウトの制約からプロセスへの要求仕様(コンタクト配線層、論理設計への要求仕様などを決定する必要がある

[デジタル推定]

配線を優先した自動レイアウトが必要となり、現在は異なるモデルに基づいた推定技術が必要となる
ASIC の製品コンセプト(対象アプリケーション)を考慮し、配線層セルの高さ、マクロの利用法(データバスメモリの切り分け、層割り当てなど)などの項目に関し、何が最も効果が上がるのかを推定する必要がある

[デジタル検証]

設計者は、使用している CAD ツールの限界(どのようなモデルに基づいて処理しているのか)を把握しておかなければクロストークや電源ドロップなどに関して、実際の結果と違いが生じてしまい、モデルの構築/評価の技術が重要である

システム LSI 設計においては、検証(解析)と合成の両方が重要、エラー個所の特定化を支援するツールが必要となる

ノイズの影響等を解析するために、アナログ回路のモデル化(回路/デバイス)は必要

[デジタル合成]

CMOS とパストラジスタ等の異種デバイスのレイアウト合成が必要

低消費電力を目的としたデータバス系のモジュール生成技術が重要、マクロライブラリをそろえる

今後、プロセスの進展が早ければコアは RTL やネットリストレベルで持つ、逆に遅くなればプロセスポータブルな状態で保持したい、モジュール生成を支援する CAD が重要となる

[デジタルテスト]

IP 内設計は DFT が必須、IP 間のテストは標準化が進められる

タイミングノイズ電源に関するテストをいかに行うかが問題だが No ID

テストに依存して、テスト項目が増えすぎている

テストをモデル化して、バーチャルにテストを行う方式も今後重要となる

[アナログ]

アナログセルの自動レイアウトは仕様から自動生成、オペアンプなど部分的に使用されており、今後フィルタなどに拡張されるであろう。現状では面積で人手に負ける、自動レイアウトで実現されるもの

しては仕様が多様で、使用頻度が高く、複雑なもの、それらを考慮すると、フィルタ AD/DA コンバ

ータなどが考えられる。回路設計者に受け入れられるレイアウトを出せるかが鍵である。配線はかなり良くなっているが配置が問題。現在数百素子を扱えるものがあるが回路設計者に受け入れられるレイアウト結果にはまだ至っていない。

アナログ回路のチップレベルレイアウト(ブロックアセンブリ)が必要。回路の入出力部分がアナログになるので、チップレベルのレイアウトは重要である。

アナログ部はプロセス材料に何をを用いるかによっても安定性が異なる。よってアナログ部分のケアの方がむしろ重要では。

バルクから SOI(Silicon On Insulator)へプロセス技術が推移するときに SPICE のパラメータ自体を検討する必要がある。

システム LSI に関しては製造装置の種類は限られているためプロセスの標準化が進む可能性もある。マスク渡してもチップが動く時代が来るかも。

ソフト IP に関しては 1 から開発するよりは工数の短縮となる。

レイアウトに関してはタイミングを考慮できるコンパクタが必要。

アナログ / デジタル自動分割に関しては「アナログ / デジタル推定」に変更すべき。

システム検証におけるエミュレーション技術としては短 TAT が可能である点からも FPGA は有望。

システム LSI に関してはアプリケーションを絞った議論が必要。学会等の活動においてもシステムと半導体技術をトータルで議論する必要がある。

[その他設計者教育]

設計者の素養として TAT を落とさないようにツールの部分機能をうまく組み合わせて利用できる技術者を育てる必要がある。

今後 IP を外部から調達するのは必須。現状 RTL で入手し仕様を理解し自社責任で設計。労力としては同じかもしれないが何もないところから設計するのに比べると案この場合 RTL と仕様との検証は困難なため行っていない。サポートを考慮すると大手と 1対1で契約する方がよい。

[製造装置インタフェース]

[アナログ]

製造過程で混入するゴミの分布を調べて配線パターンを変更すると歩留まりの向上に繋がるという報告がある。今後はこのような Design For Manufacturability が重要となる。

C 付録:学会動向

C.1 Gajski 教授を囲んでのラウンドテーブル議論の概要

1 月29日,幕張プリンスホテル46階カイバンケットルームにて,以下のラウンドテーブルのディスカッションが行われた.その概要を報告する

テーマ:2002 年の EDA 技術

出席者

Prof. Daniel D. Gajski (UC Irvine)

村岡道明(EIAJ,松下電器産業株式会社)

神戸尚志(EIAJ,シャープ株式会社)

今井正治 (EIAJ,大阪大学)

安浦寛人 (ISIT,九州大学) - Moderator

伊達博 (ISIT) - 書記

(1) 討論項目

1) 設計目標

2002 年の半導体産業における主力製品は何か?

2002 年には,どのような種類のシステム LSI が現れるか?

最も大きなシステム LSI の応用分野は何か?

LSI の設計技術における現在の相違点は何か(例, DRAM ロジック混載

テープサブミロン,回路やデバイスの低消費電力化)?

2) 設計手法

今後 5 年間の設計手法として重要となるのは何か?

2002 年より前に,設計手法のパラダイムシフトが起るか?

3) CAD 技術

今後 5 年間の CAD 技術およびツールとして重要となるのは何か?

CAD の研究開発において最も重要と考えられるもの何か?

4) CAD におけるビジネスと研究開発

将来の CAD ビジネスと研究開発の方向は,日本,米国その他の諸外国とで,違いはあるのか?

日本における CAD の研究者および技術者は今後5年間で何をすべきか?

(2) 討論の背景

米国においては、半導体設計者とシステム設計者は、異なる組織に属している場合がほとんどであるのに対して、日本の代表的企業の多くは半導体設計部門とシステム設計部門とを有している。デーブサブシロン設計、低消費電力設計などに関わる基本技術に関しては、日本の企業トップレベルにあると考えられるが、システムオンチップ時代においては、このような日米の組織構造の違いを考慮し、システム設計を意識した半導体設計者の育成が重要となる。よって、システム設計の観点から、今後、何を作るべきかを明確にすることを目的として、システム設計における先端的な研究者である Gajski 教授を招いて、討論を行うこととした

(3) 討論内容(導入)

(135)日本企業における半導体設計部門とシステム設計部門は、必ずしも連携がとれているとは言えないため、組織を再編成する必要があると考えられる。そのためには、明確な基本コンセプトが重要となる。しかしながら、現状では、大企業の各部門は、実質は、一つの独立した企業になっており、ここ数年のうちに、組織を再編成することはかなり困難であると考えられる

(136) 将来、システム設計だけで、ビジネスとして成り立つのかという、疑問も生じる。シリコンバレーでは、既に数社の IP(Intellectual Property)プロバイダがビジネスを始めている。また、VSI アライアンスなどは、コアビジネスを加速する可能性を有しており、そうなると IP を用いてチップをアSEMBL するのが半導体メーカーの仕事になると考えられる。しかしながら、IP が、ビジネスとして、成功するのは、困難であるとも考えられる。具体的な理由としては、以下のようにとめられる

- 1) 流通する IP は、プロセッサ、メモリ、MPEG コアなどの限られたものとなるため、ビジネスとして成り立ちにくいと考えられる。大規模 IP は、10 から 20 個程度だと考えられる
- 2) ハードコアは、集積化にいと考えられる。さらには、主要なプロセッサメーカーが、コアを提供するとは思えない
- 3) ソフトコア(RTL コア)は、プロテクトが困難と考えられる

(137)IP に関する現状は、ソフトウェア業界と似ている

(138)IP の標準化が今後の鍵になる。VSI アライアンスでは、静的なインタフェースの仕様の標準化が進められているが、動的なインタフェースの仕様に関しても今後議論する必要がある

(4) 討論内容(本題)

設計目標

(139)マルチメディア製品が、主流になると考えられる。可能であれば、ロジックメモリ混載を一つのチップで実現したい

(140)PDA やマルチメディアLSI では、低消費電力設計が重要となる。またホームオートメーション LSI では、高性能設計が重要となる

(141)LSI ビジネスは、DSP などを備えた consumer chip, telecommunication chip, 組み込み用のマイコンなどに分類されると考えられる

(142)今後は、PC の市場は小さくなると考えられる

- (143)システムオンシリコンと組み込みシステムが重要となる
- (144)10 個のプロセッサ, 10 個のメモリ, MPEG コア, 通信用回路を一つのチップ上に搭載したワイヤレスのスーパーチップ(nomadic computation)が現れるであろう

設計手法

- (145)論理合成とレイアウト合成の両方を満足するシステム設計手法が重要となる RTL より上流設計とテクノロジーへのインタフェースなどの下流設計は, 別々の会社で行われるかもしれない
- (146)フィジカル設計を考慮したハードウェア/ソフトウェア協調設計と評価モデルが重要となる。
- (147)下流設計では, クロストークを起さないような設計, 多層メタル技術などが重要となり, 上流設計では, システムの仕様記述, 分割, 検証, 性能を考慮した高位合成, 合成技術を用いたプロセッサ設計などが, 必要となる
- (148)Hard-Wired ASIC, プロセッサ型 (programmable) ASIC, スーパーチップなどの設計対象ごとに設計手法を議論する必要がある。
- (149)仕様記述言語とフィジカル設計へのインタフェースが重要となる
- (150)教育の変革が必要となる RTL より上流の技術は, コンピュータサイエンスで主に教育し, RTL より下流の技術は, 電気工学で教育する
- (151)EDA ツールの開発者が, 設計を経験していない場合は, 問題である
- (152)ソフトウェア設計とハードウェア設計を融合させるため, 企業組織の再編成は重要である
- (153)プロセッサと FPGA が一つのチップに集結され, FPGA は, インタフェースの部分に用いられるであろう

CAD 技術

- (154)インタラクティブに仕様を生成するツールが必要
- (155)ESDA のような機能仕様を記述するための VHDL や Verilog HDL の拡張が重要
- (156)VHDL と C はシステムレベルの記述には適している
- (157)ソフトウェアの開発に関しては, CASE ツール, コンパイラ生成技術などが重要となる
- (158)システム設計, 低消費電力設計, テスト容易化設計, ディープサブミクロン設計が重要となる
- (159)テスト技術は, 重要となる
- (160)機械設計を含んだハードウェア/ソフトウェア協調設計は重要となる
- (161)見積りと最適化のための技術が鍵となる
- (162)システムデザインツール, 高位合成ツール, 上流でのテスト容易化設計が重要となる

CAD におけるビジネスと研究開発

- (163)CAD ベンダがサポートしていない新しい技術を社内の CAD 部門における研究テーマとする
- (164)社内で CAD を開発するのは, ツールの原理や CAD 技術を知る上で重要である
- (165)製品に特化した CAD ツールが重要となる

(166)CAD ビジネスでは、利益があまり上がらないと考えられる

C.2 電子情報通信学会の研究会におけるパネル討論の概要

3 月 6 日に愛媛大学で開かれた電子情報通信学会の集積回路研究会と VLSI 設計技術研究会の合同研究会で以下のようなパネル討論が行われた。その概要を報告する。

パネル討論:システムオンシリコン時代に向けてどんな CAD を作るべきか?

司会:安浦真人 九州大学大学院システム情報科学研究科

パネラー:

増田英司 (株)東芝マイクロエレクトロニクス技術研究所

堀田多加志 (株)日立製作所 日立研究所

村岡道明 松下電器産業株式会社 半導体研究センター

松永 裕介 (株)富士通研究所

小野 信任 セコー電子工業株式会社 システム開発部

パネルのねらい

集積度の飛躍的な向上により、どのようなシステムをどのようにシリコン上に設計するかが問われている。本パネルでは、2002 年(5 年後)のシステムオンシリコンの姿とそれを設計するための手法およびツールについて、設計側と CAD 開発側の双方の立場から議論を行う。特に、わが国として今後どのような設計支援技術を開発していくべきかを問う。

背景と議論の焦点

5 年後には数千万トランジスタからなるマイクロプロセッサや 1G ビット DRAM の実現も予想されており、プロセッサやメモリを集積したシステムチップの実現も可能と考えられる。システム設計の立場に立つとき、このような潤沢な計算/記憶資源を利用して、どのようなシステムを構築するかという問題に対してはまだ明快な解が見えていない。何をやるかという問題とそれをどのようにして設計するかという問題は相互に依存している。2002 年(5 年後)のシステムオンシリコンの姿とそれを設計するための手法およびツールについて、設計側と CAD 開発側の双方の立場から議論を行う。

パネリストには、以下のような質問が与えられている。

- 1) 2002 年(5 年後)のシステムオンシリコン像は? 何をやるのか?
- 2) システムオンシリコン設計技術時代にキーとなる CAD 技術は何か?
- 3) 誰がその技術を開発するのか?
- 4) 今、どのような技術が足りないか? 何をなすべきか?

・ LSI 設計者の立場からのメッセージ

システムオンシリコンを分類すると次の 3 種となる

(1)最先端技術を駆使する超高性能高価格のリーディングエッジシステム

LSI 応用は高性能サーバ用プロセッサに代表され、現在の航空機産業にみられるように、設計技術、CAD /EDA 技術は一部企業群に局在する形となる

(2)論理も回路も既存技術の組合せ的な高性能廉価格・量産のメインドルのシステム LSI

システム ASIC に代表され、多の設計 IP が流通、建築物のアーキテクトのように、LSI の設計依頼者と LSI の生産者の間を繋ぐ設計者が重要な役割を演じる。標準的なコストパフォーマンスかつ QTA T で設計もするし、依頼者と生産者の細かな要求を取り入れ、かつ新しいシステムアーキテクチャの構想を実現することもできるこの分野の設計、CAD /EDA 技術は多くの産業需要に支えられ、幅広く益々高度に発展すると考えられる

(3)論理と回路の特定な特性を著しく高めた、用途に特化した専用システム

LSI 超低消費電力技術、超高周波対応技術、チップ外インタフェース技術等がデジタル、アナログ分野、論理、システム分野とも重要な研究開発項目となる。高い付加価値を持った IP として流通する設計が求められる

また、半導体産業の波(牧本 ウェーブ)の観点からは、2002 年に向かって標準化の時代となる。今後 5 年間はカスタム化志向が終わり、標準化志向になる。2002 年においては syntax(枠組み)が最も重要視される。技術の流れとしては、演算から記憶への重点の移動、IP-Creator と IP-Assembler の分極化が起る。システム技術者と半導体技術者を仲介するデザイナーと呼ばれるような新しい階層の職種が必然的に生まれる。CAD 技術は、記述の多層化、多種類の IP 記述、ハードウェアとソフトウェアの混在などから垂直 / 水平方向への変換 / 逆変換技術が基本技術として要求される。また、IP の善し悪しを判定する目利きの技術が求められる

このような観点から、2002 年は

(1)IP として流通するメインドルシステム LSI の設計技術とそのため CAD が重要な技術となる

(2)設計も CAD も標準化の枠組みの時代となる

(3)システムと半導体の間に新しいデザイナー層が生まれる。

(4)IP-Creator と IP-Assembler に利用される CAD 技術が重要である

システム設計者の立場からのメッセージ

5 年後の LSI は、家電品、携帯端末、産業機器への組込型コントローラ等個別のシステムによりカスタマイズされて行くものと考え、このため、CPU、メモリ等とともに適用分野固有の論理の入ったシステムオンシリコンチップを短期間で開発可能な CAD 技術がキーである

高集積な LSI を効率良く設計するための CAD 技術として、低消費電力化技術、デレイチェック技術、診断技術の三つが重要と考える。低消費電力化技術としては、クロックの活性化率のきめ細かな推定と制御の技術が重要である。デレイチェック技術としては、全パスのチェックを前提とした技術開発、

最小遅延のチェック技術などが必要となる。診断技術には、故障モデルの詳細化や AC 診断技術の確立が課題である。

これらの推進には設計者が必要な技術を CAD 技術者に明確に示し、できあがった CAD を共同で使いブラッシュアップして行く必要がある。また、優れた CAD が社外に多くあり、これらと社内 CAD を組み合わせて使うことがますます重要となるであろう。また、産業界と大学はもっと密接に研究開発を進めるべきで、共同研究や人的交流を深めて行くべきである。

・社内 CAD の立場からのメッセージ

21 世紀を迎えるに当たり、産業界ではシステムオンシリコンを実現する際のデザインクライシス(設計危機)が叫ばれており、これを解決するために必要とされる設計技術や CAD 技術に関する議論も活発化している。

5 年後のシステムオンシリコンは、従来の ASIC の延長線である Hard-Wired ASIC の外に、マイコンや DSP などのプロセッサを利用したプログラマブル ASIC も出現する。これらの 2 種の ASIC に対して、それぞれの設計手法の確立が必要となる。

これらを実現するための主要な新 CAD 技術として、上流設計では、システム設計時におけるシステムやチップの性能予測/トレードオフ、検証、合成を可能とする CAD 技術が、また、下流設計では、微細化や多層化を考慮したテクノロジーマイグレーション技術やレイアウト関連技術が重要となる。また、VSA で言われている VC (Virtual Components) を多用したスーパー ASIC (上記 2 種の ASIC のミックス)も登場するため、その大規模化に対応したテスト技術がクローズアップすると考えられ、上流テストや診断などの CAD も重要となる。

これらの技術を整理すると以下ようになる。

(1)システム DA 技術

システム仕様記述言語やシステム性能トレードオフ評価技術、アーキテクチャ生成、コンパイラ生成など。

(2)アーキテクチャ DA 技術

フレキシブルなアーキテクチャやコンパイラの設計手法、アーキテクチャ性能トレードオフ評価技術、上位合成など。

(3)上流テスト DA 技術

システムレベル DFT、アーキテクチャレベル DFT、RTL コアに対するテスト技術、システム故障診断など。特に、5 年後にはシステム仕様記述言語、アーキテクチャ性能トレードオフ評価技術、アーキテクチャ生成、コンパイラ生成などが鍵を握る技術となる。技術開発としては、上流はドメインスペシフィックになるので社内 CAD が中心となる。中流から下流はベンダーツールを使う。

今後何をなすべきかについては、

(1)大学と半導体ベンダ、EDA ベンダの連携と役割分担

- (2)半導体ベンダによるツールの共同開発機構の設立
- (3)国内EDA ベンダの育成
- (4)大学における実用的 研究の推進
などが挙げられる

・ CAD 研究者の立場からのメッセージ

システムオンシリコン時代に必要とされる CAD 技術としては、もちろんシステムレベルの CAD が挙げられる。しかし、下位レベルの CAD と異なり、設計対象が多種多様なため汎用の設計モデルというものを適用することは難しく、汎用の枠組みやツールでは対処できない。かと言って、設計プロジェクトに設計者がツール開発を行っていたのでは非効率的なので、ある程度、テンプレートを用意して、設計者がその中から使いそうなものを選んでカスタマイズできるような枠組みを提供する必要があると思われる。

大規模化に対しては、技術的には努力あるのみである。低消費電力や高性能化には、システムレベルからの大局的な設計手法が必要である。ブレイクスルーが必要な技術としては、システムレベルでのベリフィケーション、バリデーション、見積りを行う手法が重要であると思われる。いくつかの具体的な事例に対しては適用例が提案されているが、汎用的な技術、手法なるには至っていない。そのためにはまず、設計対象を、ある程度数学的に定義された適切な形式的抽象モデルで表現すること必要であろう。

設計者も CAD 技術をブラックボックスとして利用するのではなく、中身を理解して使う必要がある。設計者に CAD 技術を修得させることが設計効率を大きく向上させることに繋がる。一方、CAD 側も、何を作るかを知ないと良いツールは作れない。汎用ツールはシステムレベルでは難しいので、設計者にカスタマイズしてもらえようツールを作る努力が必要である。

社内CADはマンパワーでEDAベンダに劣るので、戦略的な技術に絞って社内CADを展開したい。大学の基礎研究も含めて、システム設計の泥臭い部分を形式的にモデル化できるか基本に立ち返って議論すべきである。システムレベルの形式的な仕様記述、設計記述の基礎を真剣に研究すべきで、1日も早くコンピュータサイエンスの領域に引き込む努力が必要である。

・ CAD ベンダの立場からのメッセージ

システムオンシリコンではメモリ、CPUを含む数百万GATE以上の高集積なチップが現実となり、CADツールの対象データ規模は桁上がりに増加し、また細分化された各ツールが従来以上に相互補完を行うことが求められる。特に今後の設計技術での課題としては、以下の3点が重要であろう。

(1) 機能設計からレイアウトまでの各設計工程間のギャップ

RTLとGATEとレイアウトの間では、既に工程間のダイサイズタミング等の見積り誤差による問題が顕在化している。このような設計の繰り返しは設計効率を下げ、設計工数の見積りを難しくしている。今後さらに機能設計レベルでのフィジカルな情報の高速かつ精度よい見積り技術が必須であろう。面積や動作速度の早期見積り技術、早期フロアプラン、自動クラスタリングと配置などの技術が重要である。

(2) H/W インプリメントでの微細化対応

微細化による配線間カップリング容量のため配線遅延の問題が顕在化している。今後、遅延、電力ノイズの発生源として、クロック配線はもちろん、一般の信号配線についても、電氣的、論理的、タイミング的な解析が必要となる。このような解析結果を利用して、設計制約を満足するレイアウトを生成する技術が必要となる。

(3) 設計工程の運用、管理

設計規模の増大、設計工程の複雑化、ポイントツールの細分化、ネットワーク環境での分散設計など設計環境はますます複雑化して行く。設計 TAT の短縮のため分散、並行設計が行われ設計フローやツールの運用もより複雑化してくる。今後はネットワークワイドでの資源、工程の効率的な運用管理ツールが必要となる。

今後、わが国が設計技術力で他国と差別化を計るなら、日本における EDA 技術の固有の育成策を考えるべきである。大学と産業界の密接な協力関係の構築、EDA ベンダと社内 CAD の協力関係の確立などが課題である。

D 付録: EDA 技術ロードマップ WG メンバ

本ロードマップの関係者一覧を掲載する

- ・(社)日本 電子機械工業会 (EIAJ) EDA 技術委員会 /EDA ビジネス研究会
- ・(財)九州システム情報技術研究所

D.1 (社)日本電子機械工業会 EDA技術委員会 /EDAビジョ ン研究会

表付録 1 EDAビジョ研究会メンバー一覧

氏名	所属	担当
古井 芳春	ソニー	主査
神戸 尚志	シャープ	副主査
染谷 勤	アイケイテクノロジー	ワーキングメンバー
山本 一郎	沖電気工業	EDAテクノフェア 98 テーマコーナ展示
森井 一也	三洋電機	ワーキングメンバー
山田 晃久	シャープ	ワーキングメンバー
山内 貴行	シャープ	ワーキングメンバー
藤本 徹哉	シャープ	ワーキングメンバー
池田 正人	図研	ワーキングメンバー
小野 信任	セイコーインスツルメンツ	ワーキングメンバー
柿本 勝	ソニー	ワーキングメンバー
吉田 憲司	東芝	アドバイザメンバー
樋渡 有	東芝	LSI設計ニーズ調査WGリーダー
山田 明宏	凸版印刷	EDAテクノフェア 98 テーマコーナ展示
高橋 直哉	日本電気	ワーキングメンバー
山本 裕子	日本ビュロシツク	ワーキングメンバー
大島 良夫	日立製作所	EDA技術要求分析WGリーダー
伊藤 則之	富士通	ホームページへの電子掲載
村岡 道明	松下電器産業	Cyber-Giga-Chip検討WGリーダー
太田 光保	松下電器産業	ワーキングメンバー
濱田 英幸	三菱電機	ワーキングメンバー
橋田 光弘	三菱電機	EDAロードマップ調査WGリーダー
末次 逸夫	メンターグラフィックスジャパン	ワーキングメンバー
斯波 康祐	メンターグラフィックスジャパン	ワーキングメンバー
今井 正治	大阪大学	アドバイザメンバー
小澤 時典	STARC	アドバイザメンバー
間 佐五郎	富士通	アドバイザメンバー
小島 智	日立製作所	アドバイザメンバー
芝崎 恒雄	EIAJ	事務局
北田 浩二	EIAJ	事務局

WG：ワーキンググループ

D.2 (財)九州システム情報技術研究所

表付録 2 (財)九州システム情報技術研究所

氏名	所属	作業内容
安浦寛人	第1研究室長 兼 九州大学教授	調査 ロードマップ執筆
伊達博	第1研究室研究員 工学博士	調査 ロードマップ執筆

E 付録:用語の説明

B

- BIST : Built In Self Test
BSM : Berkeley Short-channel Insulated-gate FET Model, UC パークレが開発した
ショートチャネル用の FET(Field Effect Transistor)モデル,

C

- Cyber-Giga-Chip : CGC とも略す。システムの中核をなす LSI, 市場指向型のシステム LSI で、
最先端技術を用いたコアから構成される,

D

- DEF : Design Exchange Format
DFT : Design For Test

E

- EMC : Electromagnetic Compatibility,
EMI : Electromagnetic Interference,

I

- IBIS : I/O Buffer Information Specification, I/O バッファ仕様。
Intellectual Property : IP とも略す。設計資産などの知的所有物の総称

P

- PDEF : Physical Design Exchange Format

S

- SLDL : System Level Design Language
SPICE : Simulation Program with Integrated Circuit Emphasis, 回路ミュレータ,

T

- TCAD : Technology CAD
TEG : Test Element Group プロセス検証用のテストチップ,