

JEITA

EDA アニュアルレポート 2005

Annual Report on Electronic Design Automation

— 65 nm から 45 nm テクノロジ世代の EDA 技術の進展に向けて —

2006年5月発行

作 成

EDA 技術専門委員会

EDA Technical Committee

発 行

社団法人 電子情報技術産業協会

Japan Electronics and Information Technology Industries Association

目 次

【巻頭言】	1
2005 年度 JEITA/EDA 技術専門委員会 委員一覧	3
略語一覧	5
1. JEITA/EDA 技術専門委員会の活動	9
1.1 2005 年度 JEITA/EDA 技術専門委員会 事業計画	11
1.2 2005 年度 JEITA/EDA 技術専門委員会 ホームページ	16
1.3 2005 年度 JEITA/EDA 技術専門委員会 年間実績・予定表	18
2. 各技術委員会の活動報告	19
2.1 物理設計標準化研究会	21
2.2 標準化小委員会	24
2.2.1 標準化小委員会	24
2.2.2 IEEE/DASC (電気電子学会/設計自動化標準委員会) IEEE-SA	26
2.2.3 IEC/TC93 (国際電気標準会議/デザインオートメーション)	28
2.2.4 Accellera (設計記述言語の標準化機関)	31
2.2.5 SystemC タスクグループ	33
2.2.6 SystemVerilog タスクグループ	36
3. 関連イベント (主催/協賛) 報告	41
3.1 Electronic Design and Solution Fair 2006 (EDSFair2006)	43
3.2 システム・デザイン・フォーラム 2006	63
3.3 ASP-DAC 2006	68
4. 添付資料	75
4.1 物理設計標準化研究会報告	77
4.2 SystemC タスクグループ報告	118
4.3 SystemVerilog タスクグループ報告	183
4.4 用語対訳表	207

【巻頭言】

「65nm から 45nm テクノロジー世代の EDA 技術の進展に向けて」 EDA 技術専門委員会 2005 年度 委員長 岡村 芳雄

ムーアの法則が行詰まるかとの論争をよそに、テクノロジーの進展速度は衰えることなく進んでいる。そのため、超微細化・低電圧プロセスにより新たな設計課題がいよいよ現実のものとなってきた。設計上流では超大規模システム LSI の機能・論理の設計・検証問題、設計下流ではいわゆる DFM(Design For Manufacturing)問題、そしてこれを繋ぐインプリメンテーションの難易度の飛躍的増大である。

EDA 技術専門委員会は、電子情報技術産業協会(JEITA)における業界活動組織の一つとして、電子機器の設計自動化(EDA: Electronic Design Automation)に関わる様々な活動を行っている。特に、電子機器の機能・性能を決定するシステム LSI 設計技術に係わる活動を、その中心に置いている。

活動の第 1 のテーマは、システム LSI 設計技術に関する動向、関連情報についての調査、検討と課題解決への提案である。本年度はプロセスばらつきとノイズに起因する設計課題検討と解決策の提示を目的とする PDS(Physical Design Standardization)研究会を発足させ、取組みを開始した。

活動の第 2 のテーマは、EDA 技術に関する標準化活動と関連機関、団体への協力と貢献である。IEEE、IEC 等の国際的な標準化活動に対し、標準化小委員会を中心に、標準化提案の検証、技術提案・交流会議などを行なった。現在は SystemC・SystemVerilog という、システムや LSI の設計記述言語の標準化に具体的に取り組むタスクグループを発足させて活動をしている。最近は、SystemC および SystemVerilog の標準言語仕様に関し日本産業界を代表して技術的な提言を行い、今年度は IEEE の国際標準制定に大きく貢献した。電子情報通信学会内に設置されている IEC/TC93 国内委員会/WG2(ハードウェア設計記述言語)へも、実質的に当委員会で活動を推進し、9 月の奈良での IEC/TC93 の国際会議も盛会裏に終えることができた。

活動の第 3 のテーマは、EDA 技術および標準化の普及・推進のためのイベント開催、支援である。EDSFair2006 ("Electronic Design and Solution Fair 2006") の開催はこの最大のイベントととして取り組んだ。EDSFair2006 は、国内唯一の電子機器の設計技術の総合的な展示会であり、ASP-DAC や FPGA コンファレンスと連携し、システム・デザイン・フォーラム 2006 の継続開催や当委員会企画の特設ステージの新設など、出展者・来場者増加に向けて積極的に活動し、過去最多の出展を記録し、大勢の来場者に来ていただいた。さらに、EDA 関連技術の国際学会である ASP-DAC2006 とも連携を強めた。

以下に EDA 技術専門委員会の活動と関連団体との関係を示す。

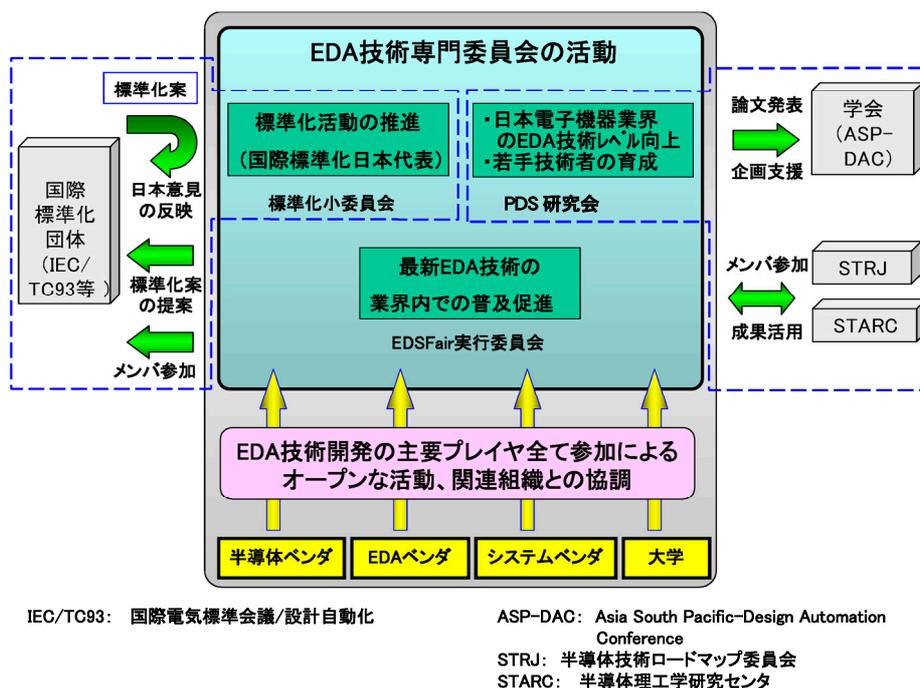


図-1 EDA 技術専門委員会活動と関連組織との関係

EDA 技術専門委員会はこれら様々な活動を通じ、65nm から 45nm テクノロジー世代の「システム・オン・チップ時代」の電子機器業界に対し設計技術の面で貢献し、さらには「システム・オン・チップ時代」がもたらす世界規模の産業界の変革を乗り越えて、日本と世界の電子機器業界のさらなる発展に寄与すべく、19 社約 50 名の業界各社有志・メンバーの自主的な参画により運営実行してきた。

本冊子「EDA アニュアルレポート 2005」は、EDA 技術専門委員会の 2005 年度活動の年次報告として、上記 3 つの活動テーマそれぞれについて、2005 年度の成果をまとめたものである。Web にも各種報告を掲載しているので、ご覧いただきたい。

(<http://eda.ics.es.osaka-u.ac.jp/jeita/eda/index-jp.html>)

「システム・オン・チップ時代」に入り、電子機器が切り拓く素晴らしい未来が広がることを確信しつつ、2006 年度も積極的な活動を展開していく。

2005 年度 JEITA/EDA技術専門委員会 委員一覧

委員長	岡村 芳雄	(株)ルネサステクノロジ	システムソリューション統括本部 エグゼクティブ
副委員長	相京 隆	富士通 (株)	LSI 事業本部 デザインプラットフォーム統括部 第一設計技術部 部長
副委員長	齋藤 茂美	ソニー (株)	SSNC DA ソリューション部門 EDA 戦略室 担当部長
会計監事	樋渡 有	(株) 東 芝	セミコンダクター社 システム LSI 設計技術部 企画・管理 部長
幹事	藤波 義忠	NEC エレクトロニクス (株)	基盤技術開発事業本部 開発サポートセンター グループマネージャー
同	灘岡 満	沖電気工業 (株)	SiSC 戦略企画室 技術情報部 部長
委員	藤岡 督也	(株) ジーダット	EDA 営業技術部 部長
	横川 隆	(株) 図 研	SoC 事業部 デザインセンター 部長
幹事	宮山 芳幸	セイコーエプソン (株)	半導体事業部 IC 基盤技術部 部長
委員	山田 明宏	凸版印刷 (株)	設計本部 ソリューション部長
	広瀬 文保	日本ケイデンス・ デザイン・システムズ社	カスタマー・テクニカル・ サービス本部 バイスプレジデント
	飯島 一彦	日本シノプシス (株)	技術本部 本部長
	瀬谷 和宏	丸紅ソリューション (株)	半導体システム事業部 副事業部長
	小島 智	メンター・グラフィックス・ ジャパン (株)	フィルードマーケティング部 ディレクター
	藤井 浩一	(株) リ コ ー	電子デバイスカンパニー 画像 LSI 開発 C CAD 技術室 課長代理
幹事	下出 隆文	三洋電機 (株)	半導体 C AVS 統括 BU AV 基盤 U 設計技術部 デジタル設計課
	西本 猛史	シャープ (株)	IC 事業本部 先端技術開発センター 第 1 開発室 副参事

	浜口加寿美	松下電器産業(株)	半導体社 SLSI 開発本部 第一商品分野開発センター 設計第3開発G チームリーダー
	中尾 徹	ローム(株)	LSI 開発システム本部 LSI デザインクオリティ開発部 技術主任
特別委員	奥村隆昌	富士通 VLSI(株)	テクノロジー開発統括部 第一開発部 プロジェクト課長
	長谷川隆	富士通(株)	LSI 事業本部 第2システムLSI 事業部 設計技術部 プロジェクト課長
客 員	神戸尚志	近畿大 学	理工学部 電気電子工学科 教授
	今井正治	大阪大 学	大学院 情報科学研究科 情報システム工学専攻 教授

略語一覧

[1] 団体・組織の名称

Accellera	VI と OVI を統合した、設計記述言語の標準化に関連する活動機関
ANSI	American National Standards Institute 米国の標準化国家機関
ASP - DAC	Asia and South Pacific Design Automation Conference アジア・太平洋地域での EDA 関連の国際学会（1995 年に始まる）
CENELEC	European Committee for Electrotechnical Standardization EC（欧州委員会）の電気電子分野に関する標準化機関
DAC	Design Automation Conference 米国で行われる EDA 関連の国際学会
DASC	Design Automation Standardization Committee IEEE の下部組織で設計自動化に関する標準化委員会
ECSI	European CAD Standardization Initiative 欧州の設計自動化に関する標準化機関
EDIF Div.	Electronic Design Interchange Format Division EIA の下部組織で電子系の情報データ交換規格の検討機関
EIA	Electronic Industries Alliance 米国の電子業界団体(Association を Alliance に改称)
JEITA	Japan Electronics and Information Technology Industries Association 社団法人電子情報技術産業協会（電子業界団体）
ICCAD	International Conference on Computer Aided Design CAD に関する国際学会
IEC	International Electrotechnical Commission 電気電子分野に関する国際標準化機関
IEEE	Institute of Electrical and Electronics Engineers, Inc. 米国の電気電子分野の国際的な学会組織
IPC	Institute for Interconnecting and Packaging Electronic Circuits Industry Association 米国のプリント回路に関する業界組織
ISO	International Organization for Standardization 国際標準化機関
IVC	International Verilog Conference OVI が主催する Verilog HDL 国際学会

JPCA	Japan Printed Circuit Association 社団法人日本プリント回路工業会
OSCI	Open SystemC Initiative SystemC の標準化団体
OVI	Open Verilog International Verilog - HDL に関連する技術の標準化と普及推進組織
SEMATECH	Semiconductor Manufacturing Technology Initiative (Consortium) 半導体技術を向上するために始まった米国の官民プロジェクト
Si2	Silicon Integration Initiative 設計環境の整備促進を支援する米国の非営利法人 (旧 CFI)
VASG	VHDL Analysis and Standards Group DASC 傘下の VHDL 標準化に関するワーキンググループ
VITAL	VHDL Initiative Toward ASIC Libraries VHDL ライブラリ標準化団体
VSIA	Virtual Socket Interface Alliance LSI の機能ブロックの I/F 標準化を目指している業界団体

[2] 標準化・規格に関する技術用語

ALF	Advanced Library Format OVI で検討された IP をも含む ASIC ライブラリのフォーマット
ALR	ASIC Library Representation ASIC ライブラリ表現
CALS	Computer Aided Logistics Support (1985) Commerce At Light Speed (1995)
CHDS	Chip Hierarchical Design System SEMATECH が要求仕様を作成した 0.25-0.18um 世代設計システム
CHDStd	Chip Hierarchical Design System technical data CHDS で使用するデータモデルの標準化
DCL	Delay Calculation Language 遅延計算のための記述言語
DPCS	Delay and Power Calculation System IEEE1481 として標準化推進されている遅延と消費電力の計算機構仕様
EDI	Electronic Data Interchange 電子データ交換
EDIF	Electronic Design Interchange Format EIA の下部組織で検討されている電子系の情報データ交換規格
ESPUT	European Strategic Program for Research and

	Development in Information Technology 欧州情報技術研究開発戦略計画
HDL	Hardware Description Language ハードウェア記述言語
IP	Intellectual Property 流通/再利用可能な LSI 設計資産（本来は知的財産権の意）
JIS	Japanese Industrial Standard 日本工業規格
SDF	Standard Delay Format 遅延時間を表記するフォーマット
SLDL	System Level Design Language システム仕様記述言語
STEP	Standard for the Exchange of Product Model Data CAD の製品データ交換のための国際規格
VHDL	VHSIC (Very High Speed Integrated Circuit) Hardware Description Language IEEE1076 仕様に基づくハードウェア記述言語
VHDL-AMS	VHDL-Analog and Mixed-Signal (Extensions) DASC の中で進められている VHDL のアナログ及びミックストシグナル システムへの拡張

1. JEITA/EDA 技術専門委員会の活動

1.1 2005年度 JEITA/EDA 技術専門委員会 事業計画

委員会の名称 EDA 技術専門委員会 (Electronic Design Automation Technical Committee)
委員会の目的 EDA に関連する技術およびその標準化の動向を調査し、その発展、推進を図り、もって国内外の関係業界の発展に寄与する

委員会の構成 会員会社 /委員 20社/20名
 特別委員 2名
 客員 3名

委員会の役員 委員長： ルネサス 岡村 芳雄
 副委員長(正)： 富士通 相京 隆
 副委員長(代行)： ソニー 齋藤 茂美
 監事： 東芝 樋渡 有

<方針>

委員会活動活性化を重視し、

1. 主体は委員会、幹事会は臨時のみ
2. EDSFair, ASP-DAC との連携強化
3. 2005 年度は会費内の運営断念
(繰越金取り崩し覚悟。メンバ会社増、2006 年度会費 up などを 2005 年度中に検討)
4. 懇親会復活

下部組織の役員

標準化小委員会 主査： 富士通 相京 隆
 SystemC タスクグループ 主査： 富士通 長谷川 隆
 SystemVerilog タスクグループ 主査： 松下 浜口 加寿美
 物理設計標準化研究会 主査： ルネサス 佐藤 高史
 EDSFair 実行委員会 委員長： 沖 灘岡 満

EDA 技術専門委員会メンバと担当 (2005 年 4 月現在) (敬称略)

委員長	ルネサス	岡村 芳雄	EDSFair/ASP-DAC 小委員会主査、 ASP-DAC 支援、EDSFair 臨時検討会会長
副委員長	富士通	相京 隆	標準化小委員会主査
副委員長	ソニー	齋藤 茂美	システム・デザイン・フォーラム実行委員長、 ASP-DAC2006 Designer's Forum 委員、内規改訂
監事	東芝	樋渡 有	EDSFair 実行委員、EDSFair 企画 WG 主査
幹事	沖	灘岡 満	EDSFair 実行委員長
同	三洋電機	箱田 俊幸	アニュアルレポート
同	シャープ	西本 猛史	
同	セイコーエプソン	宮山 芳幸	
同	NEC エレクトロニクス	藤波 義忠	広報パンフレット、EDSFair 実行委員、 ASP-DAC2006 Designer's Forum 委員
同	松下電器産業	浜口加寿美	SystemVerilog タスクグループ主査
同	ローム	中尾 徹	ホームページ、メールシステム、費用消化集計

委 員	シーケンスデザイン	今本 昌浩	
同	ジーダット	藤岡 督也	
同	凸版印刷	山田 明宏	
同	日本ケイデンス	広瀬 文保	
同	日本シノプシス	飯島 一彦	
同	丸紅ソリューション	瀬谷 和宏	
同	メンタージャパン	小島 智	標準化小委員会副主査
同	リコー	藤井 浩一	
同	図研	横川 隆	
特別委員	ルネサス	佐藤 高史	物理設計標準化研究会主査
同	富士通	長谷川 隆	SystemC タスクグループ主査
客 員	近畿大学	神戸 尚志	元委員長
同	STARC	小澤 時典	元委員長
同	大阪大学	今井 正治	上流設計識者、ASP-DAC リエゾン
事務局	JEITA/電子デバイス部	穂苅 泰明	
同	同	木暮 英男	

活動計画の概要 <別紙-1 参照>

委員会の予算	会費 20,000 円 * 12 ケ月 * 20 社 = 4,800,000 円
委員会の開催	年 6 回程度 (予定日：別紙 - 2 参照) 必要に応じて幹事会を開催する
担当事務局	JEITA/電子デバイス部

<別紙 - 1>

活動計画の概要

1. EDA 技術に関する動向、関連情報についての調査、検討と課題解決への提案

- (1) 研究会による技術動向、ニーズ調査
DSM に関する技術課題の明確化と EDA 技術による解決策の検討
→ 物理設計標準化研究会
- (2) 関連機関、団体、キーパーソン等との合同会議、意見交換、交流
STARC, STRJ 等
特に、STRJ/WG1 との具体的な連携・協同の検討
- (3) 国内外の学会、研究会、イベントへの参加
ASP-DAC2006, DAC2005, IEICE, IPSJ 等

2. EDA に関する標準化活動への貢献と関連機関、団体への対応

- (1) EDA 設計言語およびモデル標準化のための技術的検討と提案
 - ・ SystemC, SystemVerilog をそれぞれ 03 年度に新設した標準化小委員会下のタスクグループにて継続して検討、提案活動を継続
 - ・ Verilog-HDL, VHDL, アナログ HDL, DPC 等必要に応じて
→ 標準化小委員会が必要に応じて検討
- (2) 国際的な関連機関、団体への参画と標準化活動への協力
 - ・ IEC/TC93 (および WG2) 国際会議開催(2005/9 奈良)への協力、支援
 - ・ IEEE/DASC, IEEE-SA, Accellera, Si2 等への参加、協調
→ 標準化小委員会にて検討し、対応

3. EDA 技術および標準化の普及、推進のためのイベント実施、支援

- (1) 「EDSFair2006」(横浜)
日本エレクトロニクスショー協会へ運営委託
→ EDSFair 臨時検討会、EDSFair 実行委員会、企画 WG (イベント開催)
- (2) 各種ワークショップ、講演会の開催
「システム・デザイン・フォーラム 2006」を EDSFair2006 と同時開催
- (3) 「ASP-DAC2006」(横浜)
→ Designer's Forum への協力

4. 委員会活動の広報

- (1) 活動成果等の各種技術報告書の発行
プロジェクト、研究会による技術報告書、調査報告書等
- (2) 広報パンフレット、アニュアルレポートの発行
- (3) WWW ホームページの公開

<別紙 - 2>

2005年度 JEITA/EDA 技術専門委員会 会合予定

年/月	技術専門委員会	関連イベント
2005/4	4/15 (金) 三洋 (東京地区) <ul style="list-style-type: none"> ・05年度事業計画説明、承認 ・05年度プロジェクト/ 研究会計画説明、承認 ・04年度会計収支と 05年度会計予算説明、承認 ・アニュアルレポート作成状況報告 	軽井沢 WS (4/25-26) @ 軽井沢
2005/5		
2005/6	6/24 (金) シヤープ (東京地区) <ul style="list-style-type: none"> ・プロジェクト/研究会進捗報告 ・半導体部会/ 半導体技術委員会報告内容説明 ・委員名簿更新内容確認 ・予算消費状況 	DAC2005 (6/13-17) @ Anaheim, California
2005/7		<ul style="list-style-type: none"> ・ STARC/ASPLA 共同フォーラム (7/8) @ 新横浜 ・ DA シンポジウム 2005 (8/24-26) @ 浜松
2005/8		
2005/9	9/16 (金) ローム (関西地区) <ul style="list-style-type: none"> ・プロジェクト/研究会進捗報告 ・半導体部会/ 半導体技術委員会報告内容説明 ・予算消費状況 	STARC シンポジウム (9/8-9) @大阪
2005/10		
2005/11	11/18 (金) NEC エレクトロニクス (東京地区) <ul style="list-style-type: none"> ・プロジェクト/研究会進捗報告 ・半導体部会/ 半導体技術委員会報告内容説明 ・予算消費状況 ・EDSFair 用パンフレット作成手順説明 	ICCAD2005 (11/6-10) @ San Jose, California
2005/12		
2006/1	1/20 (金) 松下 (関西地区) <ul style="list-style-type: none"> ・プロジェクト/研究会進捗報告 ・半導体部会/ 半導体技術委員会報告内容説明 ・06年度体制協議 ・EDSFair 用パンフレット内容確認 ・アニュアルレポート作成分担・手順説明 ・予算消費状況 	ASP-DAC2006 (1/26-27) @ 横浜 EDSFair2006 (1/26-27) @ 横浜
2006/2		

2006/3	3/17 (金) セイコーエプソン (東京地区) ・半導体部会／ 半導体技術委員会報告内容説明 ・05年度プロジェクト／ 研究会の年間活動報告 ・05年度予算消費状況 ・06年度事業計画説明 ・06年度プロジェクト／ 研究会の年間活動計画説明	DATE2006 (3/6-3/10) @ Munich,Germany
--------	---	---

(各開催日の社名は、議事録担当を示す)

1.2 2005年度JEITA/EDA 技術専門委員会ホームページ

1.2.1 目的

電子情報技術産業協会（JEITA）のEDA技術専門委員会の活動状況を公開し、EDA技術の標準化や技術調査に関する理解とご協力をいただくことを目的とする。また、委員会内部の活動状況を記録・掲示し、委員会活動の円滑化を計る。

1.2.2 一般公開用ホームページ

一般公開用ホームページは英語版からスタートし海外からの利用者の利便性が考えられている。日本語版への切り替えも可能である。

- (1) URL : <http://eda.ics.es.osaka-u.ac.jp/jeita/eda/>

大阪大学のご協力により、大阪大学のサーバーにホームページを設置させていただいている。

- (2) エントリーページの構成

日本語版、英語版はそれぞれ次のエントリーで構成されている。

日本語版 :

JEITA/EDA 技術専門委員会の紹介
EDA 技術専門委員会の組織と活動概要
関連する機関・会議・展示会
EDA の標準化に関連する国内外の機関

英語版 :

Profile (Message from Chairman, Organization)
Projects and Study Groups
Events
Technical Documents
Member Companies

EDA 技術専門委員会のコンタクトアドレス Contact us

- (3) EDA 技術専門委員会の組織と活動概要 / Projects and Study Groups

委員会活動と成果のまとめ、下記の研究会・小委員会等の活動状況が紹介されている（英語版は一部）

- ・ 標準化小委員会

下記の過去に終了したプロジェクトの記録も紹介している。

- ・ SLD 研究会
- ・ TAB(Technical Advisory Board)
- ・ DPC プロジェクト
- ・ HDL 技術小委員会
- ・ HDL-IOP プロジェクト
- ・ EDA ビジョン研究会
- ・ 1364HDL プロジェクト
- ・ VHDL プロジェクト
- ・ アナログ HDL プロジェクト

- (4) 関連する機関・会議・展示会 / Events

次の関係の深いEDA関連技術委員会、関連機関、イベントの紹介およびリンクが行われている。

- ・ IEEE/DASC（電気電子学会 / 設計自動化標準化委員会）

-
- IEC/TC93(国際電気標準会議／デザインオートメーション標準化技術委員会)
 - Electronic Design and Solution Fair (EDSFair) 2006
 - 過去の会議・展示会
- (5) EDA の標準化に関連する国内外の機関
本委員会に関連のある 17 機関の紹介があり、またそれぞれのホームページへのリンクが行われている。
- (6) EDA 技術専門委員会のコンタクトアドレス
EDA 技術専門委員会、標準化小委員会などのコンタクトアドレスが記載されている。

1.3 2005年度 JEITA/EDA技術専門委員会 年間実績・予定表

月	EDA 技術専門委員会	
	幹事会	委員会
2005年4月		4/15 (金) 14-17 JEITA 304
5月		
6月		6/24 (金) 14-17 JEITA 304
7月		
8月		
9月		9/16 (金) 14-17 JEITA 関西支部 第1会議室
10月		
11月		11/18 (金) 14-17 インダストリアルホール 第2会議室
12月		
2006年1月		1/20 (金) 14-17 JEITA 関西支部 第1会議室
2月		
3月	3/17 (金) 12~13 (幹事会) 日本ベンチャー連絡会の概要説明	3/17 (金) 14-17 インダストリアルホール 第2会議室

月	小委員会・研究会・関連行事 他	
2005年4月	4/15 (金) 14-17	第1回 SystemC-TG インダストリアルホール3階会議室
5月	5/12 (木) 11-13	第1回標準化小委員会 機械振興会館5階516号会議室
	5/20 (金) 14-17	第2回 SystemC-TG インダストリアルホール3階会議室
	5/20 (金) 11-17	第1回 SystemVerilog-TG 東京グリーンホテル御茶ノ水2階萩の間
	5/20 (金) 13-17	第1回物理設計標準化研究会 インダストリアルホール6F 小会議室
6月	6/10 (金) 13-17	第2回物理設計標準化研究会 JEITA 関西支部第1会議室
	6/30 (金) 14-17	第3回 SystemC-TG JEITA309 会議室
	6/30 (木) 11-17	第2回 SystemVerilog-TG JEITA310 会議室
7月	7/4 (月) 11-13	第2回標準化小委員会 機械振興会館5階516号会議室
	7/8 (金) 13-17	第3回物理設計標準化研究会 JEITA311 会議室
	7/28 (金) 14-17	第4回 SystemC-TG 総評会館2階202 会議室
8月	8/4 (木) 13-17	第4回物理設計標準化研究会 安保ホール403 会議室 (名古屋)
9月	9/7 (水) 12-14	第3回標準化小委員会 大阪天満研修センター
	9/9 (金) 13-17	第5回 SystemC-TG 松下 (長岡京) No1.会議室
	9/9 (金) 13-17	第3回 SystemVerilog-TG 松下 (長岡京) 商談 No.28
	9/9 (金) 11-17	第5回物理設計標準化研究会 総評会館403 会議室
10月	10/14 (金) 13-17	第6回物理設計標準化研究会 JEITA 関西支部第1 会議室
	10/21 (金) 14-17:30	第6回 SystemC-TG JEITA309 会議室
11月	11/11 (金) ~11/12 (土)	第7回物理設計標準化研究会/集中審議 パナヒルズ西館2階第1 会議室
	11/18 (金) 12-14	第4回標準化小委員会 インダストリアルホール4階第2 会議室
	11/25 (金) ~11/26 (土)	第7回 SystemC-TG (集中審議) 今津サンブリッジホテル会議室
	11/25 (金) ~11/26 (土)	第4回 SystemVerilog-TG (集中審議) 今津サンブリッジホテル会議室
12月	12/09 (金) 13-17	第8回物理設計標準化研究会 JEITA 関西支部第1 会議室
	12/26 (月) 11-17	第5回 SystemVerilog-TG 新横浜ケイデンス会議室
2006年1月	1/13 (金) 11-17	第9回物理設計標準化研究会 JEITA306 会議室
	1/13 (金) 13-17	第8回 SystemC-TG インダストリアルホール5階第3 会議室
2月	2/17 (金) 11-17:30	第6回 SystemVerilog-TG 新横浜ケイデンス会議室
	2/17 (金) 11-17	第9回 SystemC-TG 新横浜ケイデンス会議室
	2/24 (金) 13-17	第10回物理設計標準化研究会 JEITA 関西支部第1 会議室
3月	3/1 (水) 11-13	第5回標準化小委員会 機械振興会館516
	3/17 (金) 13-17	第10回 SystemC-TG インダストリアルホール3階第1 会議室
	3/24 (金) ~3/25 (土)	第7回 SystemVerilog-TG (集中審議) 京都嵐山 松風荘
	3/24 (金) 11-17	第11回物理設計標準化研究会/成果報告会 フォーラムミカサ 7Fホール

2. 各技術委員会の活動報告

2.1 物理設計標準化研究会 (Physical Design Standardization Study Group)

2.1.1 目的

半導体デバイス・配線テクノロジーの進化に伴い、新たな設計上の課題があらわれてきている。また、これらの課題を解決するため各社が開発した手法やライブラリが、そのテクノロジーが一般化した後も標準化されず、設計環境の開発・サポートコスト低減の障害となる事例や、半導体ベンダと顧客との情報授受がスムーズに行えない事例が増えてきている。

上記課題を背景として、本研究会では、次のような調査及び標準化を実施することにより、より効率的な設計環境の実現に貢献することを目的として活動を行っている。

- 次世代(65 ナノメータ)以降のテクノロジー・ノードにおける、LSI の物理設計・検証に関する課題の抽出
- 半導体ベンダとその顧客との間でやり取りするライブラリや設計情報等を規定する、設計ルール・ガイドラインの作成
- LSI の物理設計、検証手法の精度、互換性や効率を向上できるライブラリの標準化
- 各種ライブラリを用いて行う検証が十分な精度で行えるかを判定するための標準ベンチマーク・データの作成

2.1.2 活動内容

2005 年 5 月から活動を開始し、2007 年 3 月までの約 2 年間の予定で活動を実施している。今年度は下記のテーマを取り上げて調査やベンチマーク活動を行った。

- 配線寄生素子抽出 (LPE : Layout Parasitic/Parameter Extraction) ツールの精度評価用ベンチマーク標準データ作成と要求精度の調査
- 電源ノイズが回路特性、特に遅延時間に与える影響の調査
- 統計的なタイミング設計の動向、設計に与えるインパクトの調査

これら 3 つのテーマを集中的に検討するために 3 つのタスクグループを設置し、2005 年度はそれぞれ次のような活動を行った。

- **寄生効果モデリング・タスクグループ (Parasitic extraction modeling Task Group: PEM-TG)**
トランジスタレベルの LPE ツールを対象として、次の調査・検討を行った。1) アナログ設計者等に対する寄生効果モデルに対する要求調査。2) 市販されている LPE ツールの機能調査。3) 微細化が進むにつれてその影響が顕著となる、トランジスタ周辺のピア・コンタクトの寄生容量抽出精度確認のための共通ベンチマークデータ作成とベンチマーク実行による精度調査。
- **電源ノイズ・タスクグループ (Power supply noise aware timing analysis Task Group: PSTA-TG)**
LSI のコア電源ノイズが回路性能に与える影響について解析を実施し、次の調査・検討を行った。1) 動的な電源変動による回路遅延の変動を調査。2) 動的な電圧降下解析の結果を、遅延計算へ反映する方法の調査。3) 従来の静的な(時間平均を用いる)電圧降下解析と、動的な電圧降下解析について、遅延計算の観点からの悲観性と楽観性を調査。
- **統計的デザインメソドロジ・タスクグループ (Statistical design methodology Task Group: SDM-TG)**

微細化の進展に伴って顕著となってきたばらつきの影響に対処するため適用が検討され始めている統計的な設計手法について次の調査・検討を行った。1) 統計的静的タイミング解析技術の動向調査。2) 簡易プログラム作成による統計的静的タイミング解析技術の試行と例題による動作の理解。3) 統計的な情報のうち設計にフィードバックできる指標としての歩留まりへの影響検討。

これらの活動で得られた成果は、次のような形態により無償で一般に公開する。

- アニュアルレポート
- JEITA のホームページ
- 関連学会の研究会・学会における発表や論文誌への投稿

成果の詳細は本アニュアルレポートの付録に掲載した。また、今年度の成果の一部を以下の学会にて発表した。

[1] 「統計的 STA の精度検証手法」, 回路とシステム軽井沢ワークショップ, 2006 年 4 月.

2.1.3 関連機関の動向

米国の非営利標準化法人 SI2 (<http://www.si2.org/>) は、IEEE1481 の DPCS (Delay and Power Calculation System) 及び DCL を拡張した、OLA (Open Library API) や寄生素子抽出用プロセスパラメータの標準セット (SIPPs: Standard Interconnect Performance Parameters) 等、標準化の推進と普及に取り組んでいる。また、OVI (Open Verilog International) と VI (VHDL International) が合併して発足した Accellera (<http://www.acclera.org/>) では、従来の Verilog や VHDL に加え、上記 DPCS や EDA ライブラリの標準 ALF の IEEE 標準化作業もサポートしている。

一方日本では、あすかプロジェクトが、半導体最先端技術の「壁」を産官学で共同して克服する共通基盤としての役割を担っている。具体的には、90nm テクノロジー・ノードにおける、システム・オン・チップ設計技術、デバイス・プロセス技術の共同開発が進められてきた。その実行組織のひとつである半導体理工学研究センター STARC (<http://www.starc.or.jp/>) では、SoC 設計技術開発等、先導開発が行われている。

2.1.4 参加メンバー

主査	佐藤高史*	ルネサステクノロジ
副主査	奥村隆昌*	富士通 VLSI
委員	蜂屋孝太郎	NEC エレクトロニクス
同	中林太美世	シャープ
同	小野信任	ジーダット・イノベーション
同	多久島純之	ソニーLSI デザイン
同	室本 栄	日本ケイデンス・デザイン・システムズ
同	小林宏行	日本シノプシス
同	門脇匡志	松下電器産業
同	二ノ宮章弘*	リコー
同	岩井二郎	数理システム
客員	橋本昌宜	大阪大学

*) 2/24 より奥村が主査、二ノ宮が副主査となった。

2.2 標準化小委員会

2.2.1 標準化小委員会

(1) 発足の背景とミッション

JEITA/EDA 技術専門委員会の標準化活動は 1990 年の EIAJ/EDIF 研究委員会設立に始まり、当初は EDA に関するグローバルな重要課題に対して日本の業界を代表する唯一の機関として、特に設計記述言語の仕様標準化とその啓蒙等に多大な貢献を果たしてきた。近年は活動の中心が設計記述言語の普及定着と環境変化に応じて、先端的設計技術に関する調査・研究等にシフトしてきている。

システム設計メソドロジの革新が進展する中で、標準化は依然として重要なテーマである。標準化関連の活動をより明確に位置づけるため、2000 年 11 月に本小委員会が設立された。

世界的にみれば EDA 関連の標準は IEC (International Electrotechnical Commission) と IEEE (The Institute of Electrical and Electronics Engineers) で議論、制定されてきた。IEC ではデザインオートメーションを議論する TC (Technical Committee) 93、IEEE はコンピュータサイエティの DASC (Design Automation Standards Committee) と SA (Standards Association) である。これまでは IEEE で定められた標準を IEC でも追認するものも多かった。2003 年より議論は IEEE の DASC/SA のワーキンググループでも、標準の制定は IEC と IEEE で同時にできるようになった (Dual Logo)。

国内では IEC の対応機関は電子情報通信学会である。TC 毎に国内委員会があり、電子情報通信学会や JEITA に組織化されている。TC93 とハードウェア設計記述言語関連のワーキンググループ (WG2) の国内委員会は電子情報通信学会にある。

本小委員会は IEC/TC93/WG2 国内委員会を兼ねて活動するという協調体制を 2002 年度に確立した (図参照)。その結果、標準化小委員会の委員が IEC/TC93/WG2 の各種標準化提案を直接審議することができるようになった。

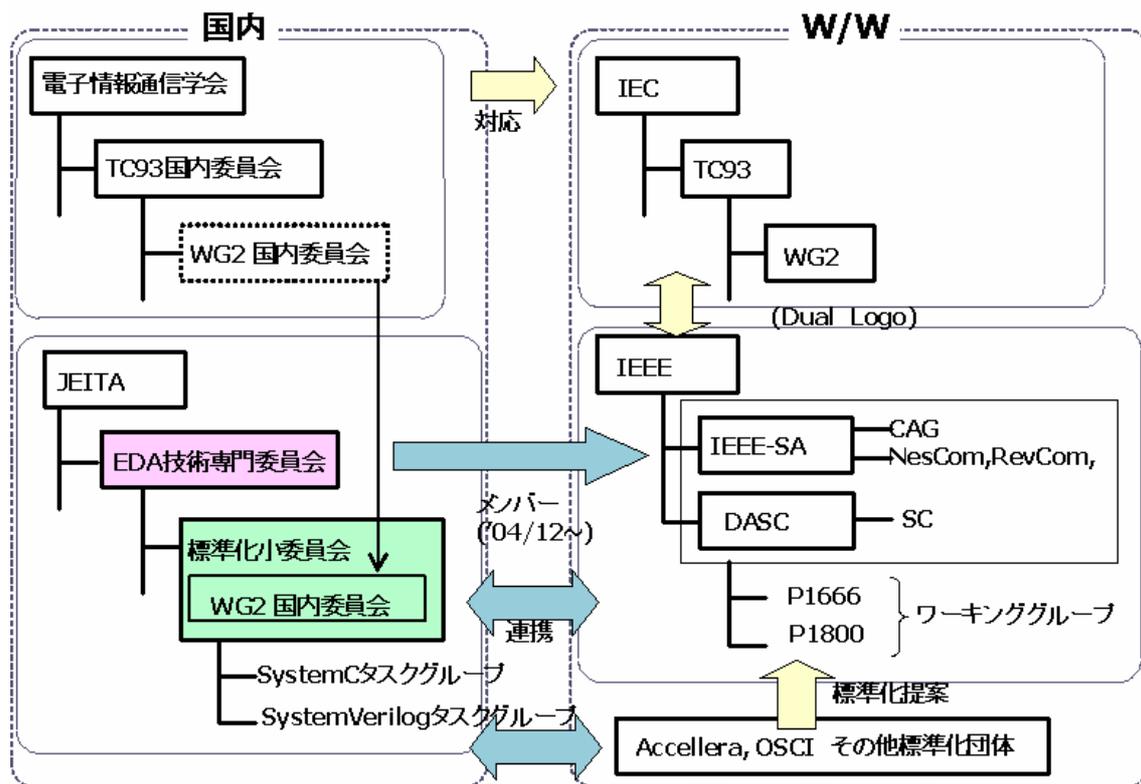


図-1 標準化小委員会と他の標準化組織との関係

2003年度には、SystemC および SystemVerilog の標準化を業界として検討・推進する目的で、それぞれタスクグループを発足させた。SystemC は、ますます重要性が認識されているシステムレベルの設計言語のひとつであり、SystemVerilog は IEEE1364 (VerilogHDL) の後継・検証技術の拡張である。両タスクグループも、日本の標準化組織として、海外の関連団体と連携し、言語仕様の専門的な技術検討と改善提案を通じて、標準化へ貢献することを目指して活動を行っている。

本小委員会のミッションは2002年度作成の内規では以下のように定義した。

「本小委員会は EDA および関連技術の標準化に関して、

- ・ 内外の動向を調査、検討し、
- ・ 技術および関連業界の発展に資する提案の必要性を模索し、
- ・ 必要かつ可能な場合には、関係機関に対して提案を行い、
- ・ 内外の標準化関連機関との連携・協調・協力を推進し、
- ・ 特に、デザインオートメーション/設計記述言語 (TC93/WG2) WG の活動を支援し、また広報活動を行う。」

(2) 2005年度標準化小委員会メンバー（2006年2月現在。敬称略）

主査	相京隆	富士通(株)
副主査	小島智	メンター・グラフィックス・ジャパン(株)
委員	灘岡満	沖電気工業(株)
同	樋渡保	(株)東芝
同	藤波義忠	NECエレクトロニクス(株)
同	下出隆文	三洋電機(株)
同	齋藤茂美	ソニー(株)
同	中尾徹	ローム(株)
同	西本猛史	シャープ(株)
同	岡村芳雄	(株)ルネサステクノロジ
同	浜口加寿美	松下電器産業(株)
同	宮山芳幸	セイコーエプソン(株)
特別委員	長谷川隆	富士通(株)
同	明石貴昭	日本シノプシス(株)
同	後藤謙治	日本ケイデンス・デザイン・システムズ社
同	星野民夫	(株)アプリスター
同	後藤和永	NECエレクトロニクス(株)
同	石河久美子	富士通マイクロソリューションズ(株)
同	佐藤高史	(株)ルネサステクノロジ
客員	今井正治	大阪大学
同	神戸尚志	近畿大学

(3) 2005年度活動

2005年度は、2004年度に引き続き SystemC タスクグループおよび SystemVerilog タスクグループにおいて言語仕様案に関して国内の意見をまとめて提案するなどの活動を行った。また IEC/TC93 の国際会議を京都（奈良）で開催し JEITA、EDA 技術専門委員会、標準化小委員会の活動状況を紹介した。更に 2006年1月27日には EDSFair と併設した システム・デザイン・フォーラム 2006 で SystemVerilog、SystemC のユーザフォーラムを主催した。

2.2.2 IEEE/DASC（電気電子学会／設計自動化標準委員会）・IEEE-SA

(1) 活動の概要

IEEE は米国に本部を置く電気、電子、情報、などの国際的な学会である。また、この分野の標準化活動を長年にわたり、しかも広範囲に実施している。DASC、SA は IEEE の下部組織として、エレクトロニクス産業における設計自動化関連の標準化活動を行っている。

活動の中心は、標準設計記述言語（HDL:Hardware Description Language）の VHDL と Verilog HDL に関連する設計と検証であり、タイミング情報、論理合成、算術関数とテストの標準化に注力している。これら設計言語に関連して、システムレベルまで適用範囲を拡大して、Analog Mixed Signal、ソフトウェアとハードウェア協調設計等の拡張の標準化を検討している。

最近では SystemC や SystemVerilog など高位設計技術言語や設計と検証を統合した記述言語の標準化作業が完了した。

(2) JEITA/EDA-TC との関連

これまでは EDA 技術専門委員会は IEEE/DASC のメンバーとして関連する WG に参加し、標準化案に日本の意見を反映してきた。2004 年 12 月には IEEE-SA の正式メンバーにもなり、IEEE の標準化活動にドラフトレビュー、標準化案の改善の提案、投票を通じて積極的に参加している。

(3) 今までの成果と現在の状況

① 今までの成果

DASC/SA ではこれまでに以下の標準化作業を行っており、そのうちのいくつかは、IEC でも標準として承認されている。

- 1) VHDL (Std-1076)
- 2) VHDL Analog Extensions (Std-1076.1)
- 3) VHDL Math Package (Std-1076.2)
- 4) VHDL Synthesis Package (Std-1076.3)
- 5) VHDL Timing (VITAL) (Std-1076.4)
- 6) Verilog HDL (Std-1364)
- 7) MVL-9 (Std-1164)
- 8) Waveform and Vector Exchange (WAVES) (Std-1029.1)
- 9) The RTL Synthesis Interoperability Standard (Std-1076.6)
- 10) The Delay and Power Calculation Standard (Std-1481)
- 11) The Open Model Foundations Standard (Std-1499)
- 12) SystemVerilog (Std 1800-2005)
- 13) Verilog (Std 1364-2005)
- 14) SystemC 2.1 (Std 1666)

② 現在の状況

2006 年 2 月現在の DASC および SA とその傘下の Working Group と Study Group は以下のとおり。

- P1076 Standard VHDL Language Reference Manual (VASG)
 - VHDL-200x: the next revision
 - Issues Screening and Analysis Committee (ISAC)
 - VHDL Programming Language Interface Task Force (VHPI)
- P1076.1 Standard VHDL Analog and Mixed-Signal Extensions (VHDL-AMS)
- P1076.1.1 Standard VHDL Analog and Mixed-Signal Extensions - Packages for Multiple Energy Domain Support (StdPkgs)
- P1076.4 Standard VITAL ASIC (Application Specific Integrated Circuit) Modeling Specification (VITAL)
- P1076.6 Standard for VHDL Register Transfer Level (RTL) Synthesis (SIWG)
- P1364.1 Standard for Verilog Register Transfer Level Synthesis (VLOG-Synth)

- P1481 Standard for Integrated Circuit (IC) Open Library Architecture (OLA) (IEEE1481R)
- P1499 Standard Interface for Hardware Description Models of Electronic Components (OMF)
- P1603 Standard for an Advanced Library Format (ALF) Describing Integrated Circuit (IC) Technology, Cells, and Blocks (ALF)
- P1647 Standard for the Functional Verification Language 'e' (eWG)
- P1666 Standard System C Language Reference Manual (systemc) [cosponsored with IEEE-SA CAG]
- SystemVerilog Working Group
 - P1800 SystemVerilog: Unified Hardware Design, Specification and Verification Language (SV-IEEE1800) [cosponsored with IEEE-SA CAG]
 - P1364 Standard for Verilog Hardware Description Language (IEEEVerilog)
- P1850 Standard for PSL: Property Specification Language (IEEE-1850) [cosponsored with IEEE-SA CAG]

2.2.3 IEC/TC93 (国際電気標準会議／デザインオートメーション)

(1) 活動の概要

IEC は 1906 年に設立された歴史のある国際標準化機関であるが、設計自動化を取り扱う IEC/TC93 は 1992 年に設立された。TC93 の全体会議は毎年開催されており、スイス、英、仏、米、デンマーク、日、英、米、独、伊と開催されてきた。最近では 2002 年 10 月に中国・北京市、2003 年 11 月・2004 年 10 月は米国・Piscataway 市で開催された。2005 年 9 月には日本の京都(奈良)で開催され、各ワーキンググループ (WG) も同時開催されている。

(2) TC93 の組織と参加国

2003 年 3 月現在 IEC の Web サイト (www.iec.ch) によれば、25 カ国が TC93 のメンバーとなっている。IEC のメンバー資格には、P (Participating) と O (Observer) の二種類があるが、P メンバーは 8 カ国、O メンバーが 16 カ国である。P メンバーとしては、日本、中国、ロシア、スペイン、フィンランド、イギリス、米国、チェコが登録されており、O メンバーとして、フランス、オーストラリア、イタリア、ベルギー、オランダ、シンガポール、エジプト、スウェーデン、ウクライナ、ハンガリ、インド、アイルランド、デンマーク、ドイツ、韓国、セルビア・モンテネグロが登録されている。

(3) TC93 の組織とワーキンググループ (WG)

TC93 は 7 つの WG/JWG から構成されている。特に、WG2、WG3、WG6、および WG7 は日本から提案も含め積極的な貢献をしてきた。今までの各 WG の主な活動を示す。

WG1 : モデルのハーモナイゼーション: (a) STEP Electrical (ISO 規格) と EDA 標準の整合性の検討、(b) EDIF と AP-210 との整合性の検討。

WG2 : ハードウェア設計記述言語: (a) VHDL 言語仕様、Verilog HDL の整合性等の検討、システム記述言語 (SLDL) も議題に取り上げられてきた。(b) IC delay&power calculation system の検討。日本からの提案 ALR 標準化;IS (国際規格) 化完。現在は SystemC, SystemVerilog が中心。

WG3 : 設計データ交換表現 : PDX (Product data eXchange) によるマテリアルデクラレーション関連への対応の議論。

JWG11 : 記述の XML 化の流れへの取り組み方の議論。

WG5 : 規格適合性 (コンFORMANCE) テストの具体的事案の議論。

WG6 : 再利用可能部品ライブラリ、日・米・欧の各プロジェクト間の仕様整合と連携の検討、日本からは JEITA/ECALS プロジェクトの成果を提案している。IBIS も話題に取り上げられている。最近ではマテリアルデクラレーション (MD) に関する規格案が議論の中心となっている。

WG7 : システムテスト記述言語、ATML (Automatic Test Markup Language) の検討。

(4) TC93 国内委員会と主要メンバー (2006 年 2 月現在。敬称略)

・ TC93 国際会議

議長 : 唐津 治夢 (SRI インターナショナル)

・ 国内専門委員会

委員長 : 高木 幹雄 (芝浦工業大学)

幹事 : 神戸 尚志 (近畿大学) *

委員 : 相京 隆 (富士通) *、柴田 明一 (JPCA)、高橋 満 (PartsWay)、山下 寛巳 (SML)

・ WG2 : (ハードウェア設計記述言語)

主査 : 相京 隆 (富士通) *

国際コ・コンベンナー、副主査 : 小島 智 (メンター) *

委員 : 長谷川 隆 (富士通) *、浜口 加寿美 (松下) *

・ WG3 : (設計データ交換表現)

主査 : 神戸 尚志 (近畿大学) *

・ WG6 : (再利用可能部品ライブラリ)

主査 : 高橋 満 (PartsWay、国際コ・コンベンナー)

・ WG7 : (システムテスト記述言語)

主査 : 山下 寛巳 (SML)

委員 : 唐津 治夢 (SRI インターナショナル、国際コ・コンベンナー)

*印は EDA 技術専門委員会からの参加者

なお、高木先生は 2006 年 2 月 2 日にご逝去されました。謹んでご冥福をお祈りいたします。

(5) 京都 (奈良) TC93 国際会議の報告

2005 年の国際会議は、9 月に日本の京都 (奈良) のけいはんなプラザで開催された。参加国数 2 と、昨年同様最小であったが、日本からの参加者 12 名を得、総計 18 名 (電話会議参加 2 名含む) と、昨年より若干の増加を見た。IEC 中央事務局からはシンガポールオフィスからの出席を得た。開催公式会合は TC93 全体会議、WG1, WG2, WG3, WG5, WG6, WG7, JWG11 の 8 会合と、非公式のマネジメント会合を開催した。

全体会議では開催国として経済産業省の瀬戸室長が歓迎挨拶の後、ダブルロゴ、参加国増加策 (韓国への働きかけ)、IEC 規格になって年数が経った物への保守方針、マテリアルデクラレーションへの取り組み方、などを議論した。関連団体報告は、日本の JEITA の他、米国 NIST,

IEEE/DASC, IEEE/SCC20, IPC, Accerela などの組織の活動状況が紹介された。
2006 年会議は、IEC のベルリン総会の前後に同所で開催の予定である。



WG2 の審議、成果を以下にまとめる。

TC93/WG2 の位置付けと活動の狙い

- ① IEC/TC93 (Design Automation) /WG2 (Component, Circuit and System Description Languages) は、電子機器の設計言語の標準化が活動対象であり、IEEE とのダブルロゴにより、Verilog、VHDL 等のハードウェア設計記述言語の標準化を行ってきた。

奈良会議の成果

- ① WG2 計画と優先度について議論を行った。
 - ・ SystemC (IEEE1666), SystemVerilog (IEEE1800) は、IEEE の標準化を待つ。
 - ・ 数学的表現の統一に関する検討について、WG1, WG2 の合同の議論をした。自然数、整数、固定少数、浮動少数の表現、および、演算子の変換ルールも対象とする。数値計算サミットワークショップ (IEEE DASC, DATC が来年早々開催する、EDA の標準ロードマップと数値計算の意味論、あるいは言語独立のタイプを議論するミーティング) での報告をもって開始することとした。
 - ・ IEEE 1850 PSL (Property Specification Language) のドラフトの評価は、PSL の利用が広がるまで待つこととした。
 - ・ IEEE 1500 については、WG2 と WG7 で評価を行う。CTL (Core Test Language) という言語が WG2 の範囲となるが、WG7 の評価の後に対応を決めることとした。
- ② VHDL と Verilog の標準のメンテナンスについて議論を行った。

VHDL に関しては、Accellera と IEEE VASG が合同で行っている投票用の IEEE ドラフトができるまで待つこととした。

Verilog については、WG1 の報告にあるように、新しい IEEE 版標準は幾つかの問題点が指摘されている。IEC61691-4 Verilog (in 2006) を変更無しで再承認を行うように提案があったが、各国の意見をフィードバックすることとした。

課題と今後の対応

- ① 新しい IEEE 版 Verilog をダブルロゴとして承認するべきか、否かの各国の意見を集約する。
日本としては、承認するべきとの意見を送付した。
- (6) 最近の IEC 規格投票について
2005 年度は下記 1 件の FDIS に賛成投票し成立した。
 - ・ 93/215/FDIS IEC 62265 Ed.1: Standard for an Advanced Library Format (ALF) Describing Integrated Circuit (IC) Technology, Cell, and Blocks (IEEE Std 1603)

2.2.4 Accellera (設計記述言語の標準化機関)

2.2.4.1 活動の概要

設計生産性を改善するには、世界標準とオープンインタフェースに基づいた設計方法論が重要である。Accellera は、Open Verilog International(OVI)と VHDL International(VI)を統合して 2000 年に設立された。設計記述言語を中心に新しい標準の認定、標準の開発およびこれに基づいた新しい設計方法論の普及促進を行っている。

メンバーは、半導体メーカ、システムメーカと EDA ベンダーから広く参加しており、ハードウェア記述に留まらずシステム記述までを包含する設計記述言語を検討している。

2.2.4.2 現在の活動状況

Technical Committee を設置し、設計記述言語の開発と策定を行っている。Technical Committee は、専門的に検討を進める SubCommittee を下部組織として持つ。また、Accellera で認定した標準は、国際標準として IEEE に提案することが慣例になっており、関連の深い IEEE の Working Group や他の標準団体を支援している。

Accellera Technical Committees

Interface Technical Committee

- Chair: Brian Bailey
- Co-Chair: Damian Denault, Zaiq Technologies

IEEE P1800 SystemVerilog

- Chair: Johnny Srouji, IBM

SystemVerilog - Basic

- Chair: Matt Maidment, Intel

SystemVerilog - Enhancement

- Chair: Medhi Mohtashemi, Synopsys

SystemVerilog - C Interface

- Chair: Charles Dawson, Cadence

SystemVerilog - Assertion

- Chair: Faisal Haqae, Cisco

Open Compression Interface Technical Committee

- Chair: Bruce Cory, NVidia

-
- Vice Chair: Kee-sup Kim, Intel

Open Verification Library (OVL) Technical Committee

- Chair: Mike Turpin, ARM
- Co-Chair: Kenneth Larsen, Mentor Graphics

Verilog AMS Technical Committee

- Chair: Sri Chandrasekaran , Motorola

IEEE P1850 PSL

- Chair: Harry Foster , Mentor Graphics

IEEE 1076 VHDL (Accellera Technical Committee)

- Chair: Lance Thompson, IBM

Accellera の本年度の成果は、Accellera 標準である SystemVerilog を IEEE 標準にするために IEEE-SA に提案し、昨年 11 月に IEEE1800 として標準になったことである。

標準化小委員会は、Associate Member として Accellera に参画しており、継続的に標準活動への参加と情報交換を行っている。本年度は、Accellera のキーパーソンを招き 2006 年 1 月横浜で開催した EDSFair2006 と併設の SystemVerilog ユーザフォーラム 2006 を実施し、標準化動向、適用事例の紹介、技術情報交換を主催した。

2.2.4.3 メンバー会社

メンバーは、半導体メーカ、システムメーカーと EDA ベンダーが中心となり参加している。EDA 技術専門委員会は、2001 年 4 月からメンバになった。現在のメンバーリストを以下に示す。

Accellera Member List

- Aldec, Inc.
- ARM Ltd.
- BlueSpec, inc
- Cadence Design Systems
- Freescale Semiconductor
- IBM
- Intel Corporation
- JEITA
- L-3 Communications
- Magma Design Automation
- Mentor Graphics
- Nokia
- Novas
- NVIDIA
- Real Intent

-
- Rockwell Collins
 - Silicon Canvas Inc.
 - Silvaco
 - ST Microelectronics
 - Sun Microsystems
 - Synopsys Inc.
 - SynthWorks Design
 - Tharas Systems
 - Toshiba
 - Xilinx

2.2.5 SystemCタスクグループ報告

(1) 背景

ハードウェア記述言語によるシステム LSI の設計は、VHDL (IEEE 1076) や Verilog-HDL (IEEE 1364) の標準化への JEITA(旧 EIAJ)の貢献とともに広く普及して、産業界で活用されている。一方、半導体の微細化技術は開発がさらに加速され、既に 1000 万ゲート規模の LSI が開発されるに至り、さらに抽象度の高いレベルからの設計が必須となってきている。1990 年代半ばより複数のシステムレベル設計言語の提案が行われ、標準化推進団体が結成されたものもあった。この中で、C++言語を基本とする SystemC は広く半導体メーカ、システムメーカ、EDA ベンダーの賛同を得て、Open SystemC Initiative (OSCI) が結成され、標準化のための言語仕様の策定と整備が進められてきた。

システムレベル設計言語としての要件を備えた SystemC 2.0 のリファレンスシミュレータがまず 2001 年 10 月にリリースされ、その後 2003 年 5 月に言語参照マニュアル (Language Reference Manual, 以下 LRM) が一般公開された。この LRM が 2004 年 11 月に OSCI より IEEE に移管され、IEEE P1666 として正式な標準化プロセスが開始された。並行して OSCI にて開発されていた SystemC 2.1 の言語拡張仕様も IEEE P1666 標準の一部として追加移管され、2005 年 12 月に IEEE Std. 1666-2005 として SystemC のコア言語部分の標準化が完了した。

(2) 目的

上記のような状況の中で、SystemC は SoC (System on Chip) の開発のためのシステムレベル記述言語のひとつとして既に設計や検証に幅広く使われるようになり、欠くことのできない言語となってきている。設計言語は設計の基本となるもので、この標準化策定に早くから関わることは、産業界にとって次世代の設計手法を構築する上で非常に重要なことである。

本タスクグループは 2003 年 10 月に設置され、日本国内における唯一の SystemC の標準化関連組織として、IEEE P1666 で進められる SystemC 標準作業に対して日本の産業界として意見を述べ、国内事情・要求事項を取り込んだ形で国際標準化に貢献していく。また、SystemC に関連した調査結果をアニュアルレポートやユーザフォーラム等で積極的に情報発信を行うことで、SystemC を利用した設計手法の国内普及を図り、ひいては日本の産業界の国際競争力を高めることを目指す。

(3) 活動内容

本タスクグループは、次の3つの項目を柱として活動する。

① SystemC 標準化活動

- IEEE P1666 のメンバーとして、SystemC 言語標準化活動に参画する。2005年度は、SystemC のコア言語部分の言語仕様のレビューを行い、追加・修正が必要な点を指摘しフィードバックを行う。2006年度は、OSCI の標準化提案をうかがいつつ、オプション仕様（TLM や合成サブセット等）の検討を行い、標準化をめざし貢献する。

② SystemC 技術調査

- SystemC 関連の各種学会、セミナーに参加し、あるいは論文等の分析を行い、世界各国における SystemC の利用状況や設計フローの動向を調査する。
- SystemC 2.1 の新機能及び削除された機能について調査し、情報公開して今後設計フローの改善に役立てる。
- SystemC の合成サブセットやトランザクションレベルモデリング、及び検証ライブラリといった拡張言語仕様について調査し、標準化の検討を行う。
- 他国では類を見ない、同一組織内に SystemC と SystemVerilog のタスクグループが存在し、共同で技術調査・検討・標準化を進めることが可能であるため、両者を連携したフローの検討や、連携のための技術的課題の先行抽出等を行う。

③ SystemC 普及活動

- EDSF に併設したシステムデザインフォーラムの1プログラムとして SystemC ユーザフォーラムを開催し、SystemC に関連した情報や適用事例の発表の場と位置付け、積極的に情報発信を行い SystemC を利用した設計の普及をはかる。

(4) これまでの成果

2003年10月に発足した後、これまでに次のような成果をあげた。

① SystemC 標準化活動

- OSCI より 2003年5月に一般公開された LRM についてレビューを行い、問題点を62件抽出し（うち46件については2003年度の活動報告書に一覧を記載）、IEEE 並びに OSCI に報告した。
- 2004年12月にリリースされた IEEE 版の LRM (Draft) をレビューし、上述の62件の問題点のうち34件が改善されていることを確認した。また16件についてはLRM から削除された等で問題がなくなった。また新たに31件の問題点が抽出されたため、残る12件と合わせて43件の問題点を IEEE に報告した。
- JEITA EDA 技術専門委員会として IEEE-SA の会員となったため、IEEE P1666 ワーキンググループに投票権のあるメンバーとして参加した。
- 2005年4月に SystemC 2.1 が追加された IEEE P1666 版 LRM がリリースされた。それについてレビューを行った結果、19件の問題点が抽出されたため、IEEE に報告した。LRM に関して計3回の投票が行われ、問題点が修正された2回目以降は、JEITA として賛成票を投じた。
- こうして最終的に12月6日の IEEE RevCom にて IEEE Std. 1666-2005 として承認された。

プレスリリースも発行され、EDA-TC/JEITA としてもコメントを掲載した。

② SystemC 技術調査

- 2003 年 11 月度に集中審議を行い、本タスクグループ参加各社の SystemC 利用状況について紹介しあい、業界内の現状ステータスについて理解を深めた。(2003 年度の活動報告書に記載)
- 2004 年度には、過去 5 年間に一般に公開されている SystemC 関連の論文や発表資料等 50 件の調査を行い、報告書を作成した。調査対象は、学会 (DAC, DATE 等)、大学関係 (Stanford, UCI 等)、SystemC ユーザグループ等における発表資料とした。
- 2005 年度は、SystemC 2.1、TLM (トランザクションレベルモデリング)、合成サブセットのテーマを定め、それぞれ分科会形式で掘り下げた調査を行った。その内容の一部を SystemC ユーザフォーラム 2006 で発表し、好評であった。また論文調査については継続し、動向分析を行ってグラフ化した。
- 調査結果の一覧とサマリについては、4. 添付資料 (4.2 SystemC タスクグループ 2005 年度活動報告) に記載。

③ SystemC 普及活動

- 2004 年度より、それまでの OSCI から引き継いで JEITA EDA 技術専門委員会の主催で SystemC ユーザフォーラムを開催している。(EDSF 併設のシステムデザインフォーラムのプログラムの 1 つとして)
- 2005 年 1 月 27 日に SystemC ユーザフォーラム 2005 を開催。受講料は無料。定員 200 名のところ 250 名弱の聴講者が訪れ、立ち見が出るほどの盛況であった。
- 2006 年 1 月 27 日に SystemC ユーザフォーラム 2006 を開催。今回より、受講料を徴収することにした。(SystemC 単独の場合¥1,600、SystemVerilog と通しの場合¥2,000) 定員 200 名のところ、申し込みは完売したが、実際に会場に訪れた聴講者は 172 名であった。(前年比 30%減) また、アンケートは 134 名の方に記入いただけた。
- SystemC ユーザフォーラム 2006 の内容としては、タスクグループの発表は 1 本とし、他は OSCI の発表 1 本とユーザ事例 2 本の計 4 本とし、バランスを図った。
 - Mike Meredith 氏 (OSCI) : 「OSCI / SystemC directions」
 - 渡邊 政志氏 (ルネサステクノロジ)、今井 浩史氏 (東芝) : 「SystemC 2.1 新機能と TLM 動向」(注: SystemC タスクグループ発表)
 - 岡田 敦彦氏 (沖電気工業) : 「動作合成によるサウンド LSI の設計事例」
 - 菊川 信吾氏 (東芝デジタルメディアネットワーク) : 「動作合成の画像処理回路への設計適用事例」
- 各講演の後に質問時間を設けたが、それぞれ数件の質問があり、活発な意見交換の場となった。
- アンケート調査では、次のようなコメントが寄せられた。次回以降開催時の参考としたい。
 - 当日の発表内容と予稿集の内容を合わせて欲しい。
 - SystemC 2.1 に関する発表はバージョン・新機能の差分情報など有用だった。
 - ユーザ事例が役に立った。次回は TLM でのシステム検証事例が聞きたい。

- 今回程度の参加費なら参加したい。
- Accellera, OSCI, JEITA に求められる事として、セミナー・ワークショップの定期開催等を通じての日本語による情報発信をもっと行って欲しい。
- 2003 年～2005 年開催の際のアンケート調査結果と合わせて聴講者の動向について分析を行った。大まかな傾向としては、主な使用言語は Verilog HDL が相変わらず多数を占めるが、SystemC に関しては様子見の段階から (部分的) 使用の段階へ移行しつつあるようだ。(ただし、2004 年以降大幅な変化はない。) また、日本国内だけの特色と思われるが、聴講者の一番の興味は SystemC を使った高位合成のようである。(欧米とは少々異なる。) 2006 年度から特に伸びたのは TLM や等価性検証についてであり、実用レベルで SystemC を使う上で必要な技術が広まってきたことが伺われる。
 - 詳細については、4. 添付資料 (4.2 SystemC タスクグループ 2005 年度活動報告) に記載。

(5) 参加メンバー

主 査	長谷川 隆	富士通(株)
副主査	後藤 和永	NEC エレクトロニクス(株)
委 員	清水 靖介	沖電気工業(株)
同	森井 一也	三洋電機(株)
同	山田 晃久	シャープ(株)
同	柿本 勝	ソニー(株)
同	逢坂 孝司	日本ケイデンスデザインシステムズ社
同	中野 淳二	日本シノプシス(株)
同	今井 浩史	(株)東芝
同	竹村 和祥	松下電器産業(株)
同	中村 和秀/菊谷 誠	メンターグラフィクスジャパン(株) ※
同	塚本 泰隆	(株)リコー
同	渡邊 政志	(株)ルネサステクノロジ
客 員	今井 正治	大阪大学

(計 14 名、※期中メンバー交代あり)

SystemC タスクグループ URL:

<http://eda.ics.es.osaka-u.ac.jp/jeita/eda/member/std/SystemC/index.html>

2.2.6 SystemVerilogタスクグループ報告

(1) 背景

Verilog HDL (ハードウェア記述言語) は、特定ツールの独自言語として開発され、その後、OVI (Open Verilog International) による言語仕様公開を経て、1995 年に IEEE1364 として標準化の承認がなされた。さらに 5 年後、ディープサブミクロン対応の機能が盛り込まれ、

IEEE1364-2001 として改訂された。JEITA（旧 EIAJ）の EDA 技術専門委員会では、IEEE1364 の標準化作業が開始されると同時に Verilog HDL 標準化プロジェクトを設置し、継続的に言語仕様の技術検討・国際標準化に貢献してきた。

その後、半導体の微細化技術はさらに進化し 1000 万ゲート規模の LSI が開発されるに至り、一般的に「論理設計工数の 7～8 割が機能検証に費やされているにも関わらず、6 割近い LSI が機能バグ等の問題によりリ・スピニングしている」という報告がなされた(Collett International)。このような状況において、機能検証の網羅性と検証効率を飛躍的に向上させるために、2000 年以降に、新しいテストベンチ記述、アサーション/プロパティ記述など、いくつかの検証用言語が実用化された。

SystemVerilog は、Verilog HDL に ①デザインに対する記述構文 ②検証用言語 を追加したものである。新たに検証用言語を持たせたことが大きな特徴であるが、デザインの面でも Verilog HDL に比べ記述量の削減や曖昧性の排除といったメリットがあり、設計品質の向上が期待できる。SystemVerilog の標準化は、SystemVerilogV3.1a が Accellera により制定され、2005 年に IEEE において IEEE 1800 として標準化承認された。

(2) 目的

SystemVerilog 標準化において、日本の半導体産業界の要望に沿った形で言語標準化を進めることが、適用容易性を高め、設計品質の向上につながり、国際的な競争力確保といった結果になる。本タスクグループでは、業界各社から参加したエキスパートにより SystemVerilog 言語使用に対する継続的な技術検討を実施し、国際標準化に貢献すること、SystemVerilog に関する最新情報の収集と情報発信を目的としている。また、日本国内にける SystemVerilog 適用の普及推進にも積極的に取り組む。

(3) 活動内容

① グループの結成と言語習得 (03 年度)

03 年 10 月に、SystemVerilog 言語仕様の技術検討・標準化を推進するためのタスクグループとして「SystemVerilog タスクグループ」を結成した。03 年度は、SystemVerilog の代表的な言語仕様をまとめた資料を作成した。

② 国際的な情報収集・標準化組織との連携

04 年 3 月に、米国で開催された国際学会 DVCon(Design & Verification Conference)にメンバを派遣し、最新技術動向の情報収集をおこなった。Accellera/SystemVerilog 会議に本タスクグループの主査と副主査が参加し JEITA での活動内容を紹介するとともに今後の連携についてお互いの意識をあわせた。その後、活動成果を IEEE の標準化作業に反映するため、IEEE の標準化機関である IEEE-SA メンバになり、提案に対する優先度をあげるとともに投票権を得た。そして、05 年 1 月に IEEE P1800 の投票グループとなり、06 年度の最終投票に参加した。

IEEE での標準化の経過・最新状況については、添付資料 4.3 の SVTG-1 で報告する。

③ 言語仕様検討と IssueReport の提出

SystemVerilog 言語仕様検討において、より議論を深めるため、「デザイン」と「検証」の 2 つのサブタスクグループにわかれ、専門的な技術ディスカッションを重ねた。そして、04 年 8 月に、改善提案を含む 32 件の IssueReport をまとめ、Accellera と IEEE に提出した。本案件は、

IEEE P1800-WG の審議対象として DB に登録され、審議がなされた。この IEEE P1800-WG Errata 提出案件については継続的に状況把握に取り組んでいる。最新状況については、添付資料 4.3 の SVTG-2 で報告する。

④ SystemVerilog/SystemC の対訳表の作成

SystemVerilog に関する専門用語に関し、多くの翻訳書や EDA ベンダが提供するユーザマニュアル類で訳語が多様であると分かり難くなるため、標準的な訳語を定義することを目的に、対訳表を作成した。また、SystemC タスクグループとも連携し、共通の対訳表をひとつにまとめた。本対訳表を標準訳語として、出版社・EDA ベンダーをはじめ、業界全体に公開し、適用してもらえるよう推進する。対訳表は、4.4 章に「SystemC/SystemVerilog 専門用語対訳表」として掲載する。

⑤ SystemVerilog ユーザフォーラムの開催

06 年 1 月に、「システム・デザイン・フォーラム 2006」のカリキュラムのひとつとして、第 2 回「SystemVerilog ユーザフォーラム」を開催した。このフォーラムでは、Accellera、IEEE P1800-WG の標準化状況の説明、本タスクグループからは、SystemVerilog の特徴・利点を広く周知させるために、SystemVerilog アサーションのチュートリアルを実施した。

本チュートリアルのテキストは、添付資料 4.3 の SVTG-3 として掲載する。

(4) 関連機関の動向

IEEE における今後の SystemVerilog 標準化活動について述べる。IEEE Std. 1800 の見直しは 2 年後に予定されている。それに向け、大きく 2 つの課題がある。ひとつは IEEE Std. 1364 (Verilog HDL) -2005 との統合であり、もうひとつは最初の標準化の過程において積み残しとなった問題点や errata の解決である。2006 年 3 月時点において、どちらを先に実行すべきかを議論している。双方の主な主張は次のとおりである。すなわち、早く統合することにより、その後の言語拡張や errata 解決の工数を削減できるという意見と、他の重要性の高い問題点を先に解決することにより、SystemVerilog を早く、より実用的なものにすべきとする意見がある。後者はまた、統合により新たな errata が混入し、実用化が遅くなるリスクを危惧している。大勢としては、2 つの標準を統合する方向に向かっているが、その実行には少なくとも 6 ヶ月を要すると見積もられており、いつ完了するかは明確になっていない。JEITA SVTG としては、1364 との統合を優先すべきとの考えをベースに、IEEE の WG との連携をとりつつ、言語仕様の改訂に協力を続けていく。

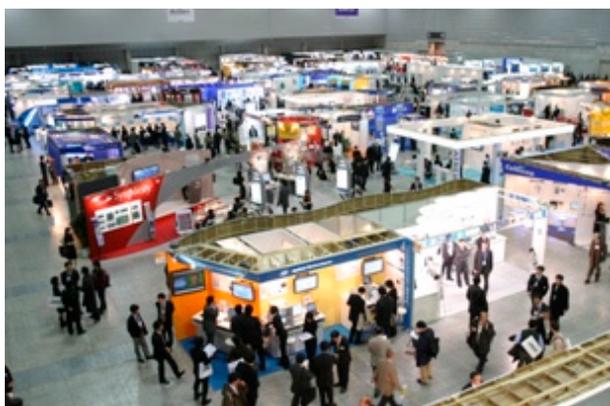
(5) 参加メンバー

主査	浜口加寿美	松下電器産業(株)
副主査	明石貴昭	日本シノプシス(株)
委員	湯井丈晴	(株)沖ネットワークエルエスアイ
同	後藤謙治	日本ケイデンス・デザイン・システムズ社
同	土屋丈彦	(株)東芝
同	千綿幸雄	富士通(株)
同	山元 渉	メンター・グラフィックス・ジャパン(株)
同	高嶺美夫	ルネサステクノロジ(株)
同	杉江 誠	(株)図研

3. 関連イベント（主催／協賛）報告

3.1 Electronic Design and Solution Fair 2006 (EDSFair2006)

情報化・ユビキタス社会の基盤となる情報機器向け電子システムや半導体の開発に不可欠となる最先端設計ソリューション（EDA 技術、IP 再利用技術、組込ソフトウェア技術、各種設計サービスなど）の情報発信・普及推進を行い、関連業界の発展に寄与することを目的として、2006年1月26日（木）～27日（金）の2日間、横浜国際平和会議場（パシフィコ横浜展示ホール）にて Electronic Design and Solution Fair 2006（略称 EDSFair2006）を開催した。



EDSFair2006 の全体風景

本展示会は、2001年に米国の Electronic Design Automation Consortium (EDAC) との協力関係を締結して以来、米国の Design Automation Conference (DAC)、欧州の Design, Automation and Test in Europe (DATE) と並ぶ国際コンベンションとして位置付けられている。今後も、電子システム・半導体設計に関する世界3大展示会のひとつとして、最先端の設計ソリューション・設計技術・EDA 技術情報を提供し続けたいと考えている。

1993年より社団法人日本電子機械工業会（EIAJ、現 JEITA）が開催していた「EDA TechnoFair」と、FPGA/PLD ベンダ各社および大学関係者が組織して実施して来た「FPGA/PLD Design Conference & Exhibit」を2001年に統合して以来第6回を迎えた EDSFair2006 では、キャッチフレーズを“感じよう、65 ナノの世界”として、半導体プロセスの微細化が進み新しいソリューションが求められる時代に即したブース展示を行うとともに、出展各社による出展者セミナー、FPGA/PLD 関連の設計手法、設計事例、ビジネスおよび将来動向が講演される「FPGA/PLD Design Conference」、展示会場内特設ステージでの「技術動向性セミナー」「初心者向けセミナー」「設計生産性および DFM をテーマとした複合セッション」、産学官の技術交流を深める「ユニバーシティ・プラザ」、を開催した。

3.1.1 EDSFair2006の概要

- (1) 開催期間：2006年1月26日(木)～1月27日(金) 2日間
 - (2) 場 所：パシフィコ横浜（展示ホール、アネックスホール）
 - (3) 主 催：社団法人電子情報技術産業協会（JEITA）
協 力：Electronic Design Automation Consortium（EDAC）
後 援：経済産業省、アメリカ合衆国大使館、外国系半導体商社協会（DAFS）、横浜市（順不同）
-

協 賛：社団法人電子情報通信学会（IEICE）、社団法人情報処理学会（IPSI）、社団法人
日本電子回路工業会（JPCA）（順不同）

特別協賛：サン・マイクロシステムズ(株)、日本ヒューレット・パッカード(株)

運営：日本エレクトロニクスショー協会（JESA）

(4) 開催概況

- ① 入場者数：11,003 名（前年 11,153 名）
- ② 出展者数：148 社／343 小間（前年 119 社 336 小間）
- ③ 出展者セミナー：128 セッション、延べ聴講者数 3,415 名
- ④ スイートルーム：5 社
- ⑤ ユニバーシティ・プラザ：21 ブース、15 大学 22 研究室
- ⑥ キーノートスピーチ：聴講者数 223 名
- ⑦ 併催

第 13 回 FPGA/PLD Design Conference：14 セッション、聴講者数 475 名
・ ユーザ・プレゼンテーション：6 プレゼンテーション（ポスター展示のみ）
・ IP フリーマーケット in EDSFair：20 テーマ、26 日延べ聴講者数 68 名
・ イブニングセッション：聴講者数 74 名

⑧ 同時開催

システム・デザイン・フォーラム 2006：2 セッション、聴講者数 336 名

3.1.2 出展カテゴリー

(1) ハードウェア・ソリューション

システム LSI、ASIC/ASSP、MPU/MCU/DSP、FPGA/PLD デバイス、他

(2) ハードウェア開発環境（EDA）

① LSI 設計関連ツール

システムレベル設計（RTL より高位）、論理設計（RTL～ネットリスト）、論理検証、アナログ設計・検証、レイアウト、レイアウト検証・解析、LSI 信号解析、テスト設計（DFT/BIST/ATPG など）、DFM 関連（OPC/RET/PSM/LRC/TCAD など）、他

② PCB 設計関連ツール

回路図作成、アナログ設計・検証、レイアウト、PCB 信号解析、他

③ SiP 設計関連ツール

(3) ソフトウェア・ソリューション

組込み OS、デバイスドライバ、ファームウェア、ミドルウェア、他

(4) LSI テスト、計測器

LSI テスタ、PCB テスタ、計測器、他

(5) IP コア、マクロ、セルライブラリ

(6) 組込みプロセッサ開発環境

リコンフィギュラブルプロセッサ、ICE、デバッグ、マイコン CASE、コンパイラ/クロスコンパイラ、シミュレータ、ハード/ソフト協調設計環境、他

-
- (7) 設計サービス関連
デザインセンタ、設計サービス、設計コンサルティング、IP 流通サービス、他
 - (8) 設計インフラ (WS/PC、ネットワーク)
 - (9) 設計データ管理ツール
設計データ管理、他
 - (10) マスクメーカー、ファウンダリメーカー
 - (11) 大学 (研究室)、コンソーシアム
 - (12) PR 関連
出版物、他

3.1.3 開会式

1月26日(木)午前9時45分より展示会場入口において開会式を執り行った。開会式への登壇者は次のとおり。

- ・ご祝辞・テープカット：経済産業省 商務情報政策局 情報通信機器課長 横尾 英博 様
アメリカ合衆国大使館 上席商務官 ジョンフレミング 様
横浜市 経済局部次長 IT 産業等振興担当課長 村野 志万雄 様

- ・主催者挨拶・テープカット：社団法人 電子情報技術産業協会 専務理事 金子 和夫 様

開会式終了後、登壇者および関係者による会場一巡が行われ、本年は下記のブースを訪問し、新技術・研究開発等の成果の説明を受けられた。

- ・(株)半導体理工学研究センター、新興ベンダーパビリオン、日本アルテラ(株)、(株)沖ネットワーク エルエスアイ、ユニバーシティ・プラザ、(株)図研、(以上、見学順)



開会式でのテープカット

3.1.4 出展者一覧

会社名	小間数	会社名	小間数
アーチプロデザインオートメーションインク	1	ビーチソリューションズ	—
アーム(株)	4	イーエイシック	—
(株)アイヴィス	3	インピンジ・インク	1
アクテルジャパン(株)	3	エイシップ・ソリューションズ(株)	1
アジレント・テクノロジー(株)	2	(株)エーイーティー	1
(株)アストロン	2	(株)エスケーエレクトロニクス	2
アトレンタ(株)	6	(株)エッチ・ディー・ラボ	3
アパッチデザインソリューションズ(株)	2	(株)パソナエンジニアリング	—
(株)アプライド・シミュレーション・テクノロジー	1	NEC エレクトロニクス(株)	4
(株)アプリスター	1	NEC	3
アルティウム ジャパン(株)	2	NTT アドバンステクノロジー(株)	4
アンソフト・ジャパン(株)	6	アットデザインリンクス(株)	—
E2 パブリッシング(株)	1	(株)沖ネットワークエルエスアイ	2
(株)礎デザインオートメーション	1	CARBON DESIGN SYSTEMS, INC.	1
伊藤忠テクノサイエンス(株)	9	兼松エレクトロニクス(株)	4
サン・マイクロシステムズ(株)	—	カリプト・デザイン・システムズ(株)	2
EMC ジャパン(株)	—	(株)キー・ブリッジ	1
Hummingbird 社	—	キャッツ(株)	2
Celoxica 社	—	(株)インターデザイン・テクノロジー	—
Actis Design 社	—	CRITICALBLUE	1
EVE 社	—	コーウェア(株)	8
Real Intent 社	—	エム・アールエフ(株)	—
Obsidian 社	—	GOLDEN GATE TECHNOLOGY, INC	1
Sarnoff 社	—	サイバーテック(有)	4
Prolific 社	—	ジャスパー・デザイン・オートメーション	—
Clear Shape Technologies 社	—	サイバネットシステム(株)	4
MatrixOne 社	—	サミット・デザイン・ジャパン(株)	4
イノテック(株)	9	CQ 出版(株)	1
ソニックス	—	シーケンスデザイン(株)	2
チップビジョンデザインシステムズ	—	(株)ジーダット	6
ターゲットコンパイラーテクノロジーズ	—	ジェネシス・テクノロジー(株)	1
サガンテック	—	シエラ・デザイン・オートメーション(株)	2
ジャズセミコンダクター	—	SIGMA-C K.K.	1
ビラージロジック	—	(株)システム・ファブリケーション・テクノロジーズ	2

会社名	小間数	会社名	小間数
SILICON INTEGRATION INITIATIVE	1	日本システムウェア(株)	1
SILICON DESIGN SYSTEMS	1	日本アルテラ(株)	6
Silistix Ltd.	2	日本 EDA ベンチャー連絡会	1
(株)シルバコ・ジャパン	9	日本イヴ(株)	4
新日鉄ソリューションズ(株)	1	日本ケイデンス・デザイン・システムズ社	20
シンプリシティ(株)	8	イノテック(株)	—
(株)数理システム	1	日本シノプシス(株)	20
(株)図研	9	日本セロックシカ(株)	4
ステディデザイン(株)	1	日本トランス EDA(株)	1
住商情報システム(株)	1	日本ノーベル(株)	1
(株)ソリトンシステムズ	4	エース・アソシエイティッド・ コンパイラー・エキスパート(株)	—
Aldec, Inc.	—	ノバフロー(株)	4
Interra Systems Inc.	—	Novas Software, Inc	—
MOSAID Technologies Inc. (Virtual Silicon)	—	Silicon Canvas, Inc	—
Novocell Semiconductor, Inc.	—	ForteLink, Inc	—
QualCore Logic, Inc.	—	Berkeley Design Automation, Inc.	1
Y Explorations, Inc.	—	パトゥニ・コンピュータ・システムズ	1
ダイキン工業(株)	2	(株)半導体理工学研究センター	10
(株)ダイヘン	2	タナーリサーチジャパン(株)	3
CAST inc.	—	(株)日立インフォメーションテクノロジー	2
巧テクノロジー(株)	2	フォルテ・デザイン・システムズ(株)	3
立野電機(株)	1	富士通(株)	3
Northwest Logic	—	ブライオン・テクノロジーズ	4
GiDEL	—	プラットフォームコンピューティング(株)	1
特定非営利活動法人 FPGA コンソーシアム	1	プロサイド(株)	2
DSM インターナショナル・インク	2	プロトタイピング・ジャパン(株)	2
ビラージロジック(株)	—	ベリシリコン・インク	1
ディー・クルー・テクノロジーズ(株)	1	マグマ・デザイン・オートメーション(株)	9
デナリソフトウェア(株)	8	丸紅ソリューション(株)	10
TENISON DESIGN AUTOMATION	1	(株)ミッシュインターナショナル	2
テンシリカ(株)	2	三菱電機エンジニアリング(株)	1
電波新聞社	1	メンター・グラフィックス・ジャパン(株)	25
TOOL(株)	2	リード・ビジネス・インフォメーション(株)	1
日経 BP 社	1	菱洋エレクトロ(株)	4

会社名	小間数	会社名	小間数
ザイリンクス(株)	—	Impulse Accelerated Technologies Inc *	1
ADVANCED RFIC (S) PTE LTD *	1	MIRABILIS DESIGN INC *	1
APRIO TECHNOLOGIES *	1	MUNEDA GMBH *	1
AXIOM DESIGN AUTOMATION *	1	Pyxis TECHNOLOGY INC *	1
AZURO INC *	1	SynaptiCAD Inc *	1
HELIC S.A. *	1	VERIFIC DESIGN AUTOMATION *	1

会社名の後に*が付いている出展者は、新興ベンダパビリオンに出展

合計 148 社 343 小間

※会社名 50 音順/共同出展は文字下げ表記

出展者一覧

3.1.5 出展傾向

小間数の伸びは前回 EDSFair2005 と比べ、2%の伸びに留まったが、出展者数に関しては、海外新興ベンダの出展誘致等が効果をあげたこともあり、24%増の 148 社で過去最多となった。

	出展者数	小間数
2006 年	148 社	343 小間
2005 年	119 社	336 小間
2004 年	105 社	306 小間
2003 年	99 社	320 小間

出展傾向の推移

3.1.6 出展者セミナー

1 セッション 45 分間で、30～100 名の適正人数のお客様に向けて集中 PR が行える出展者セミナールームを提供した。2006 年は 11 会場にて 128 セッションを開催した。

聴講者数：3,415 名

3.1.7 ユニバーシティ・プラザ

産学の交流を促進すると共に大学研究機関による研究成果を発表する場として企画した。今回は、以下の 22 の大学研究室が設計技術に関する研究成果を発表実演した。

- ・コンポーネント間のデータ流量解析に基づくアーキテクチャ・レベル設計手法
大阪大学 大学院 情報科学研究科 今井 研究室
- ・LSI の誤テスト回避技術
九州工業大学 情報工学部電子情報工学科 梶原 誠司・温 暁青 研究室
- ・LUT カスケード・エミュレータに基づく論理シミュレータ
九州工業大学 情報工学部 電子情報工学科 笹尾 勤 教授 研究室

-
- ・リコンフィギャラブルシステム RICE と SystemC による設計環境
九州工業大学 情報工学部知能情報工学科 佐藤 寿倫 助教授 研究室 / 九州産業大学
情報科学部知能情報学科 有田 五次郎 教授研究室
 - ・標準 CMOS による不揮発メモリとアナログ LSI 回路設計ツール
九州工業大学 マイクロ化総合技術センター 中村 和之 助教授 研究室
 - ・高性能プロセッサ・メモリシステムを実現するアーキテクチャ設計技術および LSI の設計支援
技術の研究
九州大学 システム LSI 研究センター 安浦 寛人 教授 研究室
 - ・リコンフィギャラブルシステムと遠隔再構成技術
熊本大学 工学部数理情報システム工学科 末吉 敏則 教授 研究室
 - ・バイオインフォマティクスとリコンフィギャラシステムの融合
慶應義塾大学 理工学部情報工学科 天野 英晴 教授 研究室
 - ・SoC 雑音対策の基盤技術：チップレベル解析とオンチップ評価
神戸大学 工学部情報知能工学科 永田 真 助教授 研究室
 - ・ユビキタスメディア応用低消費電力システム LSI
神戸大学 工学部情報知能工学科 吉本 雅彦 教授 研究室
 - ・2 眼拡大ターゲットトラッキングカメラ
筑波大学 システム情報工学研究科 コンピュータサイエンス専攻 安永 守利 教授 研究室
 - ・リコンフィギャラブルデバイスを用いたシステムの開発ツール及び開発事例
東海大学 情報理工学部 清水 尚彦 教授 研究室
 - ・東京大学大規模集積システム設計教育研究センターの活動報告・紹介
東京大学 大規模集積システム設計教育研究センター
 - ・システムレベル合成技術に関する研究
東京大学 工学系研究科電子工学専攻 藤田 昌宏 教授 研究室
 - ・動的・仮想回路の hw/sw 複合体-ロボットへの適用例
東京農工大学 共生科学技術研究部 関根 優年 教授 研究室
 - ・動的再構成可能アーキテクチャ PCA 用設計環境
長崎大学 工学部情報システム工学科 小栗 清 教授 研究室
 - ・システムレベル設計における通信インタフェースとコミュニケーション環境
名古屋大学 大学院情報科学研究科 高田 広章 教授 研究室
 - ・動的再構成型スーパースカラ (DRSS)
広島市立大学 情報科学部情報工学科 高橋 隆一 助教授 研究室
 - ・リコンフィギャラブルアーキテクチャとそのソフトウェア開発環境
広島市立大学 情報科学部 弘中 哲夫 助教授 研究室
 - ・光ファイバー導波路を用いた金属フリー視覚刺激装置の試作
福井大学 大学院工学研究科情報 メディア工学専攻 桜井・福間 研究室
 - ・LUT カスケードのデジタル・フィルタへの応用
明治大学 理工学部情報科学科 井口 幸洋 助教授 研究室
-

3.1.8 キーノートスピーチ

「ユビキタスからインビジブルへ」

日経 BP 社 ITpro 発行人（日経エレクトロニクス・前編集長）浅見 直樹 氏

- (1) 日 時：1月26日（木）午前10時30分～午前11時30分
- (2) 場 所：アネックスホール
- (3) 聴 講 料：無料
- (4) 聴講者数：223名

「ユビキタスからインビジブルへ」と題して、エレクトロニクス業界の直近の話題を取り上げながら、長期的な技術開発の行方についてご講演いただいた。

3.1.9 第13回FPGA/PLD Design Conference

- (1) 日 時：1月26日（木）・27日（金）
- (2) 場 所：アネックスホール
- (3) 聴 講 料：1セッション受講券（1回券）5,250円（消費税込み）
5セッション受講券（回数券）15,750円（消費税込み）
- (4) 聴講者数：

セッション1	22名	セッション8	25名
セッション2	29名	セッション9	51名
セッション3	45名	セッション10	28名
セッション4	46名	セッション11	35名
セッション5	32名	特別講演1	34名
セッション6	40名	特別講演2	21名
セッション7	39名	特別講演3	28名

今回で第13回を迎えた本カンファレンスは、FPGA/PLDをテーマとした日本で唯一のものであり、FPGA/PLDに関する最新情報、設計手法、ビジネスおよび将来動向を包括的に知ることができるよう企画された。27日（金）には、「FPGAがソフトハード融合の新世界を創造する」をテーマとした、ハードウェア設計者が組み込みソフトウェア分野へ守備範囲を広げるための特別セッションがあり、ソフトCPUコア搭載FPGAにLINUX、リアルタイムOSなどを搭載した設計事例、ノウハウの紹介が行なわれた。これに加え、イブニングセッション、ユーザ・プレゼンテーション（ポスター）、各種IPの発表の場を提供するIPフリーマーケットも開催された。

《1月26日（木）》

- ・ セッション-1【入門編】12:50-14:20「FPGA設計入門～ジェダイへの道はここから」
メンター・グラフィックス・ジャパン(株) HDLプロダクト・フォーカス・セールスグループ シニアコンサルタント 小山 洋 氏
- ・ セッション-2【解決編】12:50-14:20「FPGAを用いた民生機器プラットフォーム開発の効率化」
シャープ(株) 技術本部 次世代商品開発センター 第5開発室 主事 大坪 裕氏
- ・ セッション-3【将来編】12:50-14:20「リコンフィギャラブルLSI ～ いよいよ黙ってはいない

国内大手ベンダ」

熊本大学 工学部 数理情報システム工学科 教授 末吉 敏則氏、(株)日立製作所 中央研究所 システム LSI 研究部 主任研究員 伊藤 雅樹 氏、三洋電機(株) 研究開発本部 デジタルシステム研究所 ブロードバンド AV システム研究部 主任研究員 中島洋 氏

- ・ セッション-4 【入門編】 15:20-16:50 「FPGA による組み込みシステム開発」
設計アナリスト 鳥海 佳孝 氏
- ・ セッション-5 【解決編】 15:20-16:50 「新たな潮流、ストラクチャード ASIC の真相」
NEC エレクトロニクス(株) 通信システム(事) ISSP/DRP ソリューショングループ シニアシステムインテグレーター 河村 一 氏
- ・ イブニングセッション 【本音で語るパネルセッション】 17:30～19:30
『FPGA は組み込みシステム設計の本命になるか！？』
聴講参加条件：EDFS2006 に登録されていれば無料聴講可能
司会：三菱電機(株) 松本 仁 氏
パネリスト：日本アルテラ(株) 堀内 伸郎 氏、ザイリンクス(株) 西村 憲二 氏、ラティスセミコンダクタ 佐藤 秋彦 氏、東海大学 清水 尚彦 氏、東京エレクトロニクスシステムズ(株) 山崎 隆行 氏、コニカミノルタテクノロジーセンター(株) 佐藤 幸一 氏

《1月27日（金）》

- ・ セッション-6 【解決編】 10:00-11:30 「FPGA はどこまで製品に使えるか ～量産適用のポイント～」
富士通(株) モバイルシステム事業本部 開発技術統括部 阿部 浩明 氏
- ・ セッション-7 【解決編】 10:00-11:30 「高速動作の為の設計手法（FPGA 内の I/O を含むデザインヒント）」
日本システムウェア(株) システムロジックテクノロジー事業本部 システムボードソリューション事業部 課長 寺西 亨 氏
- ・ セッション-8 【解決編】 12:50-14:20 「目でわかる高速信号伝送線路のトラブルとその対策」
(株) エーイーティー 技術部 上田 千寿 氏
- ・ セッション-9 【解決編】 12:50-14:20 「ASIC 設計から見た FPGA 設計への素朴な疑問～設計品質の向上に向けた施策は何か？～」
三菱電機(株) 情報技術総合研究所 マルチメディアプロセッサ技術部 システム IP 設計技術開発チーム リーダー 細谷 史郎 氏
- ・ セッション-10 【解決編】 15:20-16:50 「EMC/ESD の歴史からたどり着く回路基板の基本設計手法」
(株) 大昌電子 設計本部 設計部 担当部長 小川 幸雄 氏
- ・ セッション-11 【解決編】 15:20-16:50 「FPGA による高速画像処理」
(株) ソリトンシステムズ エンベデット・システム事業部 取締役 事業部長 田村 浩一 氏
- ・ 特別講演 1 【組込】 10:00-11:30 「ハードウェア技術者のための組込みソフトウェア開発スタートアップ」
(株) 東陽テクニカ 技術主幹/部長 二上 貴夫 氏

-
- ・ 特別講演 2【組込】 12:50-14:20 「Linux を採用したネットワーク機器の CPU コア搭載 FPGA による開発事例」
 株式会社アットマークテクノ 代表取締役 実吉 智裕 氏
 - ・ 特別講演 3【組込】 15:20-16:50 「ソフトコア搭載 FPGA におけるリアルタイム OS の活用方法」
 名古屋大学 情報連携基板センター 研究員 本田 晋也 氏

3.1.9.1 FPGA/PLD Design Conference ユーザ・プレゼンテーション

- (1) 日 時：1月26日（木）11:30～17:00
 1月27日（金）10:00～17:00
- (2) 場 所：展示ホール EDSFair2006 会場内
- (3) 内 容：ポスターセッション（ポスター展示のみ）
- (4) 聴 講 料：無料

3.1.9.2 FPGA/PLD Design Conference IP（Intellectual Property）フリーマーケット

プレゼンテーション及ポスターセッション

- (1) 日 時：1月26日（木）13:50～16:00
- (2) 場 所：アネックスホール F206 号室
- (3) 聴 講 料：無料
- (4) 事前登録：不要
- (5) 聴講者数：68名

ポスター展示

- (1) 日 時：1月27日（金）
- (2) 場 所：展示ホール EDSFair2006 会場内

3.1.9.3 PGA/PLD Design Conference パネルセッション

- (1) 日 時：1月26日（木）17:30～19:30
- (2) 場 所：アネックスホール F205 号室
- (3) 聴 講 料：無料
- (4) 聴講者数：74名（前年34名）

3.1.10 新興ベンダパビリオン（EDSF2006新規企画）

新興ベンダパビリオンは、来場者アンケートに日本では最新情報を入手しにくい海外新興ベンダの出展を期待する声が多かったことも踏まえ、EDSFair を今後も発展させるためにはより一層の国際化は不可欠である、開催目的である最新かつ幅広い情報の発信促進を行なうべき、との考えにより設置された。過去にEDSFair への出展経験がない海外新興ベンダ 11 社が出展した。新興ベンダパビリオンでは、来場者と海外新興ベンダ各社との円滑で効率的なコミュニケーションをサポートすべく、以下も用意した。

- ・ 新興ベンダのソリューションを短時間で把握できるプレゼンテーション・ステージ

-
- ・ 通訳サービスの常駐
 - ・ じっくり話をできるコミュニケーションコーナー

出展者：

ADVANCED RFIC (S) PTE LTD、APRIO TECHNOLOGIES、AXIOM DESIGN AUTOMATION、AZURO INC、HELIC S.A.、Impulse Accelerated Technologies Inc、MIRABILIS DESIGN INC、MUNEDA GMBH、Pyxis TECHNOLOGY INC、SynaptiCAD Inc、VERIFIC DESIGN AUTOMATION



新興ベンダパビリオン内の1ブース

EDSFair2006 開催前日の25日（水）には、新興ベンダパビリオン内にて、パビリオン出展企業と日本でのビジネスパートナーとなり得る国内の主要半導体ベンダおよび主要販売代理店の代表の方にお集まりいただき情報交換を行うビジネス交流イベントを開催した。当日は、48名の参加があった。

3.1.11 展示会場内特設ステージ（EDSF2006 新規企画）

展示会場内特設ステージは、来場者増ならびに来場者満足度向上を目的として、「技術動向セミナー」、「初心者向けセミナー」、「ITRS（国際ロードマップ委員会）速報と設計生産性をテーマにした複合セッション」、「DFM（製造容易化設計）をテーマにした複合セッション」を行なうべく企画されたもので、用意した100席でも満員になり席を追加しても立ち見が出るほど多くの来場者を集めた。以下では、その特設ステージで行なわれたセッションを紹介する。



展示会場内特設ステージ

場 所：EDSFair2006 会場 特設ステージ（パシフィコ横浜 展示ホール C、D）

聴 講 料：無料

定 員：100 名

《1 月 26 日（木）》

12:20-13:10 技術動向セミナー

-サブ 100 ナノメータ SOC で低消費電力設計を成功させる-

(株)半導体理工学研究センター 開発第 1 部長 西口 信行 氏

聴講者数：約 150 名

13:30-14:30 初心者セミナー

—EDA に騙されたとなぜ思うのか—

日経 BP 社 日経マイクロデバイス編集委員 小島 郁太郎 氏

聴講者数：約 170 名

26 日（木）に行なわれた半導体理工学研究センター西口 信行氏による「サブ 100 ナノメータ SOC で低消費電力設計を成功させる」と題した低消費電力化にフォーカスした技術動向セミナー、および日経マイクロデバイス編集委員 小島郁太郎氏による「EDA に騙されたとなぜ思うのか」と題した初心者向けセミナーは、来場者アンケートを分析した結果、来場者ニーズが高いと判断し、企画した。両セッションとも多くの聴講者の関心を集めた。

15:00-17:00	ITRS2005 速報と設計生産性をテーマにした複合セッション
-------------	---------------------------------

15:00-15:30 ITRS2005 速報 - 2020 年までの設計課題の全貌（プレゼンテーション）

NEC エレクトロニクス(株) 柏木 治久 氏

聴講者数：約 200 名

15:30-16:00 乗り越えられるか？—『設計生産性危機』—（トークセッション）

沖電気工業(株) 山本 一郎 氏、聞き手：(株)東芝 樋渡 有 氏

聴講者数：約 180 名

16:00-17:00 ここがポイント！それは外れ！—設計生産性改善の急所—（パネルセッション）

日本ケイデンス・デザイン・システムズ社 後藤 謙治 氏、日本シノプシス(株) 飯島 一彦 氏、メンター・グラフィックス・ジャパン(株) 小島 智 氏、(株)ソニー・

コンピュータエンタテインメント 小山 達也 氏、富士通(株) 井上 愛一郎 氏、
司会：(株)東芝 樋渡 有 氏

聴講者数：約 220 名

同日午後には、「ITRS 速報と設計生産性」をテーマにした複合セッションが行なわれた。第一部は NEC エレクトロニクス 柏木 治久氏による ITRS2005 速報で、“2020 年までの設計課題の全貌”が報告された。続く第二部は、沖電気 山本 一郎氏を招いてのトークセッションで、設計生産性危機克服のシナリオや展望が明らかにされた。第三部は、EDA ベンダと半導体ベンダ代表によるパネ

ルセッションでそれぞれの立場から設計生産性改善の急所が提起され、白熱した議論が展開された。
《1月27日（金）》

10:00-11:00 EDA ベンダにきくーDFM への取り組みの本音と実態をさぐるー
～ 核心をつく、ズバリ 15 問 ～
EDA ベンダの代表者多数
司会：(株)東芝 樋渡 有 氏
聴講者数：約 150 名

27日（金）は、半導体製造プロセスの微細化に伴い最近注目を集めている「DFM」に関連するセッションを集めた DFM Day として企画実施された。

同日午前に行われた「EDA ベンダにきくーDFM への取り組みの本音と実態をさぐるー核心をつく、ズバリ 15 問」と題したセッションでは、DFM ソリューションを提供する EDA ベンダや製造装置ベンダ各社が壇上に上がり、「現在から 2、3 年で一番ソリューションが求められていると思われる領域はどれか？」など各 EDA ベンダに DFM に対する取組を聞く 15 の質問へ四者択一で回答する形で進められ、会場は大いに盛り上がった。最後に聴衆を対象に、来年の EDSFair の“ズバリ 15 問”のテーマは何が良いか？との質問があり、再度 DFM という回答が一番多く、来場者にとって DFM への関心が高いことが再確認された。

13:00-15:00	DFM をテーマにした複合セッション
-------------	--------------------

13:00-13:30 ITRS2005 速報 - 初めて記載された DFM 関連のサマリ - (プレゼンテーション)
富士通(株) 浅田 善己 氏
聴講者数：約 170 名

13:30-14:00 よくわかる DFM 技術の実際ーOPC って何なの？ー (トークセッション)
(株)東芝 井上 壮一 氏
聞き手：(株)東芝 樋渡 有 氏
聴講者数：約 300 名

14:00-15:00 ひとこと言いたい！ひとこと言わせて！ーDFM の課題、あるべき姿ー
(パネルセッション)
日本ケイデンス・デザイン・システムズ社 吉田 憲司 氏、日本シノプシス (株) 飯島 一彦 氏、マグマ・デザイン・オートメーション(株) 石神 英明 氏、メンター・グラフィックス・ジャパン(株) 高桑 和宏 氏、NEC エレクトロニクス(株) 小野 篤樹 氏、(株)富士通研究所 松岡 英俊 氏、(株)ルネサステクノロジ 宮崎 浩 氏、(株)東芝 村方 正 氏
司会：(株)東芝 樋渡 有 氏
聴講者数：約 250 名

同日午後には、「DFM」をテーマにした複合セッションが行なわれた。第一部は富士通 浅田 善

巳氏より ITRS2005 で初めて記載された DFM 関連の概要が報告された。第二部は、東芝 井上壮一氏を招いてのトークセッションで、DFM の代表技術である RET の適用例である OPC について分かりやすい技術解説を行なっていただいた。第三部は、EDA ベンダと半導体ベンダ代表によるパネルセッションで、DFM への対応について、設計からの貢献と製造からの貢献のバランスや分担、また、EDA ベンダ側と半導体ベンダ側の協調・連携や、DFM の目指すべき技術課題について熱い討論が展開された。

3.1.12 来場者数詳細

EDSFair2006 では 1 月 26 日 27 日両日も晴天に恵まれ、ほぼ昨年と同様の来場者数となった。

1 月 26 日 (木)	晴れ	5,006 名
1 月 27 日 (金)	晴れ	5,997 名
合 計		11,003 名

EDSFair2006 の来場者数

開催年	1 日目	2 日目	合 計
2005 年	5,066 名	6,087 名	11,153 名
2004 年	4,764 名	6,023 名	10,787 名
2003 年	5,095 名	6,445 名	11,540 名

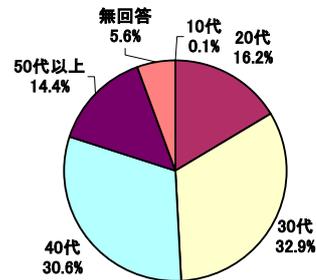
過去の来場者数

3.1.13 来場者傾向

入場登録票アンケートによる来場者プロフィールを以下に示す。

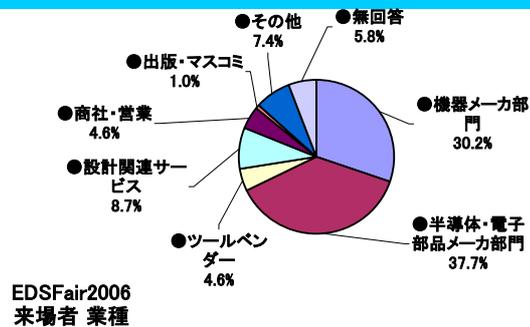
■年代

	2006(今回)	'05(参考)
10代	0.1%	0.2%
20代	16.2%	18.6%
30代	32.9%	37.4%
40代	30.6%	30.1%
50代以上	14.4%	13.7%
無回答	5.6%	-
合計	100.0%	100.0%



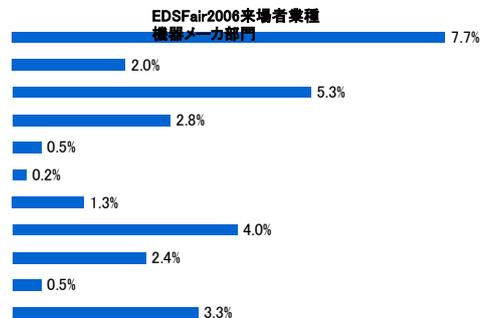
■業種

	2006(今回)	'05(参考)
●機器メーカー部門	30.2%	31.3%
●半導体・電子部品メーカー部門	37.7%	39.2%
●ツールベンダー	4.6%	4.5%
●設計関連サービス	8.7%	9.7%
●商社・営業	4.6%	6.5%
●出版・マスコミ	1.0%	1.0%
●その他	7.4%	7.8%
●無回答	5.8%	-



※職務詳細

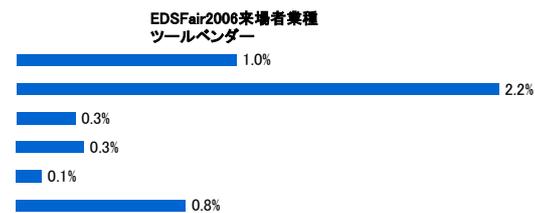
	2006(今回)	'05(参考)
●機器メーカー部門	30.2%	31.3%
コンピュータ関連機器	7.7%	8.8%
ネットワーク関連機器	2.0%	3.0%
一般民生機器	5.3%	6.3%
画像処理機器	2.8%	2.9%
医療機器	0.5%	0.6%
アミューズメント	0.2%	0.6%
自動車・輸送機器	1.3%	1.5%
産業機器(機械・精密機器等)	4.0%	3.5%
通信機器	2.4%	-
放送機器	0.5%	-
その他	3.3%	4.1%



	2006(今回)	'05(参考)
●半導体・電子部品メーカー部門	37.7%	39.2%
システムLSI、ASIC、マイコン、メモリ	32.2%	33.7%
FPGA/PLD	0.9%	1.0%
ディスプレイ	0.9%	0.6%
電子コンポーネント	1.2%	0.9%
プリント基板	0.4%	0.6%
その他	2.2%	2.4%

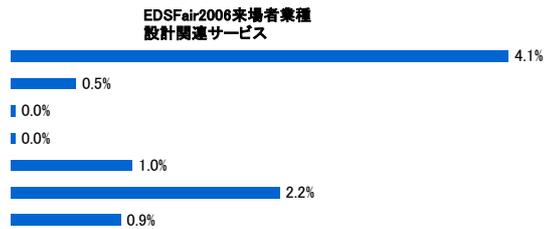


	2006(今回)	'05(参考)
●ツールベンダー	4.6%	4.5%
※ツール関連が主要営業品目である商社・代理店も含む		
機能・論理設計ツール	1.0%	0.8%
LSI設計ツール	2.2%	2.1%
プリント基板設計ツール	0.3%	0.5%
マイコンツール	0.3%	0.2%
ハードウェア・ボード機器	0.1%	0.3%
その他	0.8%	0.6%



	2006(今回)	'05(参考)
●設計関連サービス	8.7%	9.7%

デザインハウス	4.1%	4.8%
IPプロバイダ	0.5%	0.5%
IP流通サービス	0.0%	0.2%
ネット環境	0.0%	0.1%
教育・コンサルタント	1.0%	0.7%
ソフト開発	2.2%	2.2%
その他	0.9%	1.2%



	2006(今回)	'05(参考)
●商社・営業	4.6%	6.5%

※ツール関連が主要営業品目である商社・代理店は除く

電子機器	0.7%	0.8%
半導体	2.6%	4.1%
電子部品	0.3%	0.5%
ツール	0.2%	0.5%
その他	0.7%	0.6%



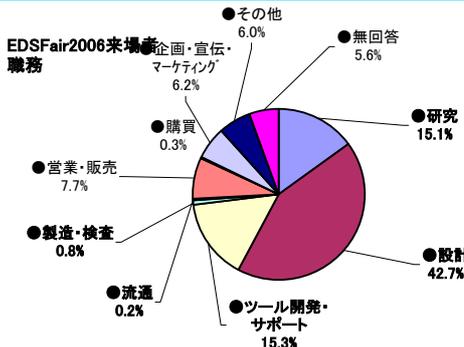
	2006(今回)	'05(参考)
●出版・マスコミ	1.0%	1.0%

	2006(今回)	'05(参考)
●その他	7.4%	7.8%

	2006(今回)	'05(参考)
●無回答	5.8%	-

■職務

	2006(今回)	'05(参考)
●研究	15.1%	15.6%
●設計	42.7%	44.5%
●ツール開発・サポート	15.3%	15.9%
●製造・検査	0.8%	0.9%
●流通	0.2%	0.3%
●営業・販売	7.7%	9.5%
●購買	0.3%	0.3%
●企画・宣伝・マーケティング	6.2%	6.7%
●その他	6.0%	6.3%
●無回答	5.6%	-



※職務詳細

	2006(今回)	'05(参考)
●研究	15.1%	15.6%

情報・EDA系	9.5%	9.8%
物理・物性系	1.0%	0.9%
電子応用	2.6%	2.9%
その他	1.9%	2.0%

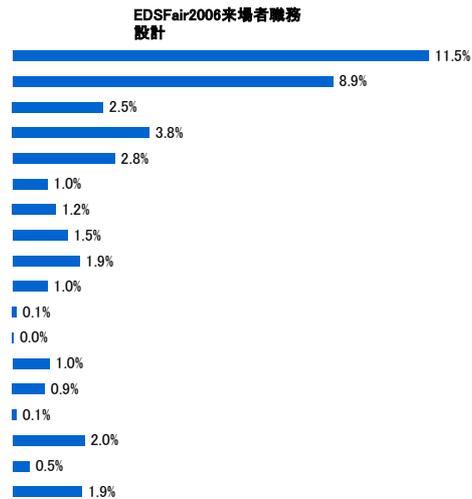


その他

民生機器、半導体デバイス、電子材料、電気設計、通信、組込みソフト、生産管理、情報通信、計装制御、企画調査、企画戦略、画像認識、画像化、化学系、リソ/マスク/プロセス/製造、プロセッサ、システムLSI、コンパイラ

	2006(今回)	'05(参考)
●設計	42.7%	44.5%

システムレベル設計・検証	11.5%	13.3%
機能(RTL)設計・検証	8.9%	8.7%
論理(ゲートレベル)設計・検証	2.5%	2.5%
デジタルIC設計	3.8%	3.8%
アナログIC設計	2.8%	2.7%
テスト技術	1.0%	1.4%
カスタムIC設計	1.2%	1.7%
レイアウト検証	1.5%	1.6%
FPGA/PLD設計	1.9%	1.9%
PCB設計	1.0%	1.0%
IC Package設計	0.1%	0.2%
SiP設計	0.0%	0.1%
リソ/マスク/プロセス/製造	1.0%	0.6%
IPマクロ	0.9%	0.6%
装置実装	0.1%	0.3%
ソフトウェア・ファームウェア設計	2.0%	2.1%
テスト設計	0.5%	-
その他	1.9%	2.0%



その他

品質保証、品質管理、電子部品設計、電子回路設計、電子C/U開発、電源、総合管理部門、全般、設計品質向上、設計環境整備、設計プロセス、設計インフラ企画管理運用、製造装置開発、情報・EDA系、仕様書作成、採用・技術教育、故障解析、建築設計、技術管理、基板論理設計、基準開発、企画・管理、回路設計、英文ドキュメント作成、営業技術、レイアウト設計、モデリング、プロセス改革、プロジェクト管理、パワーエレクトロニクス機器関連、パッシブ部品、パッシブ部品、ハードウェア設計、テスト評価技術開発、テスト技術、テクノロジー開発、

	2006(今回)	'05(参考)
●ツール開発・サポート	15.3%	15.9%

システム設計	3.4%	3.2%
LSI設計	8.1%	8.9%
FPGA/PLD支援	0.8%	0.9%
プリント基板設計	0.8%	0.8%
マイコンツール	0.2%	0.2%
IP流通	0.3%	0.3%
ASP・ネット環境	0.1%	0.1%
教育・教材	0.3%	0.3%
その他	1.3%	1.2%



その他

電磁界解析、設計環境サポート、設計環境IT、設計インフラ構築、設計インフラ、情報システム、故障解析、検証ツール、検証、管理職、開発業務全般、仮想テスト開発、液晶設計のツール開発、ライセンス管理、メモリ設計支援、メモリ、マスクデータ変換、マスクアートワーク、ディスプレイ設計、テスト関連ツール、テスト開発、ツール実行環境、システム管理、カスタム設計、インフラ環境、TCAD、Process Migration、PC開発、MDP、LSIテスト、LCD、ITとEDA全般、IP再利用技術、EDA関連ソフト開発、EDA

	2006(今回)	'05(参考)
●製造・検査	0.8%	0.9%

	2006(今回)	'05(参考)
●流通	0.2%	0.3%

	2006(今回)	'05(参考)
●営業・販売	7.7%	9.5%

	2006(今回)	'05(参考)
●購買	0.3%	0.3%

	2006(今回)	'05(参考)
●企画・宣伝・マーケティング	6.2%	6.7%

	2006(今回)	'05(参考)
●その他	6.0%	6.3%

	2006(今回)	'05(参考)
●無回答	5.6%	-

■ご来場の目的

	2006(今回)	'05(参考)
●展示	84.1%	88.5%
●特別展示	5.0%	-
●セミナー/カンファレンス	8.9%	11.5%
●無回答	2.0%	-

※ご来場の目的詳細

●展示関連	2006(今回)	'05(参考)
システムLSI	9.1%	9.4%
ASIC/ASSP	5.8%	6.2%
MPU/MCU/DSP	2.9%	3.3%
FPGA/PLDデバイス	5.6%	6.0%
システムレベル設計(RTLより高位)	5.6%	6.0%
論理設計(PTL~ネットリスト)	5.2%	5.2%
論理検証	5.3%	5.1%
アナログ設計・検証ツール	3.2%	3.3%
ICレイアウトツール	3.5%	3.4%
ICレイアウト検証・解析	3.0%	3.1%
IC信号解析	1.2%	1.5%
回路図作成	1.8%	1.9%
PCBレイアウト	1.1%	1.2%
PCB信号解析	1.1%	1.2%
部品検索/管理ツール	0.4%	0.5%
統合設計(SiP)関連ツール	1.0%	0.9%
LSIテスト	1.0%	0.9%
デザインフォーテストツール	0.9%	1.0%
PCBテスト	0.2%	0.2%
計測器	0.8%	0.9%
IPコア	2.4%	2.7%
セルライブラリ	0.8%	0.8%
メモリ	0.9%	1.1%
組み込みOS	1.6%	1.6%
デバイスドライバ	0.5%	0.5%
ファームウェア/ミドルウェア	0.8%	0.8%
リコンフィギャブルプロセッサ	1.4%	1.5%
ICE	0.6%	0.6%
デバッグ	0.7%	1.0%
マイコンCASE	0.2%	0.3%
コンパイラ/クロスコンパイラ	0.7%	0.7%
シミュレータ	3.2%	3.3%
ハードウェア/ソフトウェア協調開発環	2.6%	2.7%
デザインセンター・デザインサービス	0.9%	1.0%
設計コンサルティング	1.1%	1.1%
IP流通サービス	0.6%	0.7%
設計プラットフォーム	2.2%	2.2%
システム管理ツール	0.9%	1.1%
出版物	0.5%	0.4%
スイートデモ	0.8%	1.0%
ユニバーシティ・ブラザ	0.5%	0.5%
その他	1.6%	1.7%

●特別展示

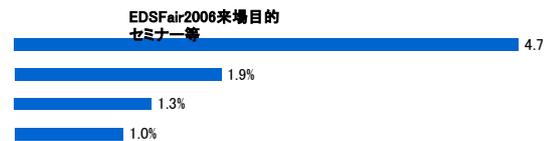
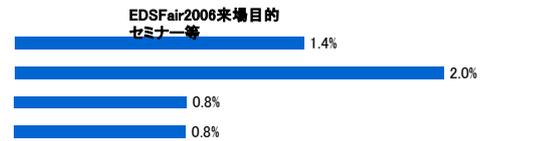
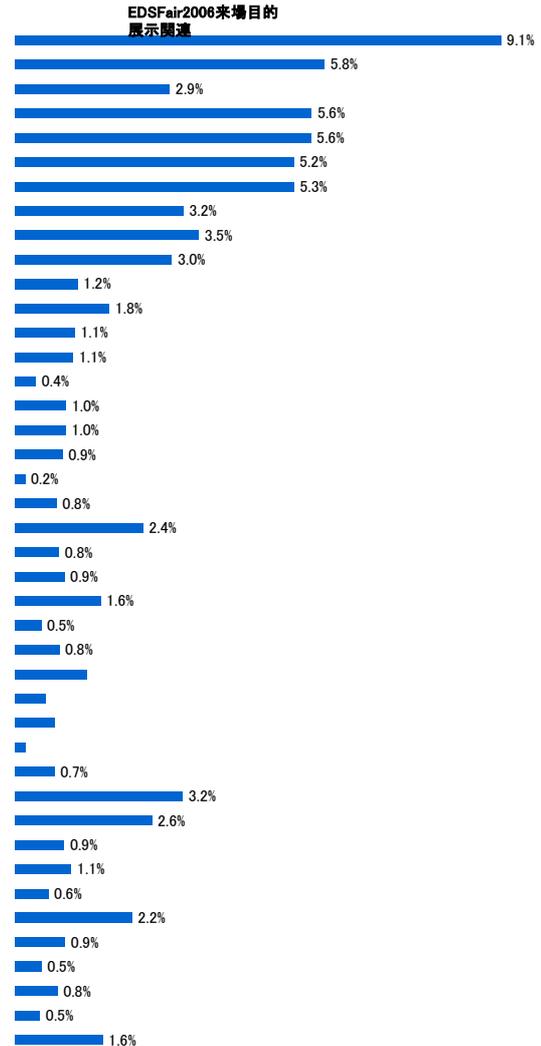
新興ベンダーパビリオン	1.4%	-
EDSFair特設ステージ	2.0%	-
ユニバーシティ・ブラザ	0.8%	-
IPフリーマーケット	0.8%	-

●セミナー/カンファレンス

出版セミナー	4.7%	5.6%
キーノートスピーチ	1.9%	2.2%
FPGA/PLD Design Conferene	1.3%	1.7%
システム・デザイン・フォーラム	1.0%	2.0%

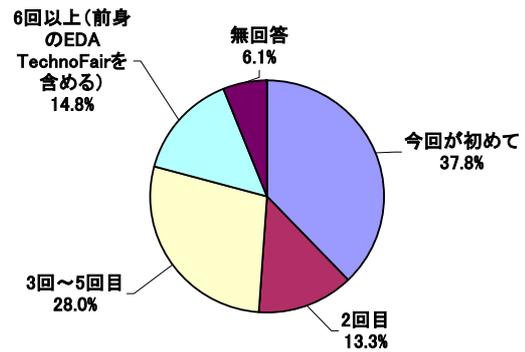
●無回答

	2.0%	-
--	------	---



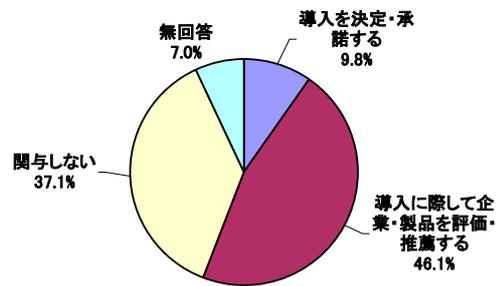
■来場頻度を教えてください

今回が初めて	37.8%	40.8%
2回目	13.3%	14.3%
3回～5回目	28.0%	31.3%
6回以上(前身のEDA TechnoFairを含め)	14.8%	13.6%
無回答	6.1%	-
合計	100.0%	100.0%



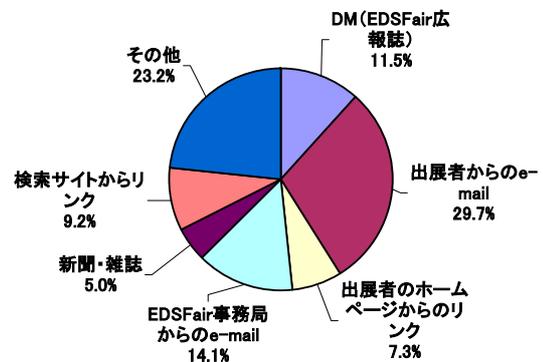
■あなたの製品導入権限について教えてください

導入を決定・承諾する	9.8%	10.7%
導入に際して企業・製品を評価・推薦する	46.1%	50.4%
関与しない	37.1%	38.9%
無回答	7.0%	-
合計	100.0%	100.0%



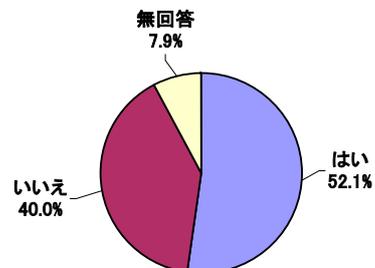
■Electronic Design and Solution Fairをどちらでお知りになりましたか？

DM(EDSFair広報誌)	10.6%
出展者からのe-mail	27.1%
出展者のホームページからのリンク	6.6%
EDSFair事務局からのe-mail	12.9%
新聞・雑誌	4.6%
検索サイトからリンク	8.4%
その他	21.2%
無回答	8.5%
合計	100.0%



■今後、Electronic Design and Solution Fairからの情報配信を希望しますか？

はい	52.1%	59.0%
いいえ	40.0%	41.0%
無回答	7.9%	-
合計	100.0%	100.0%



3.1.14 まとめ

以上述べてきたように、EDSFair2006 の開催を通じ、高度化する電子システム・半導体に関するハードウェア、ソフトウェア設計に関する最新のソリューションを業界一体で展示することにより、①有益な情報の集結と最新動向の情報発信、②重要プレイヤーを集結した業界に向けての情報発信、③有効な産業界コミュニケーションの場の提供、が出来たと自負している。今後も EDSFair のより一層の発展に向け、来場者および出展者双方の満足度向上に向けた各種企画を検討・実現し、開催目的を高いレベルで達成していきたいと考えている。

3.2 システム・デザイン・フォーラム2006

3.2.1 はじめに

最新のEDA技術の標準化推進、業界内での普及・促進活動の一環として、EDSFair2006と同期して、EDA技術専門委員会主催による「システム・デザイン・フォーラム2006」を2006年1月27日に開催した。

EDA技術専門委員会は、これまでEDA標準化フォーラムの発表とその一般への普及を図ることを目的とする“EDA標準化フォーラム”を1990年から1994年にかけて4回開催し、EDA専門技術委員会の活動に係る内容の発表、討論の場を目的とする“EDAフォーラム”を1999年から2002年にかけて2回開催してきた。一昨年は、最新の設計技術、課題を設計事例とともに紹介する“システム・デザイン・セミナー”を、また昨年は、“システム・デザイン・フォーラム2005”として、2日間の日程で、1日目にSystemVerilogユーザフォーラム、SystemCユーザフォーラムを、2日目にSoCに関連した設計技術、課題等を含めた設計事例を紹介するを含めた2セッションと、LSI、パッケージ、基板を含めた統合設計に関するパネル討論のセッションを開催した。

本年の「システム・デザイン・フォーラム2006」では、年々増大する設計規模と限られた設計リソースからくる設計クライシス解決の有力手段のひとつであり、それぞれ昨年末にIEEEの標準化がなされた、上流設計記述言語、SystemVerilogとSystemCについて、「SystemVerilogユーザフォーラム」と「SystemCユーザフォーラム」の2つのセッションで、両設計言語の標準化動向の紹介、チュートリアル、設計適用事例の紹介をおこなった。

なお、前年当フォーラムで扱った他のテーマでの設計事例や設計課題のパネル討論等は「ASP-DAC2006」のデザイナーズ・フォーラムとして企画実施された。(3.3章参照)

3.2.2 システム・デザイン・フォーラム2006概要

- ・開催日時：2006年1月27日（金）10:00～12:00, 13:30～15:30
- ・開催場所：パシフィコ横浜 アネックスホール F205, F206
- ・聴講料金：2000円（含む消費税）/2セッション、1600円（含む消費税）/1セッション
- ・定員：200名/セッション
- ・主催：社団法人 電子情報技術産業協会 EDA技術専門委員会
- ・協賛：OSCI, Accellera
- ・受付：インターネットで受け付け <http://www.edsfair.com/conference/systemdesign.html>

・プログラム

■セッション1（1月27日 10:00～12:00）

テーマ：SystemVerilogユーザフォーラム2006

概要：SystemVerilogはVerilog HDL（IEEE Std 1364）後継の次世代の設計（実装）/検証用言語として注目を集めており、IEEEにおいても2005年11月にIEEE Std 1800として標準化されました。本セッションではSystemVerilogの標準化を進めているIEEEのメンバーを招き、IEEE標準化および米国での利用状況について解説します。次に JEITA

SystemVerilog タスクグループのメンバーがユーザの立場でまとめた SystemVerilog アサーションに関する言語チュートリアルを行います。また、SystemVerilog を利用した最新の設計検証事例を紹介します。

司 会：浜口 加寿美 氏 (松下)

- ① Mr. Dennis Brophy (Vice President、Accellera) : SystemVerilog 標準化アップデート
- ② 杉江 誠氏 (SystemVerilog TG、図研) : SystemVerilog アサーション言語チュートリアル
- ③ 湯井 丈晴氏 (沖ネットワークエルエスアイ) : Verilog との比較 ～ デザインに与えるインパクト

■セッション2 (1月27日 13:30~15:30)

テーマ：SystemC ユーザフォーラム 2006

概要：SystemC は C 言語ベースのシステムレベル設計言語として既に業界標準として幅広く利用されています。また、IEEE においても 2005 年 12 月に IEEE Std 1666-2005 として標準化されました。本セッションでは SystemC 標準化を進めている OSCI のメンバーを招き、IEEE 標準化状況およびロードマップについて解説していただきます。次に JEITA SystemC タスクグループのメンバーが、現在の SystemC の技術動向とその中で SystemC v2.1 で追加された機能や互換性等について説明いたします。また、各社より SystemC を利用した最新の実践的設計事例を紹介します。

司 会：長谷川 隆 氏 (富士通)

- ① Mr. Mike Meredith (President、OSCI) : 「OSCI SystemC Directions」
- ② 後藤 和永氏 (SystemC TG、NEC エレ) : SystemC の技術動向と SystemC v2.1 チュートリアル
- ③ 岡田 敦彦氏 (沖電気工業) : 動作合成によるサウンド LSI の設計事例
- ④ 菊川 信吾氏 (東芝) : 画像処理系回路への動作合成適用事例

3.2.3 開催結果

・インターネットでの聴講登録数はセッション1が182名、セッション2が200名であった。
当日の聴講数はセッション1：164名、セッション2：172名（通し参加107名）であった。

・各セッション状況

各セッションとも熱の入った発表、討論となり盛況であった。

■セッション1

プログラムはまず、Accellera Vice Chairman である Dennis Brophy 氏より「System Verilog 標準化 Update」と題した講演で始まった。Dennis 氏はまず Accellera についての紹介を行った後、SystemVerilog が 11 月に IEEE std1800-2005 として標準化されたことを報告、業界関係者のコメントを紹介した。また、DVcon での SystemVerilog アンケート説明結果を示し、米国では導入を開始、検討している設計者が増えていることを示した。最後に Accellera としての今後の標準化活動予定を

示し講演を終えた。次のプログラムである杉江 誠氏（図研）の講演から技術的な話題に移った。杉江氏は「SystemVerilog アサーション言語チュートリアル」と題して講演を行った。杉江氏は JEITA SystemVerilog Task Group の委員であり、このチュートリアルは同 Task Group の成果として発表した。杉江氏はまずアサーションの効果について説明し、適用することで 50% のデバッグ時間を削減できることを示した。その後、SystemVerilog におけるアサーション記述方法について具体例を示しながら説明を行い、最後に当タスクグループにて調査した、SystemVerilog 構文の EDA ツール対応状況を解説し講演を終了した。続いて、湯井 丈晴氏（沖ネットワーク LSI）が「Verilog との比較～デザインに与えるインパクト」と題して講演を行った。湯井氏はこれまでもっていた Verilog への不満点を SystemVerilog にてどのように解決したかを講演の中で示し、SystemVerilog のデザイン面での効果を解説した。以上でプログラムを終了したが、アンケートも含めると活発な質問や厳しい意見も見られ、SystemVerilog のポジションがこれまでの調査段階から実用段階に移ってきていることが伺えた。



図 1. セッション 1 : SystemVerilog ユーザフォーラム 2006

■セッション 2

SystemC Task Group 主査であり、司会者である長谷川 隆氏のあいさつにて当セッションは開始した。セッション開始時からほぼ満席に近く、また事前予約分も全て完売になるなど、本セッションの認知度や期待度の高さがうかがわれた。最初に SystemC ユーザミーティングとしては 3 年ぶりの海外講演者である、OSCI の Mike Meredith 氏 (Forte Design Inc.) より、IEEE 1666 標準化後の OSCI の活動計画や SystemC のロードマップについての説明があった。OSCI はまず TLM (Transaction Level Modeling) の IEEE への標準化の提案、リファレンス・シミュレータ (Proof of concept library) の継続的な改良と現 IEEE 版 LRM への完全対応をしていくとの説明があった。また SCV や TLM ライブラリについても v2.1 版に対応し、更にカバレッジやアサーション機能を取り込んだライブラリとして提供していく方針であるとの説明であった。次に渡邊 政志氏 (ルネサステクノロジ) 及び今井 浩史氏 (東芝) が、「SystemC 2.1 新機能と TLM 動向」と題して講演を行った。なお両氏とも SystemC

Task Groupの委員であり、本発表は同Task Groupの成果として発表された。SystemC 2.1に関しては、追加された便利な機能についてどのような効果があるのか具体例をもとに説明した。また TLM の動向に関しては、OSCI の TLM 標準の概要とその位置付け、さらに欧州企業における TLM の利用動向が紹介された。残る 2 件の講演はいずれも動作合成を用いた実設計レベルでの事例発表であり、動作合成技術が実用に耐えうるものに成熟した事を示す事となった。岡田 敦彦氏（沖電気工業）はサウンド向け LSI に対して動作合成を適用した事例を発表し、従来の RTL 設計より大幅に設計 TAT を短縮できたと説明があった。また菊川 信吾氏（東芝）は画像処理回路に対しての動作合成事例を発表し、論理合成と動作合成に対する留意点の違いなどについての説明があった。各発表の後に質問の時間を設けたが、どの発表についても 1~2 件以上の質問があり、特に設計事例の発表 2 件については質問数も多く、かなり活発な意見交換がなされていた。



図 2. セッション 2 : SystemC ユーザフォーラム 2006

3.2.4 まとめ

- ・ 有料化で集客数を心配したが、聴講登録数でセッション 1 が定員の 90%、セッション 2 が 100%。当日の参加実績でも同じく定員の 82%、86%と盛況。両設計記述言語への期待と関心が高いことが伺えた。聴講者の約 70%は SOC/System 設計・検証、IP・Block 設計・検証担当である。
- ・ 聴講者中で SystemVerilog、SystemC を既に使っている人の割合は各々 10%と 40%であり、導入検討中、或いは導入予定なしの理由として、対応ツールが少ないをあげる人が多かった。今後の両設計言語の活用のために充実が必要なものとの質問への回答としてあがった、

SystemVerilog:論理合成ツール、スタイルガイド、等価性プロパティチェック、デバッグツール環境

SystemC : 高位合成ツール、等価性・プロパティチェックツール、

を中心に、標準化推進団体および、EDA-TC をとおしての Vendor への対応ツール拡充の働きかけが必要である。(特に SystemVerilog)

・次年度以降の開催に関して

セミナー・ワークショップの定期的な開催（40％）と日本語での情報発信（40％）が今後の JEITA への期待としてあがっており、本ユーザー・フォーラムの継続的な開催が望まれている。

内容面では設計適用事例の充実が必要である。また、聴講増との観点では、今回、大学からの参加が少なかったため、参加費用への配慮なども含めて、「学」からの集客増を検討すべきである。

また、本フォーラムは独立採算で運営している。今年度は単年度では、約 20 万円の赤字であった。

次回以降、収入増（聴講費、協賛金、）への施策も必要である。

3.2.5 システム・デザイン・フォーラム2006WG委員

主 査	齋藤 茂美	ソニー(株)
委 員	藤波 義忠	NEC エレクトロニクス(株)
同	下出 隆文	三洋電気(株)
同	千綿 幸雄	富士通(株)
同	清水 靖介	沖電気工業(株)
同	今井 浩史	(株)東芝
同	灘岡 満	沖電気工業(株)
同	広瀬 文保	日本ケイデンス・デザイン・システムズ社
オブザーバ	岡村 芳雄	(株)ルネサステクノロジ
同	相京 隆	富士通(株)
事務局	菊嶋 隆史	日本エレクトロニクスショー協会
	鳥飼 浩平	日本エレクトロニクスショー協会
	西山 いづみ	日本エレクトロニクスショー協会

3.3 ASP-DAC 2006

3.3.1 はじめに

ASP-DAC (Asia and South Pacific Design Automation Conference)は、VLSI およびシステム LSI の設計技術や設計自動化技術をテーマにしたアジア太平洋地域での最大規模の国際会議である。ASP-DAC は米国で開催されるこの分野のトップ・コンファレンスである DAC (Design Automation Conference)、ICCAD (International Conference on Computer Aided Design) や欧州で開催される DATE (Design, Automation and Test in Europe)とはシスター・コンファレンスの関係にあり、お互いにリエゾンを交換して協力関係を持っている。

ASP-DAC は、電子情報通信学会や情報処理学会などの学会だけでなく、電機メーカーおよび半導体メーカーの業界団体である JEITA (会議開始当時は EIAJ) と EDSF (会議開始当時は EDAT) の支援のもとで 1995 年に開始された。業界団体である JEITA が ASP-DAC のような国際会議の支援を行っているのは、次のような理由による。電機メーカーや半導体メーカーが国際競争力のある電子製品の開発を行うためには、マーケティングや製品企画だけでなく、大規模・高機能・低消費電力のシステム LSI の最適設計を短期間で行える設計力を持つ必要がある。そのためには、最新の設計自動化技術についての情報収集と研究開発を行う必要がある。一流の国際会議を国内で開催することにより、わが国からより多くの技術者と研究者が参加して最先端の設計技術および設計自動化技術についての情報収集、情報交換などを行うことが可能になる。

3.3.2 会議の開催経緯

ASP-DAC の第 1 回目の会議は 1995 年 8 月 30 日から 9 月 1 日にかけて幕張メッセの日本コンベンションセンターで、情報処理分野の国際学会である IFIP (International Federation on Information Processing) の TC10 WG10.2 および WG10.5 に属する CHDL および VLSI という名称の 2 つの国際会議と並列開催の形で開催された。第 2 回目は 1997 年 1 月に開催され、それ以降毎年 1 月に開催されてきた。この間、1999 年には香港 (中国) で、2002 年にはバンガロール (インド) でそれぞれ開催された。1999 年以降は、日本で 2 年間開催したあと国外で 1 回開催するというローテーションで運営されている。昨年の ASP-DAC 2005 は、上海 (中国) で 1 月 18 日から 21 日までの日程で開催された。今回の会議 (ASP-DAC 2006) は 11 回目で、パシフィコ横浜で 1 月 24 日 (火) から 27 日 (金) の日程で開催された。

3.3.3 ASP-DAC 2006の概要

ASP-DAC 2006 の概要を表 1 に示す。一般講演としては、27 カ国から投稿された 424 編の論文の中から 135 編が採択され、3 日間にわたって並列の 4 つのトラック、27 のセッションで発表された。表 1 からわかるように、前回日本で開催された ASP-DAC 2004 と比較して、論文の投稿数が 291 編から 424 編に大幅に増えた。その結果、論文の採択率が 32%となり、この分野での他の国際会議 (DAC, CCAD, DATE) とほぼ同じ水準になった。これにより、ASP-DAC は名実ともに、一流の国際会議になったと評価できる。

基調講演のタイトルと講演者を表 2 に、特別セッションのタイトルを表 3 に示す。また、表 4 には、今回初めての試みとして実施されたデザイナーズフォーラムのセッション・タイトルを示す。

表5には、有料チュートリアルタイトルを表5に示す。

発表された論文の中から、表6に示す2本の論文が選ばれ、ベストペーパー賞が授与された。また、デザイン・コンテストに応募した作品の中から、表6に示すように、優秀デザイン3件が選ばれて表彰された。

表1: ASP-DAC 2004、2005、2006の比較

会議	ASP-DAC 2004	ASP-DAC 2005		ASP-DAC 2006
日時	2004年1月27日(火) ～30日(金)	2005年1月18日(火) ～21日(金)		2005年1月24日(火) ～27日(金)
会場	横浜市(日本) パシフィコ横浜	上海市(中国) Hotel Equatorial		横浜市(日本) パシフィコ横浜
併設展示会	EDSF 2004	小規模な展示会(12社)		EDSF 2006
論文投稿数	291	692		424
論文投稿国 (地域)数	28	32		27
論文採択数 (採択率)	147(50.5%)	Regular	99(14.3%)	135(32%)
		Short	86(12.4%)	
		Poster	95(13.7%)	
		合計	280(40.5%)	
キーノート アドレス	2件	3件		3件(表2参照)
一般講演	35セッション(147編)	35セッション(185編)		27セッション(135編)
特別セッション (招待講演等)	8セッション	内部チュートリアル	3セッション	5セッション (表3参照)
		パネル討論	3セッション	
		招待講演	1セッション	
デザイン・ コンテスト	1セッション	1セッション		1セッション
ポスターボード	1セッション	4セッション		1セッション
Ph.D.フォーラム	—	1セッション		昼休みに実施
有料チュートリアル	5件 (全日3件、半日2件)	6件 (全日2件、半日4件)		6件(表5参照) (全日2件、半日4件)
デザイナーズ・ フォーラム	—	—		4セッション (招待講演2、パネル 討論2、表4参照)

表 2: 基調講演

講演タイトル	講演者
<u>Automotive Electronics: Steady Growth for Years to Come</u>	Alberto Sangiovanni-Vincentelli (UC Berkeley, USA)
<u>Challenging Device Innovation</u>	Satoru Ito (Renesas Technology, Japan)
<u>Platform Structure for Digital Products Development</u>	Yukichi Niwa (Canon, Japan)

表 3: 特別セッションのタイトル

種類	セッション・タイトル
プレゼンテーション+ポスターボード	University Design Contest
招待講演	Electrothermal Design of Nanoscale Integrated Circuits
	Flash Memory in Embedded Systems
	Open Access Overview
招待講演+パネル討論	H.264/AVC Design Challenges and Solutions

表 4: デザイナーズ・フォーラムのタイトル

種類	タイトル
招待講演	Low Power Design
	Functional Verification -now and future-
	'Cell' Processor
パネル討論	Top 10 Design Issues by LSI Designers versus EDA Developers

表 5: 有料 Tutorial のタイトル

トラック	種類	タイトル
1	全日	<u>DFM Tools and Methodologies for 65nm and Below</u>
2	全日	<u>High Performance Interconnect and Packaging</u>
3	半日	<u>Low Power / Low Leakage Technologies for Nanometer Era: System and Architecture Level Approaches</u>
4	半日	<u>Low Power / Low Leakage Technologies for Nanometer Era: Circuit and Device Level Approaches</u>
5	半日	<u>Basics and Practice of Current Functional Verification Methods</u>
6	半日	<u>SoC Communication Architectures: Current Practice, Research and Trends</u>

表 6: ベストペーパー賞が授与された論文

論文タイトル	著者
Constraint-Driven Bus Matrix Synthesis for MPSoC	Sundeep Pasricha, Nikil Dutt (Univ. of California, Irvine, United States), Mohamed Ben-Romdhane (Conexant Systems Inc., United States)
Post-Routing Redundant Via Insertion for Yield/Reliability Improvement	Kuang-Yao Lee, Ting-Chi Wang (National Tsing Hua Univ., Taiwan)

表 7: ベストデザイン賞が授与された設計

種類	タイトル	設計者
Outstanding Design Award	52mW 1200MIPS Compact DSP for Multi-Core Media SoC	Shih-Hao Ou, Tay-Jyi Lin, Chao-Wei Huang, Yu-Ting Kuo, Chie-Min Chao, Chih-Wei Liu (National Chiao Tung University, Taiwan)
Special Feature Award	A Low Dynamic Power and Low Leakage Power 90-nm CMOS Square-Root Circuit	Tadayoshi Enomoto, Nobuaki Kobayashi (Chuo University, Japan)
	Adaptively-Biased Capacitor-Less CMOS Low Dropout Regulator with Direct Current Feedback	Yat-Hei Lam, Wing-Hung Ki, Chi-Ying Tsui (Hong Kong University of Science and Technology, Hong Kong)

3.3.4 論文の投稿状況

1997年から2006年の、ASP-DACへの論文投稿数の地域別の推移を図1に示す。ASP-DAC 2002はインドのバンガロールで同時開催されたVLSI Design 2002への投稿論文を含んでいるため、その前後の年よりも投稿数が多い。図1に示すように、1999年（香港開催）以降は投稿論文数が毎年増加傾向にある。海外からの投稿も多くなって来ており、名実ともに設計自動化の分野の国際会議として定着したと言ってよいであろう。

表8に、日本からの論文投稿数の推移と全世界から投稿された論文に占める割合を示す。日本からの論文投稿数は、徐々に増えつつあるが、全体に占める割合の点では、2000年をピークにして、10%台に低下している。論文投稿数が多かったのは、米国（155件）、中国（57件）、日本（51件）、台湾（42件）、韓国（21件）であった。欧州からは、フランスの12件をはじめとして、47件の投稿があった。

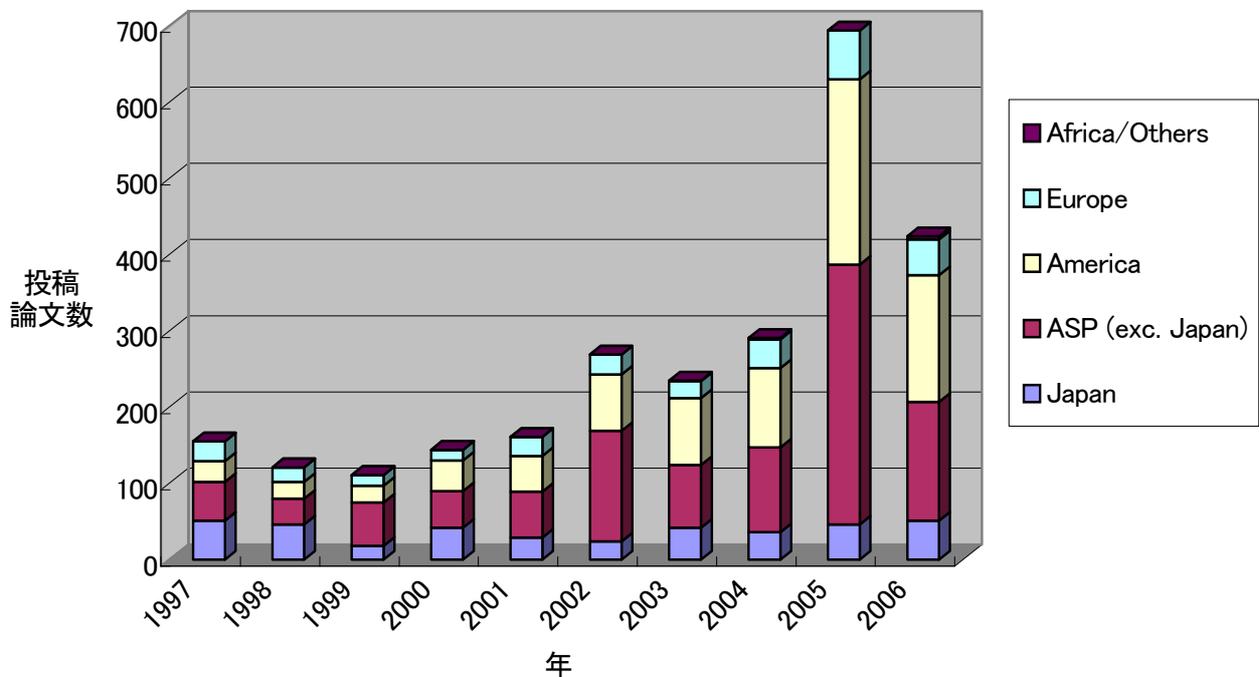


図1 地域別論文投稿数

表8 日本からの論文投稿数と全体に占める割合

年 地域	1997	1998	1999	2000	2001	2002	2003	2004	2005	2006
日本 (割合)	51 (33%)	46 (38%)	18 (16%)	42 (29%)	29 (18%)	24 (9%)	42 (18%)	36 (12%)	46 (7%)	51 (12%)
全体	155	121	111	144	161	269	235	291	692	424

次に、研究分野別の論文投稿数および採択論文数を表9に示す。ASP-DAC 2006では、ASP-DAC

2004、2005 と同様に、研究分野を 11 種類に分類して論文の査読と採否の決定を行った。今回論文投稿数が多かった分野は、分野 7 のタイミング、消費電力の解析と最適化のセッション、組込みおよび実時間システム、システムレベル設計手法、などである。

表 9：分野別の論文投稿数と採択論文数

分野	研究分野 投稿数	採択数	採択数	採択率
1	System Level Design Methodology	49	14	29%
2	Embedded and Real-Time Systems	50	16	32%
3	Behavioral/Logic Synthesis and Optimization	38	12	32%
4	Validation and Verification for Behavioral/Logic Design	26	10	36%
5	Physical Design (Routing)	37	12	32%
6	Physical Design (Placement)	32	11	34%
7	Timing, Power, Signal/Power Integrity Analysis and Optimization	53	15	28%
8	Interconnect, Device and Circuit Modeling and Simulation	46	17	37%
9	Test and Design for Testability	22	8	36%
10	Analog, RF and Mixed Signal Design and CAD	25	10	40%
11	Leading-Edge Design Methodology for SOC's and SIP's	46	10	22%
	合 計	424	135	32%

3.3.5 参加者の内訳

ASP-DAC への地域別の参加者数の推移を図 2 に示す。また、日本からの参加者の推移を表 9 に示す。今回の参加者数は 708 名であり、これまでで最高の参加者となった。日本からの参加者数は全体の 70% の 494 名である。図 2 からわかるように、ASP-DAC 2004 と比較して参加者数が増えたのは、主に日本からの参加者が増えたからである。

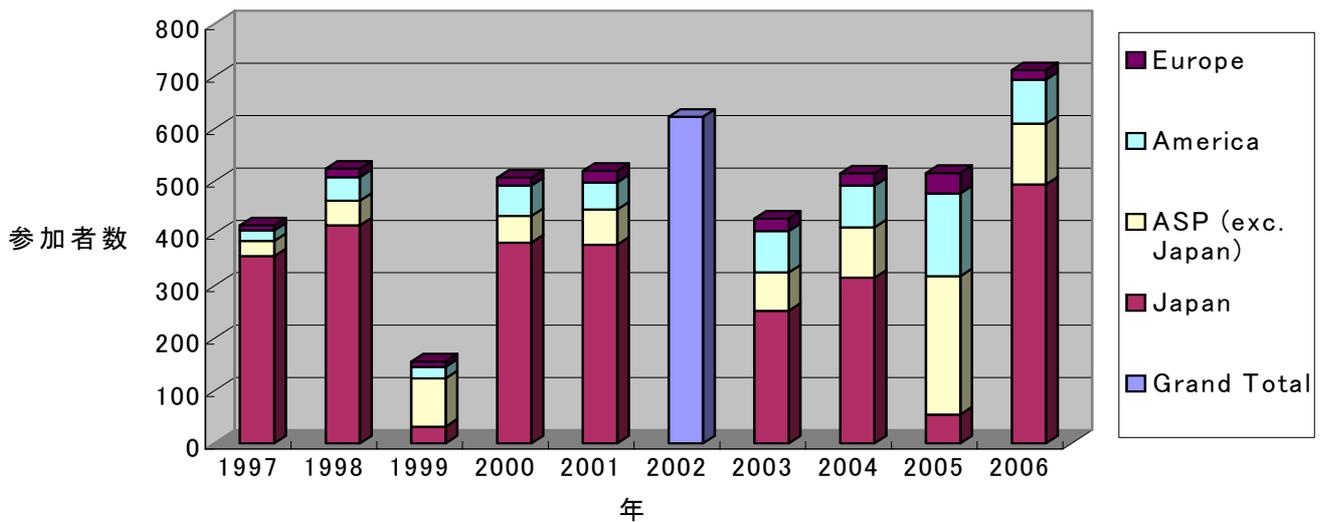


図2 地域別参加者の推移

表 10: 日本からの参加者数と全体に占める割合

年 地域	1997	1998	1999	2000	2001	2002	2003	2004	2005	2006
日本 (割合)	357 (86%)	416 (79%)	32 (21%)	383 (76%)	379 (73%)	N/A	253 (59%)	316 (61%)	55 (11%)	494 (70%)
全体	416	524	156	507	520	623	429	515	516	708

3.3.6 今後の展望

今回は参加者数が過去最高となり、700名の大台に乗った。参加者数が増えた理由として考えられるのは、まず、半導体関連企業および電子機器製造企業から多数の方に参加していただいたからである。また、ここ数年、企業の研究所から大学へ移籍された研究者およびそれらの研究者の方が指導される学生に参加していただいたからであると思われる。ASP-DACの今後の開催予定を表11に示す。

表 11: ASP-DACの今後の開催予定

年	開催予定地	開催時期	実行委員長
2007年	パシフィコ横浜 (日本)	2007年1月23日 ~ 26日	小野寺秀俊 教授 (京都大学)
2008年	ソウル市 (韓国)	2008年1月22日 ~ 25日	Prof. Kyung (KAIST)
2009年	パシフィコ横浜 (日本)	2009年1月26日 ~ 29日	若林一敏 氏 (NEC)

4. 添付資料

4.1.1 寄生効果モデリングタスクグループ

中林 太美世(シャープ)
ニノ宮 章弘(リコー)
門脇 匡志(松下)
多久島 純之(ソニーLSIデザイン)
金本 俊機(ルネサス)*

*: アドバイザ

JEITA Physical Design Standardization Study Group

1

報告内容

1. 活動目的
2. 活動内容
3. 微細プロセスの寄生効果モデリングへの要求調査
4. 市販のLPEツールの機能調査
5. トランジスタレベルのLPEを想定した配線容量の2D/3D効果に対する精度評価の仕様検討
6. トランジスタ周辺のビア・コンタクトの寄生容量抽出精度確認のための共通ベンチマークデータの仕様検討
7. まとめと今後の課題

JEITA Physical Design Standardization Study Group

2

1. 活動目的

- 配線寄生素子抽出(LPE:Layout Parasitic /Parameter Extraction)ツールの精度評価
- トランジスタレベルの寄生効果モデリングの精度評価基準の明確化
- 標準ベンチマークデータの策定

JEITA Physical Design Standardization Study Group

3

2. 2005年度の活動内容

- トランジスタレベルのLPEツールを対象とした以下の調査・検討
 - カスタムIC設計者への寄生効果モデリングに対する要求調査
 - 市販されているLPEツールの機能調査
 - 2D/3D基本ベンチマークデータの仕様検討
 - ビア・コンタクトの寄生容量抽出精度確認のための共通ベンチマークデータの仕様検討

JEITA Physical Design Standardization Study Group

4

3. 微細プロセスの寄生効果モデルへの要求調査-1

- カスタムIC設計者のLPEへの要求

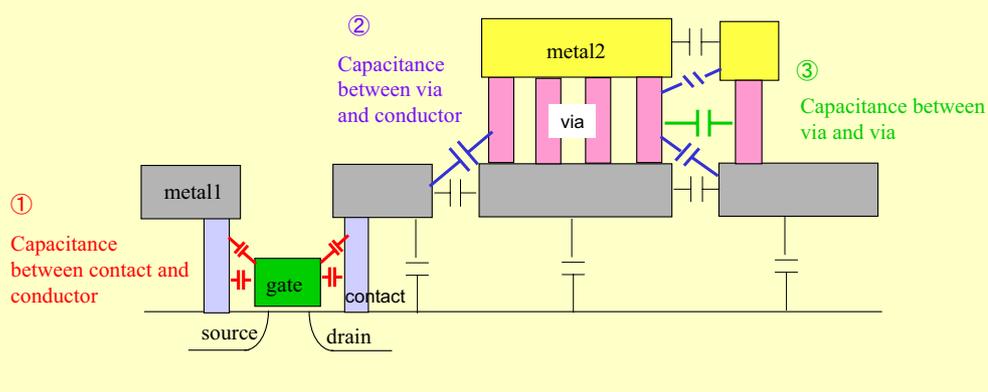
- ① ピア・コンタクトの寄生容量抽出
- ② 相対精度
 - 同一チップ上に同じ形状の素子を近傍配置し、電氣的類似性を利用する回路(ミラー回路、D-Aコンバータなど)における素子間の寄生容量抽出差異
- ③ 抵抗/容量デバイスの寄生容量抽出
- ④ Rectangle以外のポリゴン形状の寄生容量抽出
 - アナログ回路で扱う任意のポリゴン、Non-Manhattan形状、斜め配線形状などの寄生素子抽出
- ⑤ 楕円形状の寄生容量抽出
- ⑥ 基板の等価ネットリスト抽出
 - ミックスドシグナル回路の基板ノイズ解析を実現する基板のモデル化
- ⑦ 高速回路シミュレーションのためのRCネットリストの縮退

JEITA Physical Design Standardization Study Group

5

3. 微細プロセスの寄生効果モデルへの要求調査-2

ビア・コンタクトの寄生容量抽出



図PEM-1 微細プロセスで問題となるビア・コンタクトの寄生容量

JEITA Physical Design Standardization Study Group

6

4. 市販のLPEの機能調査-1

- 目的:
 - 業界のデファクトスタンダードとして用いられているトランジスタレベルのLPEツールの機能および動向調査
- 調査対象ツール:
 - Synopsys社 Star-RCXT
 - Mentor Graphics社 Calibre-xRC
 - Sequence Design社 Columbus-AMS
 - Cadence社 Assura-RCX
- 調査項目:
 - 配線断面のモデル化に関する機能
 - 抽出に関する機能
 - 出力&バックアノテーションに関する機能
- 調査方法:
 - 調査項目をアンケート形式(yes/no)で作成し各ベンダへ配布。項目毎に回答結果を集計。

JEITA Physical Design Standardization Study Group

7

4.市販のLPEの機能調査-2

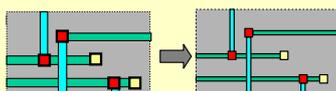
(A)配線断面のモデル化に関する機能

— 先端プロセス効果に対応したインターコネクトモデリング対応状況—

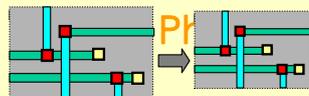
表PEM-1 市販LPEツールの機能調査(1)

	機能	対応社数/ 回答社数
1	配線間隔依存の配線幅補正(CMP process)	4/4
2	配線幅依存の配線シート抵抗補正(CMP process)	4/4
3	プロセス(配線)シフト(位置データ変更なしシュリンク)*	3/3
★4	プロセス(配線)シフト(入力データを拡大・縮小)**	2/2
5	配線断面の台形状を定義	4/4
★6	密集した複数配線断面のDishing形状を定義***	2/4
7	絶縁層中のポイド(Air Gap)を定義	4/4
8	ノンプレナー(平坦化されていない)配線構造の対応	4/4
9	誘電体のコンフォーマル形状****	4/4

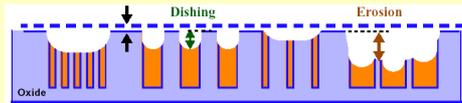
90nm特有の配線断面のモデル化はDishing形状の定義を除いてほぼ対応済み。



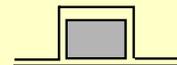
3*)位置データ変更なしに配線をシュリンクして抽出



4*)入力データを拡大・縮小した状態で抽出



6***)Dishing形状



9****)コンフォーマル形状

Design Standardization Study Group

8

4.市販のLPEの機能調査-3

(B)抽出 (Extract)に関する機能

— 微細プロセスに対応した寄生効果モデリング、抽出手法の柔軟性 —

表PEM-2 市販LPEツールの機能調査(2)

	機能	対応社数/ 回答社数
1	メタルダミーの寄生容量の接続先を選択(オープン、GND等)	4/4
2	特定のネットのみを選択して抽出	4/4
★3	Path抽出*	2/4
4	任意のプロービングポイントの設定(座標指定等)	4/4
5	斜め配線の抽出**	4/4
6	Viaの寄生容量抽出	3/3
7	Contactの寄生容量抽出	3/3
8	RCの出力制御***	4/4
★9	指定階層をマクロ(GrayBox)扱いしてTOPから抽出	3/4
★10	指定したマクロ(GrayBox)のみ抽出	2/4

3*)レイアウト上の二点を指定し、その間を繋ぐパスの抽出

5**)ただし、45度のみ対応が2社、任意の角度に対応しているのが1社。1社は回答無し。

8***)Rのみ/Cのみ/RCの出力を制御できるかどうか。

JEITA Physical Design Standardization Study Group

9

4.市販のLPEの機能調査-4

(C)出力&バックアノテーションに関する機能

— 抽出時間の高速化、ファイルサイズの削減、回路図へのアノテート —

表PEM-3 市販LPEツールの機能調査(3)

	機能	対応社数/ 回答社数
1	DSPF/SPEF/SPIICEネットリスト出力	4/4
★2	階層ネットリスト出力	1/4
3	抽出データベースを保持してネットリスターのみ動作*	4/4
4	カップリング容量の閾値制御	4/4
5	リダクション	4/4
6	抽出結果のスキマティックへのバックアノテーション	4/4
7	スキマティックとクロスリファレンスした抽出結果出力**	4/4

3*)再抽出を行うことなく、ネットリストのみ初期化することにより高速化。

7**)抽出したRCを回路図上へアノテート。

JEITA Physical Design Standardization Study Group

10

4.市販のLPEの機能調査-5 考察

- まとめ
 - 微細プロセス効果(Cu配線、LowK)のモデル化はほぼ対応
 - 微細プロセスで顕在化する寄生成分抽出に関する基本機能を保有
 - 大規模回路に対応できる処理能力
 - 階層処理、パス抽出機能等の充実による差異化
- 課題
 - インダクタンス、基板ネットワーク抽出
 - 抽出精度(機能としてはあるが、精度は不明。)
 - デバイスカテゴリに特化した要望への個別の対策

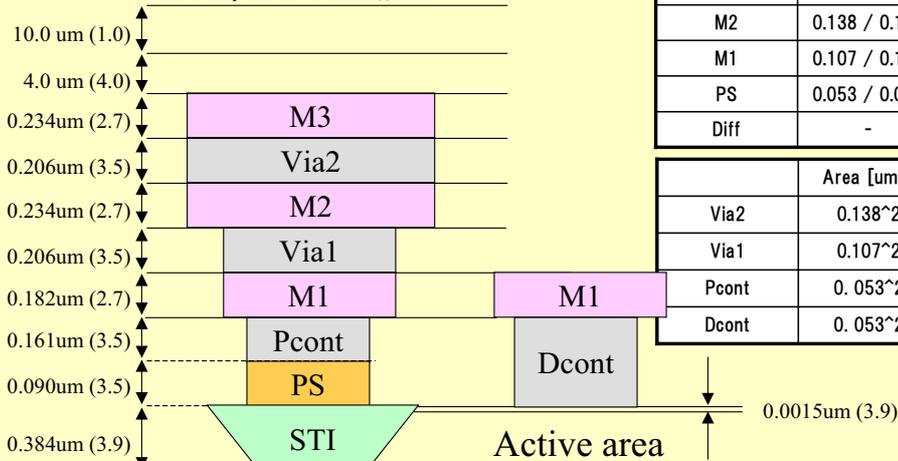
JEITA Physical Design Standardization Study Group

11

5.トランジスタレベルのLPEを想定した配線容量の 2D/3D効果に対する精度評価の仕様検討-1

• 配線縦構造

- ITRS2004update 90nm相当*



	Min L/S [um]	ρ_{sh} [Ω/\square]
M3	0.138 / 0.138	0.080
M2	0.138 / 0.138	0.080
M1	0.107 / 0.107	0.100
PS	0.053 / 0.053	10.0
Diff	-	5.0

	Area [μm^2]	R [$\Omega/\text{個}$]
Via2	0.138^2	1
Via1	0.107^2	1
Pcont	0.053^2	10
Dcont	0.053^2	10

JEITA Physical Design Standardization Study Group

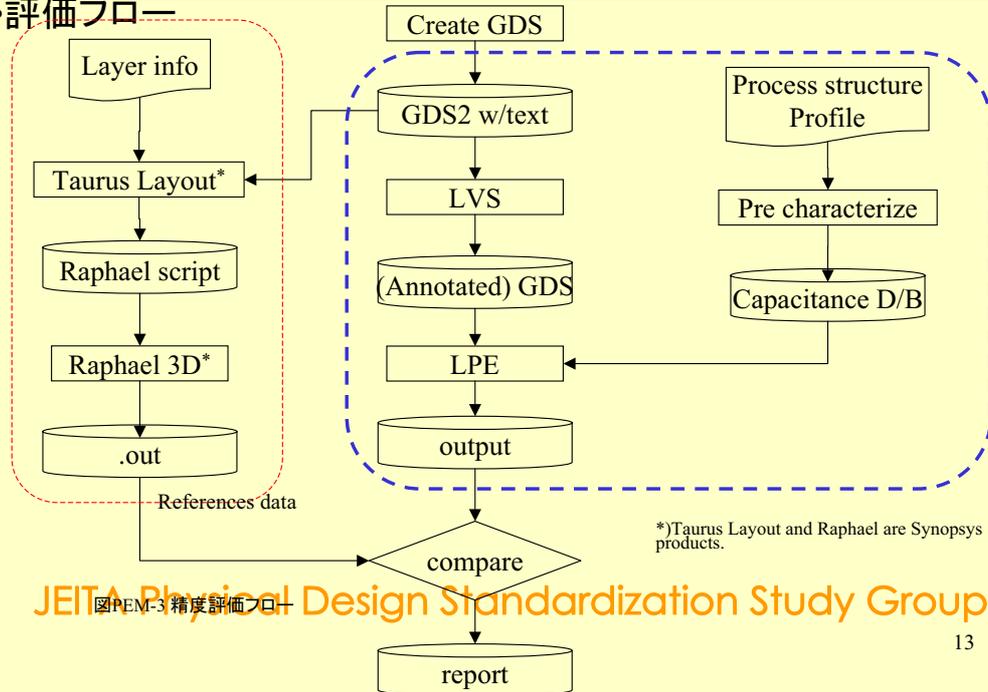
図PEM-2 配線断面構造

*)International Technology Roadmap of Semiconductors
2004 UPDATE. Technology node: hp90@2004

12

5.トランジスタレベルのLPEを想定した配線容量の2D/3D効果に対する精度評価の仕様検討-2

・評価フロー



5.トランジスタレベルのLPEを想定した配線容量の2D/3D効果に対する精度評価の仕様検討-3

・ベンチマーク構造概要

表PEM-4 ベンチマーク構造概要

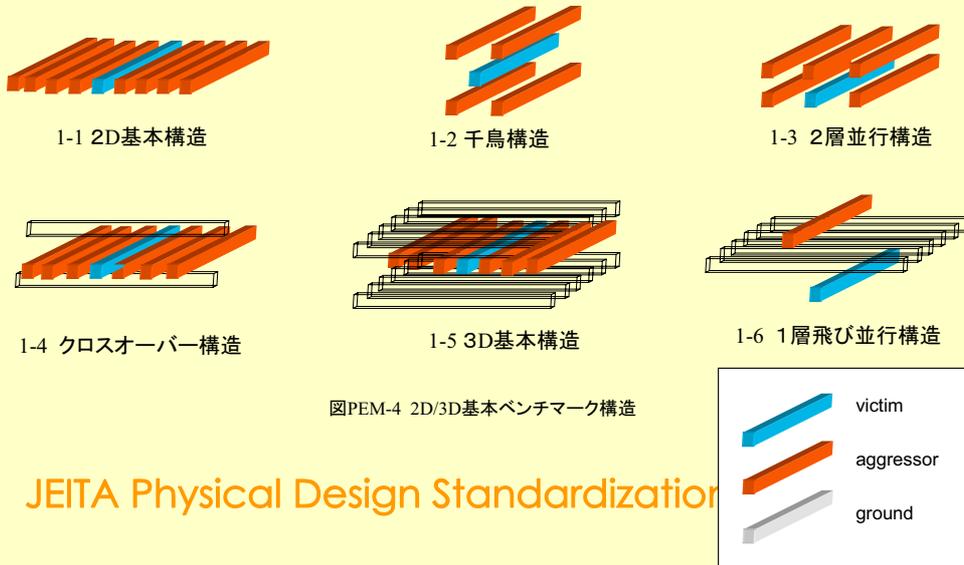
	パターン名	テスト項目
No.1	2D/3D基本構造	自動配置配線手法および人手配線のバス構造に対する寄生容量
No.2	斜め配線	Non-Manhattan形状に対する寄生容量
No.3	櫛形	多層レイヤを用いた容量デバイス
No.4	折れ曲り	Intra caps (同一ネット間寄生容量)
No.5	ビア・コンタクト	ビア-ビア間/ビア-配線間/コンタクト-配線間寄生容量

JEITA Physical Design Standardization Study Group

14

5.トランジスタレベルのLPEを想定した配線容量の2D/3D効果に対する精度評価の仕様検討-4

•No.1. 2D/3D基本ベンチマーク構造



5.トランジスタレベルのLPEを想定した配線容量の2D/3D効果に対する精度評価の仕様検討-5

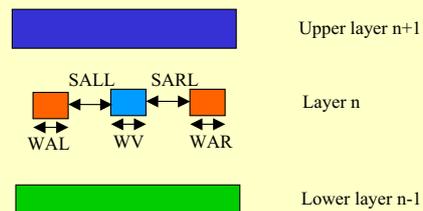
•No.1 2D/3D基本ベンチマーク構造

条件振り

$n = \{\text{sub, Poly, 1, 2, 3}\}$

$S_x/W_x = \{x1, x2, x3\}$

		S _x		
		X1	x2	x3
W _x	x1	○	○	○
	x2	○	○	○
	x3	○	○	○



図PEM-5 2D/3D基本ベンチマーク構造断面

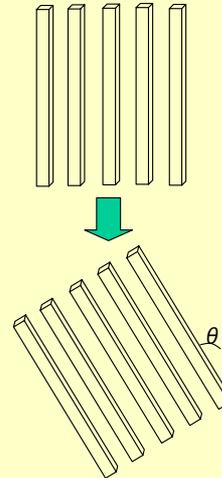
JEITA Physical Design Standardization Study Group

5.トランジスタレベルのLPEを想定した配線容量の2D/3D効果に対する精度評価の仕様検討-6

•No2. 斜め配線ベンチマーク構造

No.1のベンチマーク構造を回転

回転角度 $\theta = \{30, 45, 90\}$



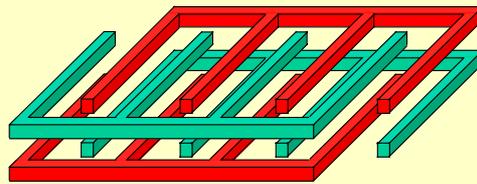
図PEM-6 斜め配線ベンチマーク構造

JEITA Physical Design Standardization Study Group

17

5.トランジスタレベルのLPEを想定した配線容量の2D/3D効果に対する精度評価の仕様検討-7

•No3. 櫛形ベンチマーク構造



図PEM-7 櫛形形状を利用した容量パターン

•No4. 折れ曲り構造



JEITA Physical Design Standardization Study Group

図PEM-8 折れ曲りのベンチマーク構造

18

6.トランジスタ周辺のコンタクトの寄生容量抽出精度確認のためのベンチマークデータの仕様検討-1

No.5 ビア・コンタクトの寄生容量ベンチマーク構造仕様

高集積化、高歩留まりの実現



Via数の増加

対Via寄生容量の影響は？

LPEツールの現状

- Via容量抽出精度が不明
- 検証手段が確立されていない

ベンチマークデータの検討

- Via容量抽出精度検証ベンチマークデータ
- Via容量の誤差要因分析ベンチマークデータ

JEITA Physical Design Standardization Study Group

19

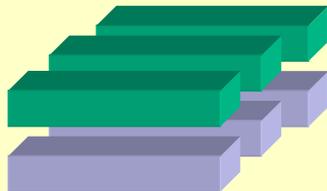
6.トランジスタ周辺のコンタクトの寄生容量抽出精度確認のためのベンチマークデータの仕様検討-2

No.5 ビア・コンタクトの寄生容量ベンチマーク構造仕様

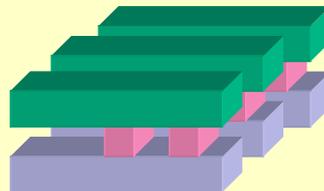
Via容量誤差検証パターンの検討

- Via-Via、Via-Metal間の容量成分が分離できないか検討している。
- Raphaelと絶対抽出精度比較

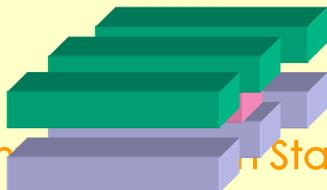
Viaなし



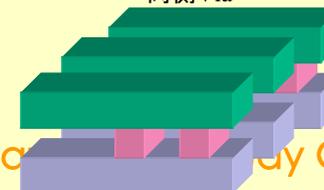
隣接Via



中央Via



両側Via



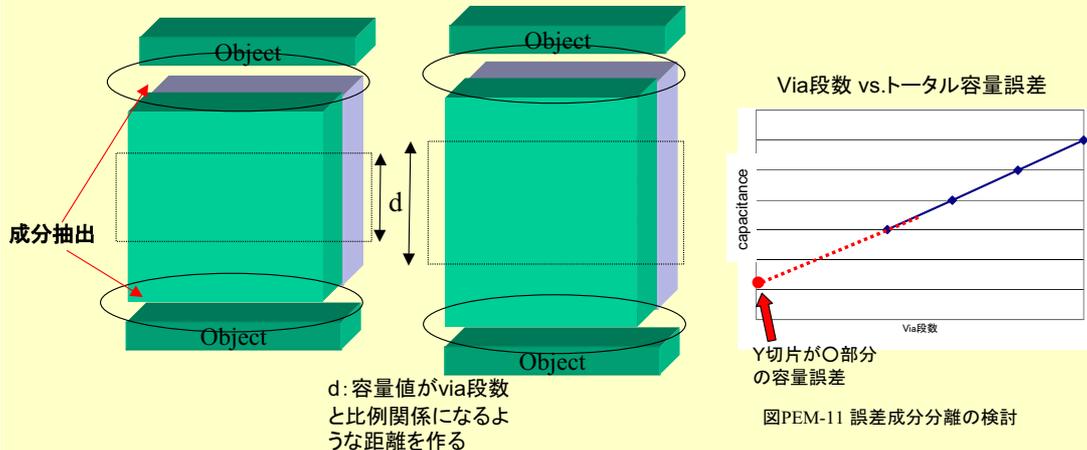
JEITA Physical Design Standardization Study Group

図PEM-9 ビア・コンタクトのベンチマーク構造

20

6.トランジスタ周辺のコンタクトの寄生容量抽出精度確認のためのベンチマークデータの仕様検討-3

No.5 ビア・コンタクトの寄生容量ベンチマーク構造仕様



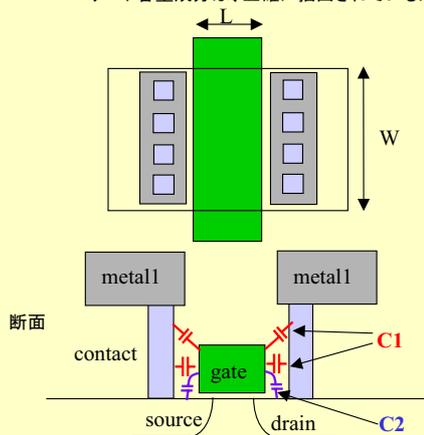
JEITA Physical Design Standardization Study Group

21

6.トランジスタ周辺のコンタクトの寄生容量抽出精度確認のためのベンチマークデータの仕様検討-4

調査目的

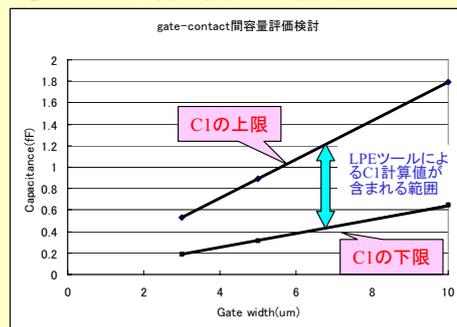
- 所望の成分分離ができているかどうか
- ゲート容量成分は、正確に抽出されているか



図PEM-12 トランジスタ周辺のコンタクトの寄生容量

C1:ゲート - コンタクト間容量 ⇒ LPE抽出
C2:ソース(ドレイン)領域とゲート間側面容量 ⇒ SPICE抽出

LPEツールのトランジスタ周辺の容量成分の分離方法を知るための基準値の設定(ゲート幅依存性)

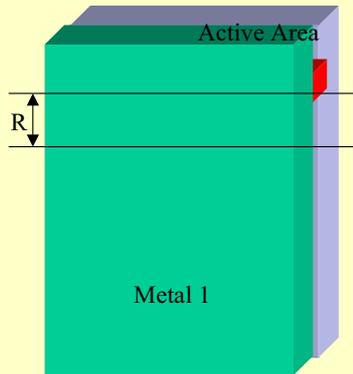


図PEM-13 ゲート - コンタクト間寄生容量の基準値(クライテリア)

LPEツールによるトランジスタ周辺のコンタクトの寄生容量の抽出と、SPICE抽出によるソース(ドレイン)領域 - ゲート間側面容量の成分分離

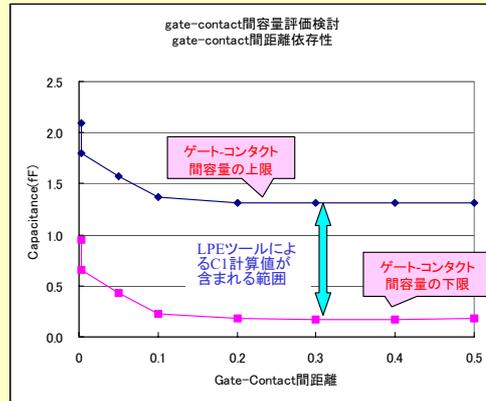
22

6.トランジスタ周辺のコンタクトの寄生容量抽出精度確認のためのベンチマークデータの仕様検討-5



図PEM-14 ゲート-コンタクト間寄生容量抽出のベンチマーク構造

LPEツールのトランジスタ周辺の容量成分の分離方法を知るための基準値の設定(ゲート-コンタクト間距離依存性)



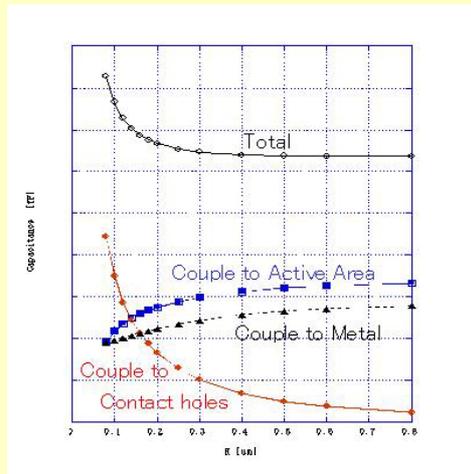
図PEM-15ゲート-コンタクト間寄生容量の基準値

JEITA Physical Design Standardization Study Group

23

6.トランジスタ周辺のコンタクトの寄生容量抽出精度確認のためのベンチマークデータの仕様検討-6

トランジスタ周辺のコンタクトの寄生容量成分分離評価目標



図PEM-16トランジスタ周辺の寄生容量成分分離

JEITA Physical Design Standardization Study Group

24

7. まとめと課題

- **まとめ:**
 - トランジスタレベルのLPEを想定した寄生効果モデリングの精度評価(中間報告)
 - カスタムIC設計者のLPEへの要求調査
 - 市販のLPEの機能調査
 - 2D/3D基本ベンチマーク仕様作成
 - ビア・コンタクトの寄生容量抽出精度評価のための共通ベンチマークデータ仕様検討
- **課題:**
 - トランジスタ周辺のLPE評価用ベンチマークデータの作成
 - ベンチマーク実行による精度評価

JEITA Physical Design Standardization Study Group

25

参考文献

- [1]金本,阿久津,中林,一宮,蜂屋,石川,室本,小林,橋本,黒川,“遅延計算およびシグナルインテグリティを考慮した配線寄生容量抽出精度評価”, DAシンポジウム2004, pp.265-pp.270, July 2004
- [2]N. D. Arora, K. V. Raol, R. Schumann, L. M. Richardson, “Modeling and Extraction of Interconnect Capacitances for Multilayer VLSI Circuits”, *IEEE Trans. Computer-Aided Design*, vol.15, No.1, pp.58 - pp.67, Jan. 1996.
- [3]International Technology Roadmap for Semiconductors 2004 Update.
- [4]Synopsys, Inc., Raphael Reference Manual, Raphael V-2004.06 ed., 2004.
- [5]N.D.Arora, Modeling and Characterization of Copper interconnects for VLSI Design, Nanotech2003

JEITA Physical Design Standardization Study Group

26

4.1.2 電源ノイズタスクグループ

JEITA PDS研究会 PSTA-TG

富士通VLSI 奥村 隆昌
NECエレクトロニクス 蜂屋 孝太郎
日本ケイデンス 室本 栄
大阪大学 橋本 昌宜(客員)

JEITA Physical Design Standardization Study Group

1

報告内容

- 技術動向
 - トレンド
 - EDAツールの対応状況
 - 電源ノイズ考慮STAの課題
 - 従来手法
- 電源ノイズによる遅延変動の定量化
- 遅延変動量算出手法の調査・検討
 - 従来手法の適用結果
 - 多段セルへの適用手法検討
- まとめ
- 検討課題
- 参考文献

JEITA Physical Design Standardization Study Group

2

技術動向

JEITA Physical Design Standardization Study Group

3

トレンド

- **SOC設計フローにおけるノイズ対策の取り組み**
 - 130nmCMOS世代以前
 - クロストークによるタイミング変動の解析
 - スタティックIRドロップ解析による電源ノイズ対策
 - サブ90nmCMOS世代での課題
 - デバイスの微細化に伴う電源電圧の低下と集積規模の拡大に伴い、ダイナミックな電源ノイズの問題が深刻化
 - タイミングエラーの発生要因となる
 - » クリティカルパスの遅延時間の変動
 - » クロックツリーにおけるスキューの変動
 - ダイナミックな電源ノイズの影響を考慮したSTAまでの設計フロー確立が必要とされる状況

JEITA Physical Design Standardization Study Group

4

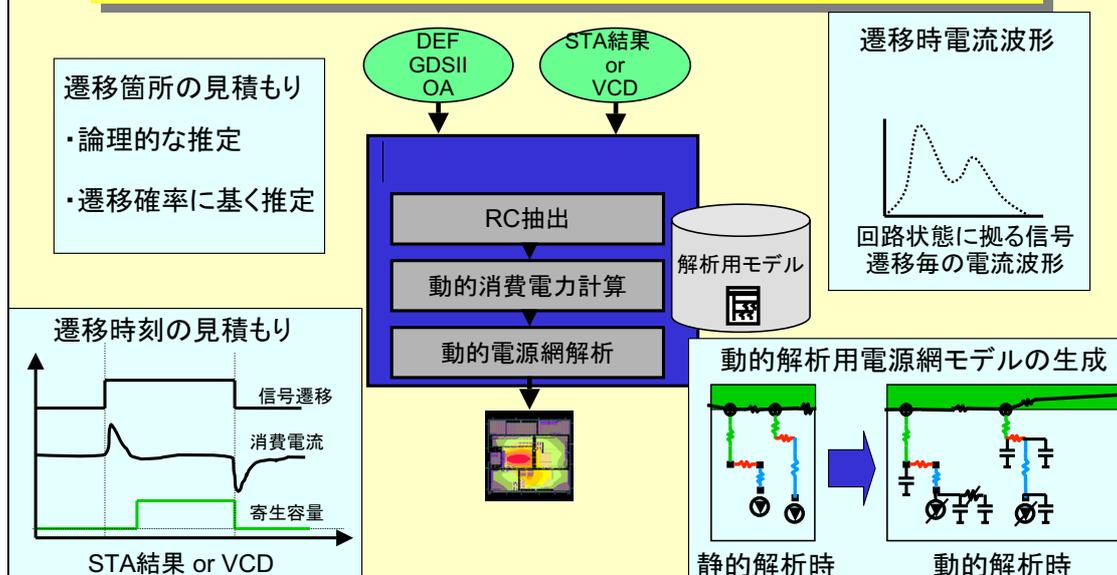
EDAツールの対応状況—電源ノイズ解析の種類

- スタティック電源ノイズ解析ツール
 - 平均消費電力から平均電圧降下を解析
 - パワーグリッド設計での問題を早期に発見・解決するのに有効なツール
- ダイナミック電源ノイズ解析ツール
 - ベクターベース
 - ゲート・トランジスタレベルシミュレーションでダイナミックな電力・電流波形を生成する。正しいベクターであれば最も高精度な解析を実現
 - ベクターなし
 - タイミングウィンドウの情報からダイナミックな電力・電流波形を生成するフルチップのトランジェント情報を得る最適な手法
 - ダイナミックな電力・電流波形からダイナミックなrail解析を行う

JEITA Physical Design Standardization Study Group

5

EDAツールの対応状況—ダイナミック解析手法



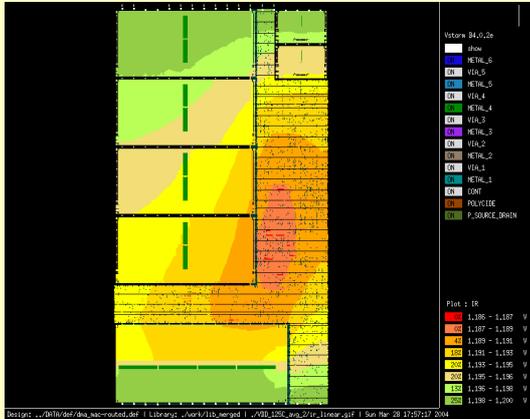
図PSTA-1 ダイナミック解析

JEITA Physical Design Standardization Study Group

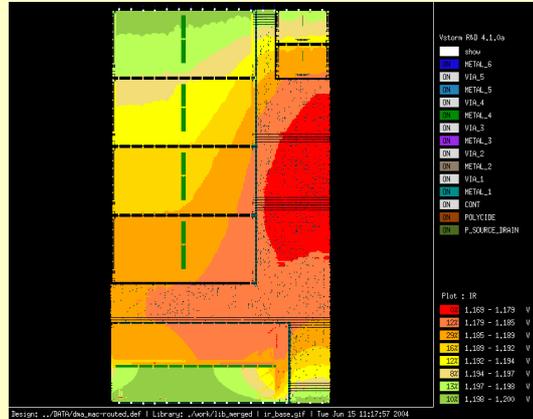
6

EDAツールの対応状況— 解析結果例

Static (average) IR Drop



Dynamic IR Drop (worst-case)



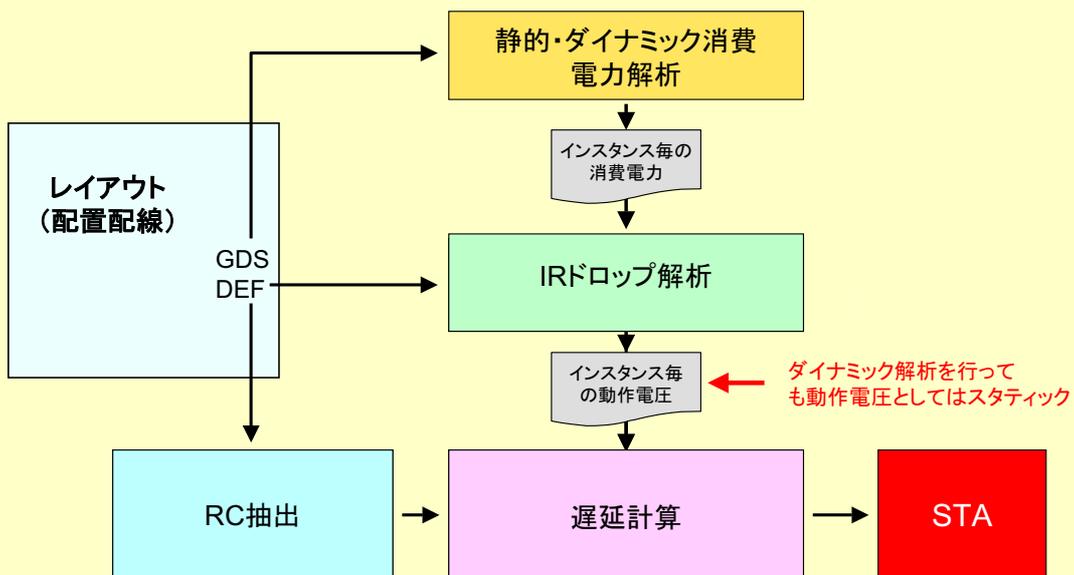
17mV additional IR drop

図PSTA-2 ダイナミック解析結果例

JEITA Physical Design Standardization Study Group

7

EDAツールの対応状況— 解析フロー



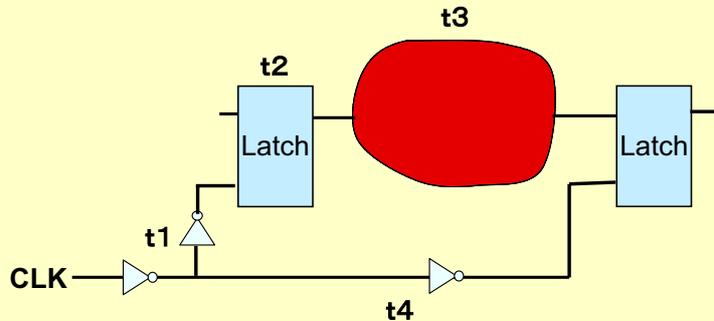
図PSTA-3 ダイナミック解析フロー

JEITA Physical Design Standardization Study Group

8

電源ノイズ考慮STAの課題 (1)

- STAによるタイミング解析のシナリオ [6]



$$t1_{\max} + t2_{\max} + t3_{\max} + t_{\text{setup}} \leq t4_{\min} + t_{\text{period}}$$

$$t1_{\min} + t2_{\min} + t3_{\min} \geq t4_{\max} + t_{\text{hold}}$$

図PSTA-4 タイミング解析のシナリオ

JEITA Physical Design Standardization Study Group

9

電源ノイズ考慮STAの課題 (2)

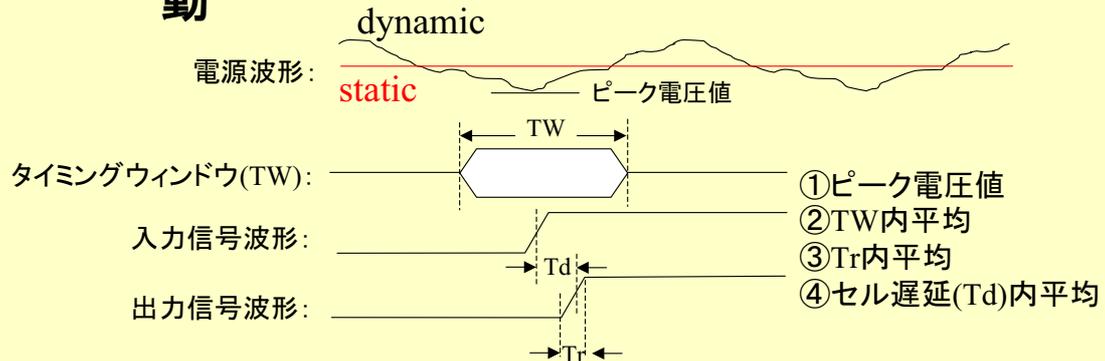
- 電源ノイズを求める時のスイッチング・シナリオ
- 電源ノイズによる遅延変動の求め方
- データパス段数による悲観性の排除
 - 各インスタンスの遷移タイミングの違いにより全てのインスタンスがワースト・ドロップで遷移してはいない
- 電源ノイズに起因するクロックジッターの求め方
- Setup/hold検証におけるmin遅延とmax遅延の求め方 ($t1 \sim t4_{\min}$, $t1 \sim t4_{\max}$ をどう求めるか)
- t_{setup} , t_{hold} の電源変動依存を考慮する必要があるか
- パッケージのモデル抽出方法と必要なモデル精度

JEITA Physical Design Standardization Study Group

10

電源ノイズによる遅延変動の求め方：従来手法

1. Dynamic→Static変換(実効Static IR-drop)
2. Static IR-drop→各インスタンスの遅延変動



図PSTA-5 従来手法による遅延変動算出(1)

JEITA Physical Design Standardization Study Group

11

実効Static Dropの求め方の例 (⑤橋本法) [4]

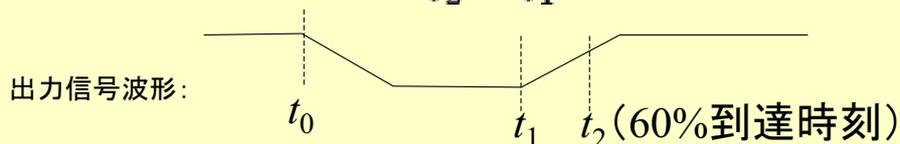
※インバータなど一段論理セルに適用可能

- Charge Change Case(出力fall時)

$$V_{dd_eq} = V_{t0}$$

- Current Change Case(出力rise時)

$$V_{dd_eq} = \frac{\int_{t_1}^{t_2} V_{dd_actual} dt}{t_2 - t_1}$$



遅延誤差=平均0.5% (max: 10%)

図PSTA-6 従来手法による遅延変動算出(2)

JEITA Physical Design Standardization Study Group

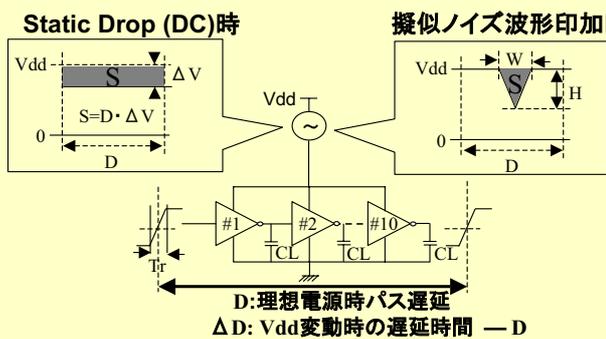
12

電源ノイズによる遅延変動の定量化

JEITA Physical Design Standardization Study Group

13

定量化:遅延変動量の測定



図PSTA-7 測定回路

テクノロジー	180nm
Inv.段数	10段
負荷容量(C_L)	100pF
電源電圧(Vdd)	1.8V
入力SlewRate(Tr)	100ps
理想遅延(D)	4.004ns(Sim.にて測定)
Static Drop量(ΔV)	100mV
ノイズピーク量(H)	200, 300, 400, 500, 600mV
ノイズ印加開始時刻	0~4.004ns(20ps刻み)

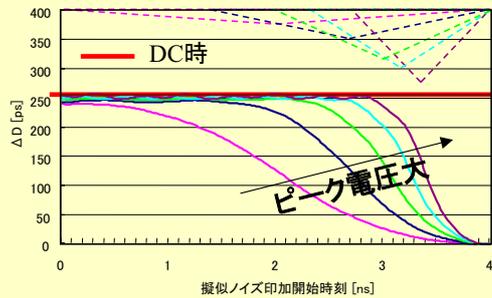
図PSTA-8 測定回路/パラメーター一覧

- 電源ノイズ算出はEDAツール活用を前提でノイズ波形は単純なモデルとする
- Spiceにより遅延変動を測定し、電源ノイズ印加時、Static Drop (DC)時を比較する
- ノイズ波形を三角波とし、ノイズ波形面積をStatic Drop (DC)時と合わせる
- 多段セルを想定し(レイアウト的に近傍)、パス内Inv.間の電源ノイズは同一とする
- 三角波(擬似ノイズ波形)印加時刻を走査し、遅延変動量の印加時刻依存を調べる

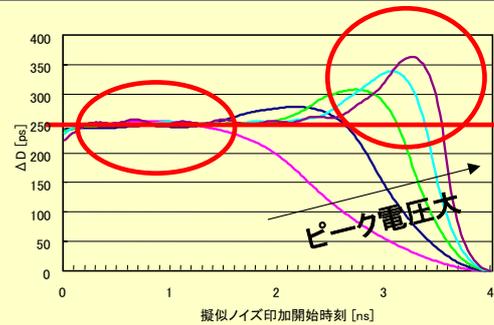
JEITA Physical Design Standardization Study Group

14

定量化: ΔD 測定結果



図PSTA-9 Fall入力時結果



図PSTA-10 Rise入力時結果

- Fall時、ノイズ波形がパス遅延時間内に納まっている場合、遅延変動量は一定
- Fall時、DC時遅延変動量は、ノイズ波形印加時遅延変動量の上限を示す
- Rise時も、ノイズ印加時刻が早い場合は、Fall時と同様の傾向
- Rise時、ノイズ印加時刻が遅い場合は、DC時より変動量大の傾向

JEITA Physical Design Standardization Study Group

15

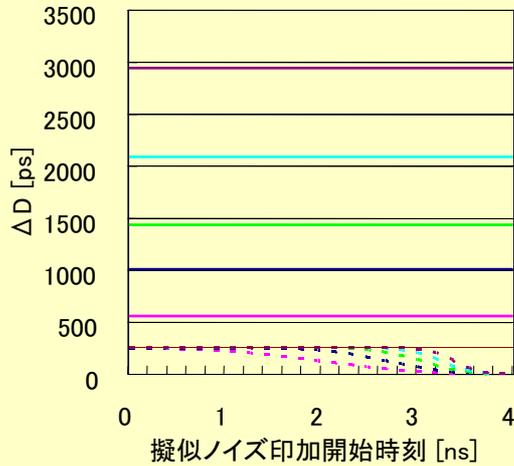
遅延変動量算出手法の調査・検討

JEITA Physical Design Standardization Study Group

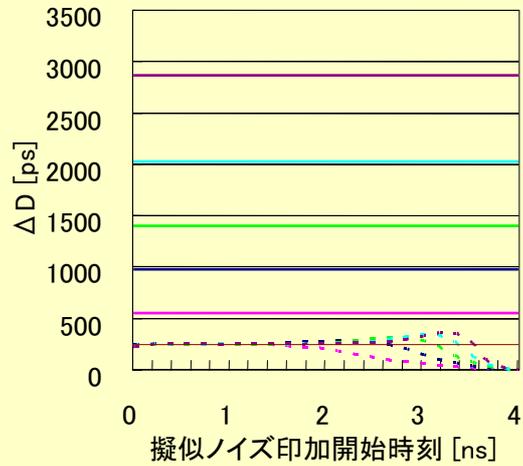
16

従来手法の適用 - ①ピーク電圧値

実線： 実効static IR-dropを用いたSPICE結果
 破線： 擬似ノイズを直接用いたSPICE結果



図PSTA-11 Fall入力時結果

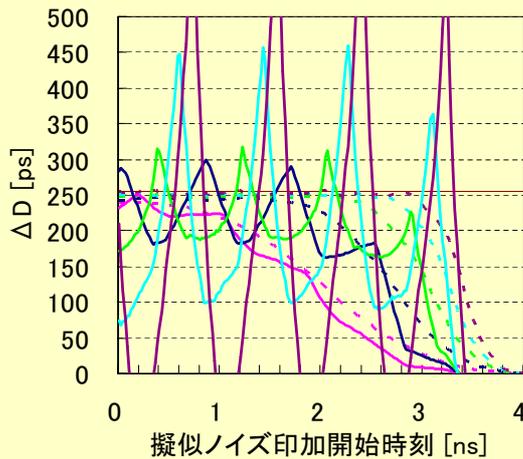


図PSTA-12 Rise入力時結果

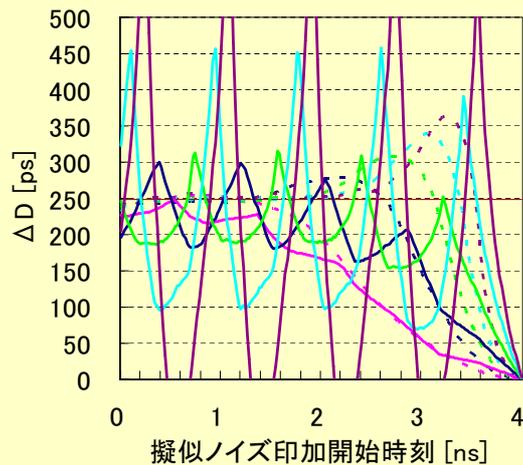
JEITA Physical Design Standardization Study Group

従来手法の適用 - ②TW内平均

実線： 実効static IR-dropを用いたSPICE結果
 破線： 擬似ノイズを直接用いたSPICE結果



図PSTA-13 Fall入力時結果

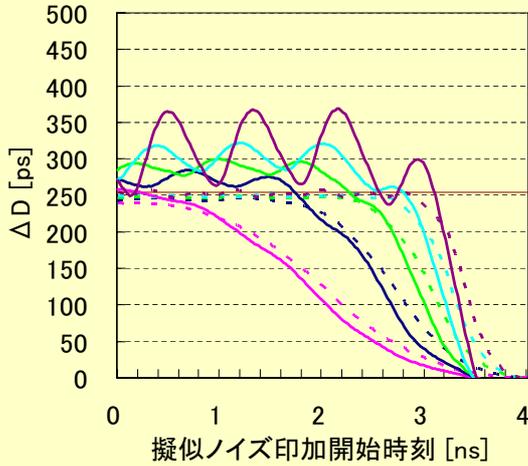


図PSTA-14 Rise入力時結果

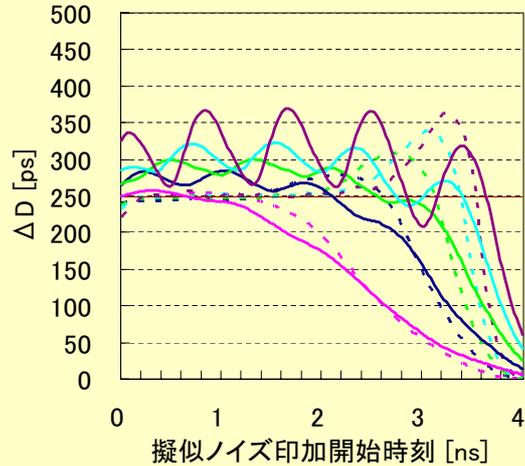
JEITA Physical Design Standardization Study Group

従来手法の適用 - ③出力Tr (10%-90%) 内平均

実線: 実効static IR-dropを用いたSPICE結果
破線: 擬似ノイズを直接用いたSPICE結果



図PSTA-15 Fall入力時結果

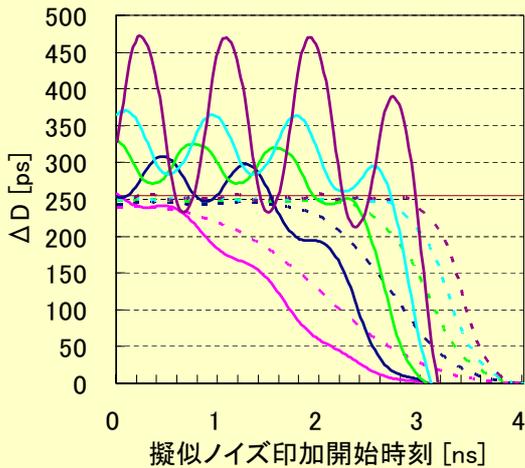


図PSTA-16 Rise入力時結果

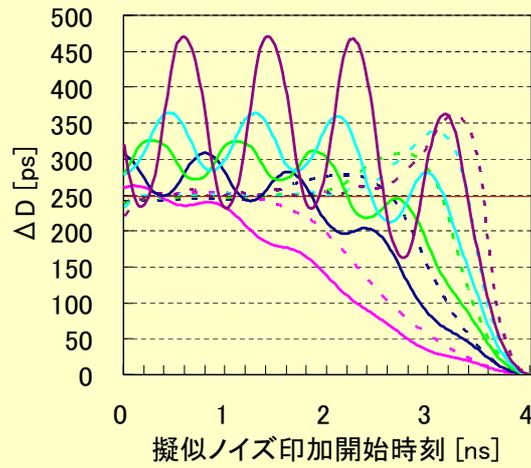
JEITA Physical Design Standardization Study Group

従来手法の適用 - ④セル遅延 (Td) 内平均

実線: 実効static IR-dropを用いたSPICE結果
破線: 擬似ノイズを直接用いたSPICE結果



図PSTA-17 Fall入力時結果

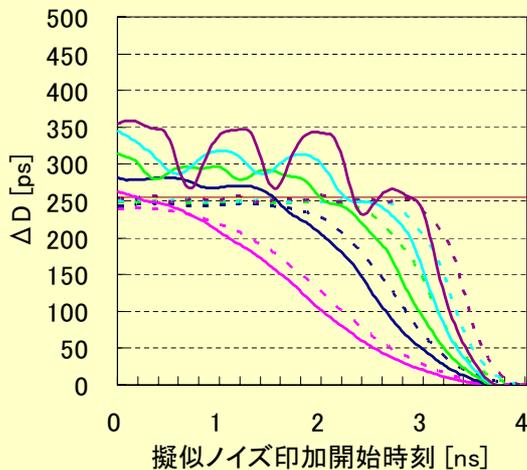


図PSTA-18 Rise入力時結果

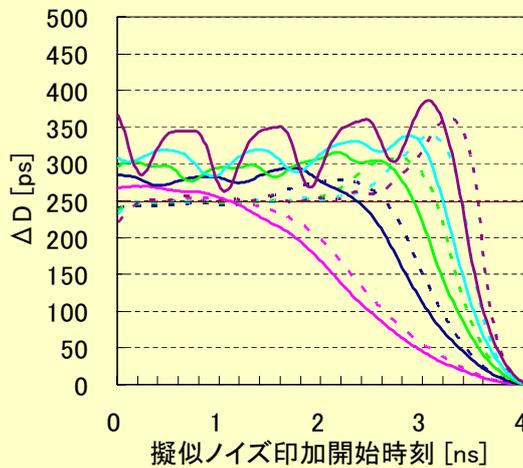
JEITA Physical Design Standardization Study Group

従来手法の適用 – ⑤橋本法

実線： 実効static IR-dropを用いたSPICE結果
破線： 擬似ノイズを直接用いたSPICE結果



図PSTA-19 Fall入力時結果



図PSTA-20 Rise入力時結果

JEITA Physical Design Standardization Study Group

21

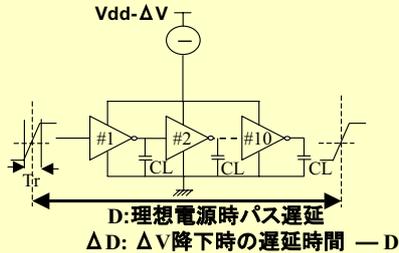
各従来手法の特徴

①ピーク電圧値	常に過剰に見積もり、スパイク状のノイズに対しては著しく精度が悪い
②TW内平均	Tr, Tdに比べてノイズ幅が十分大きいときには精度がよいが、ノイズ幅が小さくなるにつれて急激に精度が悪くなる
③出力Tr内平均	橋本法に次いで精度がよいが、多段論理セルでは誤差大
④セル遅延(Td)内平均	TW内平均より精度がよいが、出力Tr内平均や橋本法より劣る
⑤橋本法	最も精度が良いが、多段論理セルでは誤差大

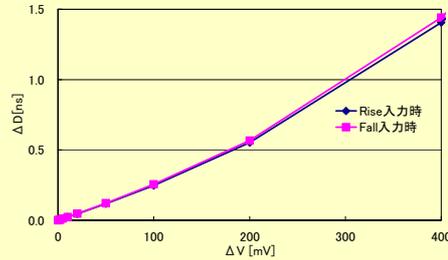
JEITA Physical Design Standardization Study Group

22

パス遅延時間内平均電圧による検討



図PSTA-21 ΔV - ΔD 測定回路



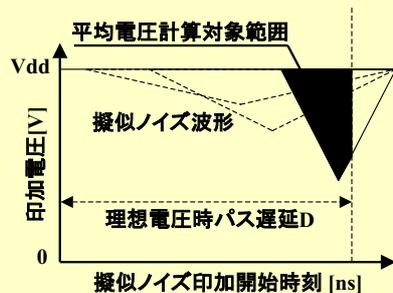
図PSTA-22 遅延変動の ΔV 依存結果

- パス遅延内の論理構成を考慮した対ノイズ遅延変動量算出手法を評価した
- パス遅延内の論理を考慮しない(多段セル向け)遅延変動量算出手法を検討する
- Fall入力時は、パス遅延時間内平均電圧が遅延変動の上限を与える結果を得た
- パス遅延時間内平均電圧を用いて求めた遅延変動量の精度を検討する
 - パス遅延のDC依存性を事前に求めて平均電圧時とノイズ印加時を比較する

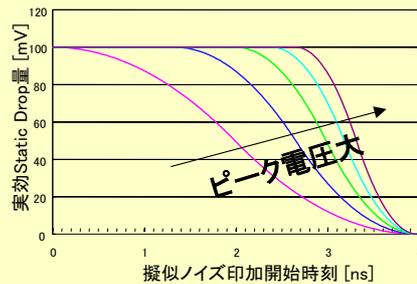
JEITA Physical Design Standardization Study Group

23

パス遅延時間内平均電圧による検討



図PSTA-23 擬似ノイズ平均電圧の算出



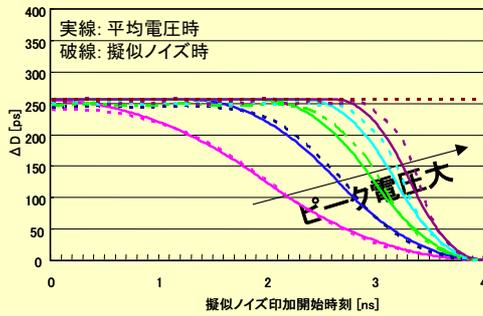
図PSTA-24 パス遅延時間内平均電圧算出結果

- パス遅延時間内平均電圧による遅延変動量算出方法
 1. 擬似ノイズ波形の理想電圧印加時パス遅延時間(D)内での面積を求める
 2. 1.面積を理想電圧印加時パス遅延時間で割り平均電圧を求める
 3. 事前に求めた ΔV - ΔD の結果に基づき平均電圧を遅延値に変換する (今回は、0-100mVでの結果から一次近似を使用)
- 上記をノイズ印加時刻、ノイズ波形、入力波形(Rise/Fall)各々について行なった

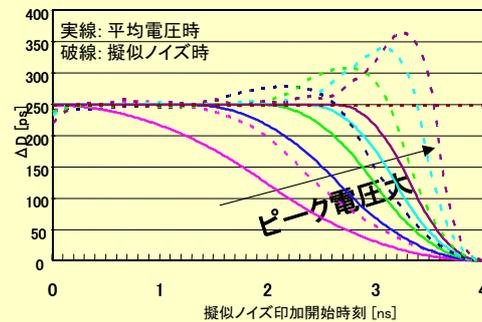
JEITA Physical Design Standardization Study Group

24

パス遅延時間内平均電圧時 ΔD 結果



図PSTA-25 Fall入力時結果



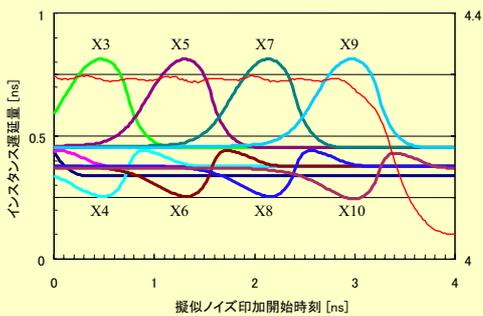
図PSTA-26 Rise入力時結果

- Fall入力時、パス遅延時間内平均電圧での遅延値はノイズ印加時とよく一致する
- Rise入力時は、ノイズ波形に抛らず過小評価(平均電圧時が楽観的)
- Rise入力時は、D.C電圧印加時がノイズ印加時の ΔD 上限を与えていなかった
 - 適用範囲を限定してRise時でも上限を与えられないか検討する
 - 適用範囲限定のため、Rise入力時誤差大原因の明確化が必要
 - Instance毎遅延変動量を考察しRise入力時誤差原因を検討する

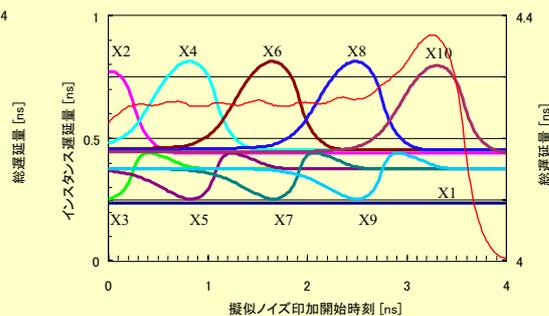
JEITA Physical Design Standardization Study Group

25

インスタンス毎遅延量 (H=600mV時)



図PSTA-27 Fall入力時結果



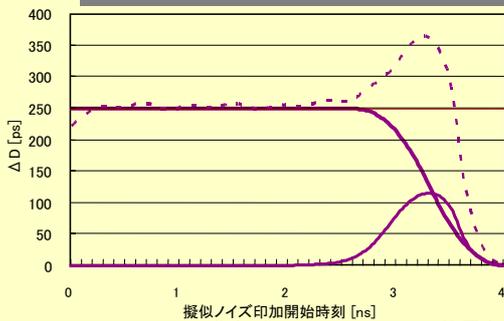
図PSTA-28 Rise入力時結果

- Rise遷移時は、正の遅延変動量(Current Change Case)
- Fall遷移時は、(主に)負の遅延変動量(Charge Change Case)
- Fall入力時、インスタンスペア(X3,X4)等で遅延変動の相殺が発生
 - Fall入力時、DC時がよく遅延変動の上限を表した原因
- 対してRise入力時は、最終段X10の相殺対象が存在しない(600mV以外も)
 - Rise入力時、DC時と比較して悲観的な遅延変動が発生した原因

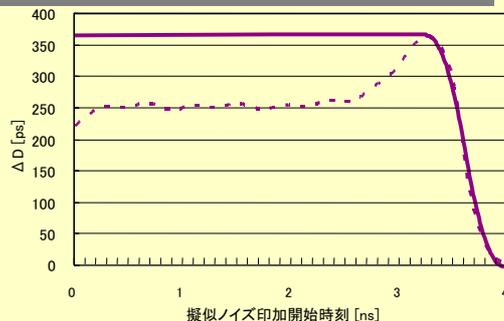
JEITA Physical Design Standardization Study Group

26

パス遅延時間内平均電圧時楽観性回避の検討



図PSTA-29 非相殺インスタンス変動量加算



図PSTA-30 マージン付加による楽観性回避

- パス遅延時間内平均電圧時での楽観性回避手段を検討する
 - 相殺する遅延ペアを予測して、非相殺インスタンスの変動量を加算する
 - マージンを付加して楽観性を回避する
- これまでの結果から現EDAツールでの変動量見積もり手法について
 - ピーク電圧値は1段セルにおいても常に悲観的
 - TW内平均、Tr内平均による手法は多段セルへの適用は困難
 - 多段セルへの適用は、セル遅延が現実的

JEITA Physical Design Standardization Study Group

27

まとめ

- 三角波電源ノイズ波形印加時の遅延変動量を定量化した
- ノイズ波形印加時と、面積的に等価なDC的電圧降下時の遅延変動量相関を示した
- 従来手法となる実効Static Dropを適用した場合の精度評価を行った
- パス遅延時間内平均電圧を用いた場合の精度を検討し、Fall入力時誤差小、Rise入力時誤差大の結果を得た
- パス遅延時間内平均電圧でのRise入力時の誤差解析を行った

JEITA Physical Design Standardization Study Group

28

検討課題

- VSS電位変動時の検討
- 従来手法(実効Static Drop)での精度向上
- パス遅延時間内平均電圧での精度向上
- 他条件での検討
 - 入力slew依存性
 - 論理依存性
 - Inv.以外での検討
 - 負荷依存性
 - 出力負荷が非一様な場合などの検討
 - ノイズ波形依存性
 - 三角波以外での検討

JEITA Physical Design Standardization Study Group

29

参考文献

- [1] T. Mitsuhashi and E. S. Kuh, "Power and Ground Network Topology Optimization for Cell Based VLSIs," Proc. DAC, pp. 524-529, 1992.
- [2] L. Smith, "Decoupling Capacitor Calculations for CMOS Circuits," Proc. EPEP, pp. 101-105, 1994.
- [3] J.-J. Liou, A. Krstic, Y.-M. Jiang and K.-T. Cheng, "Path Selection and Pattern Generation for Dynamic Timing Analysis Considering Power Supply Noise Effects," Proc. ICCAD, pp. 493-496, 2000.
- [4] M. Hashimoto, J. Yamaguchi, T. Sato, H. Onodera, "Timing Analysis Considering Temporal Supply Voltage Fluctuation," Proc. ASP-DAC, pp. 1098-1101, 2005.
- [5] G. Bai, S. Bobba and I. N. Hajj, "Static Timing Analysis Including Power Supply Noise Effect on Propagation Delay in VLSI Circuits," Proc. DAC, pp. 295-300, 2001.
- [6] J. Zejda, P. Fran, "General Framework for Removal of Clock Network Pessimism," Proc. ICCAD, pp. 632-639, 2002.

JEITA Physical Design Standardization Study Group

30

4.1.3 統計的デザインメソロジー タスクグループ

JEITA PDS研究会 SDM-TG

日本シノプシス 小林 宏行
ジーダット・イノベーション 小野 信任
東京工業大学 佐藤 高史
数理システム 岩井 二郎
大阪大学 橋本 昌宜

JEITA Physical Design Standardization Study Group

報告内容

- ・ バックグラウンド
- ・ 統計的STAの精度検証手法の提案
 - 正規分布近似に依る誤差
 - MAX演算の特性評価
 - 遅延歩留まりを指標とした場合の誤差の評価
- ・ まとめと今後の課題

JEITA Physical Design Standardization Study Group

1 背景

SoC 設計において、仕様を満たしているかどうか、所望の動作周波数を満たしているかどうかを検証するために、タイミング解析を行う事が必須である。タイミング解析には入力ベクタを考慮して解析を行う動的タイミング解析と、入力ベクタを考慮せず解析を行う静的タイミング解析 (STA) がある。SoC の動作検証においては、処理時間の速い STA が行われることが多い。STA では、クリティカルパス法 (CPM) と呼ばれるアルゴリズムが広く用いられている[1]。すなわち、デジタル回路の順序回路から順序回路までの間にある組み合わせ回路を構成する各々のゲートの入力端子における信号の到着時刻にゲートの遅延を加えたものの中から最大となるものを選び、次段のゲートに伝えるという操作を順次行い、最大の信号到着時刻を算出する。通常ゲートの遅延にはコーナーベースで決定された最悪値が用いられ、検証結果は悲観的なものとなる。

近年の SoC においてはプロセスの微細化が進み素子、配線の寸法の相対的な製造ばらつきが増加している。このため、コーナーベースによる従来の手法では極端に悲観的な状況を考えることになり、結果としてタイミングが収束しない、または過剰なマージンのある設計となる、などの問題が生じるようになってきた。

このような状況を打開する STA に替わる手法として、ばらつきを統計的に考慮してタイミング解析を行う、統計的 STA (SSTA) と呼ばれる手法が注目されている。SSTA においては、従来の STA のような決定論的な手法とは異なり各ゲートにおける信号の到着時刻を統計量として扱い、その確率分布がゲート及び配線を伝播すると考えることが特徴となっている。

SSTA は遅延のモデリング、遅延相関の考慮の仕方、統計量に対する和、最大値を算出するための MAX 演算をどのように行うか、等の観点から多くの論文が発表されてきているが、大きく二つの手法に分類することができる。一つは CPM を統計量に対して拡張したと見なせる Block-Based 手法(BBM)、もう一つは個々の信号の伝播経路に着目し解析を行う Path-Based 手法 (PBM) である。ここ数年の著名な学会では BBM に関する発表が多く傾向としては BBM が優勢といった感がある。BBM においては、特に MAX 演算をどのように行うかという点が重要となる。MAX 演算については Halim らのサーベイで最近の成果を概観できる[2]。Hongliang らは非正規分布の問題を取り上げており、分布が正規分布なのかどうか、あるいは MAX 演算後の分布が正規分布であるか否かと言う課題に取り組んでいる[3]。

さて、SSTA では最悪値を想定する従来の手法とは異なり最大遅延の確率分布が得られる。このため動作周波数と遅延歩留まりの関係が予測可能となり、両者のトレードオフを考慮した現実的なタイミング検証を行うことができるようになる。しかしながら、ばらつきのモデリング、精度、歩留まり予測における誤差等についてはまだ十分な研究がなされていると言えず実際の設計現場に広く普及するにはまだ課題がある。特に遅延歩留まり予測において SSTA を適用した場合の予測誤差を提供することは手法の信頼性を確保するために重要であり実用的な指標の出現が待たれている。

以上を踏まえ本報告では、今後実用上重要となる、SSTA において、内部的なモデリング、およびアルゴリズムに起因する予測精度の定量的な指標を提案する。提案指標を適用した一例として、SSTA で議論の対象となってきた MAX 演算結果の正規分布近似の妥当性を定量的に評価する。

以下、2 節では Block-Based SSTA の特徴および MAX 演算と相関について述べ、正規分布が真の分布に対し誤差を持つ条件について確認する。3 節では誤差の評価指標の提案を行う。4 節では具体

例による指標の計算に関して論じる。5節では今後の方向性について議論し全体のまとめを行う。

2 Block-Based SSTAの概要

遅延を統計量で表す場合、CPMにおける単位演算である遅延の和、およびMAX演算を統計量に対する演算で置き換えることによってBBMを定式化出来る。以下では統計量に対する和とMAX演算について解説する[4]。

2.1 統計量のMAX

図SDM-1のようにAB間の遅延が t から $t+dt$ の間である確率を $p_1(t)$ 、同様にCB間に対して $p_2(t)$ とする。このときAまたはCからBまでの遅延が t から $t+dt$ の間にある確率 $p(t)$ 、すなわち $p_1(t)$ と $p_2(t)$ の統計的MAXは、 $p_1(t)$ と $p_2(t)$ が独立であれば

$$p(t) = p_1(t)P_2(t) + P_1(t)p_2(t)$$

となる。ここで $P_1(t)$ 、 $P_2(t)$ はそれぞれ $p_1(t)$ 、 $p_2(t)$ に対応する累積確率密度関数である

2.2 統計量の和

図SDM-2のようにAB間の遅延が t から $t+dt$ の間である確率を $p_1(t)$ 、同様にBC間に対して $p_2(t)$ とする。このときAC間の遅延が t から $t+dt$ の間にある確率 $p(t)$ は

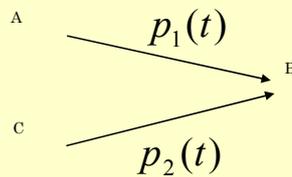
$$p(t) = \int_0^{\infty} p_1(t-\tau)p_2(\tau)d\tau$$

となる。すなわち統計量の和は畳み込み積分によって計算することができる。

2.3 MAX演算と相関

図SDM-1のMAX演算においては $p_1(t)$ と $p_2(t)$ が独立であることが必要であるが、実際には $p_1(t)$ と $p_2(t)$ とは何らかの相関をもつはずである。通常考えられる相関としては製造プロセスに由来するゲート長、酸化膜厚などの素子パラメータの相関（空間相関）と、信号が同じパスを共有することによる相関（再収斂パスの相関）がある。[5]では再収斂パスの相関を考慮せずによって計算した結果が遅延の上限値を与えることが示されている。[5]ではさらに再収斂パスの相関を考慮するためパスの数え上げと呼ばれる手法により再収斂パスの相関を考慮する手法が提案されている。[6]では各ゲートの遅延分布として正規分布を仮定し、主成分分析を用いて遅延を独立な変数に変換してからMAX演算を行う手法が提案されている。

統計量(PDF)のMAX演算



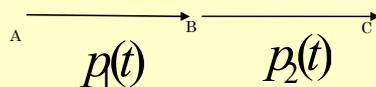
$$p(t) = p_1(t)P_2(t) + P_1(t)p_2(t)$$

ここで $P_1(t)$, $P_2(t)$ はPDF

JEITA Physical Design Standardization Study Group

図SDM-1

統計量(PDF)のSUM演算



$$p(t) = \int_0^{\infty} p_1(t - \tau) p_2(\tau) d\tau$$

JEITA Physical Design Standardization Study Group

図SDM-2

2.4 MAX演算の正規分布近似

多くの文献では遅延分布および信号到着時刻は正規分布として扱う。これは最終信号到着時刻の分布を正規分布として取り扱うことができる場合には以下の利点があるためである[7]。

1. 分布間の相関が相関係数として容易に考慮できること。
2. 確率密度関数や累積分布関数を区分線形近似などで表現する場合に比べ、必要な演算量やメモリ量が少ないこと。

さらに主成分分析によるばらつき変数の直交化やテイラー展開による一次のゲート遅延モデルと組み合わせることで、低い計算コストや再収斂パスの考慮が実現できる[8]。したがって以下では、正規分布近似を例として提案指標の説明、評価を行う。

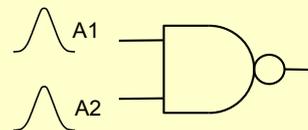
3 試作プログラム実行例

3.1 MAX演算の特性結果と考察

試作したモンテカルロシミュレーションプログラムによる MAX 演算の結果を纏める。2 入力回路を想定し入力 A, B に対する平均値と標準偏差をそれぞれ $a = N(\mu_1, \sigma_1)$ および $b = N(0, 1)$ とする。図 SDM-3 に概要を示す。

実験(評価)の内容

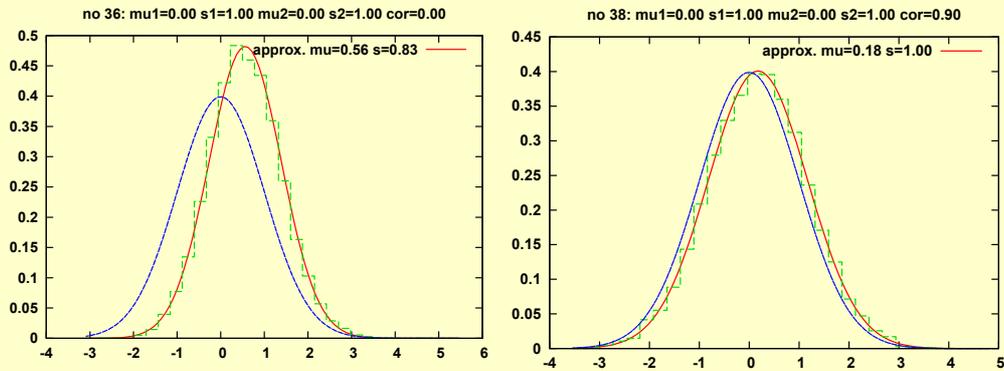
- ・ モンテカルロ試行と正規分布近似
 - ライブラリを定義
 - 2入力ゲートを想定
 - 平均(-3、-1、0、1、3)
 - 標準偏差(0.5、1、2、4)
 - 相関(0、0.5、0.9)
 - A2入力を平均0、標準偏差1と固定



JEITA Physical Design Standardization Study Group

図SDM-3

MAX演算の特性評価



平均=0 標準偏差=1.0

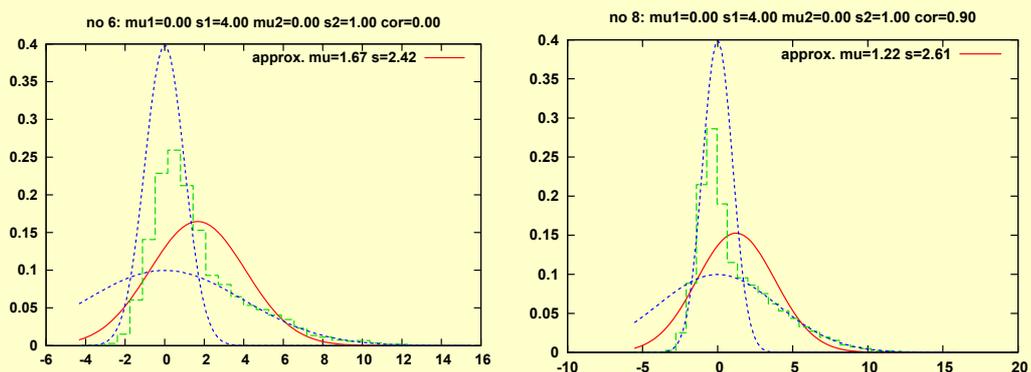
相関係数=0.0

相関係数=0.9

JEITA Physical Design Standardization Study Group

図SDM-4

MAX演算の特性評価(続き)



平均=0 標準偏差=4.0

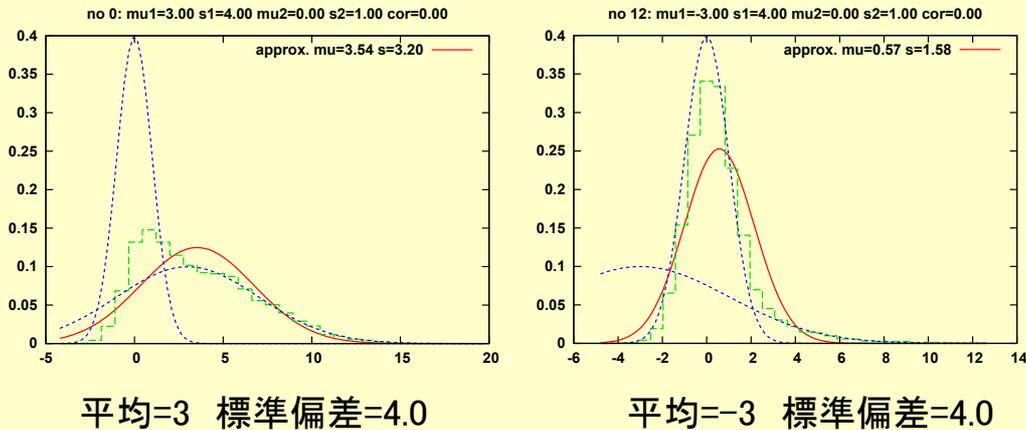
相関係数=0.0

相関係数=0.9

JEITA Physical Design Standardization Study Group

図SDM-5

MAX演算の特性評価(続き)



平均=3 標準偏差=4.0

平均=-3 標準偏差=4.0

共に相関係数=0.0

JEITA Physical Design Standardization Study Group

図SDM-6

図 SDM-4 左図に $\mu_1=0, \sigma_1=1$ の場合の結果を示す。0 を中心に対称に分布する点線が入力（2 入力 が完全に重なっているため 1 本に見えている）の分布、階段状の点線で示されているのがモンテカルロ法により求めた真の分布、およびモンテカルロ法の分布から平均と分散から求めた正規分布が実線である。二つの入力の分布は等しいが、MAX 演算によって分布が右に（遅延が大きくなる方向に）シフトしている。これは二つの変数の最大値を選択することによって、もともとの分布よりも大きな遅延値となる確率が上昇するためである。逆に小さな遅延値となる確率は低くなる。また、遅延値が大きい部分ではもともと出現確率が低いため、分布の左側に比べて右側の移動量は小さい。このため、MAX 演算後の分布は分散が小さくなっている。MAX 演算後もほぼ正規分布とみなして問題ないと言える。

次に同じ $\mu_1=0, \sigma_1=1$ ではあるが入力の二つの分布に相関がある場合を考える。図 SDM-4 右図は相関係数が 0.9 の場合の結果である。相関係数が大きい場合には、二つの入力の値はほぼ等しい値をとる確率が高いため、入力の分布と MAX 演算後の分布形状がほぼ等しい。相関の有無によって MAX 演算後の分布形状は異なる。

続いて、標準偏差 σ_1 がもう一方の分布と大きく異なる場合を考える。 $\sigma_1=4$ のときの結果を図 SDM-5 に示す。この場合には MAX 演算後の分布が右側に尾を引く形状となっている。遅延が 4 以上の領域では A の分布が支配的であり、A の分布形状と MAX 演算後の分布形状はほぼ一致する。一方原点付近では A よりも B の生じる確率が高いため分布は B で支配される。結果として A と B の分布が合成されたような分布が MAX 演算により生成される。一見して分布は正規分布からは大きく外れている。

図 SDM-6 左図は入力分布の標準偏差が $\sigma_1=4$ のときで、平均がプラス側で大きく異なっている場合。図 SDM-6 右図は入力分布の標準偏差が $\sigma_1=4$ のときで、平均がマイナス側で大きく異なっている場合を示している。

標準偏差の差がともに大きい場合である。どちらも MAX 演算の結果はやはり正規分布からは外れている。

4 正規分布近似による誤差に対する評価指標の提案

SSTA により遅延分布を求める場合には、回路が十分な歩留まりを持って所望の性能を満たすことが目標となる。例えば所与の動作周波数に対して目標とする遅延歩留まり p_1 を設定し、全てのパス遅延の最大値が p_1 以上の確率で動作周波数を満足することがサインオフ条件となる。

ここで、真の分布を正規分布等に近似して計算することによる誤差は十分小さいことが求められる。近似した分布が真の分布よりも歩留まりを大きく見積もる場合には、厳しすぎるタイミング制約により設計の収束が困難となる。逆に近似分布が真の分布よりも歩留まりを小さく見積もる場合には、期待した歩留まりが得られないことになる。

そこで我々は、目標歩留まり点における遅延見積もり誤差 F と遅延の見積もり誤差に起因する歩留まりの見積もり誤差 Y を、SSTA の精度を議論する評価基準として提案する。

図 SDM-7 において、上の確率密度分布がモンテカルロ解析により求められる真の遅延分布とする。一方下の確率密度分布は、真の分布を平均と分散が一致する正規分布として近似した分布である。ただし、 F 、 Y は一般的な指標であり、その定義は例としてあげた正規分布近似に依存していない。ここで目標歩留まりを $p_1(\%)$ 、正規分布において対応する遅延時間を x_1 とする。一方、真の分布において歩留まり $p_2(\%)$ となる遅延時間は x_2 であり一般に x_1 とは異なる。このとき、遅延確率分布の近似誤差 F は次式で計算できる。

$$F = (x_2 - x_1)/x_2$$

また遅延の近似誤差に起因する歩留まりの見積もり誤差 Y は真の分布における区間 $[x_1, x_2]$ における累積確率となるため、

$$Y = \phi(x_2) - \phi(x_1)$$

となる。ここで $\phi(x)$ は累積確率密度関数であり確率密度関数 $g(x)$ に対し次式で定義される。

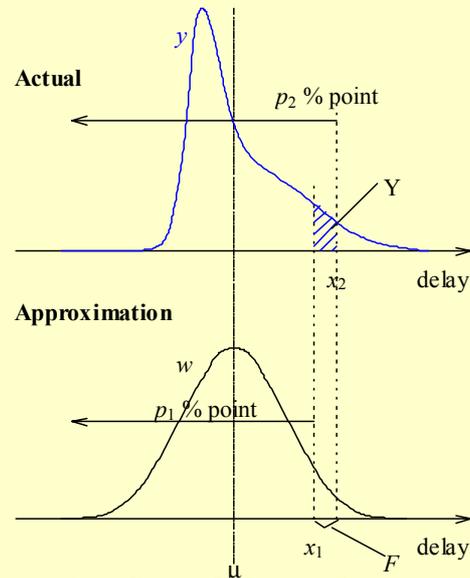
$$\phi(x) = \int_{-\infty}^x g(z) dz$$

正規分布近似に依る誤差評価指針

$$F = (x_2 - x_1) / x_2$$

$$Y = \phi(x_2) - \phi(x_1)$$

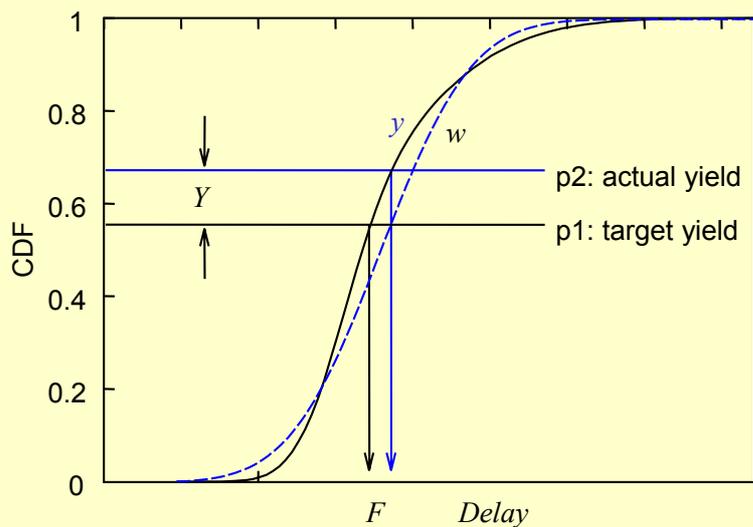
$$\phi(x) = \int_{-\infty}^x g(z) dz$$



JEITA Physical Design Standardization Study Group

図SDM-7

正規分布近似に依る誤差評価指針



JEITA Physical Design Standardization Study Group

図SDM-8

図 SDM-8 はより理解し易くするために同じ指標を CDF で表現したものである。

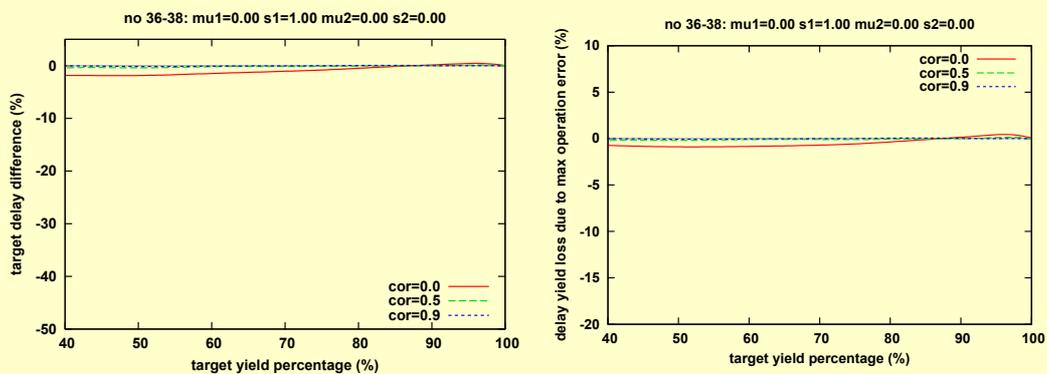
4.1 遅延歩留まりを指標とするMAX演算誤差の評価結果と考察

前記でのべた指標 F 及び Y を、試作したプログラムによって計算した結果を纏める。図 SDM-4 ($\mu_1=0, \sigma_1=1$) に対応するのが図 SDM-9 である。誤差は殆ど無い事が分かる。

図 SDM-10 は入力の標準偏差値が 4 倍異なる場合だが、 Y の計算結果から目標歩留まり値 (40%~100%) に対して 10%以上の誤差が出る場合があることがわかる。

但し指標 Y が正の値をとる場合には真の歩留まりが目標よりも低くなる事を意味する。したがって 80~90%以上の目標歩留まりが必要である場合には、計算精度に注意をする必要がある。一方、例えば開発期間短縮のために 80%以下の目標歩留まりでもサインオフを行う場合にも、過剰のタイミング余裕が開発期間の障害とならないよう計算精度に注意する必要がある。

遅延歩留まりを指標とした誤差の評価



遅延近似誤差 指標F

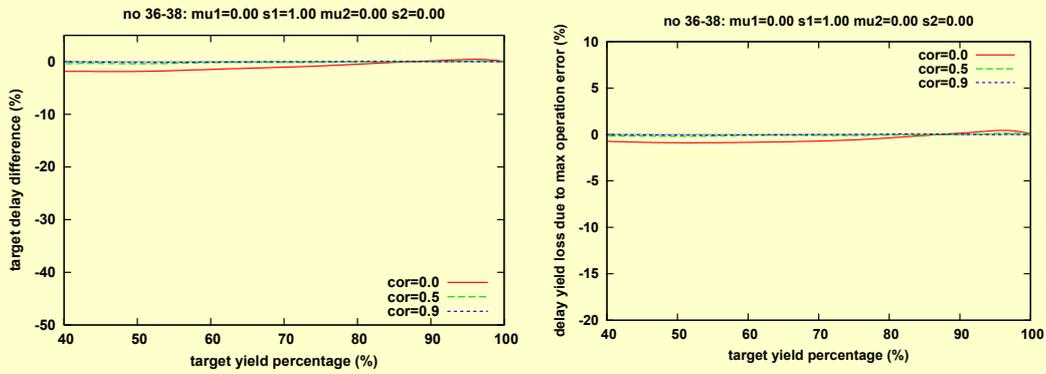
遅延見積もり誤差 指標Y

平均=0 標準偏差=1.0

JEITA Physical Design Standardization Study Group

図SDM-9

遅延歩留まりを指標とした誤差の評価



遅延近似誤差 指標F

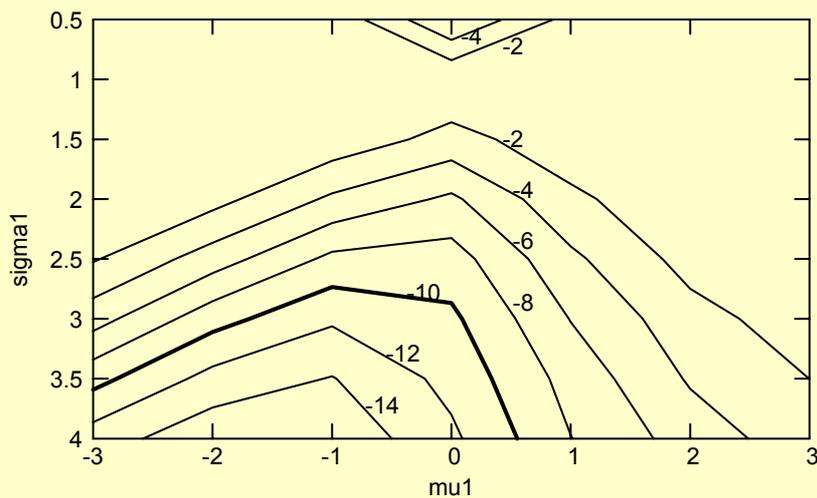
遅延見積もり誤差 指標Y

平均=0 標準偏差=1.0

JEITA Physical Design Standardization Study Group

図SDM-9

遅延歩留まりを指標とした誤差の評価(続き)

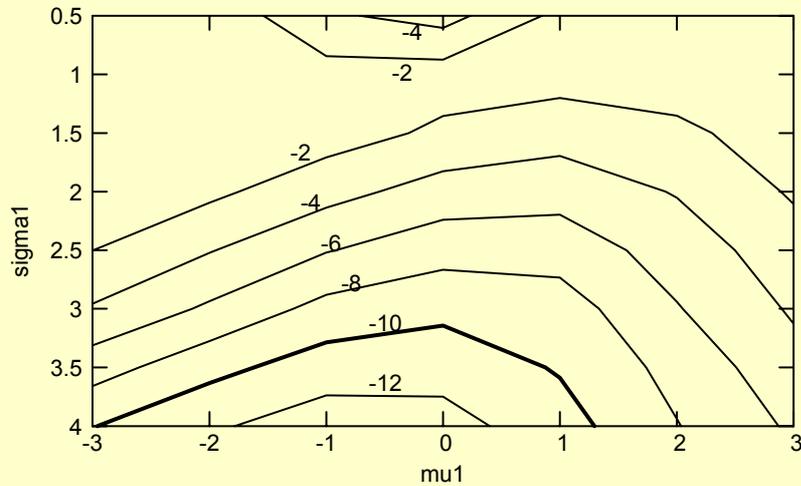


遅延見積もり誤差 指標Yの誤差分布(相関係数=0.0)

JEITA Physical Design Standardization Study Group

図SDM-11

遅延歩留まりを指標とした誤差の評価(続き)



遅延見積もり誤差 指標Yの誤差分布(相関係数=0.9)

JEITA Physical Design Standardization Study Group

図SDM-12

図 SDM-11 は過剰なタイミング余裕が生じる可能性がある場合を入力の前平均と標準偏差を変数として、体系的に集計した結果である。図 SDM-11 は相関が無い場合を表し、平均値と標準偏差の組み合わせに依る遅延見積もり誤差をまとめたものである。

同様に図 SDM-12 は相関が強い場合を表しており、相関のある無しで傾向が異なることが分かる。

これらの試行により、MAX 演算において次のことが分かった。

- (1) MAX 演算の性質から右側に分布が広がることより、指標 F , Y の傾向は平均値、標準偏差の相違のパターンによらず同じ傾向を示す。
- (2) F 指標, Y の値は、ある目標歩留まり値を境にして、悲観的・楽観的に分かれる。
- (3) 指標 F , Y の誤差は、歩留まり目標が低いほど大きくなる傾向があるので、プロセス立上げ時等低い目標歩留まりで SSTA を適用する場合には特に注意を要する。
- (4) 指標 F , Y では、2 入力の前相関性の有無はそれほど影響しない。
- (5) 指標 F は遅延値の比較、指標 Y は歩留まりにより定義されるため、異なる観点で SSTA の精度の議論が可能となる。
- (6) 誤差分布を見ると平均の変動には感度はあまり無く、標準偏差には大きな感度があることが分かった。

本報告では、今後実用上重要となる、統計的タイミング解析手法において、内部的なモデリング、およびアルゴリズムに起因する予測精度の定量的な指標 F および Y を提案した。詳細なモンテカル

ロ解析による累積確率密度から得られる歩留まり予測に対して、MAX 演算結果を正規分布とみなすと、入力の標準偏差が4倍まで異なる演算では、目標歩留まり値(40%~100%)に対して10%を超える誤差が出る事が確認できた。

本指標は、具体的なツールの評価や、現在提案されている、非正規分布モデルによる手法での精度向上の評価にも応用できる。

今後の課題として、3入力以上の場合の試行とパスとして連続した場合の試行があげられる。また統計的解析における他の誤差要因(セルモデルの誤差や、伝播アルゴリズムなど)との総合的な評価への展開も行っていく予定である。

参考文献

- [1] S. Sapatnekar, TIMING. Kluwer Academic Publishers, 2004
- [2] H. Damerджи, A. Dasdan, S. Kolay, "On the Assumption of Normality in Statistical Static Timing Analysis" TAU 2005.
- [3] H. Chang, V. Zolotov, S. Narayan, C. Visweswariah:
"Parameterized Block-Based Statistical Timing Analysis with Non-Gaussian Parameters, Nonlinear Delay Functions," in Proc. DAC 2005.
- [4] 町田, 岩井, 樋口, 水田 "統計的 STA 開発に向けた現状調査" DA シンポジウム 2005 予稿集, 2005
- [5] A. Agarwal, D. Blaauw, V. Zolotov, S. Vrudhula, "Statistical Timing Analysis using Bounds", in Proc. DATE, 2003.
- [6] H. Chang, S. Sapatnekar, "Statistical Timing Analysis Considering Spatial Correlations Using a Single PERT-like Traversal," in Proc. ICCAD, 2003.
- [7] 築山, "統計的タイミング解析: 概論 " 回路とシステム軽井沢ワークショップ, pp. 533-538, 2005.
- [8] H. Chang and S. Sapatnekar, "Statistical Timing Analysis under Spatial Correlations," IEEE Trans. CAD, Vol. 24, No. 9, pp. 1467-1482, 2005.

4.2 SystemCタスクグループ 2005年度活動報告

JEITA EDA技術専門委員会
標準化小委員会

SystemCタスクグループ

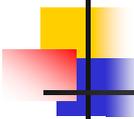
JEITA

© Copyright 2006 JEITA, All rights reserved



SystemCタスクグループメンバー

主査	長谷川 隆	富士通(株)
副主査	後藤 和永	NECエレクトロニクス(株)
委員	清水 靖介	沖電気工業(株)
	森井 一也	三洋電機(株)
	山田 晃久	シャープ(株)
	柿本 勝	ソニー (株)
	逢坂 孝司	日本ケイデンスデザインシステムズ社
	中野 淳二	日本シノプシス(株)
	今井 浩史	(株)東芝
	竹村 和祥	松下電器産業(株)
	中村 和秀 / 菊谷 誠	メンターグラフィクスジャパン(株) ※
	塚本 泰隆	(株)リコー
客員	渡邊 政志	(株)ルネサステクノロジ
	今井 正治	大阪大学
		(計14名、※期中メンバー交代あり)



目次

はじめに

4.2.1 SystemCタスクグループ概要

- SystemCとは
- SystemCタスクグループの設立背景と目的
- SystemCタスクグループの活動内容
- SystemC標準化の枠組み
- 2005年度の成果と2006年度の計画

4.2.2 SystemCユーザフォーラム2006開催報告

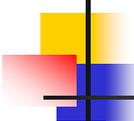
4.2.3 SystemC 2.1の新機能及び互換性調査

4.2.4 SystemC動向調査報告

4.2.4.1 TLM動向

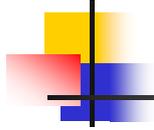
4.2.4.2 合成サブセット

4.2.4.3 SystemC動向分析

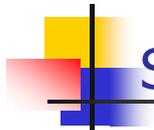


はじめに

- 本書では、SystemCタスクグループ(以下文中ではSC-TGと省略する場合あり)が2003年10月に発足以来行ってきた活動内容及び成果について報告する。
- 尚、SC-TGの活動については、
<http://eda.ics.es.osaka-u.ac.jp/jeita/eda/member/std/SystemC/index.html>
でも紹介している。



4.2.1 SystemCタスクグループ 活動報告



SC-TG設立の背景と目的

■ 背景

- SystemCは、SoC(System on Chip)の開発のためのシステムレベル記述言語のひとつとして、既に幅広く使われてきている。また2004年11月に言語開発元のOSCIより言語仕様がIEEEに移管され、その後のOSCI, IEEE, JEITA(SC-TG)の作業により、2005年12月にIEEE Std. 1666-2005として標準が完了したこともあり、ますます普及に拍車がかかると予想される。

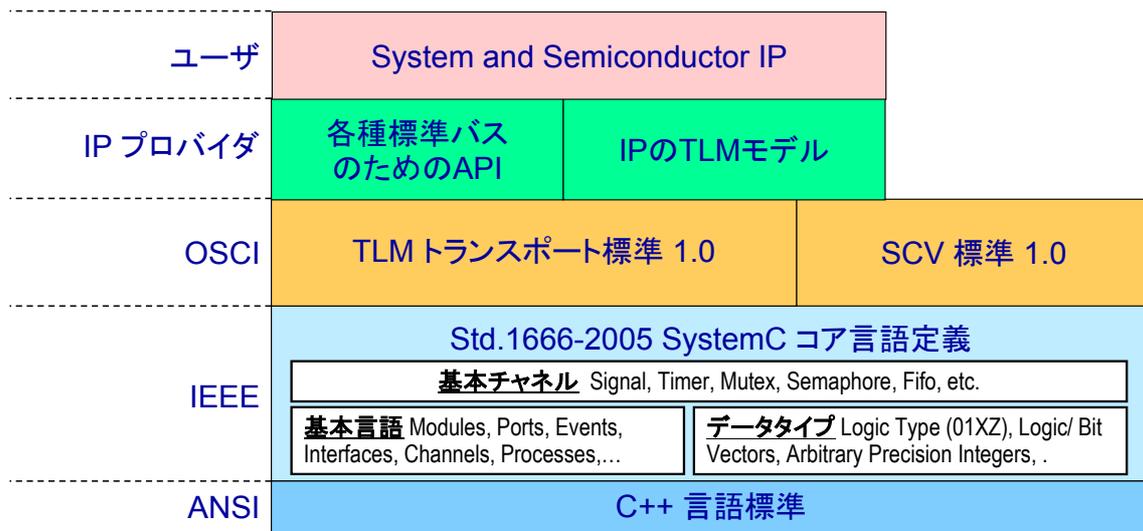
■ 目的

- 日本国内における唯一のSystemCの標準化関連組織として、OSCIやIEEE P1666ワーキンググループと連携しつつ、日本国内の事情・要求事項を取り込むべくSystemCの国際標準化を進めていく。また、SystemCに関連した調査結果をアニュアルレポートやユーザフォーラム等で積極的に情報発信を行うことで、国内普及を図る。これらにより日本の産業界の国際競争力を高めることを目指す。

SystemC とは

- C++言語をベースとした、システムレベル設計言語の代表的な言語である
 - Open SystemC Initiative (OSCI)という標準化組織により、言語仕様(LRM)とリファレンスシミュレータが策定され、無償提供されている
http://www.systemc.org/
 - 2005年12月に、SystemC 2.1のLRMがIEEE Std. 1666-2005として標準化された
 - 現在は合成サブセットやTLMの標準化案が検討されている
- C++の文法を保持したまま、クラスライブラリの形で以下のような言語拡張がなされている
 - 並列動作を可能とするシミュレーションエンジン(クロック、イベント、等)
 - 抽象化された通信手段(Channels, Interfaces)
 - ハード実装に必要なデータタイプ (固定小数点、固定長ビット、等)
 - 0, 1, Z, X 等の信号値等

SystemCの標準化の階層



出典: OSCI, 2006



SC-TG 2005年度の成果まとめ

■ SystemC標準化活動

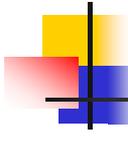
- IEEE P1666の正式メンバーとして、SystemC言語標準化活動に貢献した
 - 数回に渡りリリースされたIEEE版のLRM(Draft)のレビューを継続して実施し、累計で50件以上の問題点を指摘し、最終的に反映された

■ SystemC技術調査

- SystemC 2.1、TLM、合成サブセットのテーマを定め、それぞれ分科会形式で掘り下げた調査を行った
- 論文調査についても継続し、動向分析結果をグラフ化した

■ SystemC普及活動

- 2006年1月27日に、EDSF併設のシステムデザインフォーラムの1プログラムとしてSystemCユーザフォーラム2006を開催した
 - 上記技術調査結果の一部を発表し、好評であった



SC-TG 2006年度の活動目標

■ SystemC標準化活動

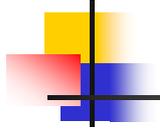
- OSCIより、TLMや合成サブセットのIEEE移管の動きがあるので、それについてフォローを行う
- STARCとも連携し、国内での標準化要望をIEEE等に伝える

■ SystemC技術調査

- SystemC動向調査を継続して実施する
- 合成サブセットやTLM、及び検証ライブラリといった拡張言語仕様について調査し、標準化の検討を行う

■ SystemC普及活動

- 2004～2005年度の実績を踏まえて、SystemCユーザフォーラムを開催し、積極的に情報発信を行いSystemCを利用した設計の普及をはかる



4.2.2 SystemCユーザフォーラム2006 開催報告



SystemCユーザフォーラム2006概要

- 主催: JEITA EDA技術専門委員会
- 協賛: OSCI
- 日時: 2006年1月27日 13:30~15:30
- 会場: パシフィコ横浜アネックスホールF205+F206 (定員200名)
- 講演内容:
 - 司会: 長谷川 隆(富士通)
 - Mike Meredith氏(OSCI): 「OSCI / SystemC directions」
 - 渡邊 政志氏(ルネサステクノロジ)、今井 浩史氏(東芝): 「SystemC 2.1新機能とTLM動向」
 - 岡田 敦彦氏(沖電気工業): 「動作合成によるサウンドLSIの設計事例」
 - 菊川 信吾氏(東芝デジタルメディアネットワーク): 「動作合成の画像処理回路への設計適用事例」



SystemCユーザフォーラム2006開催の意図

- 本年度のSystemCユーザフォーラムは、SystemCの普及の為に以下に挙げる目的で実施された。
 - SystemCユーザに対して、OSCIの活動の方向性を直接聞く機会を設ける。
 - 調査内容の報告を通して、JEITA SystemCタスクグループの活動内容をアピールする。
 - 各社の実設計における設計事例を紹介し、SystemCの実用性を示す。



SystemCユーザフォーラム2006を終えて

- 今回の開催より有料セッションとしてスタートしたが、聴講者数172名と結果的に盛況に終わった。また事前予約も定員200名分全て完売となり、フォーラム自体の認知度や期待度の高さがうかがわれた。
- 3年ぶりの海外講演者としてOSCIのMike Meredith氏を招き、IEEE 1666標準化後のOSCIの活動計画やSystemCのロードマップについての講演を行った。
- 今回はJEITA SystemCタスクグループとしても、活動の一環としてSystemC 2.1の機能やTLM動向についての解説を行った。
- 沖電気工業の岡田敦彦氏、東芝デジタルメディアネットワークの菊川信吾氏を招き、動作合成技術を用いた実設計事例をご紹介いただいた。

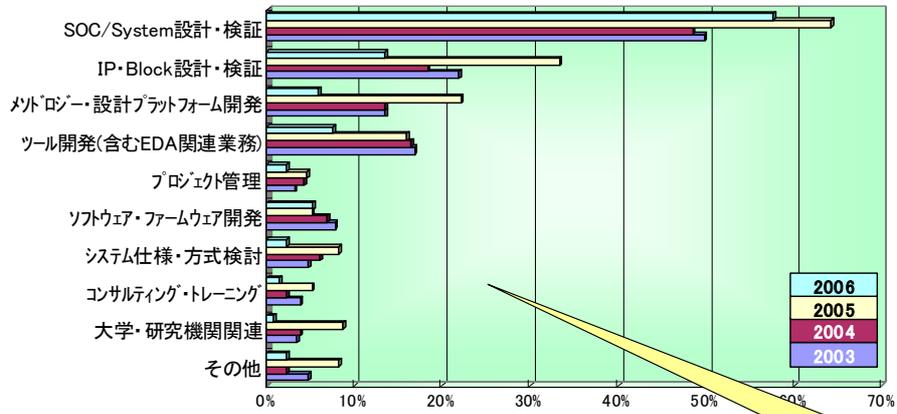
SystemCユーザフォーラム2006を終えて

- 各講演の後に質問時間を設けたが、多いもので5件以上の質問が挙がる等、活発な議論がなされた。
- アンケート調査を実施した結果、次のようなコメントが寄せられた。次回以降開催時の参考としたい。
 - 当日の発表内容と予稿集の内容を合わせて欲しい。
 - ツールベンダ、ASICベンダのバックエンドエンジニアの意見も聞きたい。
 - 次回はTLMでのシステム検証事例が聞きたい。
 - Accellera, OSCI, JEITAに求められる事として、セミナー・ワークショップの定期開催等を通じての日本語による情報発信をもっと行って欲しい。

アンケート調査集計結果

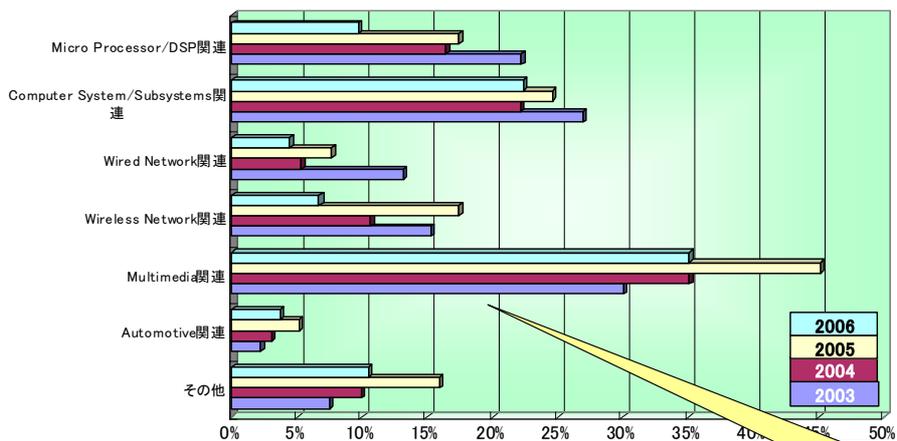
- 昨年度同様の内容でアンケートを実施し、昨年度までの結果と合わせて聴講者の動向を分析できた。
 - 参加者のビジネス分野、アプリケーション分野はあまり変化はみられない。(1), (2)
 - 発表内容では、ユーザ事例に関する関心が高くなってきている。SystemCの言語仕様や概念といった初心者的な内容より、より具体的な使い方といった所へ興味がシフトしてきている。(3)
 - 高位(動作)合成の興味が高い。他国の学会の発表事例数等と比較すると、日本の特殊性が表れている。(4)(5)
 - 等価性検証・プロパティチェックの興味が伸びている。これは高位(動作)合成を取り入れた設計もかなり浸透してきており、その次の問題と考えている参加者が多いものと考えられる。(6)
 - 標準化・言語拡張では、TLMの標準化を望む声が多くなり、逆にHW/SW間I/Fへの期待が少なくなっている。SystemCを使う設計者が、よりHW設計者の方に多くなってきているものと考えられる。(7)(8)

1. ご担当業務またはビジネスは?



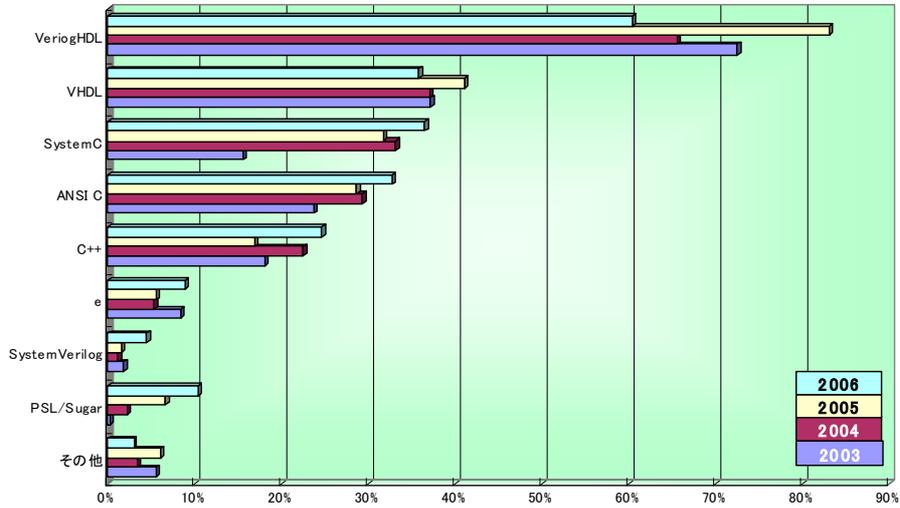
(1) 年度によって構成の大きな変化なし

2. ご担当製品アプリケーションは?

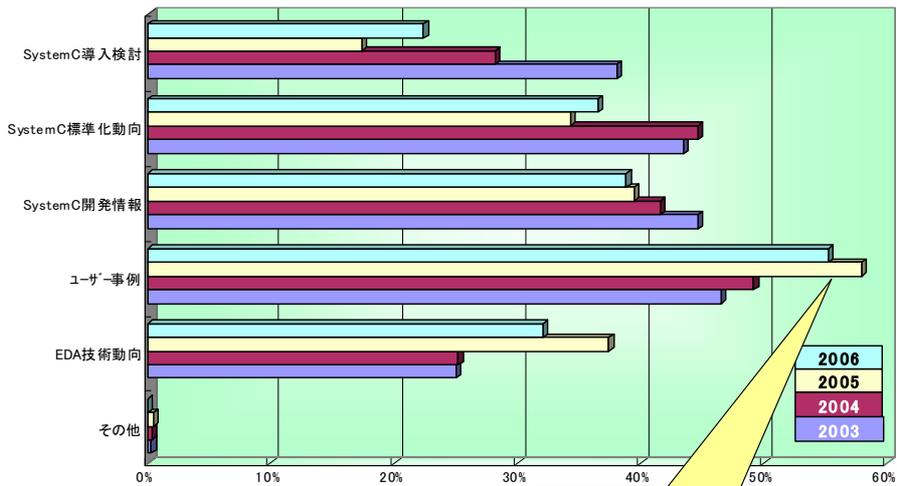


(2) 年度によって構成の大きな変化なし

3. 現在主に使用している言語は?

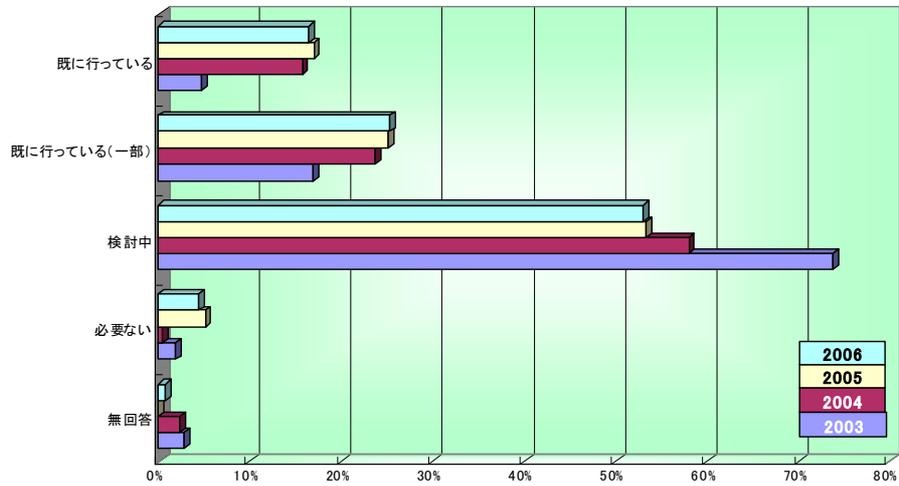


4. SystemCユーザフォーラムに参加された目的は?



(3) より具体的な利用方法
に興味がシフト

5. SystemCでの設計・検証環境構築について

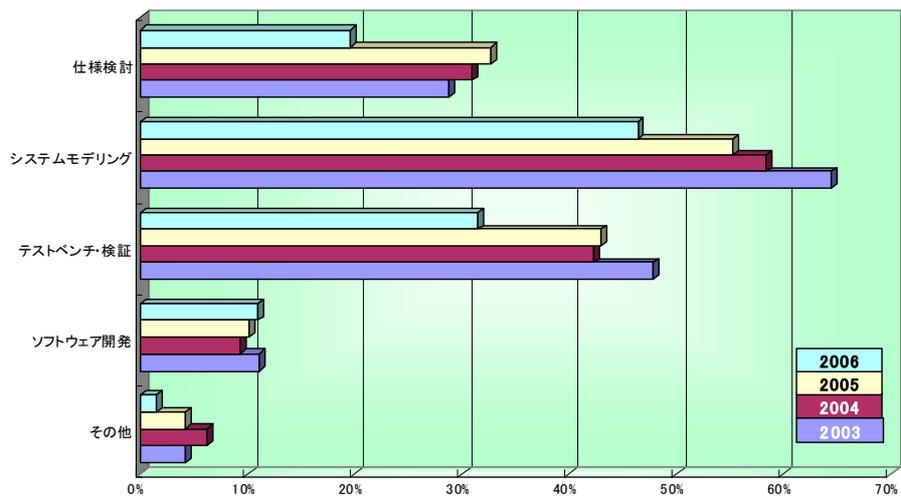


© Copyright 2006 JEITA, All rights reserved

JEITA

23

6. 「5」で「既に行っている」または「検討中」と回答された方 a) SystemCの使用目的は?

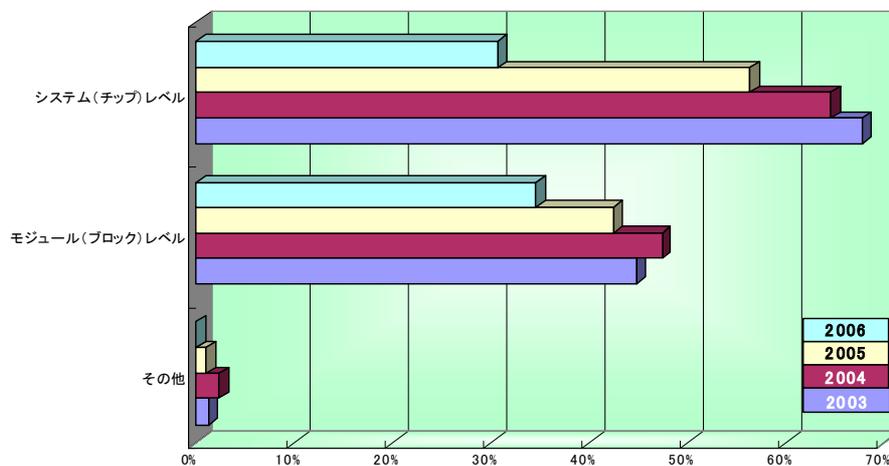


© Copyright 2006 JEITA, All rights reserved

JEITA

24

b) SystemCの活用範囲は?

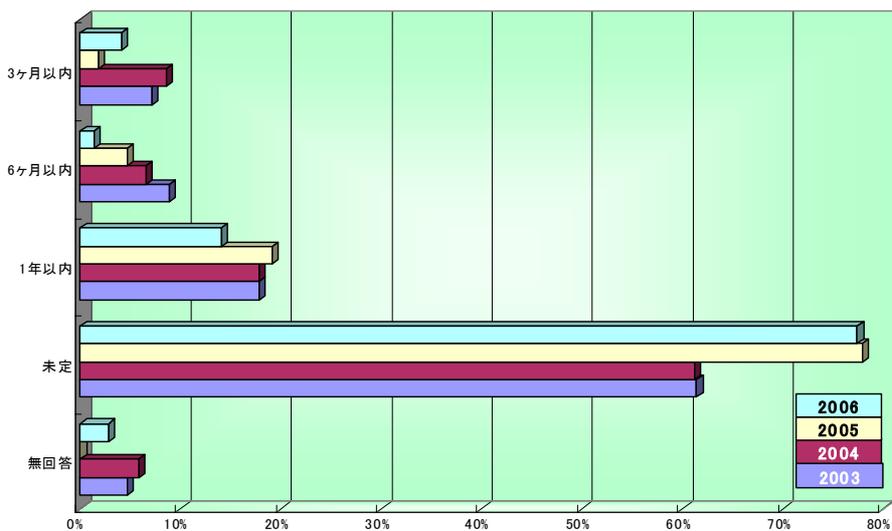


© Copyright 2006 JEITA, All rights reserved

JEITA

25

7. 「5」で「検討中」と回答された方へ 導入予定時期は?

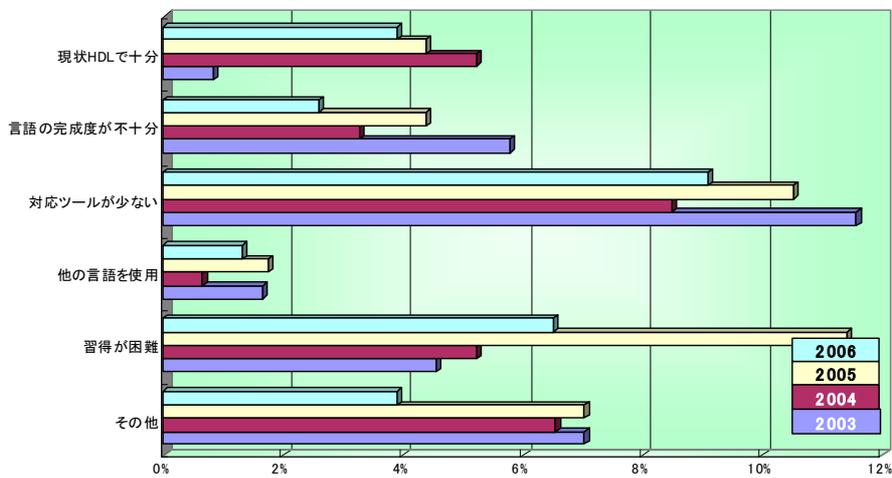


© Copyright 2006 JEITA, All rights reserved

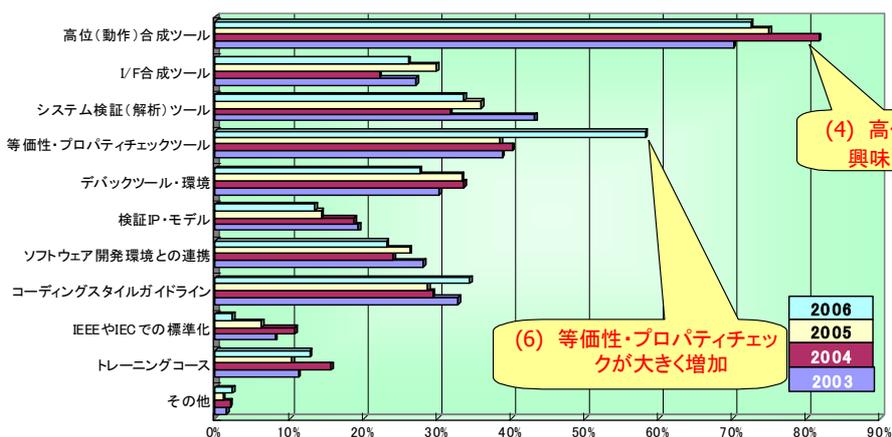
JEITA

26

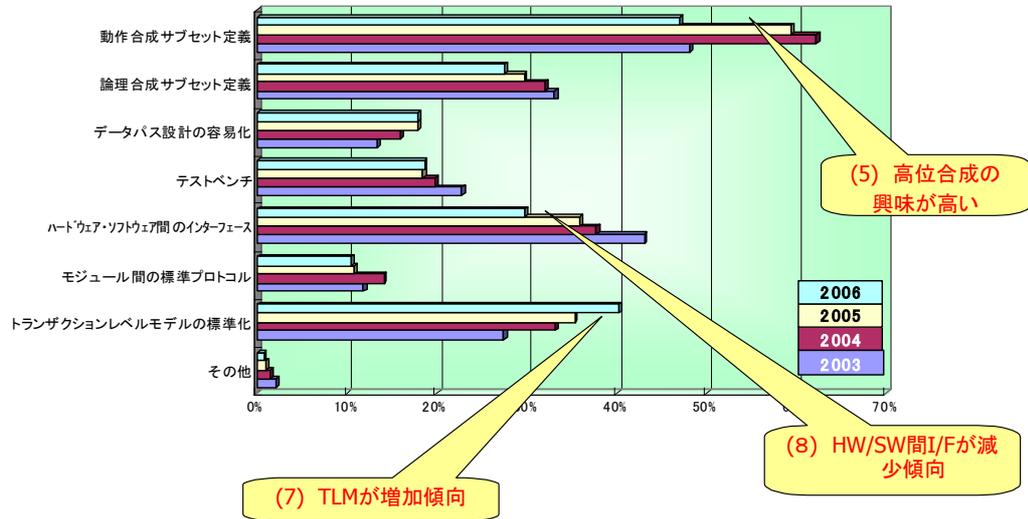
8. 「5」で「必要ない」、「検討中」と回答された方へ導入の障害となっている理由は？



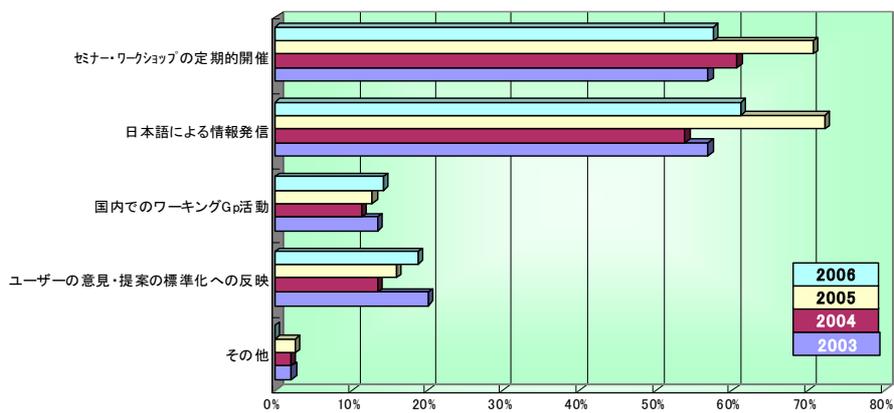
9. SystemCをより活用する為に充実が必要なものは？

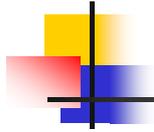


11. 今後SystemCの言語拡張・標準化で期待することは？



12. 今後Open SystemC Initiative (OSCI) や JEITAに期待する活動は？





4.2.3 SystemC 2.1の新機能 及び 互換性調査



SystemC2.1の新機能(抜粋)

対象LRM: **IEEE P1666/D2.1.1, October 17, 2005**

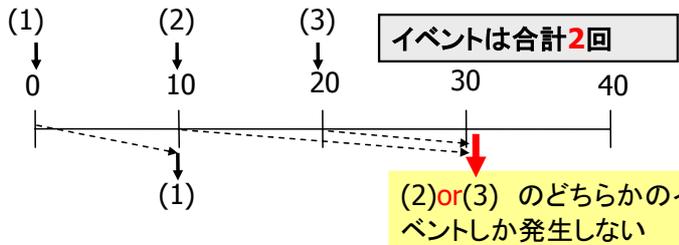
- ✓ **新しいイベントクラス**: 同一サイクル内のイベントも全て実行、ポートを介したモデル間伝達
- ✓ **sc_report**: 大幅に見直されたユーザ定義のレポート出力I/F
- ✓ エラポレーション終了前、Sim開始時、Sim終了時に**コールされる仮想関数**を追加
- ✓ **コマンドライン引数**がどこからでも参照可能に
- ✓ sc_mainに加え、**mainを最上位**にすることも可能に
- コンパイル時に参照したSystemCバージョンが異なった場合の**リンク時エラー機能**
- ✓ sc_uint/sc_int/sc_biguint/sc_bigintを**キャストなしで連結**することが可能
- SystemC 2.0.1ではβ仕様であった**fork/joinが正式サポート**
- ✓ **sc_stop()**を**コール**した時にデルタ遅延後にsc_mainに戻るか即時で戻るかを選択可能
- ✓ チャンネルをモジュール内部で定義するための**sc_export**を追加

~SystemC2.1の新機能~

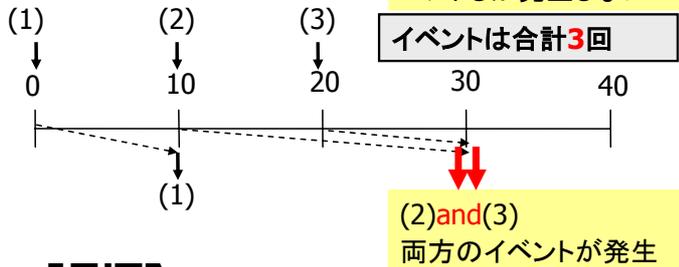
新しいイベントクラスsc_event_queue

同一サイクル内のイベントも全て実行可能

```
sc_event E;
...
E.notify(10);wait(10);//(1)
E.notify(20);wait(10);//(2)
E.notify(10);wait(10);//(3)
...
```



```
sc_event_queue E;
...
E.notify(10);wait(10);//(1)
E.notify(20);wait(10);//(2)
E.notify(10);wait(10);//(3)
...
```



~SystemC2.1の新機能~

新しいイベントクラスsc_event_queue~続き

ポートを介して他のモデルへ伝達可能

```
SC_MODULE(master)
{
  sc_port<sc_event_queue_if> port;

  SC_CTOR(master)
  {
    SC_THREAD(action);
  }

  void action()
  {
    wait(10, SC_NS);
    port->notify(10, SC_NS);
    wait(10, SC_NS);
    port->notify(10, SC_NS);
  }
};
```

```
int sc_main(int, char**)
{
  master A1("A1");
  slave A2("A2");
  sc_event_queue wire;

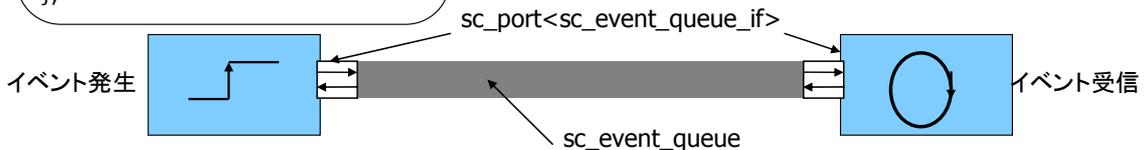
  A1.port(wire);
  A2.port(wire);
  sc_start(100);

  return 1;
}
```

```
SC_MODULE(slave)
{
  sc_port<sc_event_queue_if> port;

  SC_CTOR(slave)
  {
    SC_METHOD(monitor);
    dont_initialize();
    sensitive << port;
  }

  void monitor()
  {
    cout << "catch event" << endl;
  }
};
```

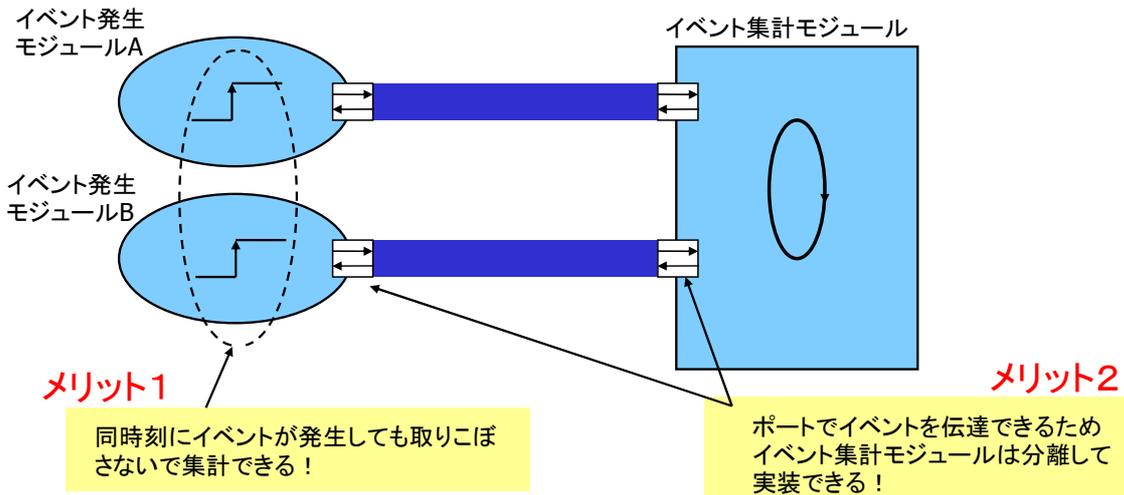


～SystemC2.1の新機能～

新しいイベントクラスsc_event_queue～続き

活用例) バストランザクション数のカウント

- 複数のイニシエータが非同期にイベントを発生
- イベント集計モジュールがそれを監視



© Copyright 2006 JEITA, All rights reserved

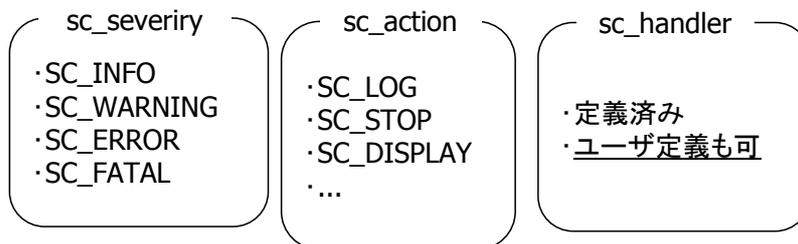
JEITA

35

～SystemC2.1の新機能～

改善されたsc_reportのAPI

エラーメッセージ出力形式が、深刻度/動作/ハンドラに分離
→細かな制御がかんたんにできる！



SC_REPORT_ERROR(ID, MESSAGE)

SC_REPORT_WARNING(ID, MESSAGE)

SC_REPORT_INFO(ID, MESSAGE)

SC2.0.1にあったAPIは廃止

© Copyright 2006 JEITA, All rights reserved

JEITA

36

～SystemC2.1の新機能～

改善されたsc_reportのAPI～続き

```
#include <systemc.h>
int sc_main(int,char**)
{
    sc_report_handler::set_log_file_name("log.log");
    sc_report_handler::stop_after(SC_WARNING, 10);
    sc_report_handler::set_actions(SC_ERROR, SC_DO_NOTHING);
    sc_report_handler::set_actions("port error", SC_DO_NOTHING);
    ...
    SC_REPORT_INFO("/Format Check", "Type-A selected");
    SC_REPORT_WARNING("/Format Check", "Bad type");
    ...
}
```

様々なメッセージ出力先、条件、アクションなどを指定可能

「log.log」ファイルへメッセージを出力
Warningメッセージが10回出力されたら停止
ERRORレベルは何もしない
"port error"という名前の付くものは何もしない

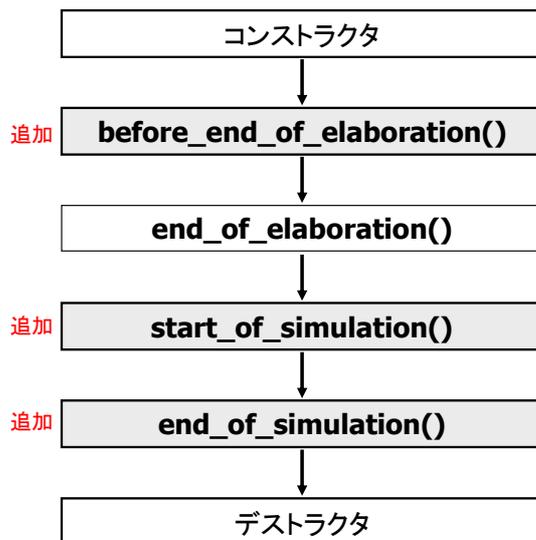
メッセージを出力させる

- メリット**
- システム全体で統一されたメッセージ出力ができる
 - 大規模システム(多人数)での開発では非常に有効、デバッグ性向上
 - SystemCカーネルが出力するものも制御できる

～SystemC2.1の新機能～

Elaboration/Simulationコールバック関数

コンストラクタ/デストラクタ以外のフェーズで関数コールが可能



メリット

ポート結線後の処理などコンストラクタ(やデストラクタ)の中で書けないような処理が記述できるようになった!

- SystemCカーネルがコール。
- 仮想関数なので使いたい時だけ実装すれば良い

sc_module/sc_port/sc_export/sc_prim_channelから継承したクラスが利用可能

~SystemC2.1の新機能~

コマンドライン引数使用の具体例

- 下位のどの階層からもコマンドライン引数を参照可能
- 引数の数は**sc_argc()**で、引数の内容は**sc_argv()**で参照可能

```
SC_MODULE(Ctest)
{
  Ctest(sc_module_name name, int _ac, char *_av)
  : sc_module(name)
  {
    my_ac = _ac;
    strcpy(my_av, _av);
    cout << "argc = " << my_ac << endl;
    cout << "argv[0] = " << my_av << endl;
    ...
  };

  int sc_main(int ac, char **av)
  {
    Ctest test("test", ac, av[0]);
    return 0;
  }
}
```

SystemC 2.0.1コード例

```
SC_MODULE(Ctest)
{
  CTOR(Ctest)
  {
    const char * const *str = sc_argv();
    cout << "argc = " << sc_argc() << endl;
    cout << "argv[0] = " << str[0] << endl;
    ...
  };

  int sc_main(int ac, char **av)
  {
    Ctest test("test");
    return 0;
  }
}
```

SystemC 2.1コード例

コンストラクタなどで受渡す

どこからでも参照可

~SystemC2.1の新機能~

mainを最上位にする具体例

- SystemCの起動は、従来通り「sc_main」から
- 「main」から「sc_main」を起動するのに、「**sc_elab_and_sim**」をコール

```
int sc_main(int ac, char **av)
{
  cout << "Called sc_main" << endl;
  return 0;
}

int main(int ac, char **av)
{
  if( !strcmp(av[0], "SystemC") )
    return sc_elab_and_sim(ac, av);

  else
    return my_simulator(ac, av);
}
```

例えば、引数でシミュレータを切り換えることなどが可能

コード例

~SystemC2.1の新機能~

異なる型をキャスト無で連結する具体例

- sc_uint/sc_int/sc_biguint/sc_bigintを連結するのにキャストは不要
- 但し、各型が取り扱えるサイズには注意が必要

```
sc_uint <4> sc_uint_val;
sc_int <4> sc_int_val;
sc_biguint<4> sc_biguint_val;
sc_bigint <4> sc_bigint_val;
```

```
sc_uint_val = 1;
sc_int_val = 2;
sc_biguint_val = 3;
sc_bigint_val = 4;
```

```
sc_uint<16> assigned_sc_uint = (sc_uint_val, sc_int_val, sc_biguint_val, sc_bigint_val);
sc_int<16> assigned_sc_int = (sc_uint_val, sc_int_val, sc_biguint_val, sc_bigint_val);
sc_biguint<16> assigned_sc_biguint = (sc_uint_val, sc_int_val, sc_biguint_val, sc_bigint_val);
sc_bigint<16> assigned_sc_bigint = (sc_uint_val, sc_int_val, sc_biguint_val, sc_bigint_val);
```

型が異なる場合もキャストの必要無
SystemC2.0.1ではコンパイルエラー

コード例

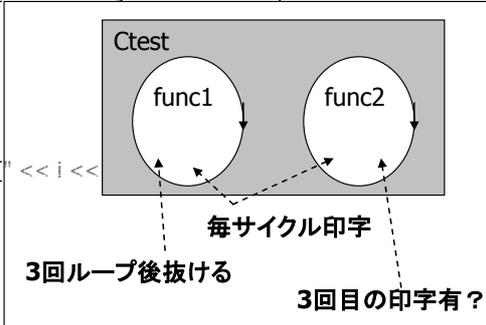
~SystemC2.1の新機能~

sc_stopのモード指定に関する具体例

```
SC_MODULE(Ctest)
{
  sc_in<bool> clk;

  void func1(){
    for( int i=0 ; i<3 ; i++ ){
      wait();
      cout << "[" << i << "]" func1" << endl;
    }
    sc_stop();
  }
  void func2(){
    for( ;; ){
      wait();
      cout << "[" << i << "]" << endl;
    }
    sc_stop();
  }

  CTOR(Ctest)
  {
    SC_THREAD(func1); dont_initialize(); sensitive << clk.pos();
    SC_THREAD(func2); dont_initialize(); sensitive << clk.pos();
  }
};
```



```
[0] func1
[0] func2
[1] func1
[1] func2
[2] func1
[2] func2
--終了--
```

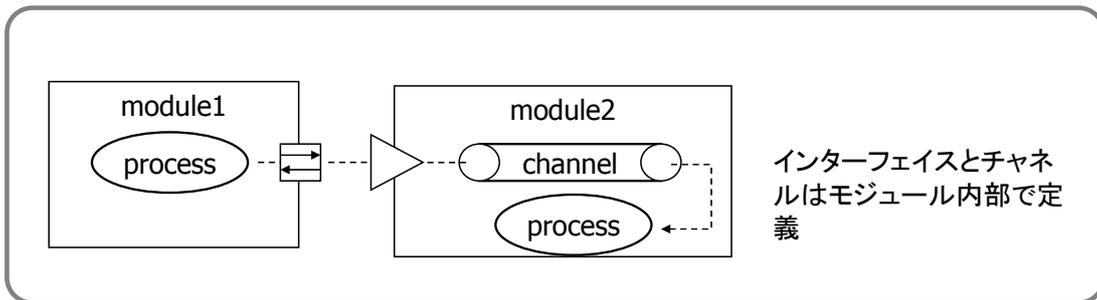
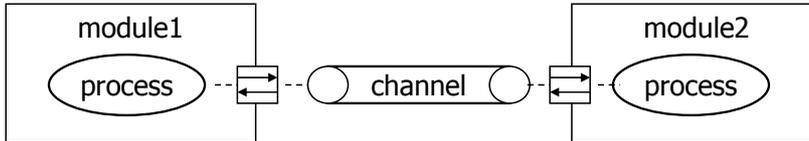
sc_set_stop_mode(SC_STOP_FINISH_DELTA)
または何も指定しない(デフォルトはこちら)

```
[0] func1
[0] func2
[1] func1
[1] func2
[2] func1
--終了--
```

sc_set_stop_mode(SC_STOP_IMMEDIATE)

~SystemC2.1の新機能~
sc_exportに関する具体例

チャンネルをモジュール内部で定義可能



~SystemC2.1の新機能~
sc_exportに関する具体例

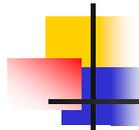
```
// Interface
class C_if : virtual public sc_interface
{
public:
virtual void run() = 0;
};

// Channel
class C : public C_if, public sc_channel
{
public:
SC_CTOR(C) {}
virtual void run()
{
cout << sc_time_stamp()
<< " In Channel run() " << endl;
}
};

SC_MODULE( module2 )
{
public:
C C0;
sc_export<C_if> IFP1;
SC_CTOR(module2):C0("C0"),IFP("IFP",C0){}
};
```

```
SC_MODULE( module1 )
{
sc_port<C_if> P;
SC_CTOR(module1){ SC_THREAD(run);}
void run() {wait(10, SC_NS); P->run();}
};

int sc_main(int argc, char** argv) {
module2 mod2("mod2");
module1 mod1("mod1");
mod1.P( mod2.IFP );
sc_start(17, SC_NS);
return 0;
}
```



~SystemC2.1の新機能~ 追加されたクラス/関数

•マクロ

SC_FORK
SC_JOIN

•クラス

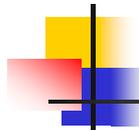
sc_event_queue
sc_export
sc_process_handle
sc_event_queue_if
sc_export_base
sc_generic_base
sc_value_base
sc_spawn_options

•クラスのメソッド

sc_module:reset_signal_is
sc_report_handler:get_count
sc_object:get_parent_object, get_child_objects
sc_clock:start_time, posedge_first
sc_trace_file::set_time_unit

•グローバル関数

before_end_of_elaboration
start_of_simulation
end_of_simulation
sc_start_of_simulation_invoked
sc_end_of_simulation_invoked
sc_elab_and_sim
sc_argc
sc_argv
sc_stop_mode
sc_delta_count
sc_spawn
sc_interrupt_here
sc_stop_here
sc_release
sc_get_current_process_handle
sc_find_object
sc_get_top_level_objects
sc_is_running
wait(int)



互換性の問題

■2.1で動作仕様が変更されたもの

.sc_start(0)は、デルタ遅延後停止するように

→次ページで具体例を紹介

.sc_stopコール後に**sc_start**をコールするとエラーに

.sc_stopコール後に**sc_stop**を再びコールするとワーニングに

■サポートOSとコンパイラバージョン(後述)

■将来サポートされない可能性がある機能(後述)

～互換性の問題～ sc_start(0)の動作相違例

シミュレーションでの
結果が異なる

```
#include "systemc.h"
SC_MODULE(X)
{
    sc_in<bool> clk;

    SC_CTOR(X)
    {
        SC_METHOD(msg);
        dont_initialize();
        sensitive << clk.pos();
    }

    void msg(){ cout << sc_time_stamp() << endl; }
};

int sc_main(int argc, char* argv[])
{
    sc_clock clock("clock", 1, 0.5);

    X x("x");
    x.clk(clock);

    sc_start(0);

    cerr << "Program END" << endl;
    return 0;
}
```

クロックなど評価/更新を実施する対象があるとそれを全て実行するまでシミュレーションを実行していた。

2.0.1の実
行結果

2.1の
実行結果

0 NS
1 NS
2 NS
3 NS
...

0 NS
Program END

～互換性の問題～ サポートOSとコンパイラバージョン

OS	version	compiler	version	2.0.1	2.1
SunOS	2.7(※)/2.8	GNU C++	2.95.2	○	×
			2.95.3	○	○
		SUN C++	3.2.3/3.3.2	×	○
			SC6.1/SC6.2	○	×
		SUN Studio C++	8	×	○
Linux RedHat	6.2	GNU C++	2.95.2/2.95.3	○	×
	7.2	GNU C++	2.95.3	○	○
	8.0	GNU C++	2.95.3/3.2.3/3.3.2	×	○
	ee21	GNU C++	3.2.3	×	○
HPUX	11	HP C++	A.03.15/A.03.33	○	×
			A.03.63	×	○
MacOS	X	GNU C++	3.1/3.3	×	○
WindowsNT	4.0(SP6a)	VC++	6.0(SP5)	○	×
Windows	XP	VC++	6.0/7.1	×	○

※ SystemC2.1では、SunOS ver2.7はサポート対象外

～互換性の問題～

将来サポートされない可能性がある機能(抜粋)

SystemC2.0.1の互換性のためにSystemC2.1リファレンスシミュレータ(Ver2.1 Beta Oct 12 2004)には実装されているが、LRM(IEEE P1666/D2.1.1, October 17, 2005)では記載されていない機能(注意が必要なものを抜粋)。将来サポートされない可能性が高いので、今後は使用しない方がよい。

概要	注意度	将来なくなる記述	代替/推奨記述
sc_cycleとsc_initializeを止めてsc_startを使う シミュレーション状況の情報をsim_contextを直接アクセスせずに、新たに定義された下記アクセス関数を利用する。 <アクセス関数> sc_delta_count sc_is_running sc_get_top_level_objects sc_find_object <メンバー関数> get_child_objects get_parent_object	◎	sc_cycle, sc_initialize	sc_start <function> sc_delta_count sc_is_running sc_get_top_level_objects sc_find_object <member function> get_child_objects get_parent_object
event.notify_delayed()の代わりに、event.notify(SC_ZERO_TIME)を利用	○	notify_delayed	notify(SC_ZERO_TIME)
operator, and operator<< of class sc_module for positional port binding (Use operator() instead.)	◎	ポート接続の“.”と“<<”	ポート接続の“()”
operator() of class sc_module for positional port binding when called more than once per module instance (Use named port binding instead.)	◎	ポート接続のポジション指定	ポート接続の名前指定
sc_sensitive(clk)をやめて、sc_sensitive << clk を推奨	◎	sensitive(event)	sensitive << event
sc_sensitive(clk)をやめて、sc_sensitive << clk を推奨	◎	sensitive_pos(clk)/neg(clk)	sensitive<< clk.posedge()
default time unit (=1ns)自体の設定変更ができなくなる。 time unitの変更は可能。	○	sc_simulation_time sc_set_default_time_unit sc_get_default_time_unit sc_start(double) sc_clock(const char*, double, double, double, bool)	NONE
sc_signalのメンバー関数get_new_value()を使わない。	○	sc_signalのメンバー関数 get_new_value()	NONE
SYSTEMC_VERSION定数を使わずに、sc_version関数を使う。	○	定数 SYSTEMC_VERSION	sc_version関数
出力できる波形ダンプファイル形式は、VCDだけ	○	wifフォーマット isdbフォーマット	vcdフォーマットonly
sc_bitを使うよりC++のboolを使ったほうが高速?	◎	sc_bit	bool
watching(reset)の代わりに、reset_signal.is を使う	○	watching in CTHREAD	reset_signal.is関数

© Copyright 2006 JEITA, All rights reserved

JEITA

49

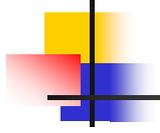
参考文献

1. IEEE P1666 homepage, <http://www.eda.org/systemc/>
2. LRM: IEEE P1666/D2.1.1, October 17, 2005
3. OSCI, <http://www.systemc.org>
4. JEITA/標準化委員会2000年度アニュアルレポート“SLD研究会”
5. STARC, “SystemC入門(1.0版) 2005年4月”
6. OCP-IP, <http://www.ocpip.org/home>
7. ARM CASI,
<http://www.arm.com/products/DevTools/ESLmodelinterfaces.html>
8. GreenBus, <http://www.greensocs.com/GreenBus>

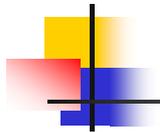
© Copyright 2006 JEITA, All rights reserved

JEITA

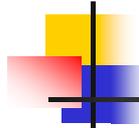
50



4.2.4 SystemC動向調査報告

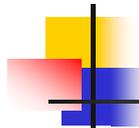


4.2.4.1 TLM動向

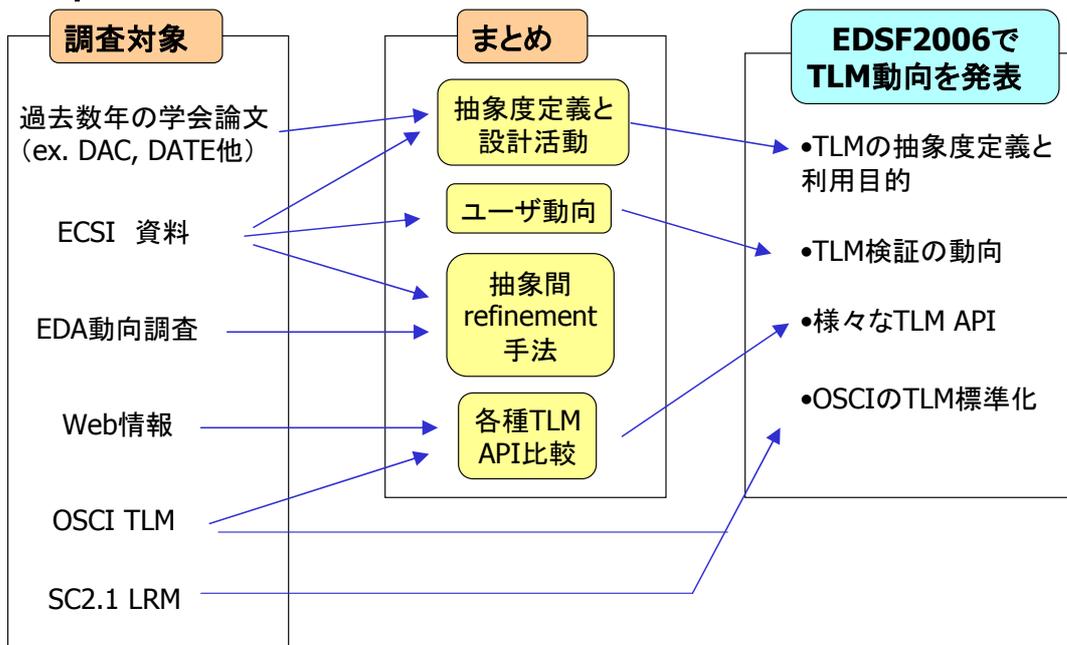


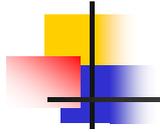
SystemC TLM動向調査方針

- SystemC TLMの動向調査を実施. TLMに関するトレンドの俯瞰図の作成
 - ユーザのトレンド
 - EDAベンダーのトレンド
 - 標準化のトレンド
 - 全体としての課題や方向性のサマリ
- 調査対象
 - 過去数年の学会論文 (ex. DAC, DATE他)
 - ECSI Efficient Transaction Level Modeling Workshop 資料
 - EDA動向調査



2005年度TLM動向調査内容



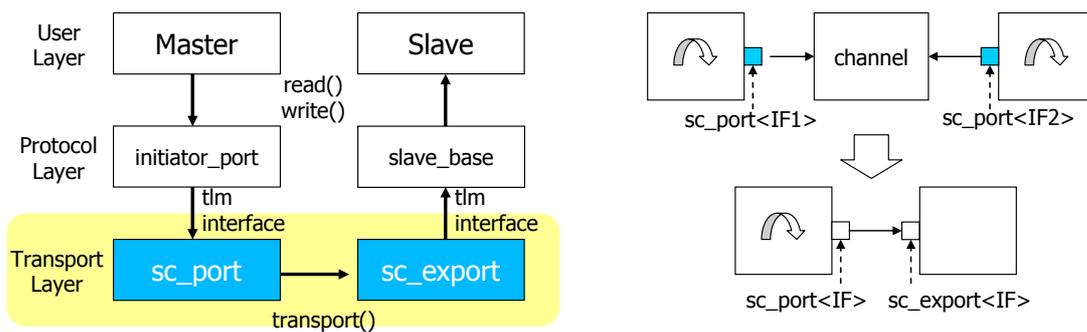


4.2.4.1.1 TLM動向(まとめ)



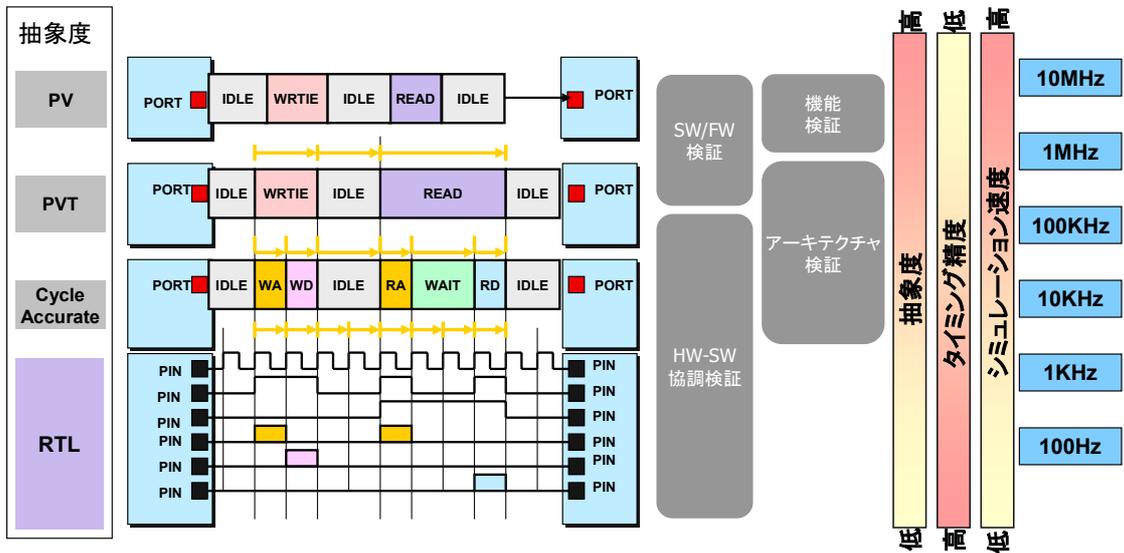
~TLM動向~ OSCIのTLM標準化

OSCI Transaction Level Modeling Standard 1.0(Jun 2005)



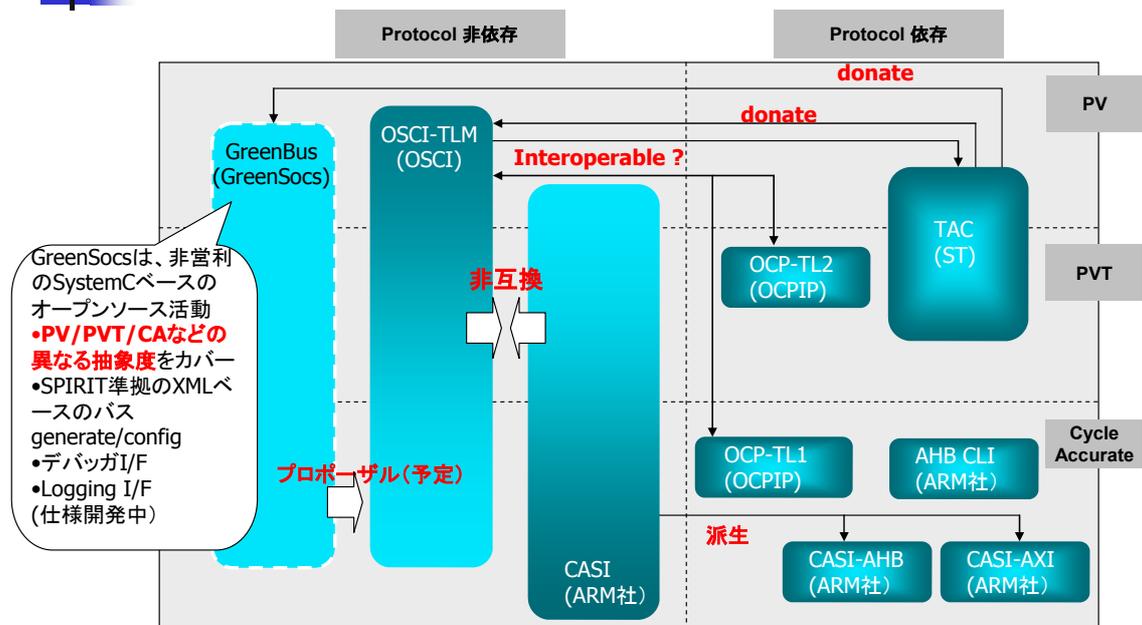
- OSCI-TLMは、Transport Layerでのtlm interfaceを定義
- **unidirectional/bidirectional blocking/non-blocking**なTransaction Levelモデリングが可能に
- SystemC2.1で導入された**sc_export**により、チャンネルを介さずに接続が可能に⇒直接データの転送+context switchingの削減⇒**高速化**

~TLM動向~ TLMの抽象度定義と利用目的



- Transaction Level モデリングは、抽象度に応じたモデリングとリファインメント技術が求められる

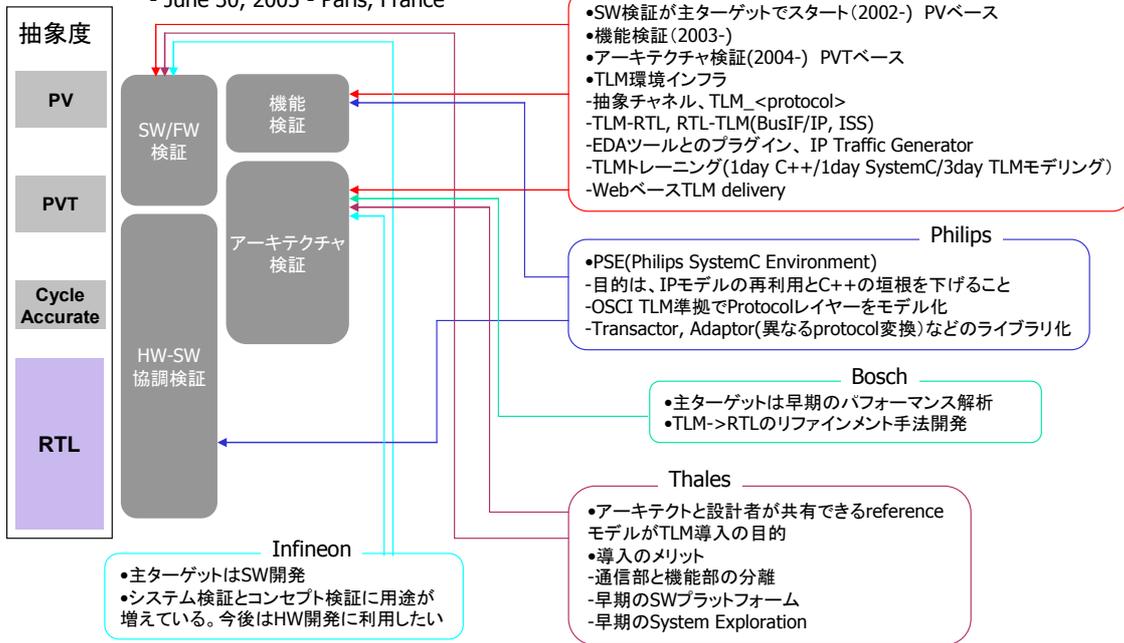
~TLM動向~ 様々なTLM API



～TLM動向～ TLM検証の動向

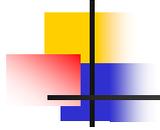
(ESCI Workshop on Efficient Transaction Level Modelingより)
- June 30, 2005 - Paris, France

STマイクロ

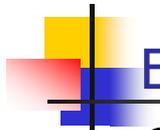


4.2.4.1.2 Workshop on Efficient Transaction Level Modeling (2005年6月 ESCI主催のワークショップ) のサマリ

- EDAベンダー動向
- ユーザ動向
- 標準化動向



4.2.4.1.2.1 EDAベンダー動向

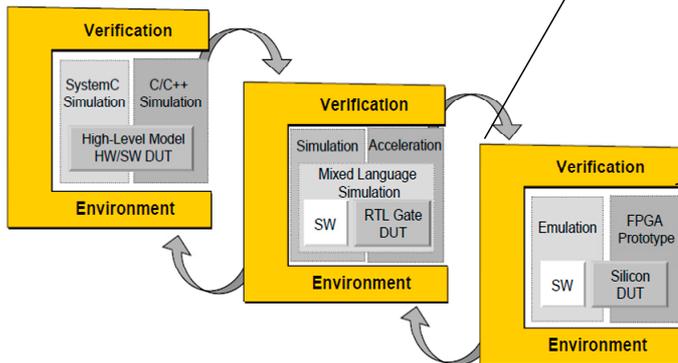


EDAベンダー動向

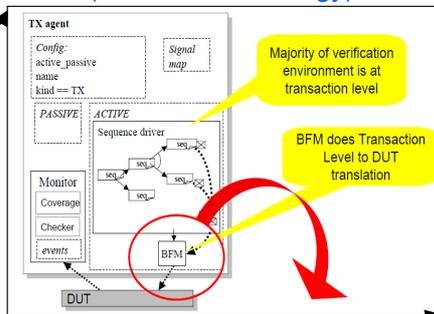
- **CADENCE**
 - 異なる抽象モデルで再利用できるテストベンチソリューション(Specman)
- **Prosilog**
 - SPIRIT2.0(TLM追加)をフルサポートするIP設計環境
- **Summit Design**
 - HDL/SystemCのエントリ・デバッグ環境と各種ライブラリのサポート
- **Celoxica**
 - SystemC TLMからの合成とFPGAフローのサポート
- **Synopsys**
 - SystemC/SystemVerilogを包含する設計ツール・メソドロジとIPフロー
- **Mentor Graphics**
 - TLMを利用した検証メソドロジ

CADENCE

提供するソリューション
 抽象度間リファインメントにおける
 検証環境の再利用性の提供



eRM(Reuse Methodology)



テストベンチアーキテクチャ

A golden, adaptable verification plan and automation environment enables spec to post silicon success

© Copyright 2006 JEITA, All rights reserved

JEITA

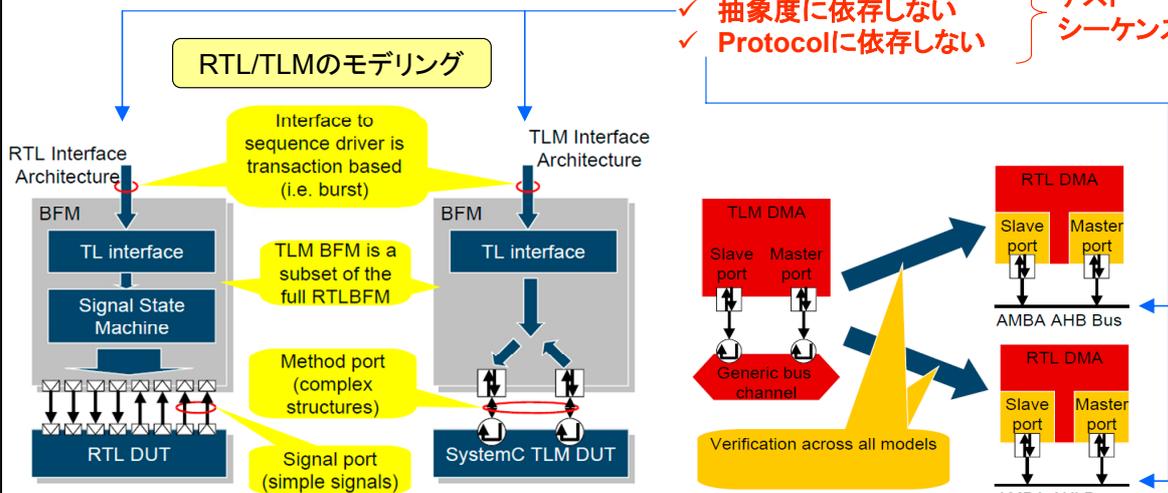
63

CADENCE

提供するツール・ライブラリ
 •SpecMan
 •eVC(各プロトコルライブラリ)

メリット

- ✓ 高い抽象レベルの
 - ✓ 抽象度に依存しない
 - ✓ Protocolに依存しない
- テストシーケンス



© Copyright 2006 JEITA, All rights reserved

JEITA

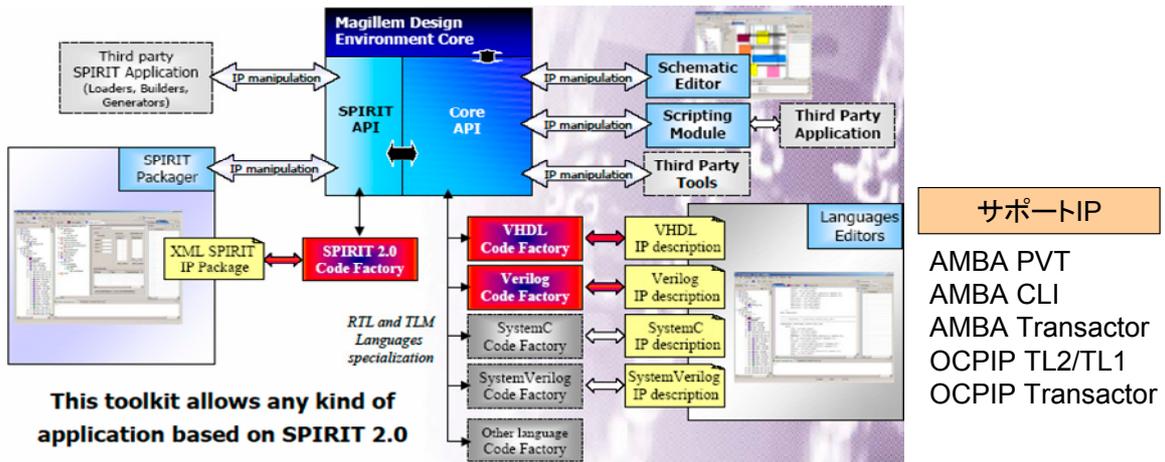
64

Prosilog

提供するソリューション

- SPIRIT2.0のフルサポート
- RTL/TLMのマネージメント
- TLMデバッグ、パフォーマンス解析ツール

- import / packaging
- configurable IP management
- interconnect management
- wrapper/transactor insertion
- third party tool link



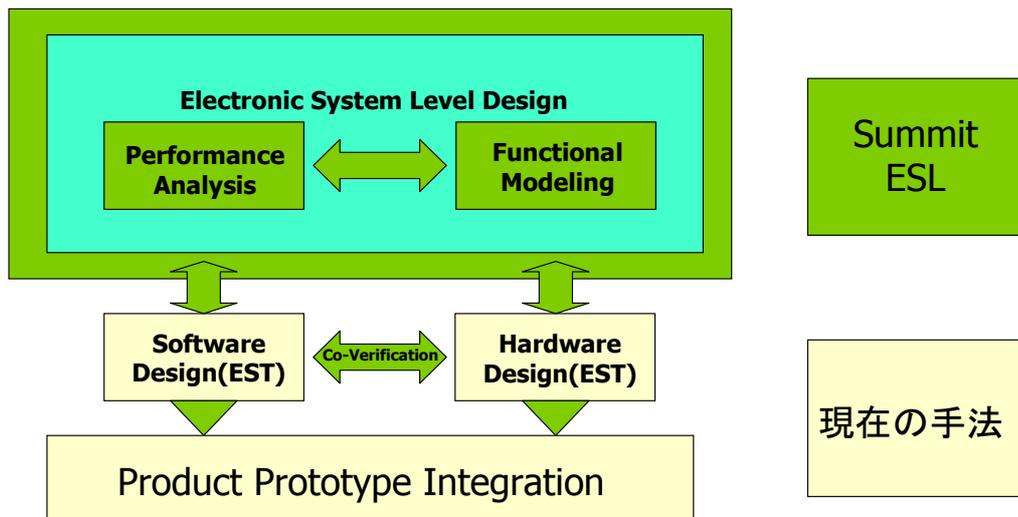
This toolkit allows any kind of application based on SPIRIT 2.0

© Copyright 2006 JEITA, All rights reserved

JEITA

65

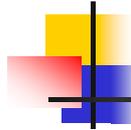
Summit Design(設計フロー)



© Copyright 2006 JEITA, All rights reserved

JEITA

66



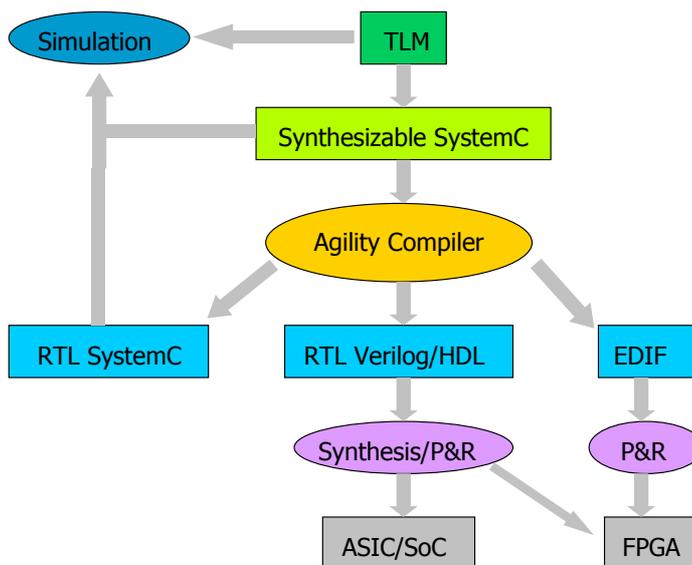
Summit Design (Vista/Visual Elite)

- エントリ・デバッガ
 - プロジェクト・ブラウザ
 - コード・ブラウザ
 - デザイン・ブラウザ
 - 波形表示
 - TLM表示
- SCVライブラリ
- TLMライブラリ
- OCP-IPライブラリ
- アーキテクチャ解析
 - SW実行解析
 - トラフィック解析

実際に供給されるものがよくわからない。Vista/Visual Elite/Processor model(ARM/MIPS) ??
VistaとVisual Eliteの違いは？



Celoxica (設計フロー)



- ・早期TLMから迅速にFPGAにプロトタイプ。
- ・TLMテストベンチを各レベルで再利用。
- ・独自制約や追加文法のない純粋なSystemC。
- ・Synopsys Design Compiler用にされたRTLを自動生成。
- ・Stratix IIおよびVirtex 4を含むFPGAネットリストの自動生成。
- ・複数クロックのサポート。
- ・複数ブロックおよびサイズ制限のない合成。

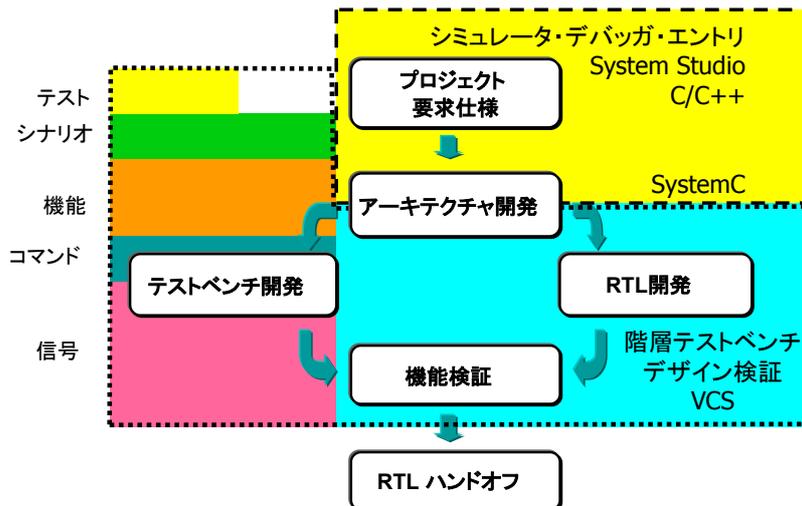
Celoxica (サポート範囲)

OSCI Synthesis Working Groupの合成サブセット+アルファを合成可能。

- | | |
|---|-------------------------------------|
| Char, short, long, long long (signed/unsigned) | Thread process (sc_thread) |
| Bool | Clocked thread process (sc_ctypead) |
| Compile time float and double | Method process (sc_method) |
| Arrays | Wait() |
| Structures and classes | Clock sensitivity |
| Sc_int, sc_uint, sc_bit, sc_bv, sc_logic, sc_lv | Reset behavior |
| Sc_fixed, sc_ufixed | Hierarchical modules |
| Sc_in, sc_out, sc_inout | Port mapping |
| Sc_signal | TLM(sc_interface, sc_port) |
| Sc_fifo | |
| sc_interface | Multiple threads |
| Sc_port | Multiple modules |
| | Loop unrolling |
| Sc_ram(single and dual port memory) | |

今ひとつ詳細が不明

Synopsys (設計フローとツール・サポート)

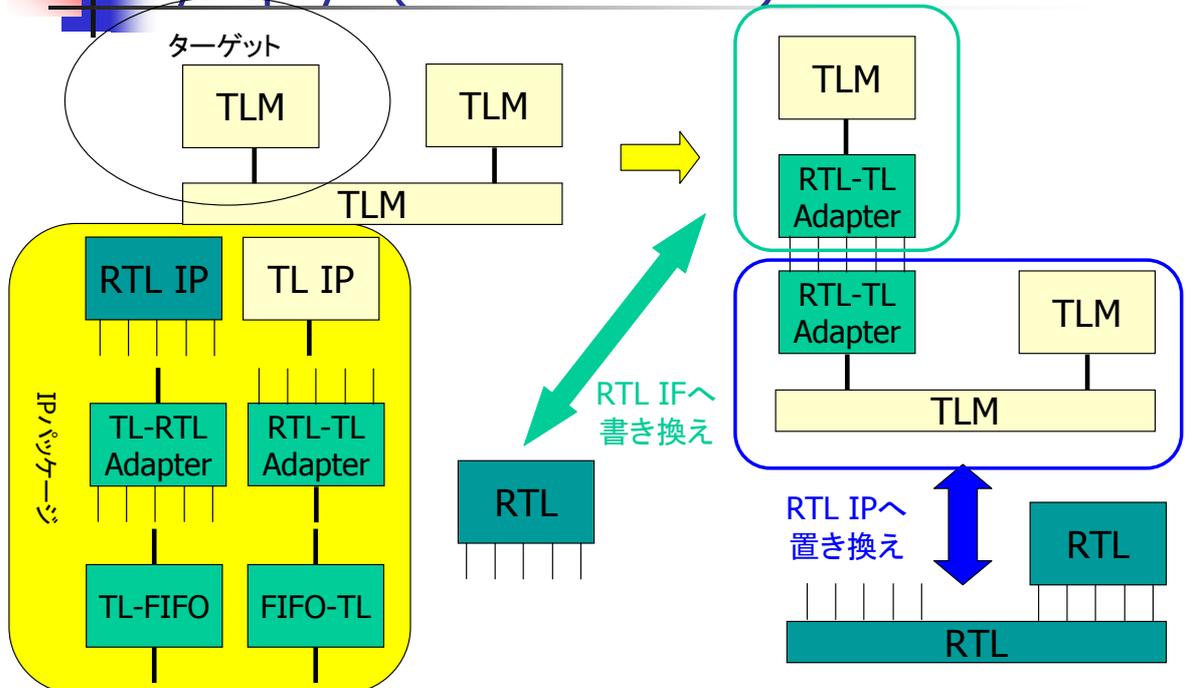


- ・TLMをより効率よく使うため、テストベンチの階層化・多言語サポート。
- ・異なる言語・抽象度に対応するデバッグ環境の提供。
- ・TLM IPの提供。
- ・異なる抽象度の検証を効率よく進めるための方法論・手法の提供。

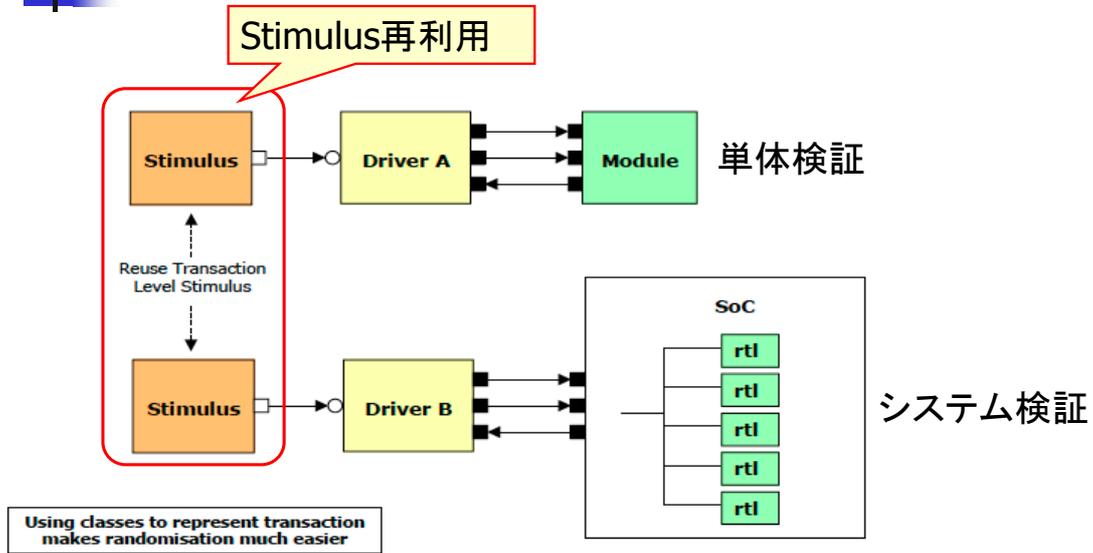
Synopsys(IPの提供)

- IPベンダと提携してバス・プロセッサ・ペリフェラルのSystemC TLM提供を促進(HW/SW検証)
 - ARM/AMBA/AXI
 - 926EJ-S,946EJ-S,1136EJ-S
 - AXI/AHB/APB/RemapPause/InterruptController/Timer/UART/Monitor
 - PowerPC/CoreConnect
 - PowerPC405/440
 - ZSP
 - Virtioの高速機能モデル
 - ARM,Freescale,OMAP,...
 - OSCI TLMに参加

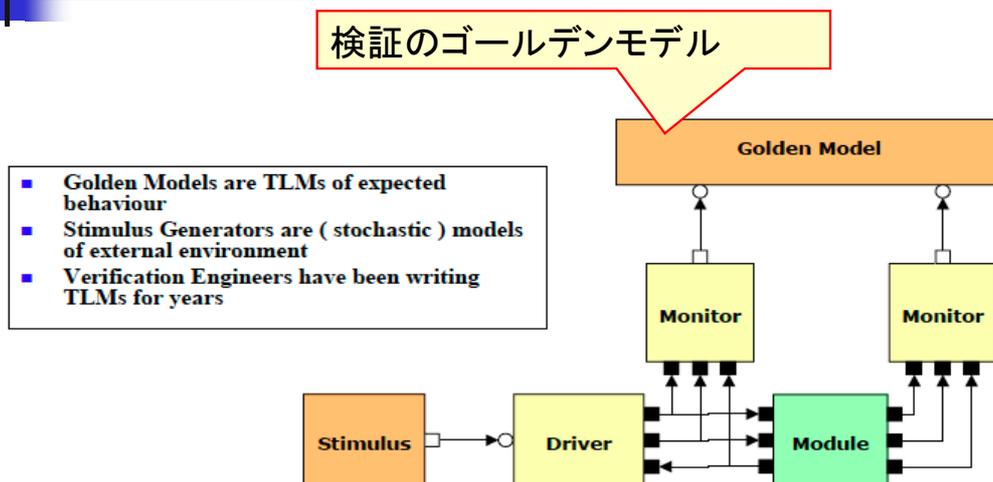
Synopsys (IPリファイメント)



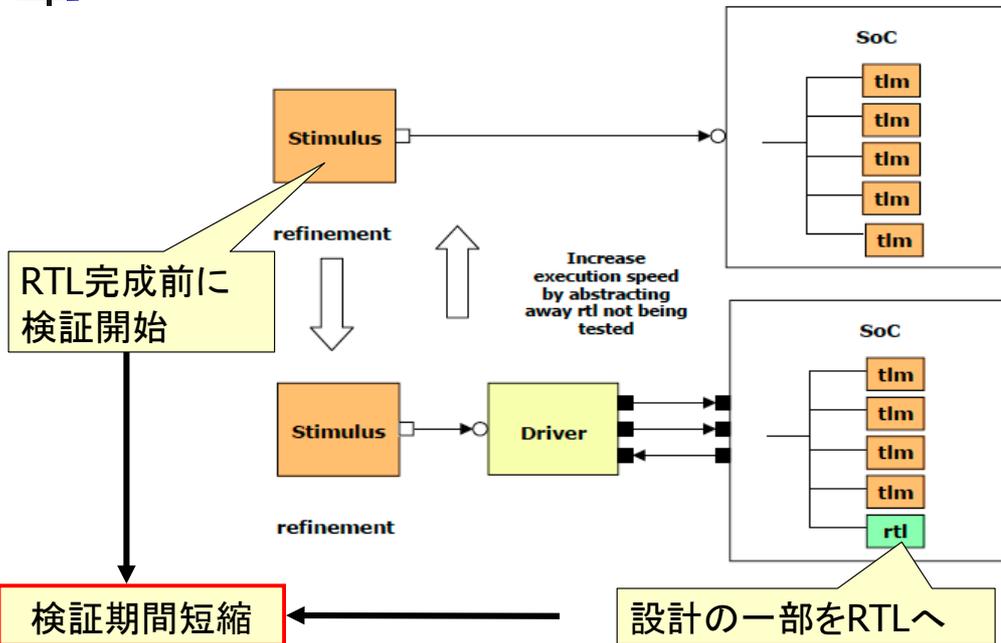
Mentor (再利用)



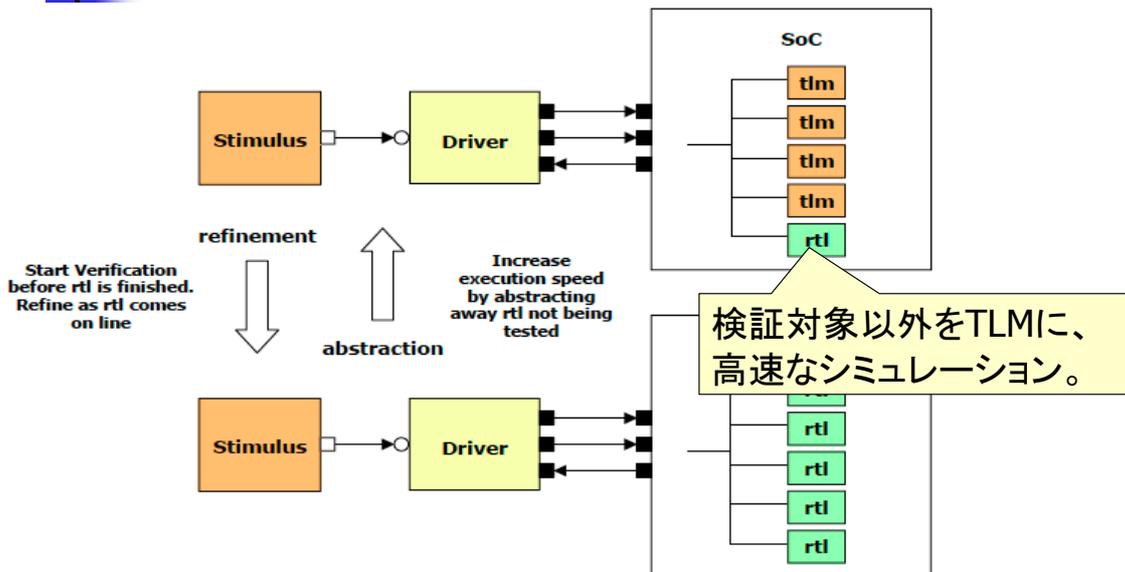
Mentor (ゴールデンモデル)



Mentor (リファインメント)



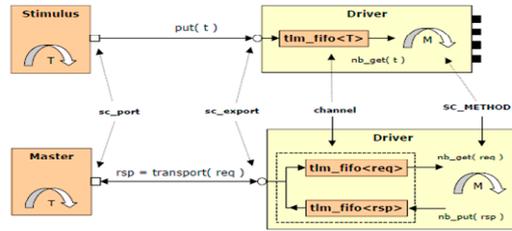
Mentor (高速な検証)



Mentor (基礎となる技術)

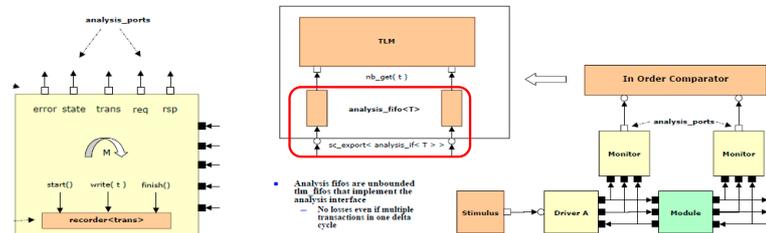
■ ドライバ

- OSCI TLMの利用



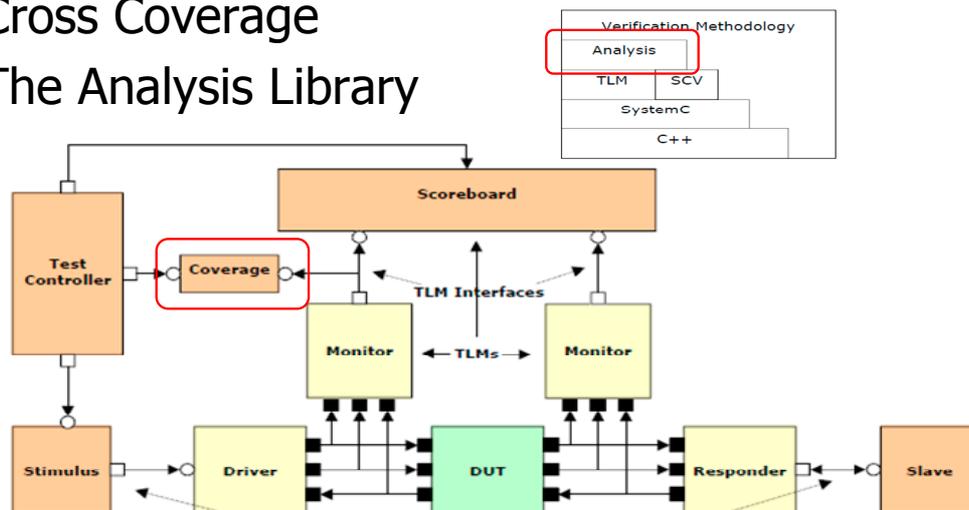
■ モニタ

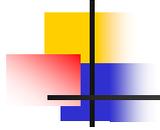
- Analysis Ports and Recorders



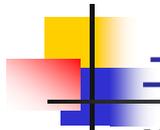
Mentor (基礎となる技術)

- Functional Coverage
- Cross Coverage
- The Analysis Library





4.2.4.1.2.2 ユーザ動向



ユーザ動向サマリ(1)

- ICODES(産学協同プロジェクト)
 - TLMのInterface合成インフラ(言語、ライブラリ)の開発
- FZI(非営利の契約ベースのドイツの研究機関)
 - アーキテクチャ探索でIP再利用のためTLM適用
- Thales
 - SystemC TLMによる仮想プラットフォームにより抽象度のギャップを軽減
- Bosch
 - SystemC TLMによるパフォーマンス解析とTLMからの合成フローの適用
- Infineon
 - Virtual PrototypingにTLMを利用
- Philips
 - 異なる抽象度間の移行が容易な環境を準備
- STMicroelectronics
 - TLM IPも数多く揃え、広くTLMを利用

ICODES

OSSSの言語仕様
⇒調査

TLM合成 (SystemCベースの言語OSSS)
shared objects, class and instance,
templates, polymorphism

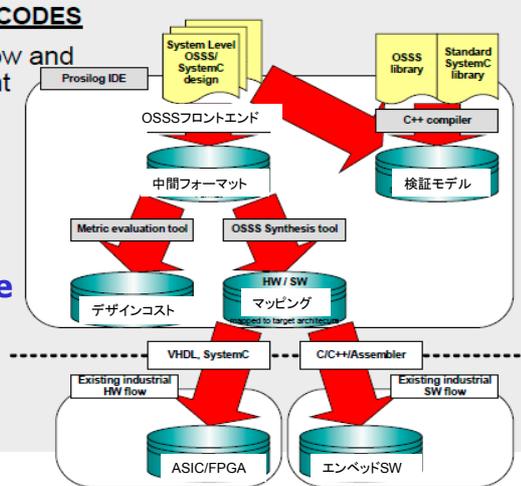
European Sixth Framework Programme (参加企業)

Prosilog, OFFIS, Thales, SIEMENS,
Bosch, Politecnico di Milano

- 抽象レベルのTLM (read/write)
- HW/SWの通信コンポーネント生成
HW interface module generation
SW interface routine generation
Generation of HW-buses
Binding modules to existing system buses
- VHDL出力

TLM Synthesis with ICODES

•ICODES Design Flow and Design Environment

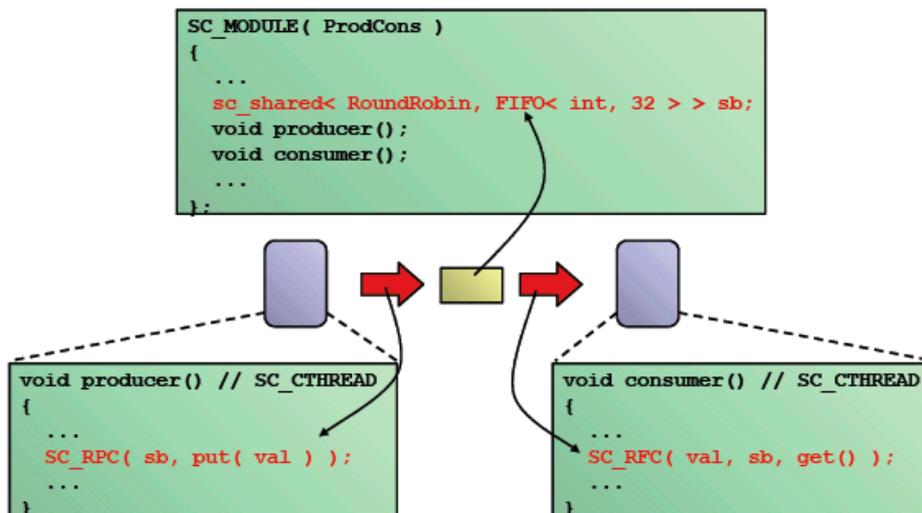


<http://icodes.offis.de>

ICODES

インターフェース合成 (1)

Shared Objects - Usage

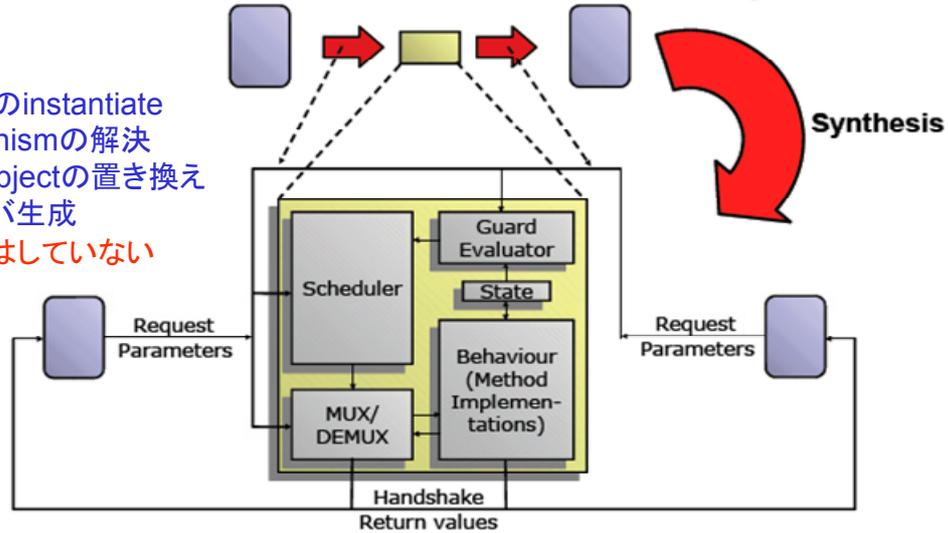


インターフェース合成 (2)

Synthesis



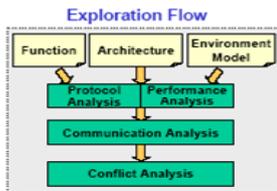
- Templateのinstantiate
- Polymorphismの解決
- Shared Objectの置き換え
- SWドライバ生成
- 動作合成はしていない



非営利の契約ベースのドイツの研究機関

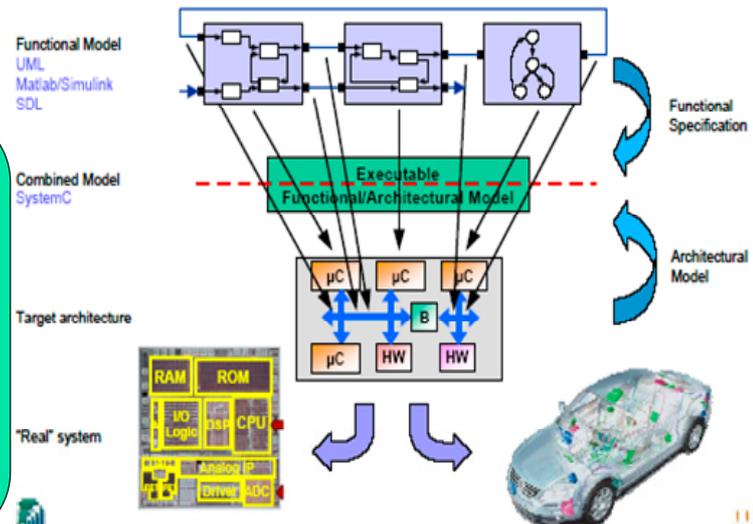
SystemC

- Function仕様をリファインしたArchitectureモデルを実装



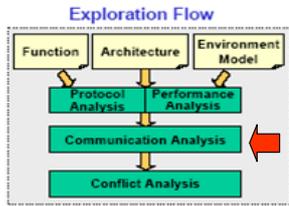
- TLM導入の目的**
- FunctionとCommunicationの分離
 - IPの再利用

- TLMリファインメント**
- channelのみをリファイン
 - Transactorの挿入
 - Transactorとmoduleのマージ



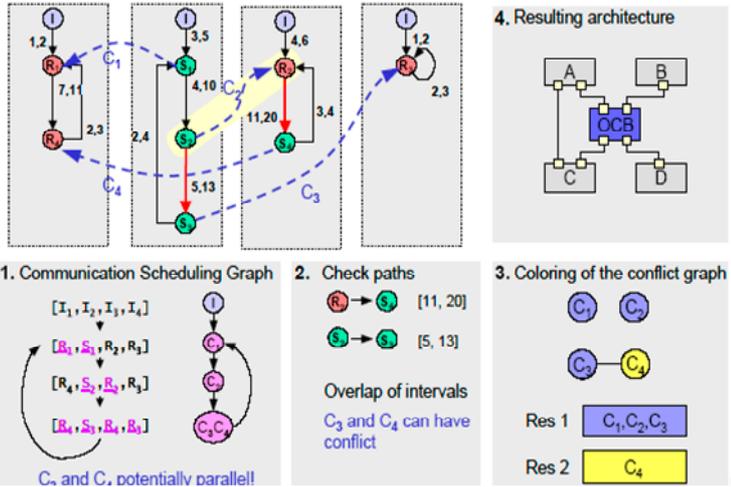


FZI(Forschungszentrum Informatik)



通信リソースの割り当て

- Communication Analysisをベースとしたアーキテクチャ決定



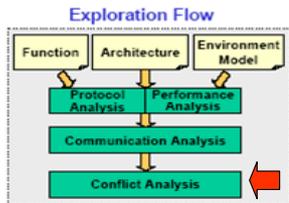
特徴
プロセス内のCDGの解析からスケジュール。並列動作可能な通信の特定

効果
通信チャネルの最適化

1,2の詳細はFZI SIMグループHPにも掲載の論文参照
“Communication Analysis for System on Chip Design”



FZI(Forschungszentrum Informatik)

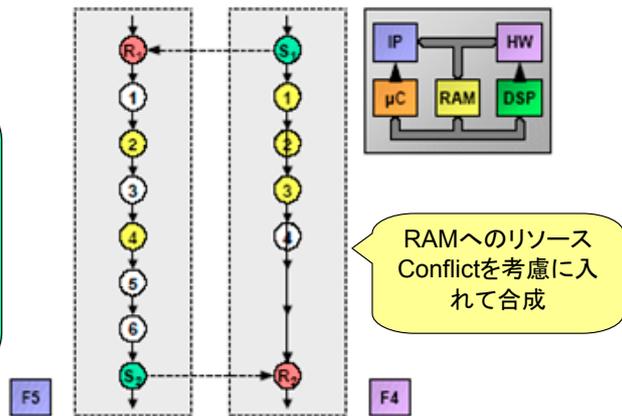


モジュールリファインメント: 動作合成

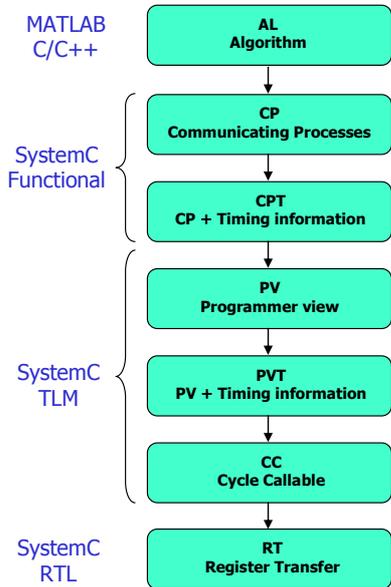
- module environmentを考慮しての動作合成
- 共有リソースにconflict-freeなアクセスを保証

特徴
通常動作合成は1プロセス単位。複数プロセス単位で、共有リソースのアクセスの最適化を行う

効果
arbitrationなどでdynamicなリソースアクセス制御が不要になる



Thales (設計フロー)



システム機能モデル

- ・動作を並列プロセスに分割
- ・Point to point接続

時間情報付モデル

- ・Point to pointをバスにリファイン
- ・逐次・アンタイム計算モデル

- ・通信モデルのリファイン
- ・通信モデルをHWへ割付

ピン精度でないクロック精度

ピン精度・合成モデル

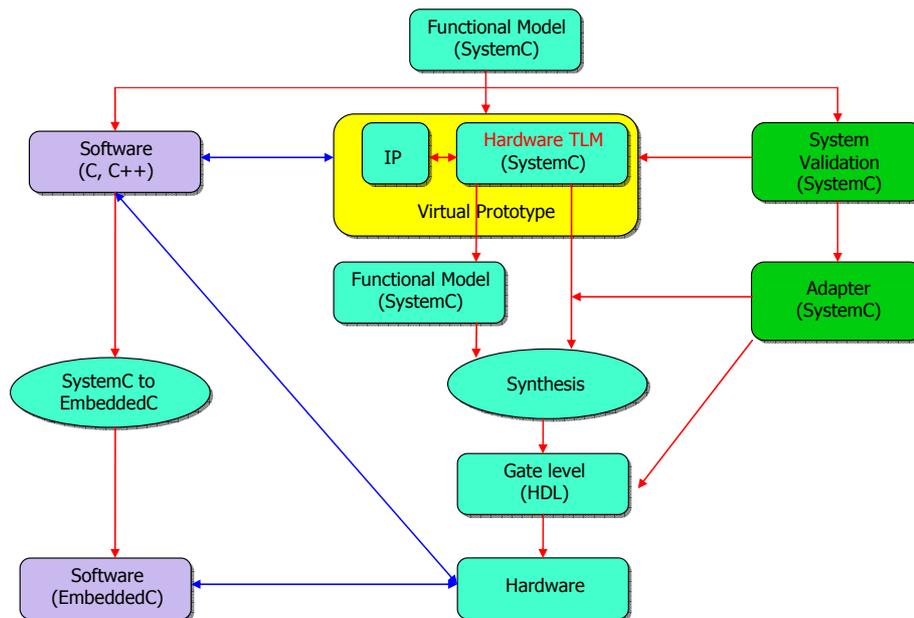
TLMを使用する目的
 ・抽象度の高いモデリング
 ・機能と通信の分離

OSCI TLMIには現在では対応していないが、Officialになったら対応する予定。

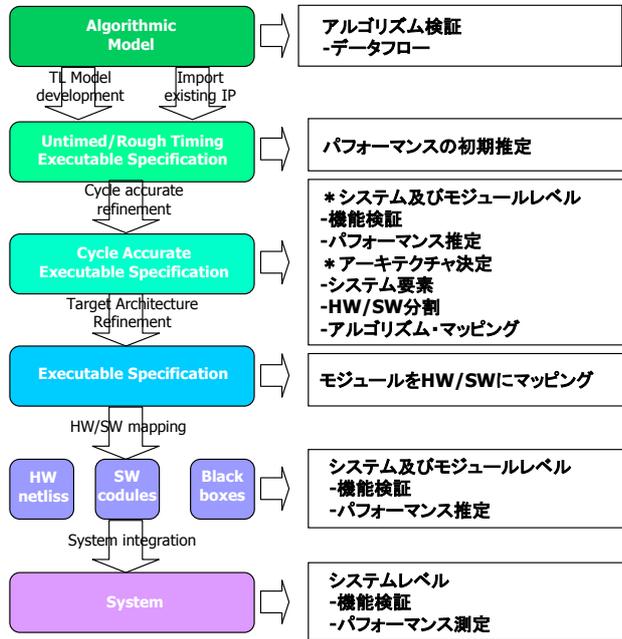
何がどこまで提供されるか不明

各レベルにおいて
 ・トランザクション・バス
 ・トランザクション・タイムド・バス
 ・CLIバス
 ・RTLバス
 にラッパを介して異なるレベルのIPを接続可能。

Thales (仮想プロトタイプ)



Bosch (設計フロー)



TLMを使用する目的

- * パフォーマンス解析
- 迅速な早期プロトタイプ作成
- 実装前に早期パフォーマンス推定
- HW/SW分割決定
- アルゴリズム分割とシステム要素の最適化
- * ハイレベルHW/SW合成
- 信頼性の高いデザイン
- ツールベースの合成・リファインメント

TLMとサイクル精度の間はModule Adapterで接続。

Bosch (TLM合成)

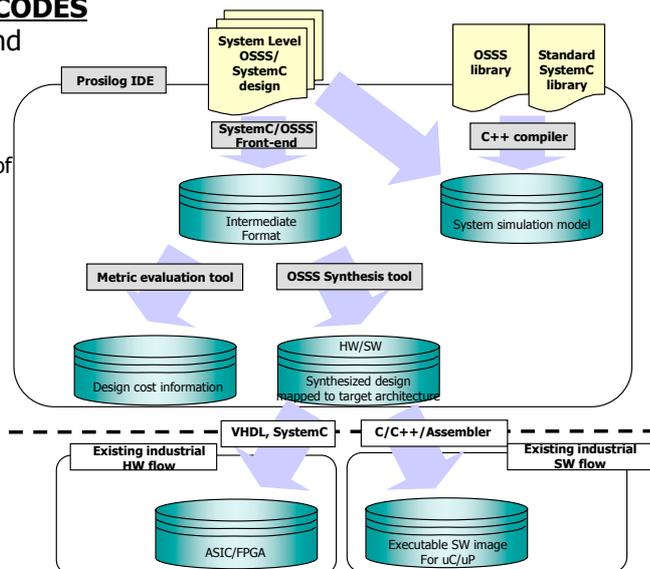
TLM Synthesis with ICODES

- ICODES Design Flow and Design Environment

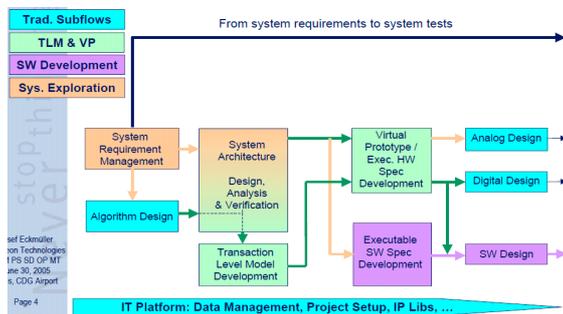
ICODES
Interface and Communication-based Design of Embedded Systems

- Abstract Read/Write
- HWインターフェース・モジュール生成
- SWインターフェース・モジュール生成
- HWバス生成
- 既存システムバスへのモジュールの接続
- VHDL出力

OSSS
OFFIS System Synthesis Subset

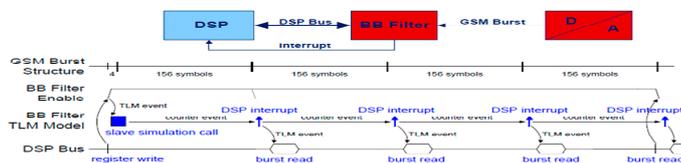


設計フロー



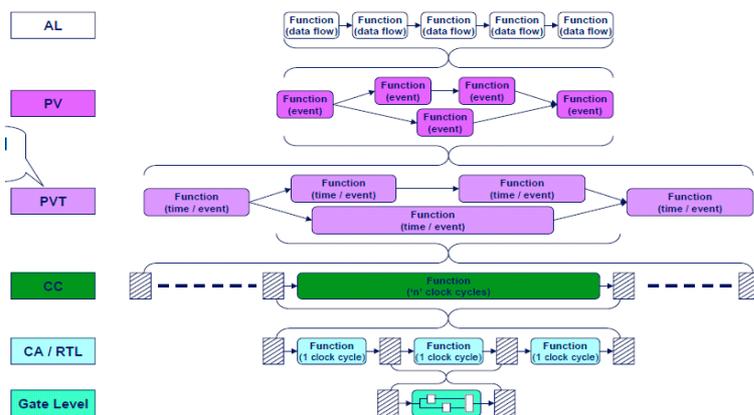
Virtual Prototyping

Control Flow of Base Band Filterに適用



出典: J. Eckmülle, "TLM and Virtual Prototyping at Infineon's Communication Division", ECSI TLM Workshop 2005

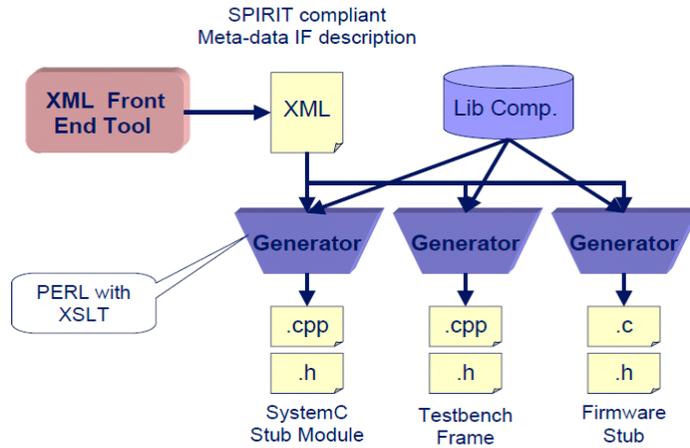
PVTを使用



出典: J. Eckmülle, "TLM and Virtual Prototyping at Infineon's Communication Division", ECSI TLM Workshop 2005



■ 標準化との関係 (SPIRITの利用)



出典: J. Eckmülle, "TLM and Virtual Prototyping at Infineon's Communication Division", ECSI TLM Workshop 2005

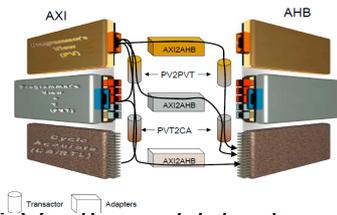
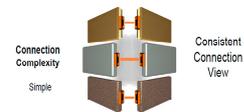
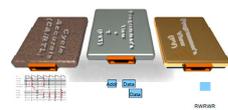


■ 目的

- 同じIPを複数開発・検証しない (IP再利用)
- 異なるプロジェクトチーム間での一環した開発環境の提供
- SystemCを使い始める際の必要なC++スキルを低減する
- SystemC modeling standardに従う
- Encapsulate best practices
- Provide a common ground and vocabulary

■ 特徴

- OSCIの抽象度に対応
- 異なる抽象度間の移行が容易
 - One port for every abstraction level
- 自動プロトコル変換 (AHB, AXI, DTL, VPB etc..)
- Is future proof for new bus protocols
- good simulation speed
- Provides simple and clean interface (protocol specific) for the model developer



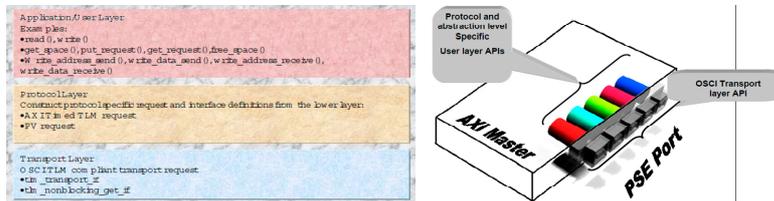
出典: A. Saksena, "TLM Methodology and Modeling Styles", ECSI TLM Workshop 2005



Philips

OSCI TLMとの関係

- User Layer: モデル開発者から見えるAPIを定義
- Protocol Layer: Transport layerのサービスを利用してUser layerのAPIを実装
- Transport Layer: OSCI TLM compliant transport layerを採用

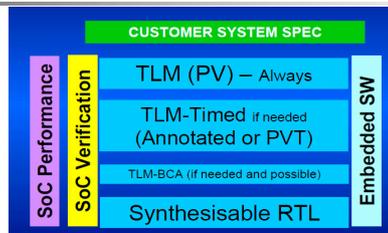


出典: A. Saksena, "TLM Methodology and Modeling Styles", ECSI TLM Workshop 2005



STMicroelectronics

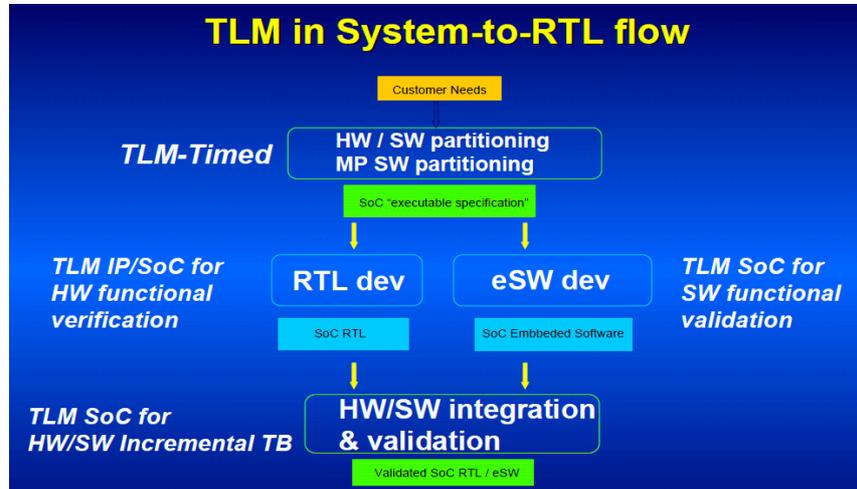
設計フロー



- 抽象度の定義
 - バス、Communicationモデルの抽象度
 - SoC Functional Verification: PV (Untimed & Register-Accurate)
 - Embedded SW: PV (Untimed & Register-Accurate)
 - Architecture early study: PVT
 - SW/HWモデルのモデルの抽象度
 - Instruction- or Cycle-accurate ISS or WS native host compilation
- 各抽象度で行う設計活動
 - PV
 - SoC Functional Verification、Embedded SW開発
 - PVT
 - Architecture early study

出典: A. Clouard, "TLM concepts that are successful at ST", ECSI TLM Workshop 2005

■ 抽象度間リファインメントのメソドロジー



出典: A. Clouard, "TLM concepts that are successful at ST", ECSI TLM Workshop 2005

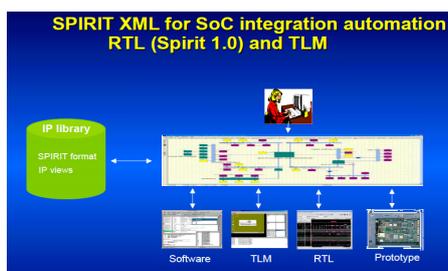
■ 対象アプリケーション

- Set-Top Box、Digital TV、Image sensors、Mobile video、Wireless、Automotive

■ 適用時期

- SoC virtual prototype for SW developers: production early 2002
- Reference model for IP & SoC functional verification engineers: production early 2003
- Models for SoC architect: production starting

■ 標準化との関係 (SPIRIT)



出典: A. Clouard, "TLM concepts that are successful at ST", ECSI TLM Workshop 2005

■ 設計フロー

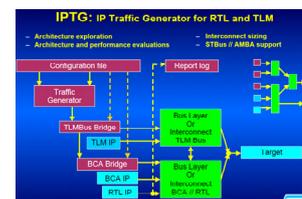
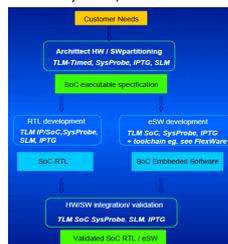
- 各抽象度で行う設計活動
 - PV: Embedded SW開発 (Production usage in Divisions since 2002)、Functional Verification (Production usage in Divisions since early 2003)
 - PVT: Architecture Early Study (Usage in Division & ST customer, since 2004)

Which TLM for what - from our experience			
UML	Communicating Processes (CP) Foundation: Function	Function-calls Dataflow	(System Architect)
SystemC Models	Programmers View (PV = TLM) Foundation: Memory Map	Bus Specific Architectural	ESW Developer Func. Verif. Engineer
	Time annotation (PV-T = TLM-T) Foundation: Timed Protocol	Bus architecture Timing approx.	Sys & HW Architects Verif. Engineers
	Transfer Level (TR = ARM CC) Foundation: Clock Edge	Word transfers Cycle-accurate	(Verif. Engineers)
HDL	RTL Level Foundation: Implementation	Signal/Bit Cycle-accurate	Verif. Engineers (BFM)

出典: A. Clouard, "TLM at ST - Lessons learned", ECSI TLM Workshop 2005

■ TLMの使用を通じて学んだこと

- Embedded SW開発に有効
 - FPGAプロトタイプ開発前にSW開発可能。プロトタイプでは難しいエラー条件のテスト可能。
- ツールを使うことによってTLMの利点を最大限に享受できる
 - bus monitoring and usage analysis, System-Level Memory views, IP Traffic Generator



- TLMの標準が必要
- TLM PV styleを使うべき
 - シミュレーション速度とモデリングの手間を考慮
- TLMモデルは始めメソッドグループが作り、最終的には検証チームが使う
 - メソッドグループがイニシャルモデルを作成。
 - SW開発者がファーストユーザで、検証エンジニアがファーストデベロッパ。
 - 最終的には、各ユーザがTLM IPを作り、他のユーザが再利用する。
- TLMを採用するにはモデルデータベースが必要
- TLMのトレーニングが必要
- webベースのTLM配布、サポートが開発を助ける

出典: A. Clouard, "TLM at ST - Lessons learned", ECSI TLM Workshop 2005



STMicroelectronics

■ IPの品揃え

- mmdsp2_wrapper
- st40_wrapper
- st20_wrapper_dll
- tac_cache_simulator
- tac_channel_arbiter
- tac_channel_base
- tac_channel_router
- tac_channel_seq
- tac_memory
- tac_paged_memory
- tac_rom
- itc_easy
- memory_mmdsp2
- timer_easy
- timer_mmdsp2
- timer_pwm4
- uart
- SATA AHCI
- ATAPI/6 HDD Device
- SATA Channel
- Synchronous Serial Port
- Real Time Clock
- General Purpose IO
- DMAc
- Static Memory Controller
- Colour LCD Controller
- SmartCard Interface
- Multiport Memory Controller
- Vectored Interrupt Controller
- Timer
- Watchdog
- System Controller
- USB EHCI
- USB Mass storage Device
- SCSI primary command - 3
- USB Channel
- eDRAM / PLSRRAM controller

■ TLM Wrapper



出典: A. Clouard, "TLM at ST - Lessons learned", ECSI TLM Workshop 2005



4.2.4.1.2.3 標準化動向

標準化動向サマリ

- GreenSocs (SystemCベースのオープンソース開発グループ)
 - High level generic busのためのインフラ開発
- SPIRIT
 - XMLベースの言語、モデリングに依存しないIPメタデータを標準化

GreenSocs

オープンソースベースのSystemCライブラリ開発initiative

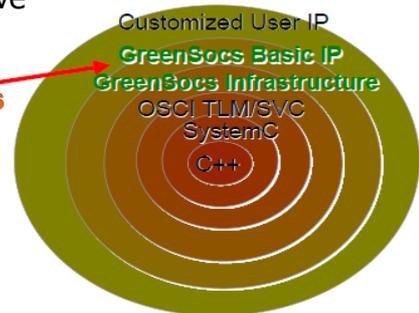
GreenSocsとは、オープンソースサービス会社

- プロジェクト参加企業が開発費を分担
- 開発のメンテナンスを行う
- 13 large industrial partners
- Several smaller EDA and IP companies
- 6 academic partners

想定するStandardsとは

High level generic busのためのインフラ
HWの設計者が簡単に使えるライブラリ
基本的なIPビルディングブロック

**Standards
Needed**



各組織の持つ内部的な解決手法をオープンソースとして、提供する



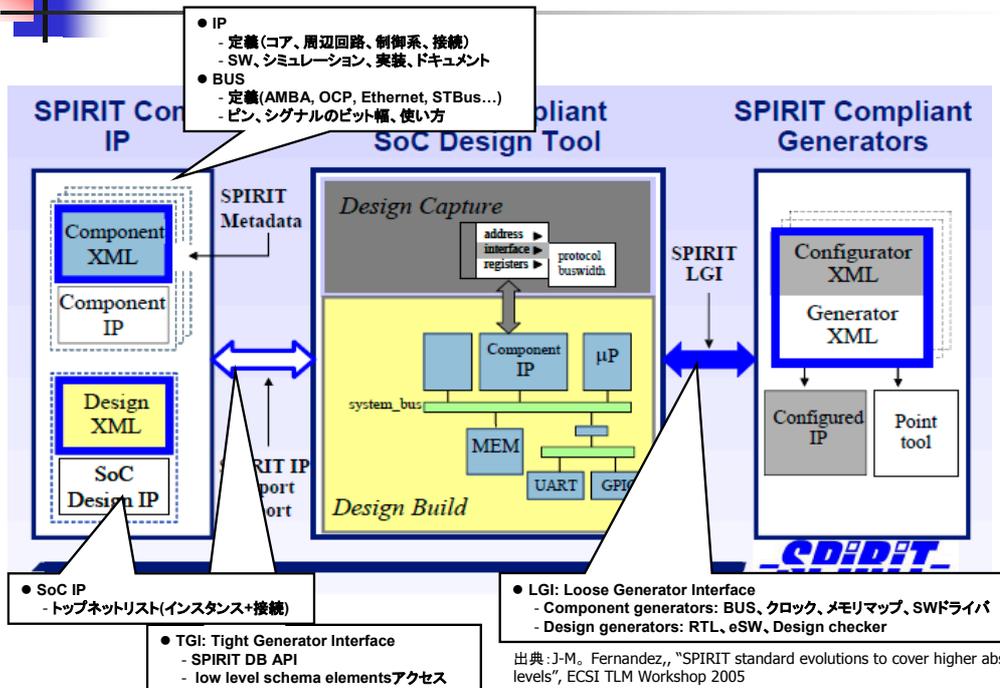
- SPIRITの構成
 - Chairman: R. Vignau, Philips
 - Vice-Chair: C. Lennard, ARM
 - メンバー: ARM, Cadence, Mentor, Philips, ST, Synopsys
 - Technical WG
 - SWG (Schema WG): RTL schema, API
 - EWG (ESL WG): TLM schema
 - VWG (Verification WG): Verification schema



- Vision
 - Designへ自動的にconfigure & integrate
 - IP Meta Data ← 標準化
 - API for generator
 - 生成されるデータ
 - シミュレーション・モデル
 - 合成モデル
 - ドキュメント
 - 組込みSW

■ Meta Dataの特徴

- 新規IP、レガシーIPにも適用可能
- IPのデザインスタイル非依存
- SoC設計ツールのnew featureを可能にする



■ SPIRIT 2.0

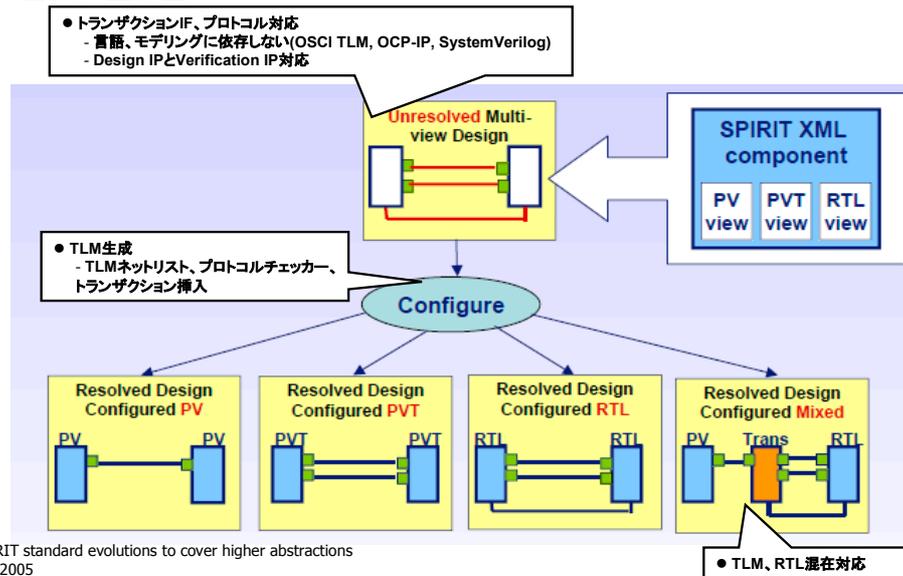
■ ESL

- configurable system-design models対応
- TLMでのSoCデザインモデリング(HW、SW)のサポート

■ Verification

- 検証、システム設計環境に対応
- テストベンチ構築のサポート

■ SPIRIT 2.0 ESL



出典: J-M. Fernandez, "SPIRIT standard evolutions to cover higher abstractions levels", ECSI TLM Workshop 2005

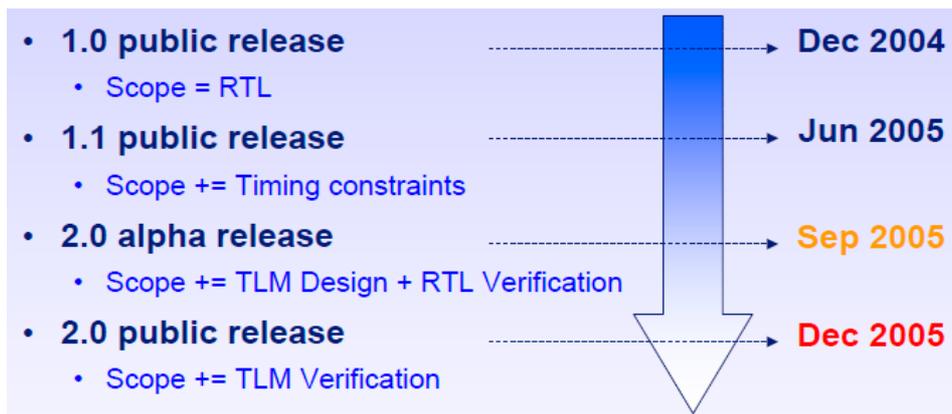


SPIRIT

- SPIRIT 2.0 Verification
 - VIP characterization
 - VIP使用法、モニター、様々なモデルビュー、階層をまたいだパラメータ伝播
 - VIP interfaces
 - 言語、モデリング非依存
 - Sources of stimulus
 - White Box IF、Parameterized Assertion
 - Testbench sequences
 - テストシーケンスの認識



SPIRIT



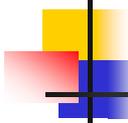
出典: J-M. Fernandez, "SPIRIT standard evolutions to cover higher abstractions levels", ECSI TLM Workshop 2005



- SPIRIT Today: 1.1 Deliverables
 - XML Schema
 - Bus, Component IP and SoC Design IP
 - LGI, TGI support
 - Timing constraint for flow to synthesis
 - Generator APIs
 - LGI, TGI
 - ドキュメント
 - 例
 - Leon IP (UART w/ timing constraints, timers, interrupt controller)
 - AMBA BUS Definitions



4.2.4.2 合成サブセット



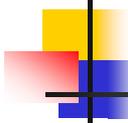
動作合成の動向調査

- 活動計画
 - 設計ツールとして実用化が始まった動作合成の状況調査として以下の内容を計画
 - 動作合成の動向調査として、OSCIで策定されている合成サブセットのレビュー
 - 合成サブセットのSysetmC対応ツールの対応状況の確認
 - 合成サブセットの過不足の確認
- 活動内容
 - 活動の基本となる合成サブセットについて、OSCIからの公開状況を確認
 - 2006/3時点でも、OSCIからの公開の時期が不明で、具体的な調査が出来ていない
 - OSCI内の合成サブセットの状況を報告する



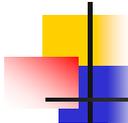
合成サブセット(OSCI)の状況確認

- 2005年7月-9月にOSCI合成サブセットSWGの状況を確認(聞き取り調査)
 - SWGチェアが帰任のため空席になっている
 - 運営はバイスチェア(メンター:Andres Takach)が対応している
 - サブセットの公開について、SWG参加メンバー(会社)の承認を得ようとしているが、コンタクトが出来ないところがあり、承認手順が進んでいない
 - 合成サブセット内容は、動作合成ツール開発ベンダは基本的に準拠している
 - 対応レベルは各社に差異あり
 - 合成サブセットで規定しているポイントは以下の3点
 - 構文でどれが合成ツールが対応できなくてもよいか
 - MODULEとして定義するときのフォーマット
 - 合成で扱うデータタイプと演算での扱い



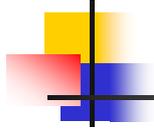
合成サブセット(OSCI)の最新状況

- EDSFで開催したシステムデザインフォーラムでOSCIプレジデントMike Melidithに確認
 - 合成サブセットは公開の手続き中
 - 公開時期は確定していない
 - JEITAが合成サブセットをレビューすることについては、正式レターが発行されれば、OSCIボードで検討する
- OSCIにJEITAでの合成サブセットレビューを要請中
 - OSCIから承認されれば、合成サブセットの内容をレビューして、期初の計画を実行する

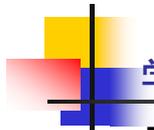


合成動向調査チームの今後の活動

- 活動体制
 - 2005年度当初は、動作合成の活用状況を調査することと、インタフェース合成調査を独立して計画
 - 各活動内容を相談した結果、合成動向調査として、統合して進めることとした
- 2006年度に向けて(案)
 - 聞き取り調査から、コーディングガイドラインが含まれていないことが分かったので、動作合成活用の観点から、規定すべき内容を検討する
 - TLM動向調査と連携して、SystemCを効果的に活用するためのフレームワークを検討する
 - 動作合成とTLMの関係の明確化
 - インタフェース合成の扱いについて



4.2.4.3 SystemC動向分析



学会、コンベンション等で発表された論文を調査分類

- 調査対象となった学会、コンベンション等
 - Design Automation Conference (**DAC**)
2002,2004,2005
 - Design Automation and Test in Europe (**DATE**)
2000-2005
 - 日本SystemCユーザフォーラム 2003-2005
 - European SystemC Users Group (**ESCUG**)
 - International Conference on Hardware-Software
Codesign and System Synthesis(**CODES+ISSS**)
2000-2005
 - Stanford Univesity 1999,2004
 - University of California, Irvine(**UCI**) 2000-2004



分類方法

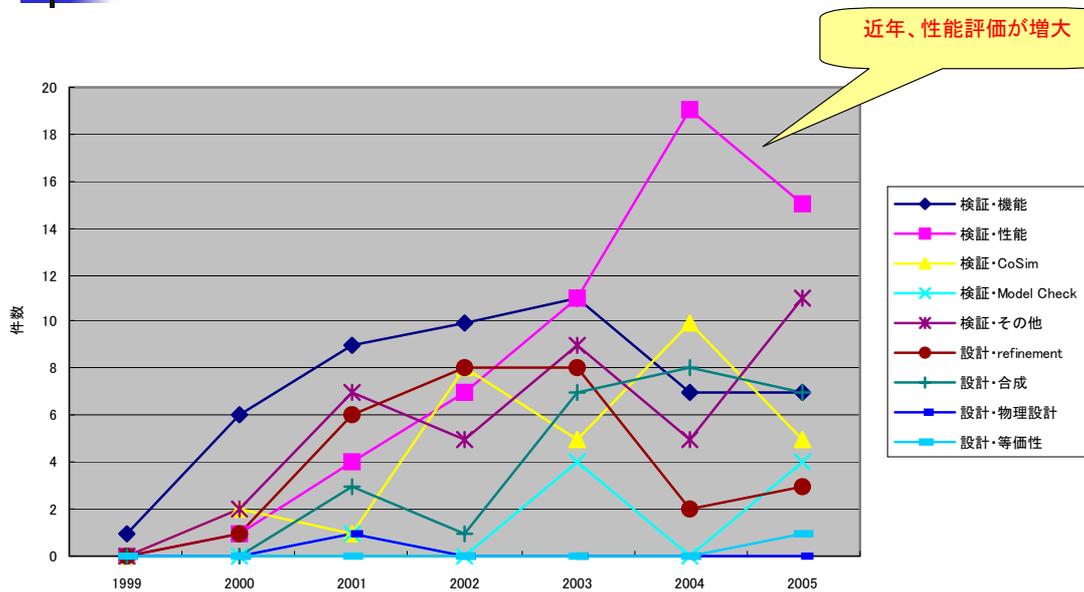
- 論文を以下の項目に分類
 - 検証
 - 機能
 - 性能
 - CoSimulation
 - モデル・チェック(Property, Assertion)
 - その他(Mixed Signal, Power , Area等)
 - 機能
 - リファイメント
 - 合成
 - 物理設計(フロアプラン)
 - 等価性チェック



分類方法(continued)

- 著者の地域でも分類
 - NA: 北米
 - JP: 日本
 - EU: ヨーロッパ
 - ASIA: アジア

小分類による年度別論文数

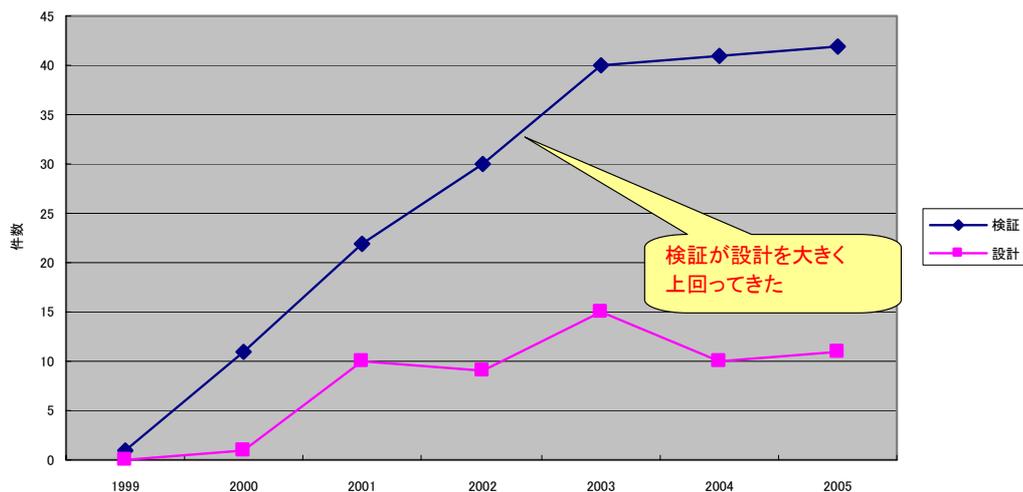


© Copyright 2006 JEITA, All rights reserved

JEITA

123

大分類による年度別論文数

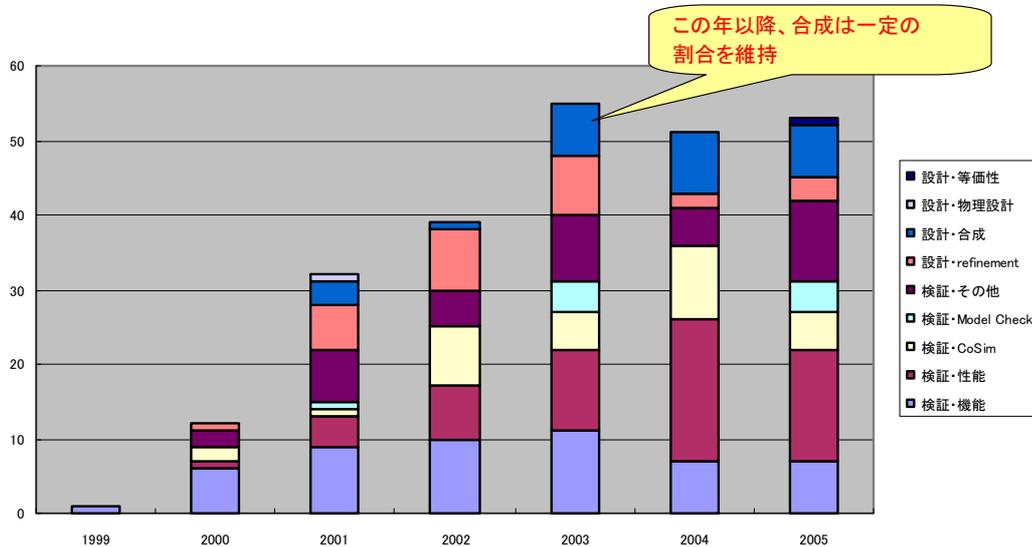


© Copyright 2006 JEITA, All rights reserved

JEITA

124

年度別内訳

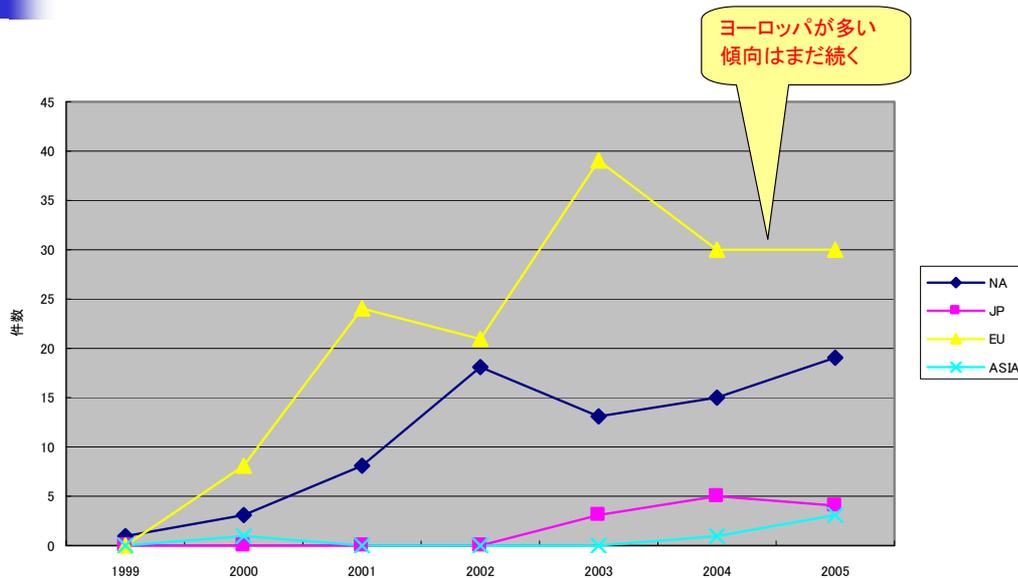


© Copyright 2006 JEITA, All rights reserved

JEITA

125

地域による年度別論文数



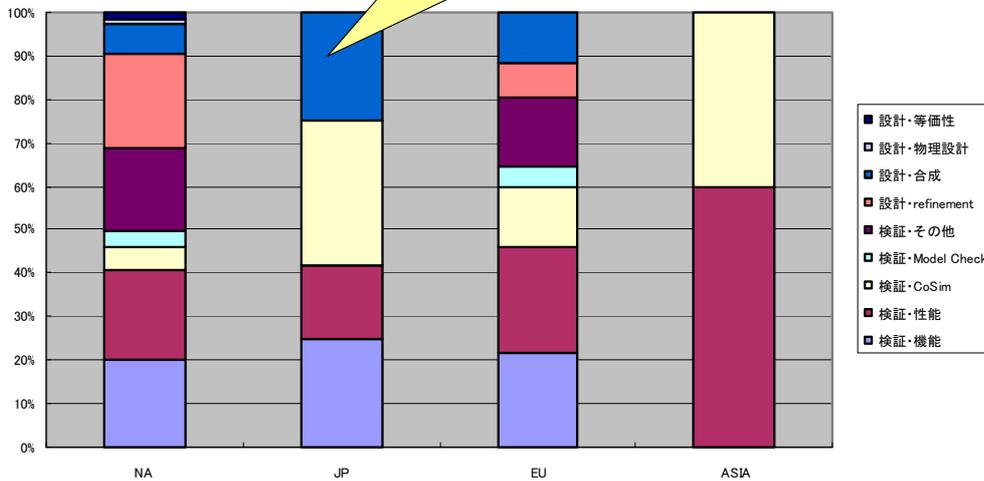
© Copyright 2006 JEITA, All rights reserved

JEITA

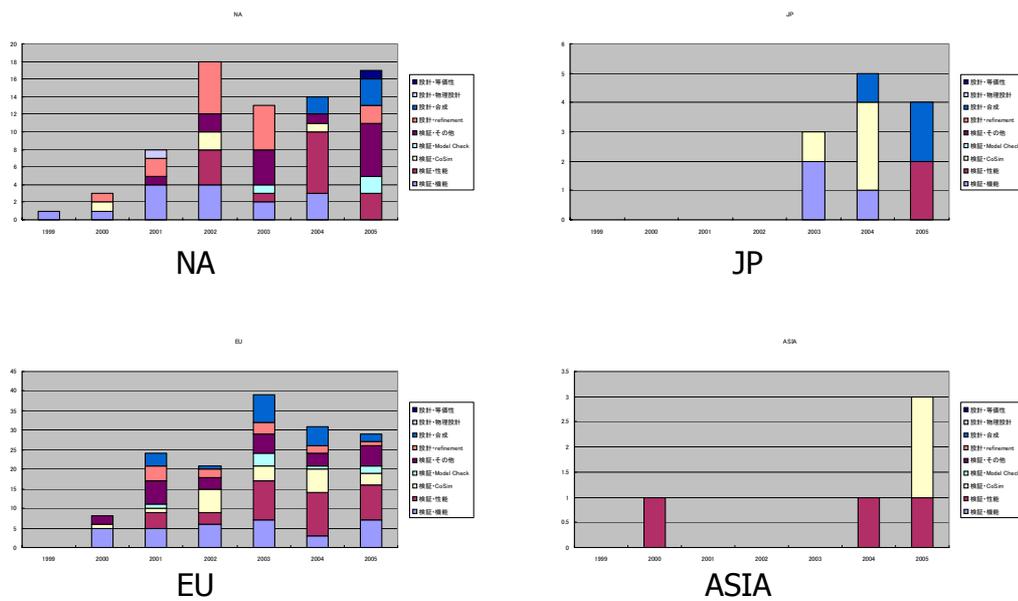
126

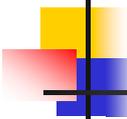
地域別内訳

日本は他地域に比べて合成の割合が高い



地域別内訳の年度別傾向





まとめ

- 全体として、「設計」よりも「検証」に関する論文が多くなって来ている
- 検証の中でも、「性能評価」が多い傾向にある
- ここ3年間は、それ以前に比べて「合成」が一定の割合を占めるようになった
- 論文数は、北米が増大して来たとはいえ、ヨーロッパが多い傾向は続く
- 地域別内訳では、サンプル数の多い北米とヨーロッパでは似たような傾向を示すが、日本はこの二地域に比べて「合成」の割合が大きい

SystemVerilog標準化動向

JEITA SystemVerilog Task Group

JEITA



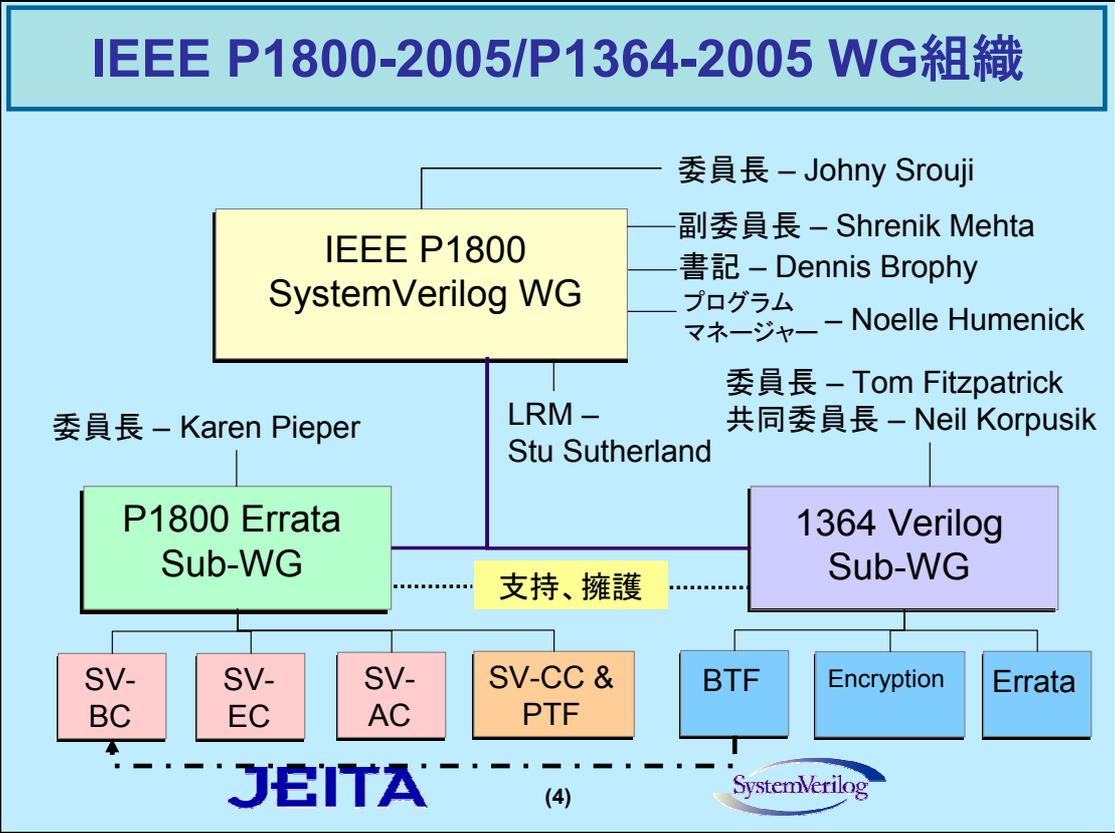
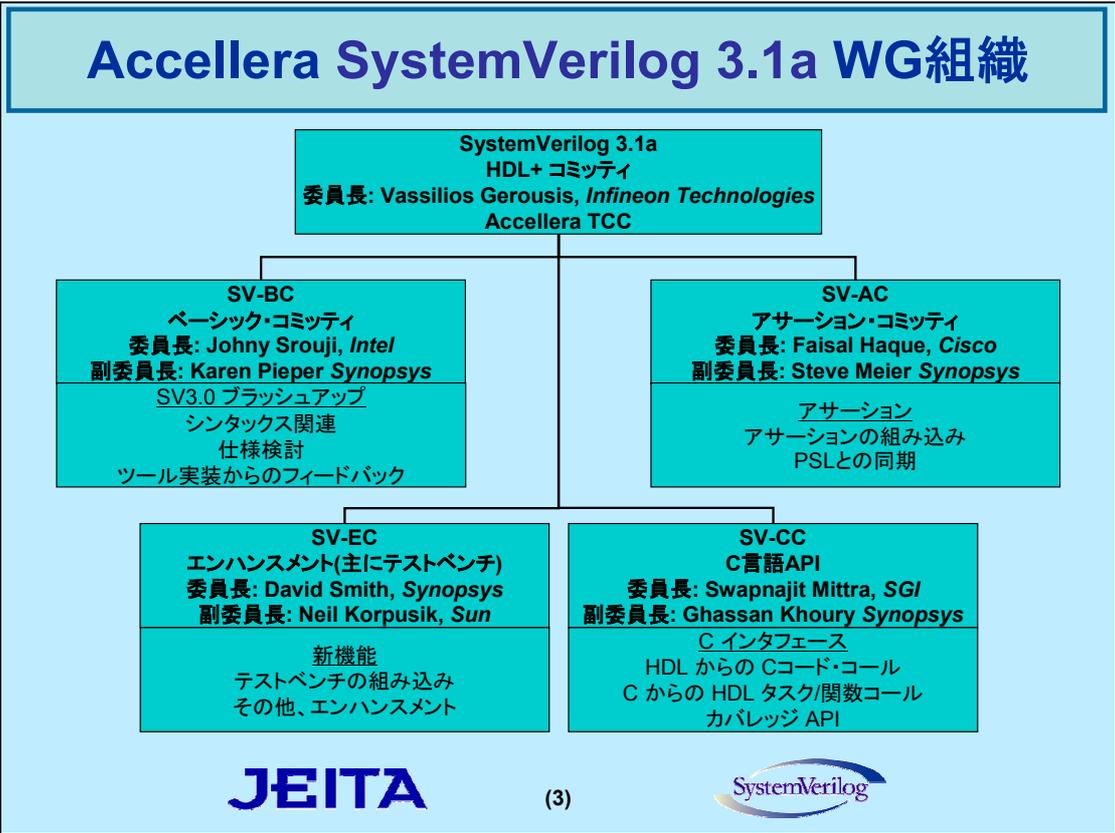
SystemVerilog標準化の歴史

- | | |
|---------|--|
| 2002/06 | Accellera, SystemVerilog 3.0リリース |
| 2003/06 | Accellera, SystemVerilog 3.1リリース |
| 2004/06 | Accellera, SystemVerilog 3.1aリリース
AccelleraからIEEEへドネーション
IEEE P1800 WG発足 |
| 2005/11 | IEEE Std. 1800-2005リリース
IEEE Std. 1364-2005リリース |

JEITA

(2)





世界の企業から75を超える ツール、コンサルティングの提供

http://www.systemverilog.org/products/products_solu.html

SystemVerilog

SystemVerilog Home
Overview
Technical Papers & Tutorials
SystemVerilog LRM
Technical Committees
Products & Solutions
News Room
Events
Publications
Logos

Products & Solutions

SystemVerilog Support Plans from Vendor Community

Company Name	Product	Availability	Design (D)	Assertions (A)	Testbench (T)
Ace Verification LTD	System Verilog for Verification	Q3, 2005	x	x	x
Adveda	Univers	Q4, 2004	x		
Aldec	HES Accelerator	Q2, 2004		x	
Aldec, Inc.	Rivera	Incremental Releases, 2004	x	x	x
Aldec, Inc.	Rivera-IP	Incremental Releases, 2004	x	x	x
Atrenta, Inc.	SpyGlass	Q4, 2004	x		
Atrenta, Inc.	SpyGlass+	Q4, 2004		x	
Avion	@Designer-PRO	Q2, 2004	x	x	x
Avion	@Verifier	Q2, 2004	x	x	
Beach Solutions	EASH-Studio	Q3, 2004	x		x
Blue Pearl	Verify-Check Designer	Q4, 2004	x	x	
Blue Pearl	Verify-Check Expert	Q3, 2004		x	
Bluespec	Bluespec	Available Now	x		
Cadence	Incise	Q4, 2004	x	x	x

- Ace Verification
- Adveda
- Alatek
- ALdec
- Atrenta
- Axiom
- Beach Solutions
- Blue Pearl
- Bluespec
- Cadence
- Doulos
- HDLAB
- Interra Systems
- Jasper
- LOA Technology
- Logic Research
- Mantor Graphics
- Mirafra Technologies
- Novas
- Posedge
- Project VeriPage
- Real Intent
- SiConcepts
- Silicon Interfaces
- Silicomotive
- Sunburst Design
- Sutherland HDL
- SynaptiCAD
- Synopsys
- SyoSII
- TransEDA
- VeriEZ
- Verific Design
- Veritools
- VhdlCohen
- Willamette HDL
- Xtreme-EDA

JEITA

(5)



世界30社を超える「標準化」称賛コメント

The Electronic Design Automation Technical Committee (EDA-TC) of Japan Electronics & Information Technology Industries Association (JEITA) established a SystemVerilog Task Group, under its EDA Technical Committee, to promote standardization of SystemVerilog in Japan. This standardization of SystemVerilog IEEE Std. 1800-2005 has an important meaning to Japan's Electronics and Information Technology Industries. With the enlargement and complexity of LSI, further improvement of design productivity and quality is required. We believe that SystemVerilog will bring about solutions to such problems.

Yoshio Okamura, Chairman, Electronic Design Automation Technical Committee (EDA-TC), Japan Electronics & Information Technology Industries Association (JEITA)

【日本語訳】

社団法人 電子情報技術産業協会(JEITA)のEDA技術専門委員会では、標準化を推進するためSystemVerilog Task Groupを結成し活動を続けてきた。SystemVerilogがIEEE Std. 1800-2005として承認されたことは日本の電子情報技術産業業界にとって重要な意味を持つ。LSIの大規模複雑化に伴い、さらなるLSIの設計効率向上と品質向上が求められているが、SystemVerilogはこのような課題を解決するであろう。

- Synopsys
- Mentor Graphics
- Cadence
- Magma
- Real Intent
- Novas
- Blue Spec
- Denali
- Ace Verification
- Blue Pearl Software
- ComputerBasedEducation
- Doulos
- HDL Design House
- Interra Systems
- Jasper
- LOA Technology
- NoBug
- nSys
- Paradigm Works
- Perftrends
- PSI-Electronics & MU-Electronics
- Sequence Design
- Silicon Interfaces
- SiMantis
- Sunburst Design
- Sutherland HDL
- SynaptiCAD
- Verific Design Automation
- Verilab
- VhdlCohen Publishing
- XtremeEDA
- Yogitech

JEITA

(6)



IEEE 1800 WG Errata 提出案件の状況

JEITA SystemVerilog Task Group

JEITA



Agenda

- IEEE 1800 WG Errata 案件の概要
- JEITA SV-TG 提出案件の検討状況
- Enhancement (言語仕様拡張) 案件の詳細
 - id 127 Jeita 2: Cover statement handling in formal verification undefined
 - id 134 Jeita 9: 4 state values as constraints
 - id 138 Jeita 13: unclear behavior of default sequence
 - id 151 Jeita 26: optional rule to specify size in 4.2
 - id 152 Jeita 27: Another option for size
 - id 154 Jeita 29: Dual Data Rate needed in always_ff

JEITA

(2)



IEEE 1800 WG Errata の概要

- IEEE 1800 Errata
 - IEEE 1800 (SystemVerilog) に対する訂正、追加提案のデータベース
 - だれでも参照可能(id: guest , password: guest)
http://www.eda.org/svdb/login_page.php
 - 各提案に対する検討状況、責任者、検討経過、結論等を閲覧可能
- Errata 全体の状況 ('06/3/10 現在)

プロジェクトごとの Errata 状況

Project	Open	Resolved	Closed	Total
SystemVerilog	577	61	563	1203
OVL	25	15	39	79
VerilogAMS	79	0	7	86

※ OVL : Open Verification Library

ステータスごとの Errata 状況

Status	Open	Resolved	Closed	Total
new	452	0	0	452
acknowledged	20	0	0	20
confirmed	3	0	0	3
assigned	206	0	0	206
resolved	0	76	0	76
closed	0	0	611	611

※ Statusの意味

- new : 新規
- feedback : 差し戻し(提出案件の内容不備)
- confirmed : 案件を受諾
- assigned : 担当者をアサイン済み
- resolved : 修正案を承認
- acknowledged : LRMドラフトを修正完了
- closed : LRMドラフトの修正内容を確認

JEITA

(3)



JEITA SV-TG 提出案件の状況

- JEITA SV-TG より、'04/8/4 に Errata を P1800 へ提案
- '05/3/2 時点の状況 (タイプ – ステータス:件数)
 - Errata – close : 26 件
 - Enhancement – new : 4 件
 - Enhancement – assigned : 1 件
 - Enhancement – close : 1 件
 - 合計 32 件
- ※Errata はタイプミスを含む内容の誤り
- ※Enhancement は 言語仕様の拡張要求
 - 次ページ(P.5)に一覧を示す
- Enhancement 案件
 - 今後も継続してフォローする必要がある
 - P.6 以降に Enhancement 案件の詳細内容をまとめる

JEITA

(4)



JEITA SV-TG 提出案件の状況(一覧)

Id	Summary	Type	Status (2006/3/3)
126	Jeita 1: Typo in 17.13	Errata	closed
127	Jeita 2: Cover statement handling in formal verification undefined	Enhancement	closed
128	Jeita 3: typo in Section 17	Errata	closed
129	Jeita 4: typesetting in 17	Errata	closed
130	Jeita 5: Typos in 17	Errata	closed
131	Jeita 6: Intersect may be confusing in section 20	Errata	closed
132	Jeita 7: strong intersect needed	Errata	closed
133	Jeita 8: assuring randomization	Errata	closed
134	Jeita 9: 4 state values as constraints	Enhancement	new
135	Jeita 10: typo	Errata	closed
136	Jeita 11: unclear assertion semantics	Errata	closed
137	Jeita 12: iff issues	Errata	closed
138	Jeita 13: unclear behavior of default sequence	Enhancement	assigned
139	Jeita 14: unclear how to change value in covergroup	Errata	closed
140	Jeita 15: typo in section 20	Errata	closed
141	Jeita 16: Typo in section 20	Errata	closed
142	Jeita 17: BNF typo	Errata	closed
143	Jeita 18: rewrite #2 step in section 2?	Errata	closed
144	Jeita 19: can step be used beyond clocking blocks?	Errata	closed
145	Jeita 20: Max uses for time unit?	Errata	closed
146	Jeita 21: Simple explanation in section 2	Errata	closed
147	Jeita 22: Enum clarity needed	Errata	closed
148	Jeita 23: mixing of signed/unsigned	Errata	closed
149	Jeita 24: Change variable names in examples in 3.16	Errata	closed
150	Jeita 25: Example typo in 4.2	Errata	closed
151	Jeita 26: optional rule to specify size in 4.2	Enhancement	new
152	Jeita 27: Another option for size	Enhancement	new
153	Jeita #28: typo in 28	Errata	closed
154	Jeita 29: Dual Data Rate needed in always_ff	Enhancement	new
155	Jeita 30: In the Index, check isn't on page 199	Errata	closed
156	Jeita 31: In Index, issue with blocking and DPI imports	Errata	closed
157	Jeita 32: typo in 5.6	Errata	closed

JEITA

(5)



Enhancement 案件の詳細(1)

- ID:127, Jeita 2: Cover statement handling in formal verification undefined, new
 - Cover文の取り扱いについて、動的検証に関しては明確に定義されているが、静的検証に関しては定義されていないことを指摘。
 - Status: new (enhancement request)
 - Assigned to SV-AC
 - 最新の検討状況: This errata, 127 as Coverage for static verification was voted to be resolved not-a-bug. However, to keep it as an enhancement request, in September 13, 2004 meeting.
 - 特に強くプッシュせず、進行を見守る
- ID:134, Jeita 9: 4 state values as constraints, new
 - 制約付きランダム生成において、2値(0/1)だけでなく4値(0/1/X/Z)を使用可能とすることの有効性を提案。
 - Status: new (enhancement request)
 - 議論された形跡なし
 - 改めて問い合わせる

JEITA

(6)



Enhancement 案件の詳細(2)

- ID:138, Jeita 13: unclear behavior of default sequence, feedback
 - Coverpoint文において、default sequenceとしてカウントされる事象の定義が不明確であることを指摘。
 - Status: feedback
 - Assigned to SV-EC (Errata)
 - 最新の検討状況: This point may be discussed a bit, because the number of possible unspecified sequences is pretty large and the coverage engine needs to keep track of them even if the sequence is not a prefix of the specified one. For instance if $4 \Rightarrow 5$ is specified, then any of $0=1$, $9 \Rightarrow 10$ etc needs to be tracked in default sequence. Also it is not clear whether $9 \Rightarrow 10$ and $9 \Rightarrow 10 \Rightarrow 11$ will be counted as two in the default bin. Ideally, it should be mandatory for a default sequence to have the same starting point as any of the specified sequences, to be counted. So for this example where specified sequence is $4 \Rightarrow 5 \Rightarrow 6$, the default sequences to be counted would be $4 \Rightarrow 6$, $4 \Rightarrow 5 \Rightarrow 7$ etc. A sequence like $12 \Rightarrow 14$ is not counted in default.
 - 進行を見守る

JEITA

(7)



Enhancement 案件の詳細(3)

- ID:151, Jeita 26: optional rule to specify size in 4.2, new
 - unpacked 配列の範囲指定方法の修正と拡張を要求している
 - Status: new
 - 現ドラフトでは [size] が $[0:size-1]$ として解釈されるが、これは C 言語の書式と逆になるため混乱を招きかねない
 - この問題を解決するため、[size] を $[size-1:0]$ 、[!size] を $[0:size-1]$ とする変更を提案している
 - Status が assigned に代わった時点で、担当者と連絡をとる
- ID:152, Jeita 27: Another option for size, new
 - 前項 ID:151 について、別の修正案を提案している
 - Status: new
 - $[size>]$ で $[size-1:0]$ とし、 $[size<]$ で $[0:size-1]$ とする
 - Status が assigned に代わった時点で、担当者と連絡をとる

【補足 (ID:151,152共通)】C言語の書式は LRM が正しく、JEITA 側の指摘に誤解があった。上記は誤解を含む提案内容をそのまま記載している

JEITA

(8)



Enhancement 案件の詳細(4)

- ID:154, Jeita 29: Dual Data Rate needed in always_ff, new
 - always_ff の記述方法の拡張、あるいは、LRM への明記を要求している
 - Status: new
 - event_expression に posedge あるいは negedge しか指定できないため、DDR(Dual Data Rate) をモデリングできない
 - あるいは、posedge/negedge を省略した場合に両エッジとなることが明記されていない
 - そこで、下記2つの修正案を提案している
 - “edge” (1995の予約語) で両エッジとなるように拡張
例: always_ff @(edge clk, negedge rst)
 - posedge/negedge を表記しない場合に両エッジとなることを明記
例: always_ff @(clk, negedge rst)
 - Status が assigned に代わった時点で、担当者と連絡をとる

JEITA

(9)



IEEE Std.1800-2005 (SystemVerilog) SVAチュートリアル

JEITA SystemVerilog Task Group

JEITA



Agenda

- 本チュートリアル方針
- アサーションとは？
- IEEE Std. 1800-2005(SystemVerilog)概要
- SVAチュートリアル
 - SVA概要
 - 基本構文(assert / property / sequence)
 - ワンホット
 - 状態保持のチェック
 - タグ付トランザクション
- EDAツールのサポート状況調査

JEITA

(2)



本チュートリアル方針

- IEEE Std. 1800-2005チュートリアル
 - SVA(SystemVerilog Assertion)について
 - 代表的なツールで利用可能かつ有用な記述の抽出
 - 禁止状態のチェック
 - タイムアウトのチェック
 - ワンホットのチェック
 - 状態保持のチェック
 - タグ付きトランザクションのチェック
- SVA構文のEDAツールによるサポート状況調査

JEITA

(3)



作成メンバ

- 「JEITA EDA技術専門委員会／標準化小委員会傘下の SystemVerilogタスクグループ」
IEEE Std.1800-2005(SystemVerilog)の国際標準化活動に日本から参画

- メンバー 9社(半導体ベンダー:5、EDAベンダー:4)

(株)沖ネットワークエルエスアイ、(株)図研、
(株)東芝、日本ケイデンス・デザイン・システムズ社、
日本シノプシス(株)、松下電器産業(株)、
メンター・グラフィックス・ジャパン(株)、
富士通(株)、(株)ルネサステクノロジ

(注)五十音順

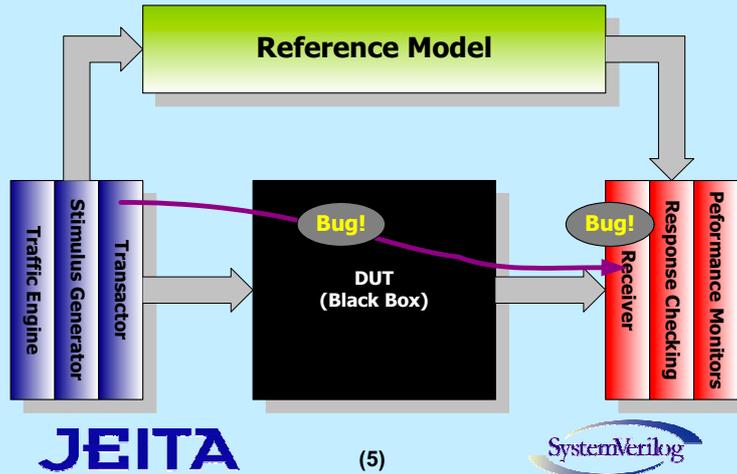
JEITA

(4)



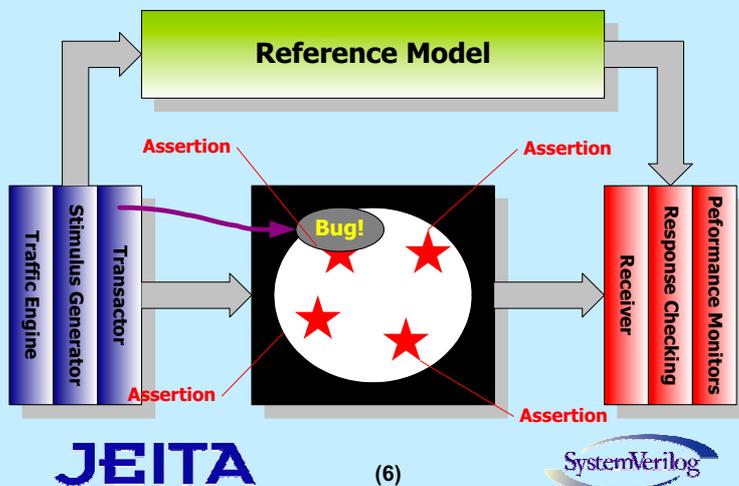
従来の検証手法

- バグの発見のためには...
 1. スティミュラスを加えて不正な動作を活性化
 2. 同じく不正な動作の結果を出力へ伝播させる
 3. 出力波形からバックトレースしてバグの原因箇所を特定



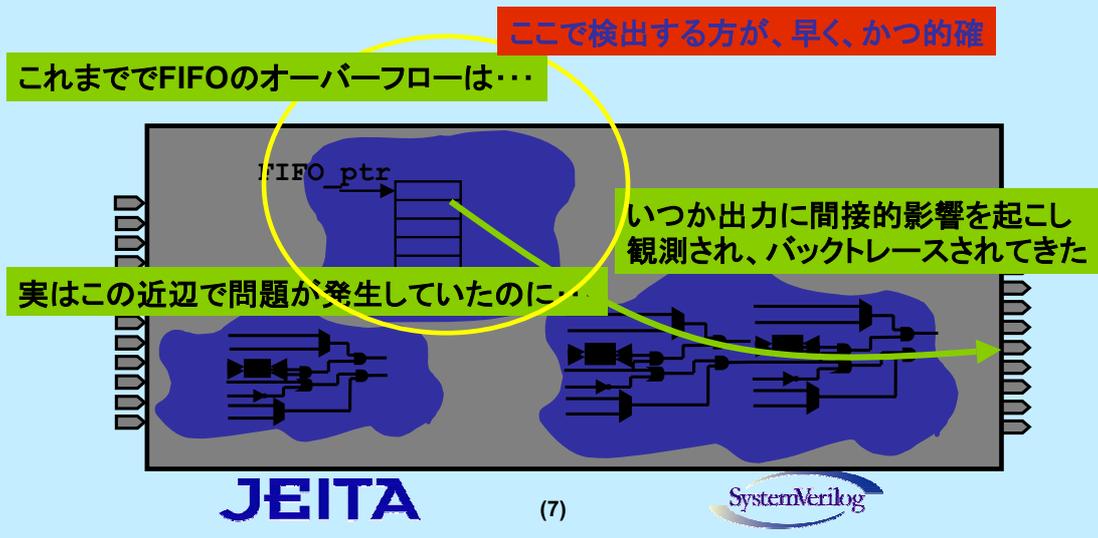
アサーションベース検証

- 観測性、カバレッジの向上
 - バグの早期発見
 - 出力に伝播させることが困難なバグの発見
 - バックトレースの短縮

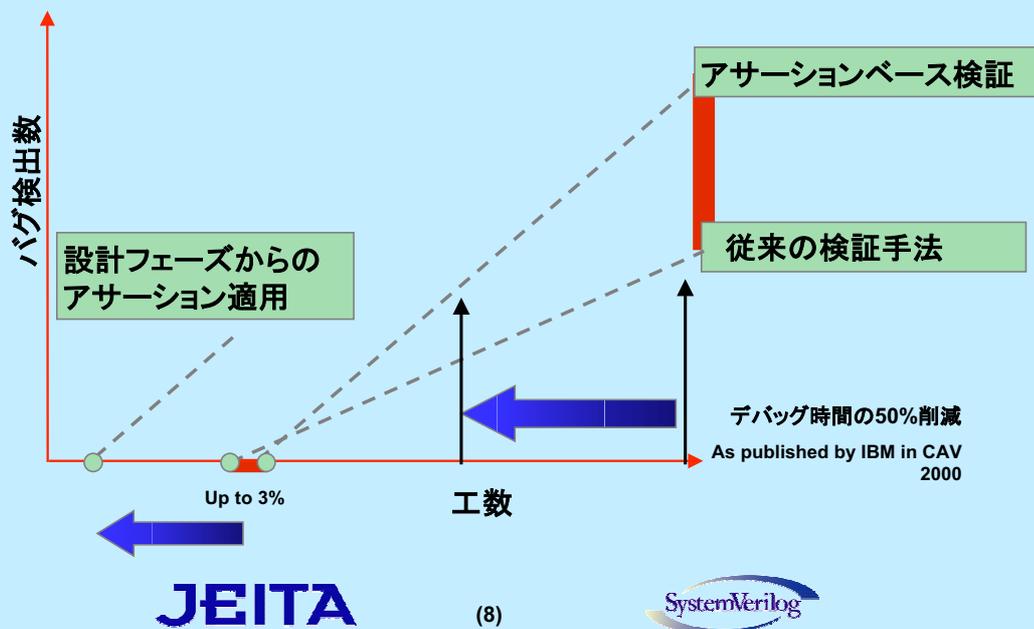


アサーションでバグをすぐに見つける

- ブロック内ホワイトボックス検証
 - 設計のバグを、プライマリ出力に到達する前に観測



アサーションの使用による効果例



アサーションとは？ 何故使用するのか？

- アサーションは検証要素
 - 設計ブロックやそのインターフェイス上の禁止される動作を監視
 - アサーションで記述される期待される動作を追跡
- アサーションの利点
 - 観測性、カバレッジを向上
 - 市場への投入時間を削減
 - 生産性の向上
 - 早期に安定したモデルに至れる

JEITA

(9)



SystemVerilog概要

Verilog HDL(IEEE1364)の拡張仕様

IEEE Std. 1800-2005

HDVL (HDL + HVL)

- デザインと検証のために言語を統合
 - HDVL (Hardware Description and Verification Language)

アサーション機能をサポート



JEITA

(10)



SVA使用例

1. 禁止状態のチェック
 - プロパティの定義
 - プロパティの引数による再利用
 - not 演算子
2. タイムアウトのチェック
 - シーケンスの定義
 - シーケンスの引数による再利用
 - プロパティからのシーケンス呼び出し
3. ワンホットのチェック
 - \$onehot システム・ファンクション
4. 状態保持のチェック
 - throughout 演算子
5. タグ付きトランザクションのチェック
 - ローカル変数の使用

JEITA

(11)



禁止状態のチェック

- 意図していない状態になっていないか？
 - FIFOにおいてpushとpopは同時に発生しない
 - FIFOにおいてfullのときに書き込みはできない



- **property**を使用して期待する状態を定義
- **not**を使用して禁止状態を指定

```
property p_expected([引数]);
    <期待する状態>
endproperty
property p_illegal([引数]);
    not (<禁止状態>);
endproperty
```

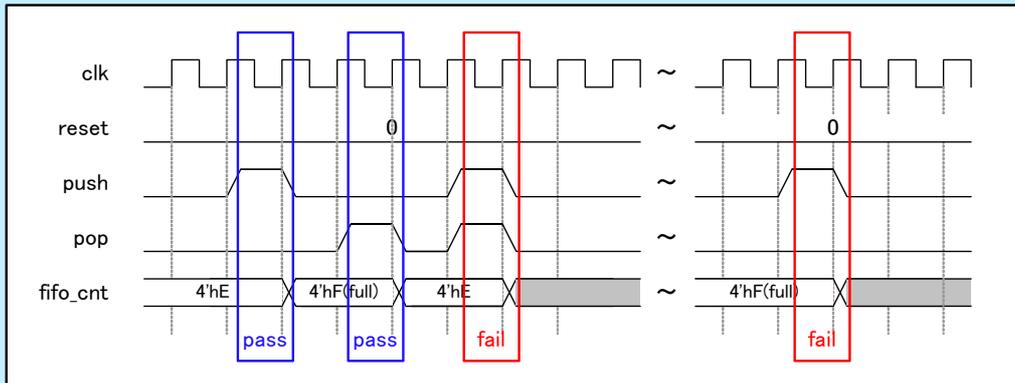
JEITA

(12)



禁止状態の使用例

- FIFOにおいてpushとpopは同時に発生しない
- FIFOにおいてfullのときに書き込みはできない



JEITA

(13)

SystemVerilog

禁止状態の記述例

- FIFOにおいてpushとpopは同時に発生しない(禁止状態1)
- FIFOにおいてfullのときに書き込みはできない(禁止状態2)

```
property p_fifo_push_pop; // 禁止状態1を定義
    @(posedge clk) disable iff (reset) // サンプルクロックと非同期リセット
    not (push && pop);
endproperty

property p_fifo_full_push; // 禁止状態2を定義
    @(posedge clk) disable iff (reset)
    not (full && push && !pop);
endproperty

// 定義したプロパティをアサート
a_fifo_rule_1 : assert property (p_fifo_push_pop);
a_fifo_rule_2 : assert property (p_fifo_full_push);
```

JEITA

(14)

SystemVerilog

タイムアウトのチェック

- 規定時間以内に動作が完了するか？
 - reqのアサート後既定サイクル以内にackがアサート
 - bus_transのデアサート後、次のサイクルでbus_reqデアサート



- 規定の動作を**sequence**で定義

```
sequence s_sequence([引数]);  
    <動作シーケンス>  
endsequence
```

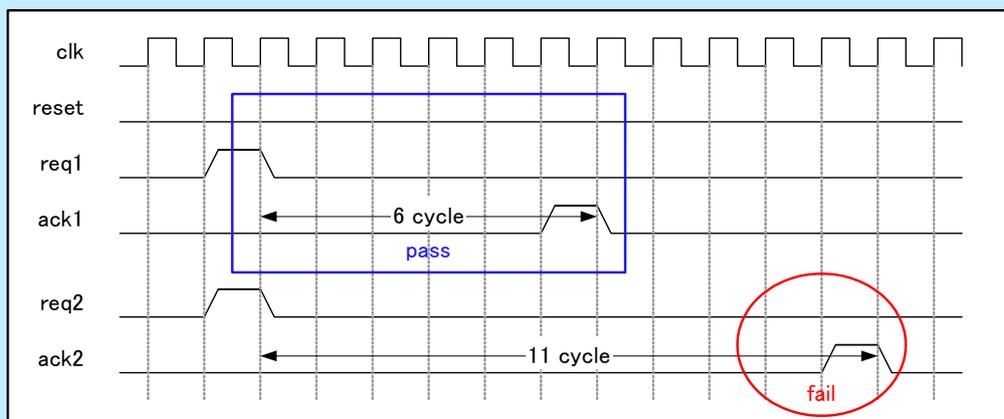
JEITA

(15)



タイムアウトの使用例

- reqのアサート後、既定サイクル以内にackがアサート
- req1-ack1: 8サイクル以内
- req2-ack2: 10サイクル以内



JEITA

(16)



タイムアウトの記述例

- reqのアサート後、既定サイクル以内にackがアサート
- req1-ack1: 8サイクル以内
- req2-ack2: 10サイクル以内

```
sequence s_response(ack, maxcycle); // req-ackのタイムアウトを定義
    @(posedge clk) ##[0:maxcycle-1] ack; // 0~maxcycleの間にackがアサート
endsequence
property p_response(req, ack, maxcycle); // req-ackのプロパティ
    @(posedge clk) disable iff (reset)
    // シーケンスをreq、ackに適用
    req | => s_response (ack, maxcycle);
endproperty

// 定義したプロパティをreq1-ack1、req2-ack2それぞれにアサート(既定サイクルは異なる)
a_timeout_rule_1 : assert property (p_response(req1, ack1, 8));
a_timeout_rule_2 : assert property (p_response(req2, ack2, 10));
```

sequence, property
再利用

JEITA

(17)

SystemVerilog

ワンホットのチェック

- ワンホットであるべき信号が不正な状態になっていないか？
 - 対象とする信号の1ビットだけが“1”である



- システムファンクション\$onehotを使用

\$onehot (<チェック対象信号>)

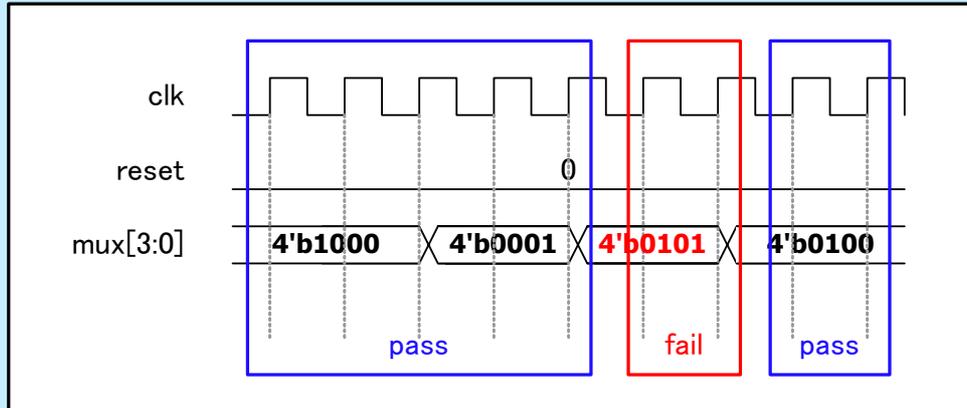
JEITA

(18)

SystemVerilog

ワンホットの使用例

- 信号中の1ビットのみ1である



JEITA

(19)



ワンホットの記述例

- 信号中の1ビットのみ1である

```
property p_onehot_check; // ワンホット指定を定義
    @(posedge clk) disable iff (reset)
        $onehot (mux);
endproperty

// 定義したプロパティをアサート
a_onehot_1 : assert property (p_onehot_check);
//-----
// もしくはプロパティ定義を省略
a_onehot_2 : assert property (
    @(posedge clk) disable iff (reset)
    $onehot (mux));
```

JEITA

(20)



その他システム・ファンクションによるチェック

- 対象とする多ビット信号が1ビットだけが“1”である、もしくはALL0である
- 対象とする値に“X”もしくは“Z”が含まれている

```
// ワンホットもしくはALL0
a_onehot0_1 : assert property (
    @(posedge clk) disable iff (reset)
    $onehot0 (mux));

// “X”もしくは“Z”ではない
a_detect_xz_1 : assert property (
    @(posedge clk) disable iff (reset)
    not ($isunknown (data)));
```

JEITA

(21)



状態保持のチェック

- シーケンス中、状態が保持されているか？
 - frameはバスサイクル期間中アクティブである
 - readyが8クロックlowである期間中、transmitはアサートされる



- **throughout**を使用

```
sequence s_throughout;
    <保持状態> throughout <保持期間>
endsequence
```

※保持状態はブーリアン表現

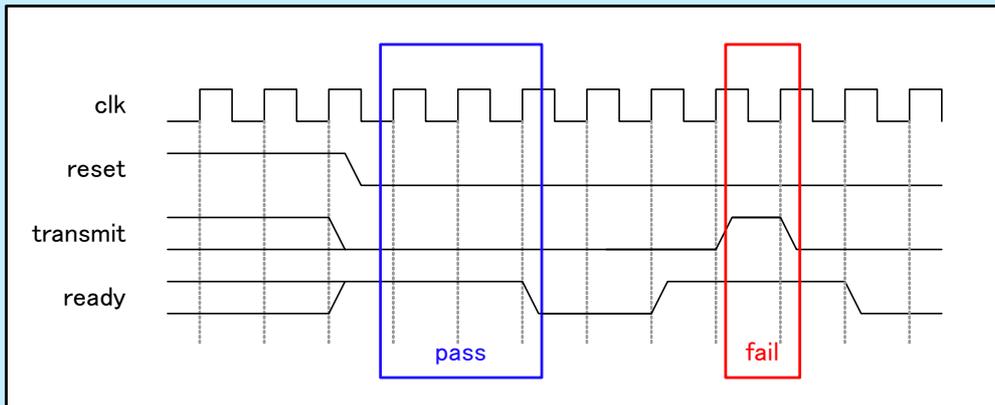
JEITA

(22)



状態保持のチェック使用例

- resetとtransmitはreadyシーケンス中インアクティブである
- readyシーケンス: readyが連続的に3サイクルアクティブになる



JEITA

(23)



状態保持のチェック記述例

- resetとtransmitはreadyシーケンス中インアクティブである
- readyシーケンス: readyが連続的に3サイクルアクティブになる

```
sequence s_ready_3; // 保持すべきシーケンスを定義
    @(posedge clk)
    ( !reset && !transmit ) throughout ready[*3];
endsequence

// シーケンスをclkドメインのプロパティとしてアサート
a_throughout_rule : assert property(
    @(posedge clk) disable iff (reset)
    s_ready_3);
```

JEITA

(24)



タグ付きトランザクションのチェック

- タグ付きトランザクションで処理されるプロトコルにおいて、リクエストとその応答が正しいか？
 - リクエストと同じタグを持つレスポンスが規定時間内に応答する(プロパティ1)
 - リクエストが完了しないまま同じタグは再利用されない(プロパティ2)
 - 完了済みのタグに対するレスポンスがそのタグのリクエストがない状態で再度レスポンスなされない(リクエストされていないタグに対するレスポンスはなされない) (プロパティ3)



- プロパティ内でローカル変数を使用

```

property p_tagtransaction;
    int tag; // ローカル変数
    (<式>, <代入文>) // ローカル変数への代入
    ...
endproperty
    
```

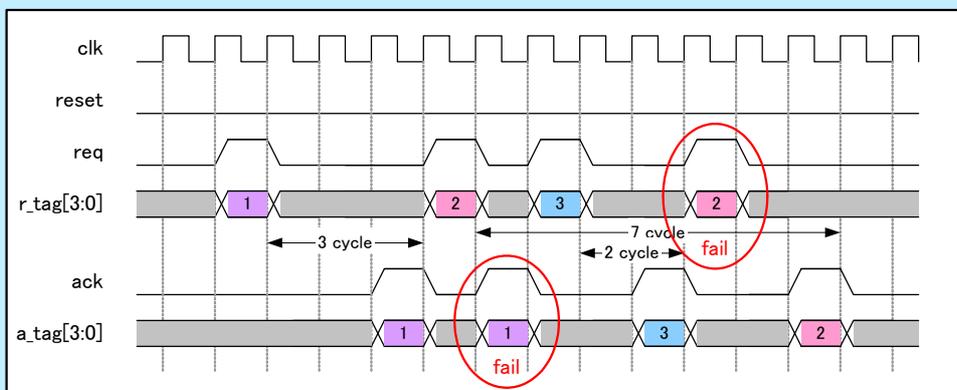
JEITA

(25)

SystemVerilog

タグ付きトランザクションの使用例

- リクエストと同じタグを持つレスポンスが規定時間内に応答する(プロパティ1)
- リクエストが完了しないまま同じタグは再利用されない(プロパティ2)
- 完了済みのタグに対するレスポンスがそのタグのリクエストがない状態で再度レスポンスなされない(リクエストされていないタグに対するレスポンスはなされない) (プロパティ3)



JEITA

(26)

SystemVerilog

タグ付きトランザクションの記述例(1)

- リクエストと同じタグを持つレスポンスが100サイクル内に応答する (プロパティ1)

```
property p_tag_req2ack; // タグ付きのレスポンスを定義
  logic [3:0] tag; // プロパティ内のローカル変数
  @(posedge clk) disable iff (reset)
  (req, tag=r_tag) |-> // reqのアサート
    !(ack && (a_tag==tag)) // 同時には返らない
    // 100サイクル以内にackがアサート
    ##[1:100] (ack && (a_tag==tag));
endproperty

// タグ付きレスポンスのプロパティをアサート
a_tag_req2ack : assert property (p_tag_req2ack);
```

JEITA

(27)



タグ付きトランザクションの記述例(2)

- リクエストが完了しないまま同じタグは再利用されない (プロパティ2)

```
property p_reqtag_once; // リクエストタグの重複禁止
  logic [3:0] tag; // プロパティ内のローカル変数
  @(posedge clk) disable iff (reset)
  not ((req, tag=r_tag) // reqのアサート
    ##1 !(ack && (a_tag==tag)) [*1:$] // 同じタグのackがない
    ##0 (req, r_tag==tag) // 同じタグのリクエストが発行される
  );
endproperty

//リクエストタグの重複禁止プロパティをアサート
a_reqtag_once : assert property (p_reqtag_once);
```

JEITA

(28)



タグ付きトランザクションの記述例(3)

- 完了済みのタグに対するレスポンスがそのタグのリクエストがない状態で再度レスポンスなされない(リクエストされていないタグに対するレスポンスはなれない)(プロパティ3)

```
property p_acktag_once; // 不正なタグのレスポンス禁止
    logic [3:0] tag; // プロパティ内のローカル変数
    @(posedge clk) disable iff (reset)
    not ((ack, tag=a_tag) // ackのアサート
        ##1 !(req && (r_tag==tag)) [*1:$] // 同じタグのreqがない
        ##0 (ack && a_tag==tag) // 同じタグのackが発行される
    );
endproperty

//不正なタグのレスポンス禁止プロパティをアサート
a_acktag_once : assert property (p_acktag_once);
```

まとめ

- 紹介したSVA構文
 - property~endproperty**
 - 期待される動作を定義→アサーションとして利用
 - sequence~endsequence**
 - 一定の動作シーケンスを定義→プロパティ内で利用
 - a_assert_name : assert property();**
 - 定義したアサーションをアサート
 - not**
 - 禁止状態の指定
 - \$onehot()**
 - ワンホット信号のチェック
 - throughout**
 - 一定期間内の状態を指定
 - ローカル変数
 - プロパティ内でローカルな変数を代入参照可能
- Appendix: EDAツールでのサポート状況調査

ツールのサポート状況

- 当日公開

JEITA

(31)



4.4 SystemC/SystemVerilog 対訳表

[注意 1] 訳語間の「・」は単語の切れ目を見やすくするために挿入してあり、使用時には使用者の判断で省略可能

[注意 2] keyword を翻訳するに当たり、SystemVerilog の観点から大幅な意識が必要なものには、keyword 欄に (注 SV)を挿入

keyword or phrase	訳語 (決定)
!=? (注 SV)	ワイルドカード非等価演算子
##0 (注 SV)	シーケンス・オーバーラップ接続
. * port connection	. * ポート接続
.name port connection	.name ポート接続
?: (注 SV)	条件演算子
[=n] (注 SV)	シーケンス非連続的繰り返し
[->n] (注 SV)	シーケンス goto 繰り返し
=> (注 SV)	非オーバーラップ含意演算子
-> (注 SV)	オーバーラップ含意演算子
==? (注 SV)	ワイルドカード等価演算子
abstract class	抽象クラス
active region	アクティブ領域
alias	エイリアス
antecedent	前提部
application	アプリケーション
arc coverage	アーク・カバレッジ
arc transition	アーク遷移
argument	引数
argument mode	引数モード
argument passing	引数渡し
argument passing by name	引数の名前渡し
array literals	配列リテラル
array locator methods	配列ロケータ・メソッド
array ordering methods	配列オーダリング・メソッド
array part selects	配列部分選択
array reduction methods	配列リダクション・メソッド
array slices	配列スライス
assert	アサート
assert quiescent state	静止状態アサート
assertion	アサーション
assertion density	アサーション密度
assertion-based design	アサーションベース設計

keyword or phrase	訳語（決定）
assertion-based verification	アサーションベース検証
assignment operator	アサイン演算子
associative array methods	連想配列メソッド
associative arrays	連想配列
assume	アシューム
assume-guarantee reasoning	アシュームの整合性保証
assumption	仮定
attribute	属性
automatic task	オートマチック・タスク
back-to-back grant	連続承認通知
base class	基底クラス
behavior	動作
binary fixed-point representation	固定小数点表現
binding	接続
bins	ビン
bit-select	ビット選択
bit-stream casting	ビット列型変換
black-box verification	ブラックボックス検証
block name	ブロック名
blocking assignment	ブロッキング代入
block-level	ブロックレベル
body	本体
boolean condition	ブール式条件
boolean expression	ブール式
boolean layer	ブーリアン・レイヤ
boundary condition	境界条件
bounded-model checking	境界付きモデル・チェック
branch coverage	ブランチ・カバレッジ
branch unit	ブランチ・ユニット
branching-time temporal logic	分岐時間時相論理
built-in method	組み込みメソッド
built-in package	組み込みパッケージ
c++ exception	C++ 例外
callback	コールバック
cast operator	型変換演算子
casting	型変換
channel	チャンネル

keyword or phrase	訳語（決定）
class	クラス
class definition	クラス定義
class member	クラス・メンバ
class method	クラス・メソッド
class parent member	親クラスのメンバ
class scope operator	クラス・スコープ演算子
class template	クラス・テンプレート
c-like	C 言語ライク
clock	クロック
clock tick	クロック・ティック
clocked thread	クロック同期スレッド
clocking block	クロッキング・ブロック
code coverage	コード・カバレッジ
coding restriction	コーディング制約
compilation unit	コンパイル・ユニット
component	コンポーネント
composition operators	構成演算子
concatenation	接続
concatenation operator	接続演算子
concurrent	コンカレント
concurrent assertion	コンカレント・アサーション
concurrent assertion construct	コンカレント・アサーション構文
conditional expression	条件式
conditional expression pattern	条件式パターン
conditional operator	条件演算子
configuration	コンフィギュレーション
consecutive concatenation	連続的接続
consecutive repetition	連続的繰り返し
consecutive repetition operator	連続的繰り返し演算子
consequence	帰結部
consistency assertion	整合性アサーション
constraint	制約
constraint block	制約ブロック
consumer routine	消費ルーチン
context object	コンテキスト・オブジェクト
co-operative multitasking	協調的マルチタスク
co-routine semantics	コルーチン・セマンティクス

keyword or phrase	訳語（決定）
cover	カバー
cover property	カバー・プロパティ
coverage	カバレッジ
coverage access function	カバレッジ・アクセス関数
coverage analysis	カバレッジ解析
coverage API	カバレッジ API
coverage density	カバレッジ密度
coverage metrics	カバレッジ・メトリクス
coverage model	カバレッジ・モデル
coverage option	カバレッジ・オプション
cross	クロス（カバレッジ）
cycle delay operator	サイクル遅延演算子
declaration	宣言
decrement operator	デクリメント演算子
default argument	デフォルト引数
delta notification	デルタ遅延通知
design assertion	設計アサーション
design insight	設計上の意図
design pattern	デザイン・パターン
Direct Programming Interface (DPI)	ダイレクト・プログラミング・インタフェース
directive	ディレクティブ
DPI export	DPI エクスポート
DPI import	DPI インポート
dynamic array	動的配列
dynamic array method	動的配列メソッド
dynamic process	動的プロセス
dynamic property checker	動的プロパティ・チェッカ
dynamic sensitivity	動的センシティビティ
dynamic spawned process	動的起動プロセス
dynamic variable	動的変数
elaboration	エラボレーション
encapsulation	カプセル化
ended（注 SV）	シングルクロック・シーケンス終端
ending event	終端イベント
end-to-end	エンドツーエンド
enumerated type	列挙型
enumerated type method	列挙型メソッド

keyword or phrase	訳語 (決定)
event	イベント
event finder	イベント・ファインダ
event list	イベント・リスト
eventuality	イベンチャリティ
export	エクスポート
export binding	エクスポート接続
expression coverage	エクスプレッション・カバレッジ
expression operator	エクスプレッション演算子
fail	失敗する
failure	失敗
fairness	公平性
false fireing	誤発火
finite-precision integer	有限精度整数
fire	発火、発火する
fireing	発火
first match	最初の一致
first match operator	ファースト・マッチ演算子
fixed-point classes	固定小数点クラス
formal verification	フォーマル検証
foundation layer implication operator	基礎層含意演算子
functional coverage	機能カバレッジ
functional coverage group	機能カバレッジ・グループ
functional coverage model	機能カバレッジ・モデル
functional coverage point	機能カバレッジ・ポイント
functional coverage specification	機能カバレッジ仕様
fusion	融合
fusion operator	融合演算子
goto repetition	goto 繰り返し
goto repetition operator	goto 繰り返し演算子
hardware design and verification language	ハードウェア設計検証言語
hierarchical channel	階層チャネル
immediate notification	即時通知
implementation	実装
implementation-defined	実装依存の
implication	含意
implication operator	含意演算子
implicit conversion	暗黙の変換

keyword or phrase	訳語（決定）
import	インポート
inactive region	インアクティブ領域
include file	インクルード・ファイル
inclusive operator	包含的演算子
increment operator	インクリメント演算子
inheritance	継承
initializer list	初期化リスト
instance	インスタンス
instantiate	インスタンスする
instantiation	インスタンス生成
integer	整数
interface	インタフェース
interface methods	インタフェース・メソッド
interface proper	インタフェース・プロパー
intersect（注 SV）	シーケンス長一致論理積
intersection	交差
invariance	不変性
invariant property	不変プロパティ
iterative constraint	繰り返し制約
iterator	イタレータ
label	ラベル
length-matching sequence connection	長さの一致するシーケンスの結合
library	ライブラリ
library map file	ライブラリ・マップ・ファイル
lifetime	ライフタイム
limited-precision fixed-point classes	限定精度固定小数点クラス
limited-precision integer	限定精度整数
line coverage	ライン・カバレッジ
linear-time temporal logic	線形時間時相論理
list method	リスト・メソッド
literal value	リテラル値
liveness property	活性プロパティ
lock	ロック
logic vector	論理ベクタ
logical implication operator	論理的含意演算子
longest static prefix	最長静的プリフィックス
macro	マクロ

keyword or phrase	訳語 (決定)
mailbox	メールボックス
master	マスタ
match	一致
matched (注 SV)	マルチクロック・シーケンス終端
member function	メンバ関数
method	メソッド
modeling layer	モデリング・レイヤ
module	モジュール
module hierarchy	モジュール階層
module instance	モジュール・インスタンス
module instantiation	モジュール・インスタンス生成
module name	モジュール名
multiple dimension array	多次元配列
multiple event notification	多重イベント通知
multiple out-of-order	多重アウトオブオーダー(ランダム順序)
multiple request transaction timing	多重要求トランザクション・タイミング
multiport	マルチポート
mutex	ミューテックス
mutual	相互
named assertion	名前付きアサーション
named binding	名前による接続
named block	名前付きブロック
named port connection	名前付きポート接続
NBA region	NBA 領域
nested identifier	ネストした識別子
nested module	入れ子のモジュール
non-abstract class	非抽象クラス
non-blocking assignment (NBA)	ノンブロッキング代入
non-clocked procedural assertion	クロックなし手続きアサーション
nonconsecutive count repetition	非連続的繰り返し
nonconsecutive exact repetition	非連続的終端合致繰り返し
nonconsecutive repetition	非連続的繰り返し
nonconsecutive repetition operator	非連続的繰り返し演算子
non-corrupt data assertion	ノンコラプト・データ・アサーション
non-inclusive operator	非包含的演算子
non-length-matching sequence connection	長さの異なるシーケンスの結合
non-overlapped	非重複

keyword or phrase	訳語（決定）
non-overlapped implication	非重複含意
notification	通知
notify	通知する
object	オブジェクト
object hierarchy	オブジェクト階層
observe region	観測領域
operator	演算子
operator associativity	演算子の結合順位
operator overloading	演算子のオーバーロード
operator precedence	演算子の優先順位
out-of-order protocols	アウトオブオーダー・プロトコル
out-of-order request	アウトオブオーダー要求
out-of-order transaction	アウトオブオーダー・トランザクション
over constrained	過制約
over constrained procedural assertion	過制約手続きアサーション
overlapped implication	時間重複含意
overlapping implication	時間重複含意
overload	オーバーロード
override	オーバーライド
package	パッケージ
packed array	パック型配列
packed structure	パック型構造体
parameter	引数 または パラメータ
part-select classes	部分選択クラス
part-selects	部分選択
pass statement	パス文
path coverage	パス・カバレッジ
PLI callback	PLI コールバック
polymorphism	ポリモーフィズム
pop	ポップ
port	ポート
port binding	ポート接続
port instantiation	ポート・インスタンス
port policy	ポート・ポリシー
portless channel access	ポートなしチャネルアクセス
positional binding	位置による接続
positional port binding	位置によるポート接続

keyword or phrase	訳語 (決定)
procedural	手続き的
procedural assinment	手続き的代入
procedural continuous assinment	手続き的継続代入
process	プロセス
process instance	プロセス・インスタンス
process sensitivity	プロセス・センシティビティ
program block	プログラム・ブロック
Programing Language Interface(PLI)	プログラミング・ランゲージ・インタフェース
property	プロパティ
property declaration	プロパティ宣言
property language	プロパティ言語
property structure	プロパティ構造
propositional temporal logics	命題時相論理
proxy class	代理クラス
pure virtual functions	純粋仮想関数
push	プッシュ
quantization mode	量子化モード
query	クエリ
quiescent state assertions	静的状態アサーション
random test	ランダム・テスト
random test generator	ランダム・テスト生成
reactive region	リアクティブ領域
reactive testbench	反応型テストベンチ
real literal	実数リテラル
recursive property	帰納的プロパティ
reduction operator	リダクション演算子
reduction or	リダクション OR
reference model	リファレンス・モデル
regression test	リグレッション・テスト
repetition	繰り返し
resolution operator	リゾリューション演算子
resolved	リゾルブ
resolved signal	リゾルブ信号
restriction	制限
return value	返り値
rounding modes	まるめ処理モード
safety property	安全性プロパティ

keyword or phrase	訳語（決定）
sample point	観測点
scheduling semantics	スケジューリング・セマンティクス
scope	スコープ
scope resolution operator	スコープ・リゾリューション演算子
semaphore	セマフォ
semi-formal	セミフォーマル
sensitivity	センシティビティ
sequence	シーケンス
sequence and operator (注 SV)	シーケンス長不一致論理積
sequence declaration	シーケンス宣言
sequence expression	シーケンス式
sequence fusion	シーケンス融合
sequence fusion operator	シーケンス融合演算子
sequence implication operator	シーケンス含意演算子
sequence intersection	シーケンス交差(演算子)
sequence or operator	シーケンス論理和演算子
sequential assertions	シーケンシャル・アサーション
severity level	重大さ
severity task	重大タスク
sign extension	符号拡張
signal	信号
signature	シグネチャ
simulation	シミュレーション
simulation time	シミュレーション時間
simulation time resolution	シミュレーション時間精度
slave	スレーブ
sparse array	スパース配列
spawned process	起動プロセス
spawned process instance	起動プロセス・インスタンス
specification-level	仕様レベル
specify	指定する、仕様記述する
starting event	開始イベント
state-explosion	状態爆発
static processes	静的プロセス
static sensitivity	静的センシティビティ
static spawned process	静的起動プロセス
static tasks	静的タスク

keyword or phrase	訳語（決定）
stimulus	ステイミュラス
streaming operator	ストリーム演算子
string literal	文字列リテラル
strong operator	強演算子
strong suffix implication	強接尾子含意
subordinate Boolean expressions	従属ブール式
suffix implication	接尾子含意
suffix next implication	ネクスト接尾子含意
suffix sequence	帰結シーケンス
syndrome	シンドローム
system function	システム関数
system-level	システムレベル
tag	タグ
tag set	タグ・セット
tag-based	タグベース
tagged	タグ付き
tagged union	タグ付きユニオン
task	タスク
template	テンプレート
template parameters	テンプレート・パラメータ
temporal layer	テンポラル・レイヤ
temporal property	テンポラル・プロパティ
terminating property	終了プロパティ
testbench	テストベンチ
thread	スレッド
throughout (注 SV)	シーケンス全域条件
time resolution	時間精度
time slots	タイム・スロット
time unit	時間単位
time window	時間ウィンドウ
time-bounded window	時間境界ウィンドウ
timed notification	タイムド通知
time-out	タイムアウト
top-level module	最上位モジュール
top-level object	最上位オブジェクト
trace	トレース
trace file	トレース・ファイル

keyword or phrase	訳語（決定）
transaction	トランザクション
transient behavior	過渡状態
transition	遷移
traverse object	トラバース・オブジェクト
trigger	トリガ
triggering event	トリガとなるイベント
unary delay	単項遅延
union	共用体
unpack	アンパック
unpacked array	アンパック型配列
unsized literal	不定長リテラル
unspawned process	未起動プロセス
unspawned process instance	未起動プロセス・インスタンス
update	更新
update request	更新要求
user-defined	ユーザ定義
user-defined conversion	ユーザ定義変換
variable-precision fixed-point classes	任意精度固定小数点クラス
vector	ベクタ
verification layer	検証レイヤ
violation	違反
virtual interface	仮想インタフェース
void return value	void 戻り値
weak operator	弱演算子
weak suffix implication	弱接尾辞含意
weak suffix implication operator	弱接尾辞含意演算子
weight operator	重み付け演算子
wild equality operator	ワイルドカード等価演算子
wild inequality operator	ワイルドカード非等価演算子
wildcard	ワイルドカード
wildcard operator	ワイルドカード演算子
within (注 SV)	シーケンス包含
zero extension	ゼロ拡張

EDAアニュアルレポート2005

2006年5月発行

禁無断転載

発行 社団法人 電子情報技術産業協会 電子デバイス部
〒101-0062
東京都千代田区神田駿河台 3-11
三井住友海上駿河台別館ビル
TEL 03-3518-6430 FAX 03-3295-8725

印刷・製本 株式会社 エステーピー
〒162-0818
東京都新宿区築地町 17 番地
TEL 03-3235-4887 FAX 03-3235-4890

