



EDA アニュアルレポート 2011

Annual Report on Electronic Design Automation

— システム・オン・チップ時代の向こうに —
Beyond the "System on a Chip" era

2012年6月発行

作 成

半導体技術委員会／EDA技術専門委員会
Semiconductor Technology Committee／EDA Technical Committee

発 行

一般社団法人 電子情報技術産業協会
Japan Electronics and Information Technology Industries Association

【巻頭言】

「高付加価値 LSI の設計基盤である EDA 技術発展に向けて」

EDA 技術専門委員会 2011 年度 委員長 今井 浩史

LSI は家電製品だけでなく、情報機器、自動車、医療機器などにも搭載され、現在の社会基盤にはなくてはならないものになっている。さらに、高度情報化社会、エコ社会を実現するためには、信頼性、低消費電力といった高付加価値 LSI の提供が求められている。このような高付加価値 LSI 設計の要求に半導体設計自動化 (EDA: Electronic Design Automation) 技術が答える必要がある。とくに、機能・論理の設計を短期間・少ない工数で高品質に実現する技術、製造プロセスの微細化に伴い増大するバラツキを考慮したタイミング設計・検証を実現する技術、低消費電力な LSI の設計・検証技術でのより一層の技術発展が期待されている。これらの技術発展には、国内の半導体産業、大学、官庁間の密な連携が重要であり、更に、海外の関連業界・機関とも国際的な視野で協調、連携を図っていく必要がある。

EDA 技術専門委員会は、電子情報技術産業協会 (JEITA) における業界活動組織の一つとして電子機器の設計自動化に関わる活動を行なっている。特に、電子機器の機能・性能を決定するシステム LSI の設計技術に関わる活動をその中心に置き、設計技術およびそれに関わる標準化の動向を調査し、それらの発展・推進を図り、国内外の関係業界の発展に寄与することを目的とし、三つのテーマを設定し、活動をしている。

- (1) EDA 技術の動向・関連情報の調査検討、課題解決への提案。
- (2) EDA に関する標準化活動への貢献。
- (3) EDA 技術および標準化の普及推進のためのイベント実施・支援。

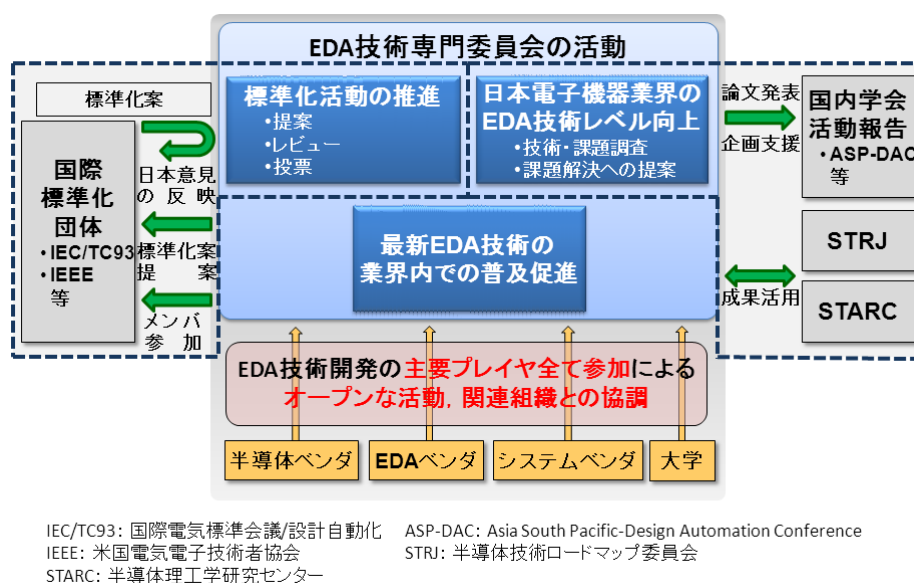
(1) のテーマでは、ナノ世代物理設計ワーキンググループの活動を通して、最先端テクノロジーにおける設計技術・EDA 技術の現状調査、課題抽出、および課題解決への提案を行っている。LSI・パッケージ・ボード (LPB) 相互設計ワーキンググループでは、実装技術に関する技術動向とニーズ調査を行い、LPB 相互設計技術の発展のための提案をしていく。設計言語に関しては、SystemVerilog ワーキンググループで技術動向の調査を行っている。本活動の結果は、関係機関・団体との会議、学会・研究会の場での発表、アニュアルレポート、本委員会のホームページを通じて公開している。

(2) のテーマでは、EDA 設計言語およびモデル標準化のための技術検討と提案を行ってい

る。SystemVerilog ワーキンググループでは SystemVerilog (IEEE 1800) の改訂についての技術調査を行い、IEEE での SystemVerilog の改訂について投票した。LPB 相互設計ワーキンググループでは、LPB 相互設計環境の標準化を目指した活動を行っている。2010 年度までは本委員会下に標準化小委員会を設置し、標準化活動を行ってきた。標準化活動のさらなる活発化を目指して、小委員会を廃止し、標準化活動は本委員会で行うこととした。また、国際的な関連機関・団体 (IEC (International Electrotechnical Commission)、IEEE 等) との情報交換等を通じて国際的な標準化活動へも貢献している。

(3) のテーマでは、例年 1 月に開催してきた Electronic Design and Solution Fair (EDSFair) を、Embedded Technology／組込み総合技術展 (ET) と同時開催することにした。近年の LSI 設計では、ハードウェア設計技術と組込みソフトウェア設計技術は密接な関係がある。ET と同時開催することにより、ハードウェア設計者、ソフトウェア設計者ともに最新の設計技術情報を提供できる場になると考えている。EDA 技術専門委員会では EDSFair 実行委員会を立ち上げ、EDSFair の企画・運営に当たっている。また、EDSFair 会場に併設された会場で、EDA 技術普及推進のために設計者の関心の高いテーマについてのセッションを開催した。さらに、システムデザインフォーラムを EDSFair と同時開催した。このフォーラムで、EDA 技術専門委員会および傘下のワーキンググループの活動内容と成果を発表した。EDSFair、システムデザインフォーラムには、多くのシステム設計者、LSI 設計者、ソフトウェア設計者の方々に参加いただいた。LPB 相互設計ワーキンググループでは、標準化に関わる成果の普及促進のため、セミナーを開催した。

以下の図で、本委員会の活動と関係団体との関わりを示す。



EDA 技術専門委員会は、上図の関連組織・標準化団体との連携のもと、三つのテーマである EDA 技術調査と課題解決への技術検討、標準化活動、技術と標準化の普及促進という活動を通じ、高度情報化社会、エコ社会の実現を支える高付加価値 LSI の設計を支える EDA 技術の発展、さらには日本の電子情報機器業界の発展に寄与すべく、本年度 15 社約 70 名弱の業界各社有志の参画により活動してきた。2012 年度も積極的な活動を継続する予定である。

本報告「EDA アニュアルレポート 2011」は、EDA 技術専門委員会の 2011 年度年次報告として、上記三つのテーマについて活動成果をまとめたものである。また、本委員会のホームページにも各種報告を掲載しているので、ご覧いただきたい。

(<http://www.jeita-edatc.com/index-jp.html>)

2011 年度 JEITA/EDA 技術専門委員会 委員一覧

委員長	今井 浩史	(株)東芝	セミコンダクター&ストレージ社 アナログ・イメージング I C 事業部 設計技術開発部 設計メソドロジー開発担当 参事
副委員長	河村 薫	富士通セミコンダクター(株)	開発・製造本部 共通テクノロジー開発統括部 主席部長
副委員長	大芝 克幸	ソニー(株)	半導体事業本部 設計基盤技術部門 ミックスシグナルデザイン ソリューション部 シニアデザインエンジニア
監事	隅谷 三喜夫	パナソニック(株)	デバイス社 半導体事業グループ システム L S I ビジネスユニット 基盤技術センター 第四開発グループ グループマネージャー
幹事	吉田 正昭	ルネサスエレクトロニクス(株)	技術開発本部 E D A ・ 設計手法統括部 シニアエキスパート
委員	林 靖二	キヤノン(株)	生産技術研究所 実装技術研究部 主任研究員
委員	小野 信任	(株)ジーダット	事業戦略室 室長
委員	野坂 啓介	図研エルミック(株)	リブウェア事業部 販売戦略部 販売戦略課 マネージャー
委員	市川 浩司	(株)デンソー	技術開発センター D P - E M C 推進室 室長
委員	金子 俊之	(株)トッパンNECサーキットソリューションズ	

			管理本部 設計部 マネージャー
委員	飯島 一彦	日本シノプシス(合)	技術本部 本部長 バイスプレジデント
委員	楠本 学	日本電気(株)	システム実装研究所 主任
委員	片平 孝洋	ノキア・ジャパン(株)	Engine&Memory Technologies CTO Organization
委員	三橋 明城男	メンター・グラフィックス・ジャパン(株)	マーケティング部 ディレクター
委員	前野 西治	(株)リコー	電子デバイスカンパニー 設計プロセス改革室 アナログ設計技術課 シニアスペシャリスト
特別委員	小島 智	NECシステムテクノロジー(株)	PF統括本部 エグゼグティブ・エキスパート
特別委員	田中 正和	パナソニック(株)	デバイス社 半導体事業グループ イメージセンサビジネスユニット 第二開発グループ 商品開発第二チーム 主任技師
特別委員	福場 義憲	(株)東芝	セミコンダクター&ストレージ社 アナログ・イメージング IC事業部 設計技術開発部 設計インフラ技術担当 参事
特別委員	浜口 加寿美	パナソニック(株)	デバイス社 半導体事業グループ システムLSI事業本部

基盤技術センター
第六開発グループ 第三開発チーム
チームリーダー

客員 若林 一敏 日本電気㈱

中央研究所
ビジネスイノベーションセンター
EDA開発センター 研究部長

客員 今井 正治 大阪大学

大学院 情報科学研究科
情報システム工学専攻 教授

客員 神戸 尚志 近畿大学

理工学部 電気電子工学科
教授

< 2012年3月31日現在 >

略 語 一 覧

[1] 団体・組織の名称

Accellera	Accellera Systems Initiative 旧Accellera(VIとOVIを統合した、設計記述言語の標準化に関連する活動機関)とOSCI(Open SystemC Initiative : SystemC の標準化団体)が統合
ANSI	American National Standards Institute 米国の標準化国家機関
ASP-DAC	Asia and South Pacific Design Automation Conference アジア・南太平洋地域でのEDA関連の国際学会(1995年に始まる)
CENELEC	European Committee for Electrotechnical Standardization EC(欧州委員会)の電気電子分野に関する標準化機関
DAC	Design Automation Conference 米国で行われるEDA関連の国際学会
DASC	Design Automation Standardization Committee IEEEの下部組織で設計自動化に関する標準化委員会
ECSI	European Electronic Chips & Systems design Initiative 欧州の設計自動化に関する標準化機関
EDIF Div.	Electronic Design Interchange Format Division EIAの下部組織で電子系の情報データ交換規格の検討機関
EIA	Electronic Industries Alliance 米国の電機電子通信業界団体
ICCAD	International Conference on Computer Aided Design CADに関する国際学会
IEC	International Electrotechnical Commission 国際電気標準会議(電気電子分野に関する国際標準化機関)
IEEE	Institute of Electrical and Electronics Engineers, Inc. 米国の電気電子分野の国際的な学会組織
IPC	Association Connecting Electronics Industries 旧称:Institute for Interconnecting and Packaging Electronic Circuits 米国のプリント基板設計・製造に関する業界組織
ISO	International Organization for Standardization 国際標準化機構 (電気及び電子、通信技術分野を除く全産業分野[鉱工業、農業、医薬品等]に関する国際標準化機関)

IVC	International Verilog Conference OVIが主催するVerilog HDL国際学会
JEITA	Japan Electronics and Information Technology Industries Association 一般社団法人 電子情報技術産業協会(電機電子業界団体)
JISC	Japanese Industrial Standards Committee 日本工業標準調査会(国家審議会、IEC/ISOに対する代表機関)
JPCA	Japan Electronics Packaging Circuits Association 社団法人 日本電子回路工業会
OSCI	Open SystemC Initiative SystemC の標準化団体で、2011年にAccellera Systems Initiativeへ統合
OVI	Open Verilog International Verilog-HDLに関連する技術の標準化と普及推進組織
SEMATECH	Semiconductor Manufacturing Technology Initiative (Consortium) 半導体技術を向上するために始まった米国の官民プロジェクト
Si2	Silicon Integration Initiative 設計環境の整備促進を支援する米国の非営利法人(旧CFI)
VASG	VHDL Analysis and Standards Group DASC傘下のVHDL標準化に関するワーキンググループ
VITAL	VHDL Initiative Toward ASIC Libraries VHDLライブラリ標準化団体
VSIA	Virtual Socket Interface Alliance LSIの機能ブロックのI/F標準化を目指している業界団体

[2]標準化・規格に関する技術用語

ALF	Advanced Library Format OVIで検討されたIPをも含むASICライブラリのフォーマット
ALR	ASIC Library Representation ASICライブラリ表現
CALS	Computer Aided Logistics Support / Commerce at Light Speed 製品の技術情報の流通に関するすべての標準化活動の総称
CHDS	Chip Hierarchical Design System SEMATECHが要求仕様を作成した0.25-0.18um世代設計システム
CHDStd	Chip Hierarchical Design System technical data CHDSで使用するデータモデルの標準化

DCL	Delay Calculation Language 遅延計算のための記述言語
DPCS	Delay and Power Calculation System IEEE1481として標準化推進されている遅延と消費電力の計算機構仕様
ECALS	Electronic Commerce at Light Speed 電子機器、半導体、電子部品等の複合電子部品技術情報の流通ならびに ECALS 辞書等の維持管理等、すべての標準化活動の総称
EDI	Electronic Data Interchange 電子データ交換
EDIF	Electronic Design Interchange Format EIAの下部組織で検討されている電子系の情報データ交換規格
ESPUT	European Strategic Program for Research and Development in Information Technology 欧州情報技術研究開発戦略計画
HDL	Hardware Description Language ハードウェア記述言語
IP	Intellectual Property 流通/再利用可能なLSI設計資産(本来は知的財産権の意)
JIS	Japanese Industrial Standards 日本工業規格
SDF	Standard Delay Format 遅延時間を表記するフォーマット
SLDL	System Level Design Language システム仕様記述言語
STEP	Standard for the Exchange of Product Model Data CADの製品データ交換のための国際規格
VHDL	VHSIC (Very High Speed Integrated Circuit) Hardware Description Language IEEE1076仕様に基づくハードウェア記述言語
VHDL-AMS	VHDL-Analog and Mixed-Signal (Extensions) DASCの中で進められているVHDLのアナログ及びミックスドシグナルシステムへの拡張

1. EDA技術専門委員会の活動

1.1 2011 年度 JEITA/EDA 技術専門委員会 概要

委員会の名称	EDA 技術専門委員会 (Electronic Design Automation Technical Committee)		
委員会の目的	EDA に関連する技術およびその標準化の動向を調査し、その発展、推進を図り、もって国内外の関係業界の発展に寄与する		
委員会の構成	会員会社/委員	15 社/15 名	
	特別委員	4 名	
	客員	3 名	
委員会の予算	会費 240,000 円 * 16 社 =3,840,000 円 (会費 15 社+LPB-WG 特別委員負担金 1 社)		
委員会の開催	年 6 回程度	(実績： 別紙-2 参照)	
幹事会の開催	必要に応じ開催	(実績： 別紙-2 参照)	
担当事務局	JEITA/電子デバイス部 進藤 淳二・細川 照彦		

■EDA 技術専門委員会役員と担当 (敬称略)

・幹事会社 5 社(5 名)

委員長： 東芝	今井 浩史	EDSFair 検討会主査、EDA 標準化小委員会委員 EDSFair 実行委員会委員
副委員長：富士通セミコンダクター	河村 薫	EDA 標準化小委員会主査、ASP-DAC リエゾン
副委員長：ソニー	大芝 克幸	EDA 標準化小委員会副主査、内規改訂、広報パンフレット アニュアルレポート、システム・デザイン・フォーラム WG 委員
監事： パナソニック	隅谷 三喜夫	システム・デザイン・フォーラム WG 主査、EDA 標準化小委員会委員 EDSFair 実行委員、HP/ML/予算
幹事： ルネサスエレクトロニクス	吉田 正昭	EDSFair 実行委員長、EDA 標準化小委員会委員 システム・デザイン・フォーラム WG 委員

・特別委員(4 名)

EDA 標準化小委員会副主査(国際標準化担当)

	NEC システムテクノロジー	小島 智	IEC/TC93/WG2 コンベナ
ナノ世代物理設計 WG 主査	パナソニック	田中 正和	
SystemVerilog WG 主査	パナソニック	浜口 加寿美	
LPB 相互設計 WG 主査	東芝	福場 義憲	

・客員(3 名)

標準化識者	近畿大学	神戸 尚志	IEC/TC93 国内委員長
設計言語識者	大阪大学	今井 正治	
ASP-DAC リエゾン	日本電気	若林 一敏	

■2011 年度活動方針

1. 委員会活動の継続的發展

2010 年度からの体制でのスムーズな運営と活動活性化に向けた新体制の検討と移行
EDSF およびそれに関わる活動の 2010 年度体勢継続
収支均衡策の検討・実施
活動内容の再定義とそれに合った体制の検討と移行
委員会の効率的な運営と活動の活発化
予算の最適運用
報告の簡略化（議事録確認、予算状況確認など）
議論必要な案件に重点
客員の方には必要な場合に会議への出席をお願い

2. 標準化の推進と展開

IEEE-SA に Basic メンバーとして参加
IEEE/DASC の加入継続
国際会議 (TC93, DASC) へ必要な場合に参加
標準化団体との会議を必要に応じて開催
標準化活動活発化に向けた新体制を検討

■活動計画の概要＜別紙-1 参照＞

活動計画の概要

1. EDA 技術の動向&関連情報の調査検討、課題解決への提案

- (1) 小委員会及び WG による技術動向とニーズ調査
 - ・最先端テクノロジー : ナノ世代物理設計 WG
 - ・設計言語 : EDA 標準化小委員会および傘下の WG
- (2) 関連機関、団体、キーパーソン等との合同会議、意見交換、交流
 - ・ STARC, STRJ 等
- (3) 国内外の学会, 研究会, イベントへの参加と連携
 - ・ ASP-DAC2011, DAC2010, IEICE など

2. EDA 技術および標準化の普及推進のためのイベント実施、支援

- (1) 「EDSFair2011Nov.」開催
 - ・ ET との同時開催で EDSF 開催を継続
 - ・ 特設ステージの運営体制 (幹事会社+委員会社有志+JESA) 継続
- (2) 講演会の開催
 - ・ システム・デザイン・フォーラムの実施を検討

3. EDA に関する標準化活動への貢献と関連機関、団体への対応

- (1) EDA 設計言語およびモデル標準化のための技術的検討と提案
 - ・ SystemVerilog WG を継続し、SystemVerilog に関する標準化活動を実施
 - ・ LPB-WG を継続し、LPB 相互設計環境標準化に向けた活動を実施
 - ・ SystemC, Verilog-HDL, VHDL, A-HDL、PowerFormat などについては、必要に応じて対応 (WG の再開等)
- (2) 国際的な関連機関、団体への参画・連携と標準化活動への協力
 - ・ EDA 標準化小委員会もしくは新体制で対応
 - ・ IEC/TC93 国際会議 (9 月@韓国)、WG2 (6 月@DAC, 2 月@DVCon) には必要に応じて参加
 - ・ IEEE/DASC, IEEE-SA, OSCI, Accellera, Si2 等との連携
 - DASC 会議 (11 月@EDSFair2011Nov., 6 月@DAC, 2 月@DVCon)
 - IEEE-SA の参加資格を Basic に変更 (標準化投票に影響なしと判断)

4. 委員会活動の広報

- (1) 広報パンフレットの配布@EDSFair2011Nov.
- (2) アニュアルレポートの発行 (下記 HP でも公開)
- (3) WWW ホームページの公開 <http://www.jeita-edatc.com/>
- (4) 活動成果の発表
 - ・ システム・デザイン・フォーラム
 - ・ 学術論文

2011 年度 JEITA/EDA 技術専門委員会 開催実績

年/月	技術専門委員会	懇親会	幹事会	関連イベント
2011/4	4/8(金)(東京地区) ※10 年度第 6 回を日程変更で開催 ・半導体部会/半導体技術委員会報告内容説明 ・10 年度小委員会/WG の年間活動報告 ・EDSFair2011 報告・実行委員会活動報告 ・10 年度予算消費状況報告 ・11 年度役員審議、承認 ・11 年度事業計画説明 ・11 年度予算案		4/8 4/27	
2011/5	5/20(金)(東京地区) ・11 年度事業計画説明、承認 ・11 年度標準化活動/WG 計画説明、承認 ・10 年度会計収支と 11 年度会計予算説明、承認 ・委員名簿更新内容確認 ・10 年度版アニュアルレポート作成状況報告	○ (2010 年度慰労会)	5/20	
2011/6	6/24(金)(東京地区) ・標準化活動/WG 進捗報告 ・半導体部会/半導体技術委員会報告内容説明 ・10 年度版アニュアルレポート配布 ・委員名簿更新内容確認 ・EDSFair 用パンフレット原稿作成依頼予告		6/24	・DAC2011 (6/5-6/10) @San Diego, CA
2011/7				
2011/8				
2011/9	9/9(金)(関西地区) ・標準化活動/WG 進捗報告 ・半導体部会/半導体技術委員会報告内容説明 ・予算進捗状況報告		9/9	・TC93 国際会議@韓国
2011/10	10/28(金)(東京地区) ・標準化活動/WG 進捗報告 ・半導体部会/半導体技術委員会報告内容説明 ・EDSFair 用パンフレット配布		10/28	
2011/11				・EDSFair2011Nov. (11/16-18) @横浜
2011/12				
2012/1	1/20(金)(関西地区) ・標準化活動/WG 進捗報告 ・半導体部会/半導体技術委員会報告内容説明 ・EDSFair/SDF 実施報告 ・12 年度体制協議・確認 ・アニュアルレポート作成分担 ・予算進捗状況報告		1/20	・ASP-DAC2012 (1/30-2/2) @Sydney, Australia
2012/2				・DVCon2012 (2/25-2/28) @San Jose, CA
2012/3				

1.2 2011 年度 JEITA/EDA 技術専門委員会 WG 開催実績

月	ナノ世代物理設計 WG 関連		
2011 年 4 月			
5 月			
6 月	6/23(木) 10:00-17:00	第 1 回ナノ世代物理設計 WG	JEITA 406 会議室
7 月	7/28(木) 10:00-17:00	第 2 回ナノ世代物理設計 WG	JEITA 関西支部 第 1 会議室
8 月			
9 月	9/22(木) 10:00-17:00	第 3 回ナノ世代物理設計 WG	JEITA 関西支部 第 1 会議室
10 月	10/27(木) 10:00-17:00	第 4 回ナノ世代物理設計 WG	JEITA 406 会議室
11 月			
12 月	12/2(金)~3(土)	ナノ世代物理設計 WG/集中審議 パナソニックリゾート大阪	
2012 年 1 月	1/12(木) 10:00-17:00	第 5 回ナノ世代物理設計 WG	JEITA 406 会議室
2 月	2/16(木) 10:00-17:00	第 6 回ナノ世代物理設計 WG	JEITA 関西支部 第 1 会議室
3 月	3/15(木) 10:00-17:00	第 7 回ナノ世代物理設計 WG	JEITA 406 会議室

月	LPB 相互設計 WG 関連		
2011 年 4 月	4/20(水) 13:00-17:00	第 1 回 LPB 相互設計 WG	JEITA 410 会議室
5 月	5/25(水) 13:00-17:00	第 2 回 LPB 相互設計 WG	JEITA 403 会議室
6 月			
7 月	7/ 6(水) 13:00-17:00	第 3 回 LPB 相互設計 WG	JEITA 412 会議室
8 月			
9 月	9/14(水) 13:00-17:00	第 4 回 LPB 相互設計 WG	JEITA 410 会議室
10 月	10/21(金)~22(土)	LPB 相互設計 WG/集中審議 西伊豆 中荘	
11 月	11/ 4(金) 13:00-17:00	第 5 回 LPB 相互設計 WG	JEITA 403 会議室
	11/30(水) 13:00-17:00	第 6 回 LPB 相互設計 WG	JEITA 412 会議室
12 月			
2012 年 1 月	1/25(水) 13:00-17:00	第 7 回 LPB 相互設計 WG	JEITA 412 会議室
2 月			
3 月	3/ 7(水) 13:00-17:00	第 8 回 LPB 相互設計 WG	JEITA 412 会議室

月	システム・デザイン・フォーラム 2012 WG 関係		
2011 年 4 月			
5 月			
6 月	6/16(木) 15:15-17:15	第 1 回 SDF WG	JEITA 406 会議室
7 月			
8 月			
9 月			
10 月			
11 月			
12 月			
2012 年 1 月			
2 月			
3 月			

1.3 JEITA/EDA 技術専門委員会ホームページ

1.3.1 開設の目的

電子情報技術産業協会（JEITA）の EDA 技術専門委員会の活動状況を公開し、EDA 技術に関する標準化や技術調査に関するご理解とご協力を頂くことを目的とする。

1.3.2 ホームページの詳細

2006 年度にホームページを一新し、よりわかりやすく、また、欲しい情報に容易にアクセスできるような構成にした。ホームページは日本語版の他、英語版も用意し海外からの利用者の利便性を考慮している。日本語版、英語版の切り替えは簡単にできるように構成されている。本委員会の成果は、ドキュメントとして閲覧できると共に、ダウンロードすることもできる。

なお、2011 年度に EDA 技術専門委員会の体制・構成を見直し、それに対応する形で、ホームページの構成をリニューアルした。具体的には、EDA 標準化小委員会を解消し、従来、小委員会傘下にあった、SystemC WG、LSI・パッケージ・ボード相互設計 WG、SystemVerilog WG、PowerFormat WG の各 WG のページを、委員会活動の直下に配置しなおした。

（1）ホームページの URL

<http://www.jeita-edatc.com/>

2009 年度までは、大阪大学のご協力で、大阪大学のサーバーにホームページを設置させて頂き、またデータの更新など、メンテナンスについてもご協力を頂いた。2009 年度に、jeita-edatc.com のドメインを取得すると共に、サーバーを外部業者のレンタルサーバーへ移行した。データ更新やメンテナンスは、担当委員が行っている。

（2）エントリーページの構成

日本語版、英語版はそれぞれ次のエントリーで構成されている。

日本語版：

委員会の紹介

委員会活動

公開資料ライブラリ

イベント・関連機関

お問い合わせ

サイトマップ

英語版：

Introduction of a committee

Committee activity

Open data library

Event・A related organization

Inquiry

Site map

（3）委員会の紹介/Introduction of a committee

委員長挨拶、活動と成果、メンバーをサブエントリーとする。本委員会の概要、前年度の活動内容・成果、本年度の活動計画、委員会メンバーを紹介している。

（4）委員会活動/Committee activity

下記の委員会の活動を紹介している。

- ナノ世代物理設計 WG
- LSI・パッケージ・ボード相互設計 WG
- SystemVerilog WG
- SystemC WG
- PowerFormat WG
- EDSFair 実行委員会

なお、LSI・パッケージ・ボード相互設計 WG は、今年度から、独自のホームページも開設し、WG のページからリンクを張っている。

(5) 公開資料ライブラリ/Open data library

「公開資料ライブラリ」のページでは、EDA 技術専門委員会内の各委員会・WG の活動報告や各委員からの発表資料等を適宜掲載している。主な掲載資料を以下に示す。なお、英語版では、日本語版と同一の日本語資料を掲載している。

- EDA 技術専門委員会（過去のアニュアルレポート）
- EDA 標準化小委員会（SystemC 推奨設計メソドロジー、Power Format 比較表など）
- ナノ世代物理設計 WG（過去の資料）
- EDSFair 実行委員会（システムデザインフォーラムの紹介）
- システムレベル設計研究会（旧サイトへのリンク）
- その他（過去の委員会活動報告）

(6) イベント・関連機関/Event・A related organization

「関連の会議」では、次の関係の深い EDA 関連技術委員会を紹介している。

- IEEE/DASC（電気電子学会/設計自動化標準化委員会）
- IEC/TC93（国際電気標準会議/デザインオートメーション標準化技術委員会）

また、「関連機関」では、本委員会に関連のある 17 機関を紹介し、委員会名称はそれぞれのホームページへリンクされている。

2. 各技術委員会の活動報告

2.1 EDA 標準化活動

2.1.1 EDA 標準化小委員会および標準化担当

(1) 発足の背景とミッション

JEITA/EDA 技術専門委員会の標準化活動は、1990 年の EIAJ/EDIF 研究委員会設立に始まり、当初は EDA に関するグローバルな重要課題に対して日本の業界を代表する唯一の機関として、特に設計記述言語の仕様標準化とその啓蒙等に多大な貢献を果たしてきた。

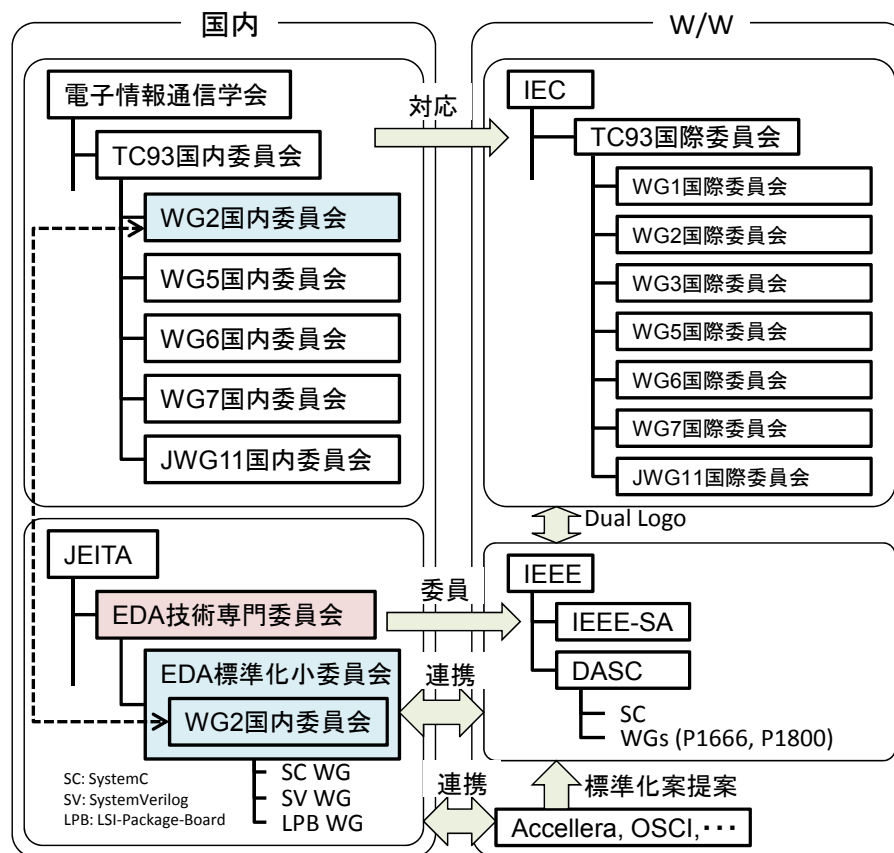
近年、設計記述言語は高度化し、普及が進んだ。しかし、設計生産性の更なる向上および、それを支える EDA ツールの効率的な開発・利用を進めるためには、設計技術言語の国際標準化は依然として重要なテーマである。そこで、標準化関連の活動をより明確に位置づけるため、2000 年 11 月に本小委員会が設立された。

世界的に見れば EDA 関連の標準は IEC (International Electrotechnical Commission) と IEEE (The Institute of Electrical and Electronics Engineers) で議論、制定されてきた。IEC ではデザインオートメーションを議論する TC (Technical Committee) 93、IEEE はコンピュータサイエティの DASC (Design Automation Standards Committee)、および SA (Standards Association) である。これまでは IEEE で定められた標準を IEC でも追認するものも多かった。2003 年より議論は IEEE の DASC/SA のワーキンググループでも、標準の制定は IEC と IEEE で同時にできるようになった (Dual Logo)。

国内では IEC の対応機関は、日本工業標準調査会 (JISC : Japanese Industrial Standards Committee) である。また、TC 毎に国内委員会があり、電子情報通信学会や JEITA 内に組織化されている。TC93 とハードウェア設計記述言語関連のワーキンググループ (WG2) の国内委員会は電子情報通信学会にある。

本小委員会は IEC/TC93/WG2 国内委員会を兼ねて活動するという協調体制を 2002 年度に確立した (図-1 参照)。その結果、EDA 標準化小委員会の委員が IEC/TC93/WG2 の各種標準化提案を直接審議することができるようになった。

2003 年度には、SystemC および SystemVerilog の標準化を業界として検討・推進する目的で、それぞれワーキンググループを発足させた。2007 年度には、CPF (Common Power Format) と UPF (Unified Power Format) の二つの Power Format の標準化案の議論と統一を目的に、検討ワーキンググループを発足させた。SystemC は、ますます重要性が認識されているシステムレベルの設計言語のひとつであり、SystemVerilog は IEEE1364 (Verilog HDL) の後継・検証技術の拡張である。CPF/UPF の Power Format は、主にシステム LSI の低消費電力化設計の効率化を目的とした設計言語である。これらワーキンググループは、日本の標準化組織として、海外の関連団体と連携し、言語仕様の専門的な技術検討と改善提案を通じて、標準化へ貢献することを目指して活動を行っている。Power Format 検討ワーキンググループは目的を達成したため、2010 年 3 月に解散した。



図－１ 2011年5月までのEDA標準化小委員会と他の標準化組織との関係

以上のような発足の背景の中で、2002年度に本小委員会は、そのミッションを以下のように規定し、活動に取り組んできた。

目的：

EDA標準化小委員会（以下本小委員会）はEDA（Electronic Design Automation）関連技術の標準化動向の調査、標準化の推進、標準の策定、標準案の調査、標準の保守・改定、などを推進し、もって国内外の関連業界の発展に寄与することを目的とする。

活動内容：

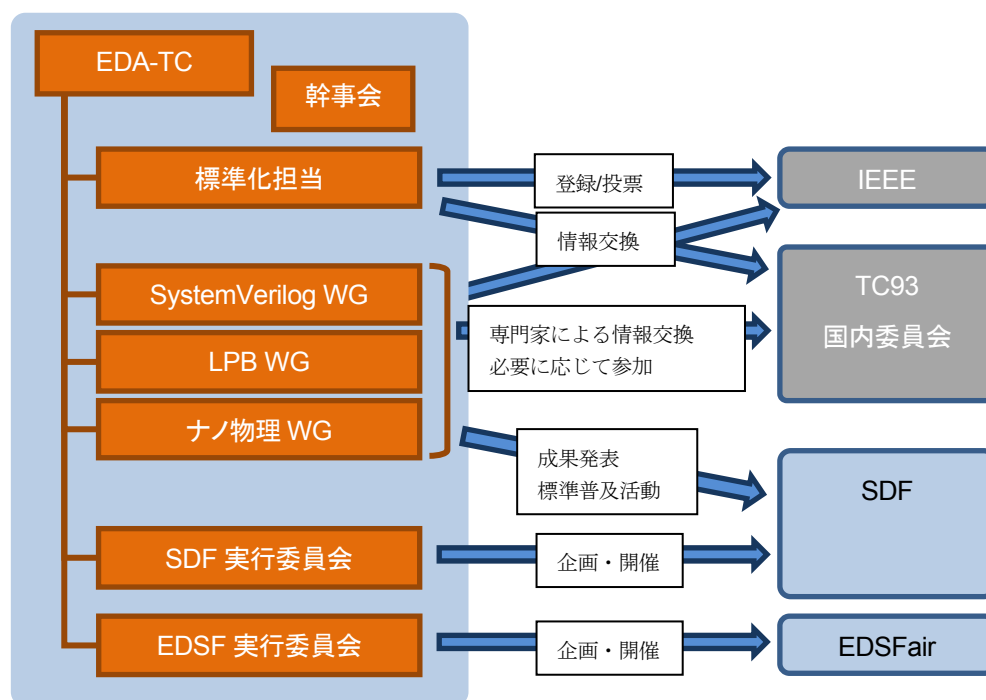
本小委員会はEDAおよび関連技術の標準化に関して、

- ・内外の動向を調査、検討し、
- ・技術および関連業界の発展に資する提案の必要性を模索し、
- ・必要かつ可能な場合には、関係機関に対して提案を行い、
- ・内外の標準化関連機関との連携・協調・協力を推進し、
- ・特に、デザインオートメーション/設計記述言語（TC93/WG2）WGの活動を支援し、
- ・また広報活動を行う。

2011 年度に入って、EDA 技術専門委員会における標準化活動のあるべき姿について、基本に立ち返って議論を行い、標準化小委員会についても、

- ・ TC93/WG2 国内委員会との関係の見直し
- ・ WG における標準化活動の見直し
- ・ 標準化小委員会の役割の見直し
- ・ 標準化活動の旅費補助の見直し

を行った結果、標準化小委員会を廃止し、EDA 技術専門委員会の下に標準化担当委員をおくという新体制を 6 月の委員会において決定した（図-2 参照）。



図ー 2 2011 年 6 月からの EDA 技術専門委員会の体制

11 年度の標準化担当委員は、NEC システムテクノロジーの小島智氏にお願いし、12 年度以降は委員募集を行うこととした。

(2) 2011 年度 EDA 標準化小委員会メンバー（2011 年 5 月まで 敬称略）

主査	河村 薫	富士通セミコンダクター（株）
副主査	大芝 克幸	ソニー（株）
副主査	小島 智	NEC システムテクノロジー（株） (TC93/WG2 ココンベナ、IEEE-SA/DASC 委員)
委員	隅谷 三喜夫	パナソニック（株）
委員	吉田 正昭	ルネサスエレクトロニクス(株)

委員	今井 浩史	(株) 東芝
特別委員	相京 隆	富士通セミコンダクター (株) (DFT エクスパート)
特別委員	田中 正和	パナソニック (株) (ナノ世代物理設計 WG 主査)
特別委員	中森 勉	富士通セミコンダクター (株) (Power Format エクスパート)
特別委員	福場 義憲	(株) 東芝 (LPB 相互設計 WG 主査)
特別委員	浜口 加寿美	パナソニック (株) (SystemVerilog WG 主査)
特別委員	星野 民夫	(株) アプリスター (HDL エクスパート)
特別委員	石河久美子	富士通マイクロソリューションズ (株) (DCL エクスパート)
客員	今井 正治	大阪大学
客員	神戸 尚志	近畿大学 (TC93 国内委員長)

(3) 2011 年度活動 国内活動

年度初めに体制の見直しを行ったため、EDA標準化小委員会の会合は一度も開催していない。また、従来傘下のWGはすべてEDA技術専門委員会の直下のWGと位置付けられたため、WGの活動報告も本委員会の報告ではなくなった。

「設計言語俯瞰図メンテナンス」については、前年度からの継続として、Technical Report 化に向けた議論を行った。9月のTC93ソウル会議においてセクレタリのHaasz氏からTR化の進め方についてコメントがあり、10月のTC93国内委員会で検討した結果、各国から意見をいただいで完成度の高いものにするため、DC(Document for Comment)から開始することに決定した。Haasz氏の指示を受けながらIECテンプレートへのはめ込み作業を行い、1月セクレタリに提出した。

(4) 2011 年度活動 国際活動

関連する標準化関連の組織・団体との連携として、IEC/TC93国際会議への参加、JEITA-IEEE/DASC情報交換会の開催などを通じて、活発な交流を行った。

① IEEE DASC 情報交換

2011年度はIEEE DASC会議に3回参加。JEITA EDA技術専門委員会の状況報告も実施。2回は

米国開催で、小島副主査を派遣、ただしDAC Meetingは開始時間が変更となり不参加。2回は日本で開催して頂いた。

DAC Meeting 6月9日 米国サンディエゴ市（不参加）

SystemC Japan 7月15日 新横浜

EDSFair 11月18日 横浜

DVCon Meeting 2月29日 米国サンホセ市

② IEC/TC93/WG2 国際連携

小島副主査（WG2 コ・コンビナ）、下記 3 回の IEC/TC93/WG2 会議に派遣し、国際標準化活動を推進するとともに、EDA 技術専門委員会（日本側）の意見反映を実施した。

IEC/TC93WG2 会議 6月6日 米国サンディエゴ市

IEC/TC93 国際会議 9月5日 韓国ソウル市

DVCon 2月29日 米国サンホセ市

2.1.2 IEEE/DASC（電気電子学会/設計自動化標準委員会）・IEEE-SA（標準協会）

(1) 活動の概要

IEEE は米国に本部を置く電気、電子、情報、などの国際的な学会である。また、この分野の標準化活動を長年にわたり、しかも広範囲に実施している。SA は IEEE 標準規格を管理する組織であり、新規規格と規格メンテナンスの提案承認、規格投票作業と規格化承認を管理する。DASC は Computer Society の下部組織として、SA の支援を受けながらエレクトロニクス産業における設計自動化関連の標準化活動を行っている。

活動の中心は、標準設計記述言語（HDL：Hardware Description Language）の VHDL と Verilog HDL に関連する設計と検証であり、タイミング情報、論理合成、算術関数とテストの標準化に注力している。これら設計言語に関連して、システムレベルまで適用範囲を拡大して、Analog Mixed Signal、ソフトウェアとハードウェア協調設計等の拡張の標準化を検討している。2005 年には SystemVerilog と SystemC という高位設計技術言語、設計と検証を統合した記述言語の標準化作業が完了し、2009 年には SytemVerilog、2011 年には SystemC がそれぞれ第一回目の改定作業を完了している。

(2) JEITA/EDA 技術専門委員会との関連

これまでは EDA 技術専門委員会は IEEE/DASC のメンバーとして関連する WG に参加し、標準化案に日本の意見を反映してきた。2004 年 12 月には IEEE-SA の正式メンバーにもなり、IEEE の標準化活動に、ドラフトレビュー・標準化案の改善の提案・投票を通じて積極的に参加している。

特に、今年度は、SystemC Japan に合わせて 7 月 15 日に、EDSFair2011 に合わせて 2011 年 11 月 18 日に IEEE/DASC との情報交換会を 2 回、日本で開催した。7 月 15 日開催の会議に

は、米国からは Stan Krolikoski 氏 (DASC 委員長、SystemC WG 委員長)、日本からは、今井 EDA-TC 委員長、小島標準化担当委員、野坂氏が出席した。11 月 18 日開催の会議には、Stan Krolikoski 氏 (DASC 委員長、SystemC WG 委員長)、Dennis Brophy 氏 (SystemC WG セクレタリ)、日本からは、今井 EDA-TC 委員長、河村委員、小島標準化担当委員、神戸客員、浜口 SystemVerilog WG 主査、田中ナノ世代物理設計 WG 主査が出席した。また、国外からの電話会議出席者も多数あり、盛会であった。会議において、EDA 技術専門委員会からは、活動状況の紹介と、SystemVerilog の状況確認を行った。

(3) IEEE 規格投票について

本年は、2 回目の改定となる SystemVerilog の投票が行われた。SystemVerilog WG でドラフト文書をレビューし、メンバー全員一致でコメントなし賛成の結論を受け、3 月に賛成票を投じた。また、1 回目の改定となる Power Format の改定作業が終了し、IEEE-SA から投票グループへの参加要請があり、3 月参加登録を行った。5 月に投票が予定されている。

2.1.3 IEC/TC93 (国際電気標準会議/デザインオートメーション)

IEC の SMB(Standardization Management Board・標準管理評議会)は、TC93 に対して P メンバー数を 5 以上にすることを要求し、TC93 も P メンバー数の増加に向けてここ数年努力を続けてきたが成功せず、2012 年 2 月になって、SMB において TC93 の解散と TC91 へのマージが決定された。今後は具体的に TC91 での WG 構成を検討することになる。

アニュアルレポート作成時点で TC93 はすでに解散しているが、最後の年度の活動の記録を下記に記す。

(1) 活動の概要

IEC は 1906 年に設立された国際標準化機関であり、本年が 105 年目あたる。設計自動化を取り扱う IEC/TC93 は 1992 年に設立された。TC93 の全体会議は毎年開催されており、スイス、英、仏、米、デンマーク、日、英、米、独、伊と開催されてきた。最近は、2003 年 11 月・2004 年 10 月 米国・Piscataway、2005 年 9 月 日本・京都 (奈良)、2006 年 9 月 ドイツ・ベルリン、2007 年 9 月 米国・ガイザーズバーク、2008 年 10 月 シンガポール、2009 年 9 月 京都、2010 年 10 月 米国シアトルでの開催があり、本年度は、9 月に韓国ソウルで開催された。

(2) TC93 の組織と参加国

IEC のメンバー資格には、P (Participating) と O (Observer) の二種類があるが、2011 年 4 月時点では、P メンバーが 4 カ国、O メンバーが 19 カ国である。P メンバーとしては、

日本、中国、米国、韓国が登録されており、O メンバーとして、ベルギー、チェコ共和国、デンマーク、エジプト、フィンランド、フランス、ドイツ、ハンガリ、インド、アイルランド、イタリア、オランダ、ロシア、セルビア、シンガポール、スペイン、スウェーデン、ウクライナ、イギリスが登録されている。会議国は日本（国際議長：唐津氏）、幹事国は米国（国際幹事：Jodi Haasz 氏）が担当している。

(3) TC93 の組織とワーキンググループ (WG)

TC93 は7つの WG/JWG から構成されている。特に、WG2、WG3、WG6 及び、WG7 は日本から提案も含め積極的な貢献をしてきた。今までの各 WG の主な活動を示す。

- ・ WG1：モデルのハーモナイゼーション：

- (a) STEP Electrical (ISO 規格) と EDA 標準の整合性の検討、(b) EDIF と AP-210 との整合性の検討。(c) 言語間の Interoperability の検討

- ・ WG2：部品・回路・システム記述言語：

- (a) 設計検証記述言語 SystemVerilog とシステム記述言語 SystemC の言語仕様拡張と利用普及のためのモデル化を検討。(b) 国際規格のメンテナンス (VHDL、VHDL-AMS、PSL、SDF、DCL/SPEF、IBIS 等)

- ・ WG5：規格適合性（コンFORMANCE）テストの具体的事案の議論。

- ・ WG6：再利用可能部品ライブラリ

- 日・米・欧の各プロジェクト間の仕様整合と連携の検討、日本からは JEITA/ECALS プロジェクトの成果を提案している。IBIS も話題に取り上げられている。最近は電子カタログの流通に関する規格案が議論の中心となっている。

- ・ WG7：システムテスト記述言語、ATML (Automatic Test Markup Language) の検討。

- ・ JWG11：TC91 との Joint WG、記述の XML 化の流れへの取り組み方の議論。

(4) TC93 国内委員会と主要メンバー（2011 年 4 月現在。敬称略）

- ・ TC93 国際会議

- 議長：唐津 治夢（SRI インターナショナル）

- 国内専門委員会

- 委員長：神戸 尚志（近畿大学）

- 幹事：古井 芳春（シルバコ・ジャパン）

- 委員：今井 浩史（東芝）、小島 智（NEC システムテクノロジー）、

- 星野 民夫（アプリスター）、高橋 満、山下 寛巳（E-SML）、

- 小泉 徹（JPCA）、柴田 明一（JPCA）

- ・ WG1：（モデルのハーモナイゼーション）

- 主査：古井 芳春（シルバコ・ジャパン、国際ココンビナ）

- ・ WG2：(部品・回路・システム記述言語)
国際ココンベナ： 小島 智 (NEC システムテクノロジー) *
- ・ WG5：(規格適合性テスト)
主査： 神戸 尚志 (近畿大学、国際ココンベナ)
- ・ WG6：(再利用可能部品ライブラリ)
主査： 高橋 満 (国際ココンベナ)
- ・ WG7：(システムテスト記述言語)
主査： 山下 寛巳 (E-SML)
委員：唐津 治夢 (SRI インターナショナル、国際ココンベナ)
- ・ JWG11：(TC91 との Joint WG) 小泉 徹 (JPCA)、柴田 明一 (JPCA)

(5) TC93 ソウルの報告

2011 年の国際会議は、9 月に韓国ソウルで開催された。会議には、日本、米国、韓国の計 3 カ国から参加があり、TC93 プレナリー会議、WG1、WG2、WG3、 WG6、WG7、JWG11 の 7 会合が開催された。

小島副主査から EDA 技術標準化小委員会で作成した設計言語俯瞰図を IEC Technical Report として発行することを提案し、承認された。

(6) IEC 規格投票について

本年は、次の 2 件が IEEE 標準からのデュアルロゴとして、FDIS (Final Draft International Standard) 投票が行われた。両標準に対して、標準化小委員会内で協議のうえ、賛成票を投じた。結果として、両標準ともに IEC 規格として採択された。

- 1) IEC 61523-1Ed 2.0: IEEE Std 1481-2009(DPC : Delay Power Calculation System : 遅延及び消費電力計算機構の標準化仕様)
- 2) IEC 62531 Ed 2.0: IEEE Std 1850-2010(PSL : Property Specification Language : 検証のための仕様記述言語)

2.2 ナノ世代物理設計ワーキンググループ(Nano Scale Physical Design Working Group)

2.2.1 目的

半導体デバイス・配線テクノロジーの進化に伴い、ばらつきや信頼性に代表される物理設計上の課題があらわれてきている。また、これらの課題に対処するため各社が開発した設計手法や設計情報が、標準化されず、設計環境の開発・サポートコストが削減できない事例や、EDA ツール間あるいは半導体ベンダと顧客との間の情報授受がうまく行えないといった事例が増えてきている。

上記課題を背景として、本ワーキンググループでは、次のような調査、課題検討、及び標準化を実施することにより、より効率的な設計環境の実現に貢献することを目的として活動を行っている。

- 次世代以降のテクノロジー・ノードにおける、LSI の物理設計・検証に関する課題の抽出、および解決手法の提案
- 半導体ベンダとその顧客との間でやり取りするライブラリや設計情報等を規定する、設計ルール・ガイドラインの作成
- LSI の物理設計、検証手法の精度、互換性や効率を向上できるライブラリ・設計情報フォーマットの標準化
- 各種ライブラリを用いて行う検証が十分な精度で行えるかを判定するための標準ベンチマークデータの作成

2.2.2 活動内容

2007 年 5 月から活動を開始し、今年度は、ばらつきに関わる下記のテーマを取り上げて調査や検討を行った。

- NBTI 特性ばらつきの統計的物理モデルの検討
- グローバルばらつきコーナーの統計的緩和手法の検討
- 配線コーナー条件の削減手法の検討
- 配線ばらつき感度/SSPEF フォーマットの適用範囲調査

今年度の活動の成果として、以下の 4 項目について調査を行い、有用な知見を得た。

(1) NBTI 特性ばらつきの統計的物理モデルの検討

NBTI(Negative Bias Temperature Instability)による MOSFET のしきい値電圧の変動と、その現象に伴うしきい値電圧ばらつきの増大は、微細 CMOS 回路の信頼性劣化をまねいており、その影響が問題となっている。そのため我々は、これまで報告された NBTI によるしきい値電圧劣化のばらつきを分布特性の観点で調査し、その分布形状が対数正規分布となることを示した[1]。また対数正規分布となる原因は、そのばらつきの主要因が電荷の捕獲準位の活性化エネルギーのばらつきによるためであることを示した。

(2) グローバルばらつきコーナーの統計的緩和手法の検討

微細化に伴うトランジスタおよび配線ばらつきの増大により、そのコーナー幅の削減が望まれている。従来ローカルなばらつき(Within Die)は、Monte Carlo Simulation に代表される通り統計的なコーナー削減が行われていたが、グローバルなばらつき(Die to Die)はコーナー削減できないものと考えられてきた。それに対し我々は、チップ間ばらつきをモデル化したグローバル・コーナーをチップ内回路特性の相関を考慮することにより、回路の特徴に応じてコーナー削減が可能であることを示した。解析の結果、提案手法によれば、グローバルばらつきをワーストコーナーとして計算した場合と比較して、最大 20%の遅延削減効果があることを明らかにした。

(3) 配線コーナー条件の削減手法の検討

タイミング検証に必要な配線のコーナー条件は、常温だけでも 4 条件が一般的に使用されており、温度条件、電圧条件、トランジスタのばらつき条件等を加えると、そのコーナー条件数は膨大となり、タイミング検証時間の増大や設計収束性の悪化を招いている。そのため、設計においては、必要最小限となるコーナー条件数の削減が望まれている。そのため我々は、ITRS ロードマップ値に基づき 22nm プロセスを想定した配線コーナー条件の解析を行い、ドライバサイズと配線長を制約すれば配線コーナー条件は削減可能であることを示した。また、従来配線コーナー条件と考えられていた C および RC の MIN/MAX 条件だけでなく、配線ばらつきがほぼゼロ(Nominal) のときにコーナーとなる条件が存在し得ることを示した。

(4)配線ばらつき感度/SSPEF フォーマットの適用範囲調査

IEEE1481 の Sensitivity-SPEF フォーマット (2010/3/11 制定 IEEE 1481-2009) は、配線形状に関して配線グローバルばらつきに対し、Statistical Static Timing Analysis(SSTA)を用いた統一的な扱いを可能としている。ただし、配線寸法に対する RC の感度を線形にモデル化しており、非対称分布が扱えない、配線断面ばらつきの大きい領域で誤差が大きい、という制約がある。そのため、我々はこのフォーマットの精度を検証し、実用可能な精度となるためのモデル化方法を明確化すべく、22nm プロセスを想定し ITRS ロードマップ値を用いた解析を実施した。解析の結果、IEEE 1481 定義によるモデルは、ばらつき最大となる形状の容量および抵抗で合わせ込むのが最も精度がよいが、その遅延誤差は 4.2%に及ぶことを示した。遅延精度向上のためには、モデル改善を行うか、あるいは配線ばらつきそのものを抑制するのが必要となることを示した。

これらの活動で得られた成果は、次のような形態により無償で一般に公開する。

- アニュアルレポート
- JEITA のホームページ
- 関連学会の研究会・学会における発表や論文誌への投稿

成果の詳細は本アニュアルレポートの付録に掲載した。また、成果の一部を以下の学会、フォーラムにて発表した。

[1] 「CMOS ドライバ回路遅延の NBTI 劣化ばらつき特性解析」, 情報処理学会 DA シンポジウム, 2011 年 8 月.

[2] 「配線ばらつきと信頼性モデル」, システムデザインフォーラム 2011, 2011 年 11 月.

[3] 「ナノ世代テクノロジノードに向けた活動の取り組み」, Tech Design Forum 2011, 2011 年 11 月.

なお、EDS Fair 2011 Nov. 会期中に開催された IEEE DASC 会議に参加、配線ばらつきを表現する Sensitivity SPEF フォーマットの策定に対応する DPC-WG との連絡を継続している。

2.2.3 参加メンバー

主 査	田 中 正 和	パナソニック(株)
副 主 査	山 中 俊 輝	(株)リコー
委 員	古 川 且 洋	(株)ジーダット
同	城 間 誠	パナソニック・デバイス・システムテクノ(株)
同	奥 村 隆 昌	富士通セミコンダクター(株)
同	成 木 保 文	メンター・グラフィックス・ジャパン(株)
同	小笠原 泰 弘	ルネサスエレクトロニクス(株)
同	金 本 俊 幾	ルネサスエレクトロニクス(株)
特 別 委 員	増 田 弘 生	千弘技術士事務所
客 員	佐 藤 高 史	京都大学
客 員	橋 本 昌 宜	大阪大学
客 員	黒 川 敦	弘前大学

2.3 SystemVerilog ワーキンググループ

(1) 背景

Verilog HDL(ハードウェア記述言語)は、1995 年に IEEE1364 として標準化がなされ、その 5 年後にディープサブミクロン対応の機能を追加し、IEEE1364-2001 として改訂された。

半導体の微細化技術が進化するなかで、さらなるシステム LSI の大規模・複雑化に対応するため、機能検証の質と効率を飛躍的に向上することを目的としたテストベンチやアサーション/プロパティ記述のための検証用言語が実用化された。

SystemVerilog(ハードウェア記述・検証言語)は、①Verilog HDL の記述量を削減し、かつ、曖昧性を排除する設計用記述構文 ②機能検証の質と効率を向上させる検証用言語 の 2 つの言語で構成されており、2005 年に IEEE1800 として標準化がなされた。

その後 2008 年に、Verilog HDL(IEEE1364)と SystemVerilog(IEEE1800)は IEEE1800-2009 として、ひとつの言語に統合された。

旧 SystemVerilog-WG では、2003 年 10 月から 2009 年 3 月末までの 5 年半の間、この 2 回の標準化活動を推進、そして標準化の承認とともにワーキンググループの活動を終了した。

改めて 2010 年に、米国 IEEE1800-WG では、2012 年をゴールとした SystemVerilog の改訂作業を開始したことを踏まえ、2011 年 1 月に日本の標準化窓口として、SystemVerilog-WG(以降 SV-WG)を再結成、活動を開始した。

(2) 目的

日本半導体産業界での SystemVerilog 活用において、言語の仕様改訂による技術的な課題がないように確認・要請をし、SystemVerilog の適用容易性を高め、設計品質を向上させることで、国際的な競争力を確保する。

本ワーキンググループは、業界各社から参加したエキスパートにより、SystemVerilog 言語仕様の技術的検討をおこない IEEE1800-2012 承認まで国際標準化に貢献すること、SystemVerilog に関する最新情報収集を通じて日本国内での SystemVerilog の普及推進を図ることを目的としている。

(3) 活動方針とゴール

2012 年の改訂は、旧ワーキンググループで詳細な検討・規格化した SystemVerilog(IEEE1800-2009)から大きく変更するものではないため、主要ポイントのみ確認する。適用上の課題がないことを確認したうえで、IEEE-SA の最終投票に参加し、標準化承認を行うことをゴールとする。

(4) 関連機関の動向

IEEE1800-WG では、2012 年度の SystemVerilog 改訂に向けて、以下の 5 つのサブワーキングが活動をしている。

- ① SV-AC: Assertions
- ② SV-BC: Design Subset
- ③ SV-CC: Foreign APIs
- ④ SV-EC: Test benches
- ⑤ SV-DC: Analog Connection

2012年2月に投票のための最終ドラフトが完成し、3月にIEEE-SAでの投票が行われた。

・今後の主な活動スケジュール

2012 年 07 月 3 月の投票結果に対応したドラフトでの最終承認作業
 2012 年 12 月 IEEE Std. 1800 -2012 リリース

・各サブワーキングで議論している主な改訂ポイント

①SV-AC

Real type support in assertions
 Output arguments in checkers
 Interface formals in checkers
 Assertion system functions
 Clock inference in sequences

②SV-BC

Add parameterized tasks and functions
 Improve macro specification
 Improve interface ports and virtual interfaces
 Improve design specification and elaboration
 Enumeration extension

③SV-CC

Allow C++ classes and SystemVerilog classes to be shared via DPI
 Representation of super and this in VPI
 Support for Unified Coverage Interoperability Standard
 Improve interaction between DPI and VPI
 Create VPI data model extensions for Checkers

④SV-EC

Polymorphic behaviour of instantiation
 Constraint composition

Legality to assign an interface containing a class declaration to a virtual interface
Aspect Oriented Programming (AOP) features
Dotted names within inlined constraints

⑤SV-DC

Development of a roadmap for enhancements in this area

(5) 2011 年度の SV-WG 活動内容

- IEEE1800-WG の Mailing List や Mantis Database から、活動状況や技術的な議論内容を把握
- IEEE1800-WG の定例会議の議事録から、詳細な活動進捗と今後のスケジュールを把握
- 2011 年 11 月に IEEE1800-WG との合同会議開催(Web 会議)。双方の活動方針と状況を確認。
- Mantis データベースで改訂項目に関する議論内容、改訂案をレビューし、毎月末に進捗状況整理した日本語レポート作成
- 11 年 9 月末、12 年 2 月末に、IEEE1800-WG の各 Technical Committee 担当分野ごとに活動の状況と改訂内容のレポートを作成 (12 年 2 月末作成の最終レポートを付録として添付)
- 2012 年 3 月の IEEE1800 標準化投票において賛成投票
- EDA 技術専門委員会への定例報告、アニュアルレポート作成

(6) 活動総括

2011 年 1 月から 2012 年 3 月の間、2 回の IEEE1800-WG との合同会議による最新情報の共有、SystemVerilog 言語仕様の改訂ポイントの調査・検討、最終ドラフトチェックをおこなってきた。SV-WG は、本改訂において実用上の課題がないことを確認し、IEEE-SA のメンバーとして標準化承認の投票を行い、2012 年 3 月末に SV-WG の活動を終了した。

(7) 参加メンバ

主 査	浜 口 加寿美	パナソニック(株)
委 員	浅 野 哲 也	ルネサスエレクトロニクス(株)
同	土 屋 丈 彦	(株)東芝
同	竹田津 弘 州	パナソニック(株)
同	下 坂 仁 志	富士通セミコンダクター(株)
同	李 建 道	メンター・グラフィックス・ジャパン(株)
同	戸 田 亮	日本シノプシス(合)
同	蜂 屋 孝太郎	(株)ジーダット

2.4 LPB (LSI・パッケージ・ボード)相互設計ワーキンググループ

2.4.1 LPB 相互設計ワーキンググループ（本委員会）活動報告

2.4.1.1 背景と設立までの経緯

2.4.1.1.1 日本工業製品の状況

電子機器(セット)の開発は高性能化、低価格化、商品サイクルの短期化が顕著となり、これに対応するためにセットの機能面、設計／製造面でのグローバル化が進んでいる。この中で市場競争力を生む商品企画と開発力が課題である。かつて、日本工業製品は機能・性能・品質において差別化を図ってきたがこの要素を保持したまま、国際市場において開発競争に勝ち残る為の手段が模索されている。これまで日本の企業において、LPB 各分野においては個別に切磋琢磨しており設計のノウハウは構築されている。しかしながらそれらを共有しない閉塞性、企業間の考え方の違い、設計結果保証要求に対して情報公開の消極的態度など、様々な要因で LPB 相互の設計現場の連携が十分に取れていたとは言い難い。結果として全体としての最適化が進まず、単価、開発コストや開発期間において国際市場での競争力は向上せず、むしろ低下の傾向にあるとすら言える。

2.4.1.1.2 開発環境における問題

設計を効率的に行うには EDA の整備や改良、情報の収集が迅速に行われなければならない。各企業個々にこれらの開発環境の整備は行われてきており、ノウハウとして一般には公開されていない。しかしながらこの閉塞性が設計に必要な情報の流通を阻害しており、また EDA の整備コストの増大や、VOC の分散によりツールの改良が行われない等の弊害を生んでいる。これらは競争すべき分野と協調すべき分野が明確にされていないために、本来複数の企業が協力して効率化をするべき分野の要素まで各企業の機密内容に含まれていると拡大解釈されていたことに問題あると考えられる。

2.4.1.1.3 技術的背景

システムの高速度化と電源・インターフェースの低電圧化でタイミングやノイズに対するマージンが少なくなっている。またコスト競争の激化によりコストと性能のバランス設計は益々重要となっている。これまで設計は L S I ・パッケージ・ボード（以下 LPB）それぞれ別々に設計ガイドに従って行われてきた。しかしながら設計マージンの減少に伴いあらかじめ LPB 各所個別の設計ガイドを定めることが難しくなり、LPB 全体で協調して設計ターゲットを決める必要が出てきた。すなわちシステムの設計途上でシミュレーションによって設計指針を決める手法への変革が必要であり、その為には迅速でかつ正確なシミュレーションを行える環境が必要となった。

2.4.1.1.4 JEITA における LPB 相互設計 WG の発足

開発の難易度アップ、コスト・開発期間の国際競争の激化は設計のやり方へも変革を求められる。個々の最適化ではセット全体の最適化を実現するのは難しくなり全体を見越した設計が

LPB 個々にも求められる。そこで LPB の設計をある 1 つのパーティーに集約する手段も考えられるが、これは非現実的である。LPB それぞれの物理的事象はスケールが違いすぎ、個々の専門の技術者が腕を振るわなければならない。ここで LPB がうまく連携できる仕組みが必要となってきた。この、声を受けて JEITA の半導体部会、EDA 技術専門委員会の元に各企業の代表が集まり半年の準備ワークグループ活動を経て 2010 年 4 月に LPB 相互設計ワークグループが正式発足した。このワークグループでは設計最適化の課題を整理し、競争領域と非競争領域の区別を行って、共通化することによって設計効率が向上する部分の仕様を策定する作業を行っている。

2.4.1.1.5 LPB 相互設計の効果

LPB が相互に協調して設計すべき部分の一例として電源網の設計がある。LPB 上の電源網:Power Delivery Network (以下 PDN) (図 - 1) はノイズを小さくする為にインピーダンスを下げるように設計をする。LPB 各部に存在するインダクタンス成分とキャパシタンス成分により共振が起こる。共振が発生する周波数ではインピーダンスが極端に大きくなる。すなわち LPB 各部の PDN モデルを正確にシミュレーションに反映しないと全体の PDN の設計が正しく出来ない (図 - 2)。このシミュレーションを実行するためには LSI の PDN 等価モデル、パッケージやボードの形状情報、構成材料の電気特性、構成部品等の等価モデルなど様々な情報を揃えなければならない。この際に LPB の各部分の設計情報の書式や仕様の違い、必要パラメータが共有されていない事などが効率的な設計が出来ない要因となっている。

このように、シミュレーションをとりまくモデルやインターフェースの方法・形式は定まったものが無く、セットアップにかかる時間とコストは膨大であり、LPB が協調する障壁となっている。

JEITA では協調設計環境の効率的な構築を可能とするインターフェース方法を模索する為に LPB 相互設計 WG を設置し活動している。

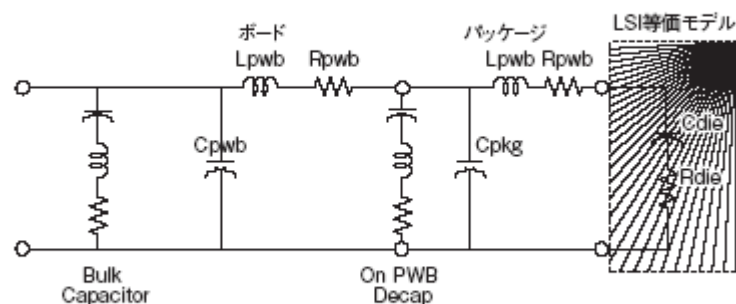


図1. LPBの電源網(PDN)の等価回路

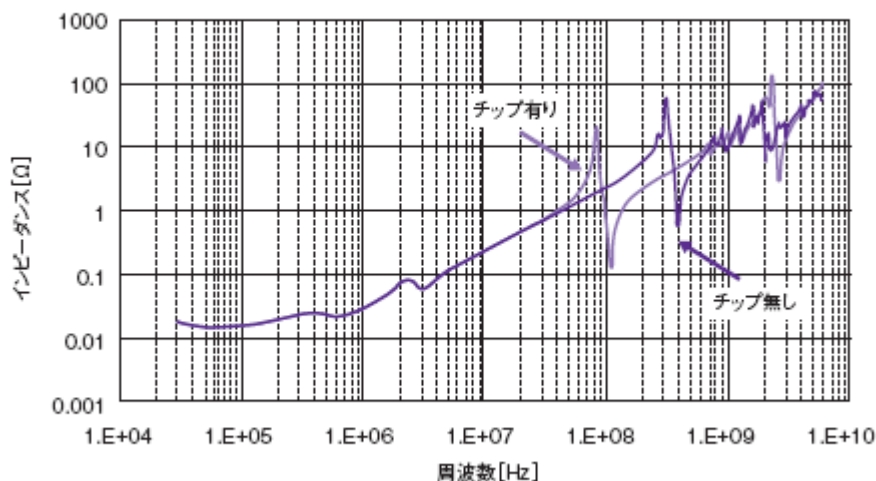


図2. ボード電源インピーダンスにおけるチップ電源モデル有無の影響

2.4.1.2 LPB 相互設計解説

2.4.1.2.1 LPB 相互設計 WG の目的とゴール

- 1、LPB が協力しあって設計を行う為の課題を抽出しその分析を行いソリューションの提案を行う。
- 2、具体的には LPB 全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の検討を行い提案を作成する。
- 3、提案内容は公開し普及を図る
- 4、これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

2.4.1.2.2 LPB 相互設計の概念解説 ～個別設計と相互設計～

LPB 相互設計がこれまでの設計思想と異なる点を説明しておく。

2.4.1.2.2.1 従来型個別設計の概念

従来の設計手法は紙に書いたレベルの大まかなセットの製品仕様が決定されると LPB 別々に設計がスタートし、その個々分野内で最適化が行われてきた。これを個別設計という呼び方にここでは定義する。個別設計においても LPB が完全に別々に設計が行われていたわけではなく当然すり合わせは行われてきたが場当たりの確認が多く、また共通の認識も乏しいためお互いの情報の公開・流通が難しい場合も多く、時間がかかるものであった。それでも日本企業においては LPB 各部門の設計力は高く、品質・特性といった面での差別化は図られていたといえる。しかしながら上記背景に述べたような市場要求の変化に対してこの方法では以下の問題に直面することになっている。(図 - 3)

- 1、全体最適化が困難
- 2、設計解析の準備に時間がかかる
- 3、やり直しが発生し開発期間増大
- 4、リソースの重複

・ 従来

従来型個別設計

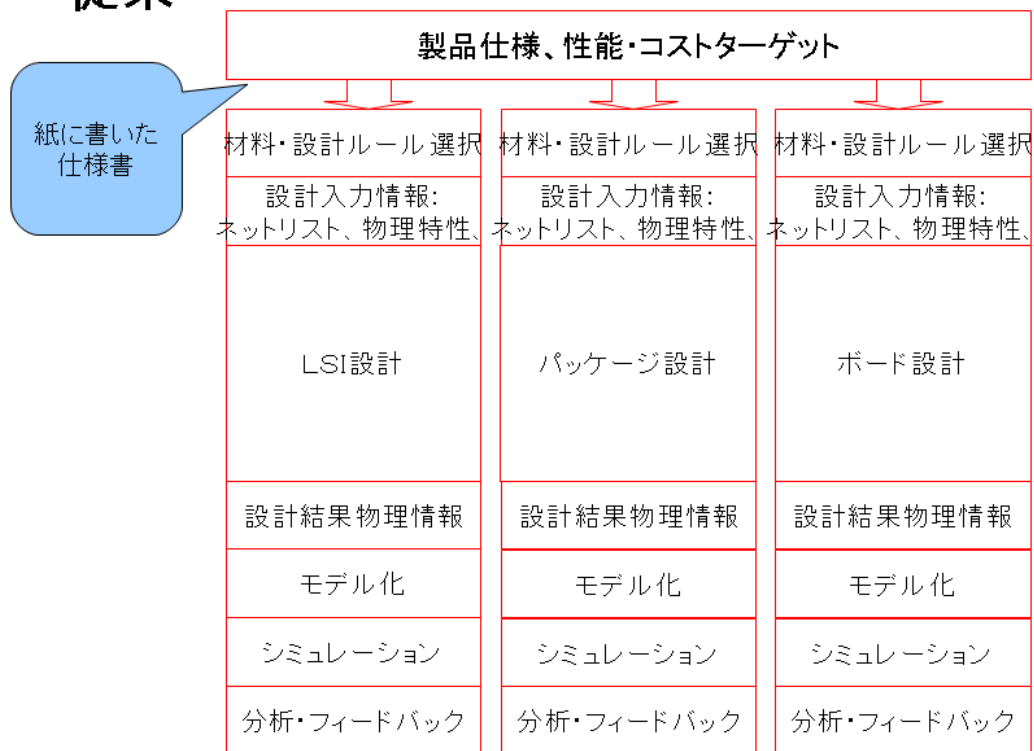


図 - 3 従来型個別設計

2.4.1.2.2.2 LPB 相互設計の概念

個別設計の課題を克服する方法としてLPB各部門が協力しあって設計を進めるスタイルを相互設計と定義する。相互設計においては全体構想設計を十分に行い各部の設計基準を設定し、その後は個々に設計を行う。設計終了後は全体を統合したシミュレーションを行い、設計へのフィードバックを適所に行う。これにより下記の効果を期待する。(図 - 4)

- 1、全体最適化を可能にする。
- 2、設計・解析期間を短縮。
- 3、やり直しを最小に留める。
- 4、リソースの分担。

LPB相互設計

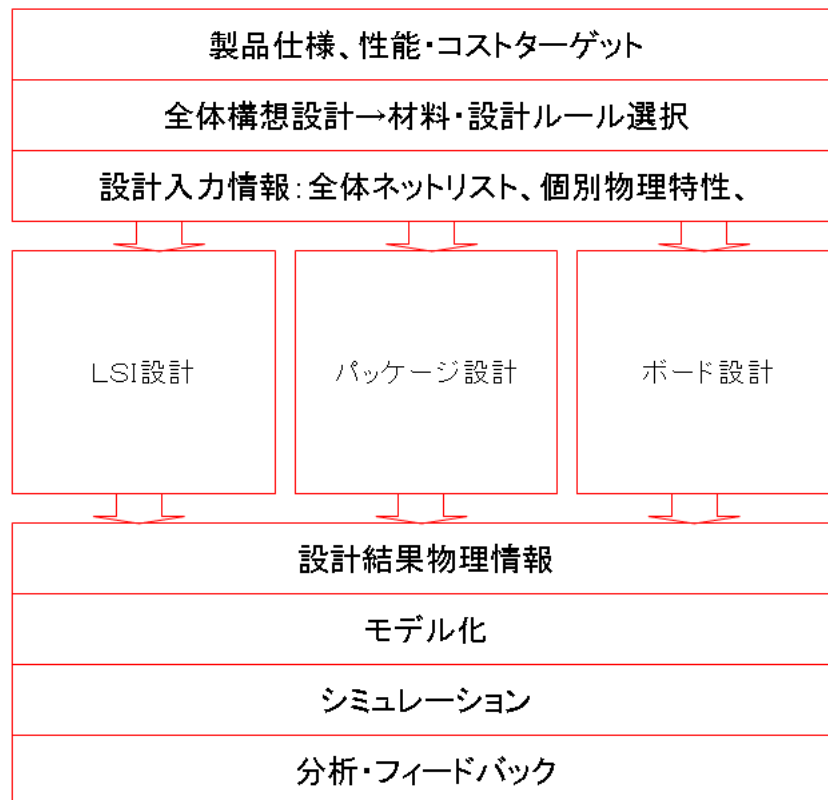


図 - 4 LPB相互設計

2.4.1.2.2.3 EDA の面からみた LPB 相互設計

LPB 相互設計の内、EDA を使って設計検証する部分を考える

EDA が使われる工程の前段階では必ず入力データの準備がある。LPB 相互設計ワークグループの分析によると、この準備の段階において情報の流通が十分ではなかったり、書式の違いがあり、EDA のセットアップに多大な時間を要しており相互設計の実現を阻む要因のひとつになっている。LSI の設計は比較的 1 つの EDA ベンダツールでフロアプラン、詳細設計、検証、ECO (Engineering Change Order) でまかなわれ、工程間のやりとりも統一書式 (DEF など) がある。一方、パッケージやボードの設計では設計ツールと検証ツールは別々で、しかもツール間でデータの互換性はない。ベンダごとにもデータ書式はバラバラで、複数の EDA ツールを駆使して最適な設計環境の構築には多大な投資と開発リソースが発生する。この流通性の悪さにより最適設計の為の新規 EDA ツールを導入する動機が削がれる。また、その結果ユーザから EDA ツールに対する改良要求は単一のものとなりがちで、EDA ベンダは ROI を考慮すると改良を積極的に行わないという状況も発生する。

2.4.1.2.2.4 競争領域と共通化領域

相互設計における競争領域と共通化すべき部分とを分類してみる。構想設計や設計、検証の作業は各社のノウハウなど機密内容が含まれる。それに比して EDA の入力部分は各社で共通化できる内容であり相互設計の実現を促進する効果が期待できることからこの部分について

JEITA では共通仕様化を検討・推進することとなった。(図 - 5)

相互設計におけるEDA部分と共通化部分

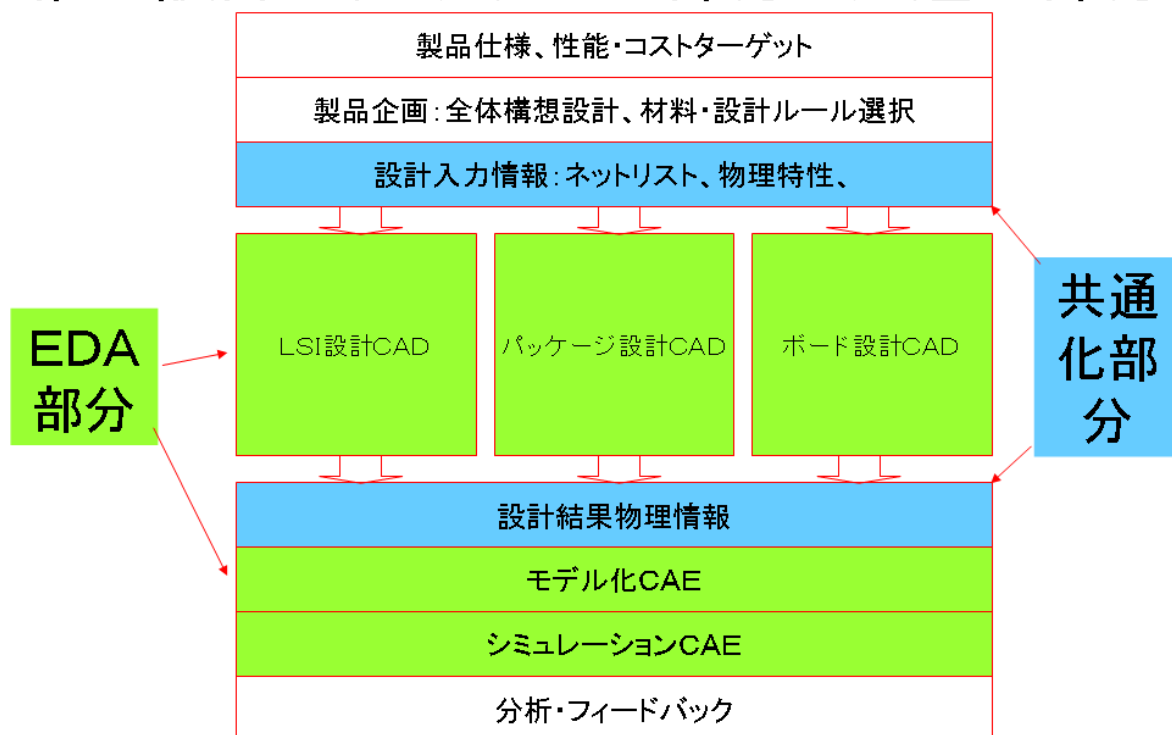


図 - 5 相互設計におけるEDA活用部分と共通化部分

2.4.1.3 LPB 相互設計共通仕様

2.4.1.3.1 課題の整理

LPB 相互設計を行おうとすると多くの問題点に直面する。

1、LPB でネットリストがバラバラ

それぞれのネットリストのやり取りの際に変換をする必要があり、煩雑な上にミスが起きやすい。LPB が別々に設計変更を加える際に接続にフィードバックがかかり難しくしばしば接続エラーが発生する。全体のネットを管理しないために全体での接続検証や機能検証など EDA を使ったアプローチが整備されない。

2、LPB で設計結果の形状データがバラバラ

LPB で設計結果の出力データフォーマットはバラバラであり、これにより解析ツールへの読み込みが一元的に出来ないために全体解析を難しくしていた。別々なフォーマットは EDA ツールに読み込む際に、EDA ツール側に複数のフォーマットに対応する機能を整備することが必要でその準備に時間とコストが発生する。それぞれの書式に対するバージョンアップも常に対応し続ける必要があり管理コストも発生し続ける。また違う書式のデータは違った付加情報を必要とし、その情報収集にも多大な時間と労力を要しているのが現状である。(図 - 6)

LPB相互設計にはインターフェースが統一される必要有り。

LSI内の設計は統合設計環境と共通言語あり。

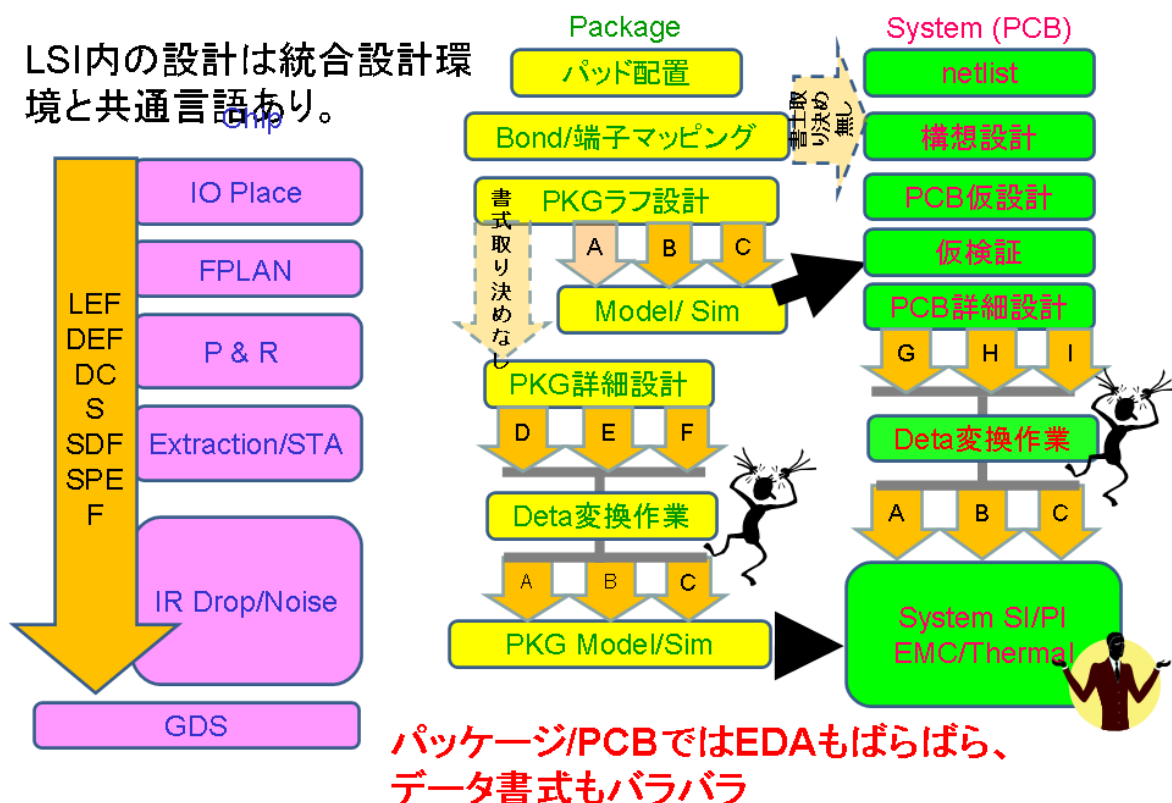


図 - 6 パッケージ・ボードはインターフェースが統一されていない

3、LPB の合成が煩雑

LPB は別々に設計されるためにそれぞれの繋ぎあわせでミスが生じやすい。たとえば LSI のフリップやローテンションでは頻繁に連絡ミスや誤解、思い込みで事故が起こる。パッケージとボード間でもその向きでミスが発生することもある。解析ツール上で LPB を合成する際には画面を見ながら手作業で位置合わせや向き合わせを行なって接続するのが常識的に行われている。これではミスは撲滅できない。

4、設計途上の設計制約の・設計結果へのフィードバックの難しさ

LPB の間で設計制約に対する考え方がバラバラで、与える情報量・質・書式に差があることがある。これらは設計途上での誤解や追加の煩雑なコミュニケーションを生み、結果として確認待ち時間や反復的な設計やり直しによる時間のロスを生じることがある。一方、設計後も書式の多様性やそれに伴うインターフェースの複雑化により検証結果を設計にフィードバックするのも煩雑となり、フィードバックを避けて問題を残したままにしたり、比較的に簡単どころにのみフィードバックすることに留まって全体の最適化が進まない状況にも陥りやすい。(図 - 7)

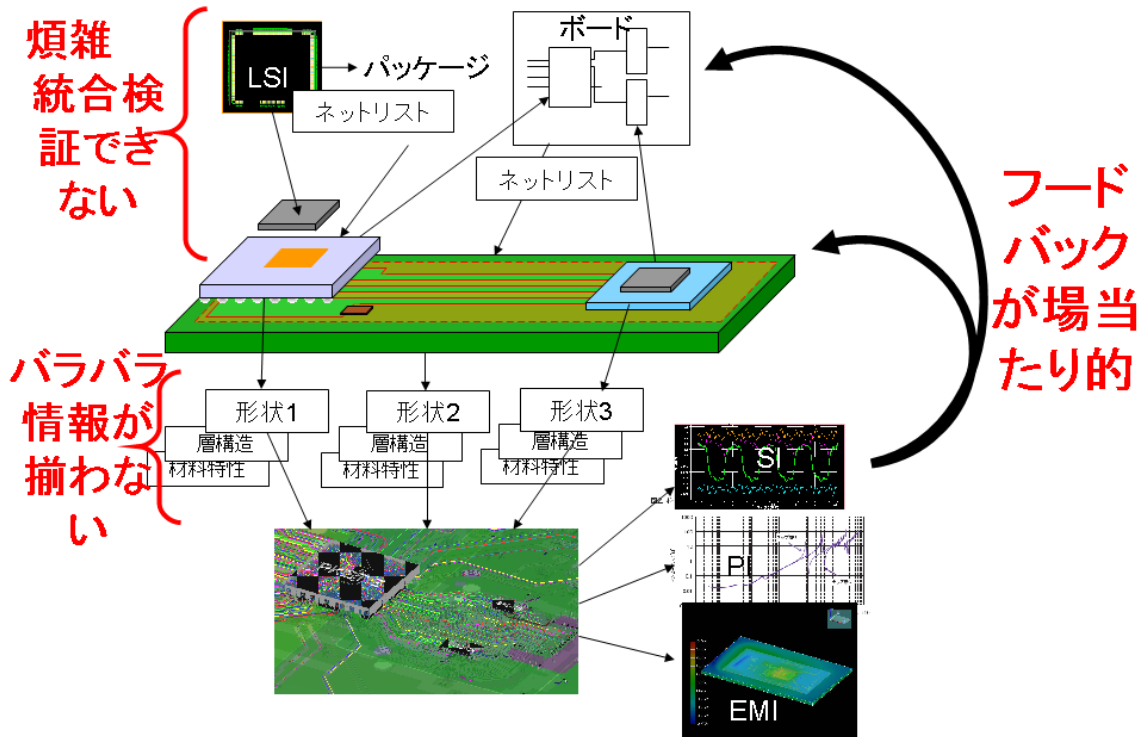


図 - 7 インターフェースが統一されていないまま相互設計を行った場合の問題点

2.4.1.3.2 標準フォーマットの作成

LPB 相互設計標準フォーマットを策定した。2010 年の活動結果では下記 5 点を策定し V1.0 としてリリースをしている。

LPB-V1.0

- 1、ネットリスト： VerilogHDL の拡張 (SPICE 制約互換)
- 2、階層定義情報：独自定義 XML 出力
- 3、設計制約情報：独自定義 XML 出力
- 5、設計結果形状情報 既存フォーマット
- 6、用語集

これに基づき 2011 年の活動で設計試行を行った結果、仕様の変更が必要となり改定を行っている。これを LPB-V2.0 として本レポートとともにリリースする。(図 - 8)

LPB-V2.0

- 1、プロジェクト管理 (M-Format)
- 2、ネットリスト (N-Format)
- 3、コンポーネント (C-Format)
- 4、デザインルール (R-Format)
- 5、ジオメトリ (G-Format)
- 6、用語集

LPB-1.0 から LPB-2.0 への大きな変更点は、開発プロジェクトにおいてそれぞれのインターフェース標準フォーマットの履歴を管理する「プロジェクト管理」フォーマットの追加と、「階層定義」「設計制約」に記載される内容を大幅に改定し、「コンポーネント」「デザインルール」

に仕分けなおしたことである。

JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理(M-Format)
2. ネットリスト(N-Format)
3. コンポーネント(C-Format)
4. デザインルール(R-Format)
5. ジオメトリ(G-Format)
6. 用語集

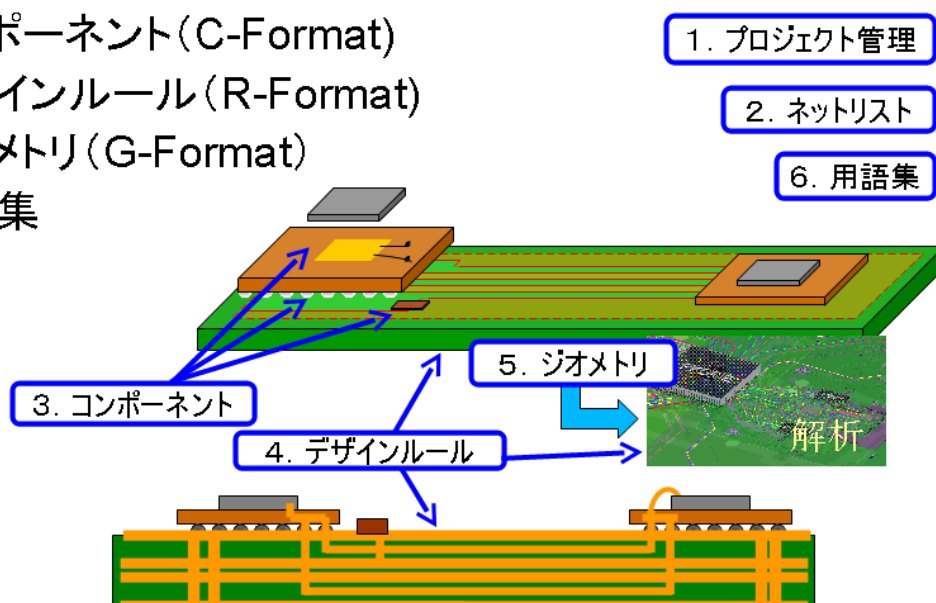


図 - 8 LPB標準フォーマット

各標準フォーマットの詳細についてはインターフェースフォーマットSWGの活動報告の章を参照。

プロジェクト管理フォーマット： 製品の開発プロジェクトの中ではLPBそれぞれに標準フォーマットに沿ってインターフェースファイルが準備されるが、それぞれの設計工程の最適化や改変によりインターフェースファイルも逐次アップデートされる。LPB 相互に連絡なしにファイルをアップデートすると設計結果に不整合がおこりミスややり直しの原因となる。システム全体でインターフェースファイルのバージョンを管理する目的でそれぞれのバージョン名を記述する。

ネットリスト： LPB 全体での接続管理を目的とし、将来 LPB 全体の接続検証や機能検証ができる EDA 環境の開発が促進されることを狙って Verilog-HDL を基本ネットリストとした。形状情報と完全に分離した接続情報に徹して階層構造にも柔軟に対処が可能である。弱点としては電源グラウンドのネットがないことへの対処と、パッケージ・ボードの検証に使われている SPICE との互換性を持たなければならない。これらにより、LPB 共通仕様では Verilog-HDL の書式に電源グラウンド端子を追加したり、SPICE におけるピン並びに制約と同じ制約を課す拡張仕様を加えられている。

コンポーネント : コンポーネントファイルはLPB各部の設計結果をつなぎ合わせる場合の部品の物理的な形状、接続位置・方向、設計上の制約を定義する。流通している同様なフォーマットで必要となる情報がすべて包含されている書式がないため、本WGで独自に書式を制定した。EDAツールへの読み込みを簡単にするためにXMLの書式を採用している。

デザインルール : LPB各部の設計ルールを記述する。ライン、VIAやスペース、走行性をあらわす。解析のセットアップの為に材料物理特性や詳細断面構造もあわせて定義する。流通している同様なフォーマットで必要となる情報がすべて包含されている書式がないため、本WGで独自に書式を制定した。EDAツールへの読み込みを簡単にするためにXMLの書式を採用している。

ジオメトリ : ジオメトリは設計結果を解析環境に渡す際の書式を定義する。各層ごとの2次元図形と、VIA, Bump, Bond Wireの3次元的情報、2次元情報を積み上げて立体構造にするための層構造(縦方向の寸法)などと記述する。テキストでの表現が必須であり、シンプルでかつある程度の精度をもった書式が必要である。これは独自の書式の開発は困難であることからEDAベンダが提供した書式(XFL)を採用している。

用語集 : LPB各部の設計文化の違いにより同じ物理形状、材料などに対して別の表現をすることがある。たとえばViaはViaと呼ばれるだけでなくPTHなど製造方法を表した表記がされることがある。このLPB共通仕様の中では基本的にひとつの設計要素は1つの表記をするよう言葉を定義している。

2.4.1.3.3 LPB 相互設計標準フォーマットにより期待する効果

統合構想設計環境構築の可能性と検証結果のフィードバックの適切な適用

共通仕様ができると全体での情報伝達が容易になり、より早い段階での全体設計構想を練ることができることが期待される。全体構想設計が行われて、LPB各部の設計仕様が詳細設計前に明確化されることにより各部の個別の設計はやり直しの少ない短期間の設計完了が期待される。また解析も全体を見越した検討が可能となり、スムーズにできれば解析にかかる時間も取れるようになり吟味した設計フィードバック案が作成できる。また、構想設計と統合解析の関係が出来上がっていると、設計のフィードバックはLPBどの部分に適用するべきかを考察した上で行えるようになり全体最適化が促進されることが期待される。EDSフェア2011Nov.でパネル討議を行った結果、半導体側からの期待値として設計前半の全体設計構想の部分を主導し、設計最適化を促進したいというコメントがあった。一方セット側のコメントとしては後半の統合検証がやりやすく、効率的に解析かつ、解析の項目を増やしてしっかりやり製品の品質保障責任を果たせることを期待している。この設計スタイルが定着するとLPBの水平分業だけではなく、半導体とセットの開発分担という縦の分業も促進される。(図-9)

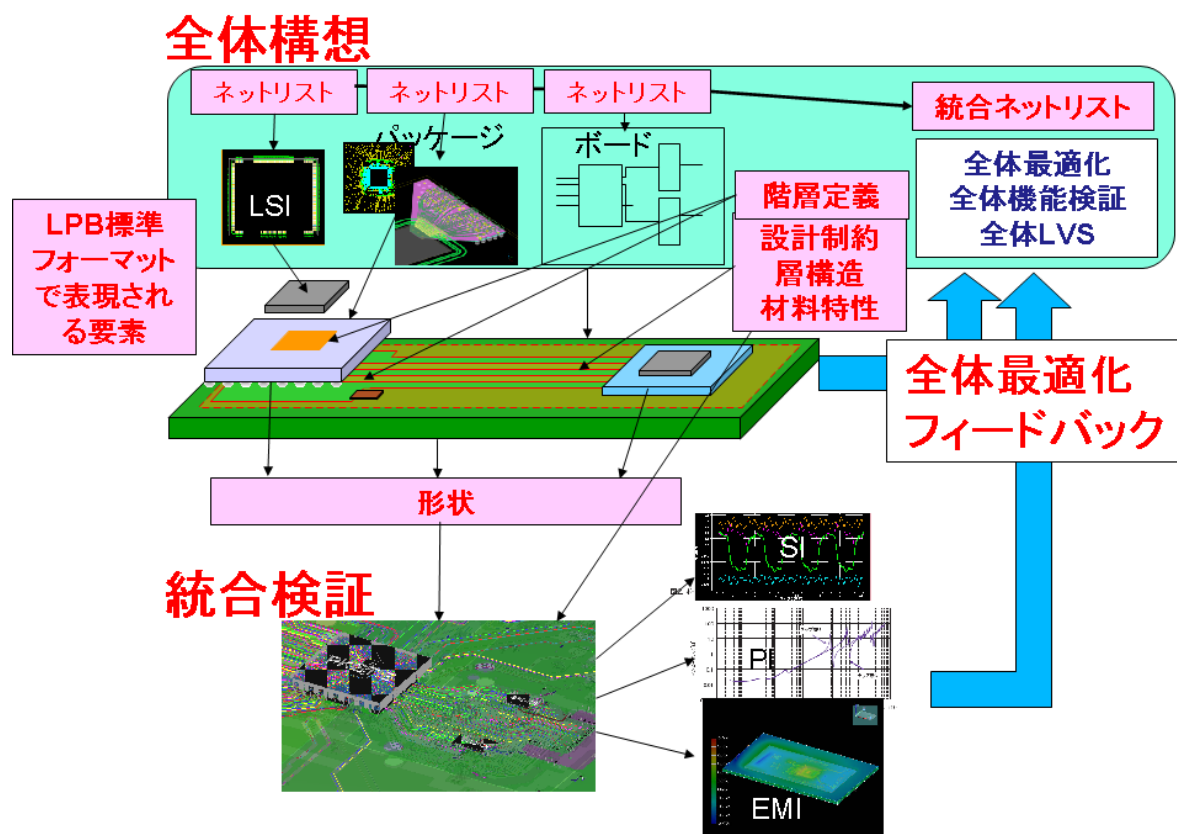


図 - 9 インターフェースフォーマットを整理したLPB相互設計

この構想の元、LPB 相互設計共通仕様の効果を可視化する。縦方向を時間軸とみなして各工程の相対的な工程期間を示す。(図 - 10)

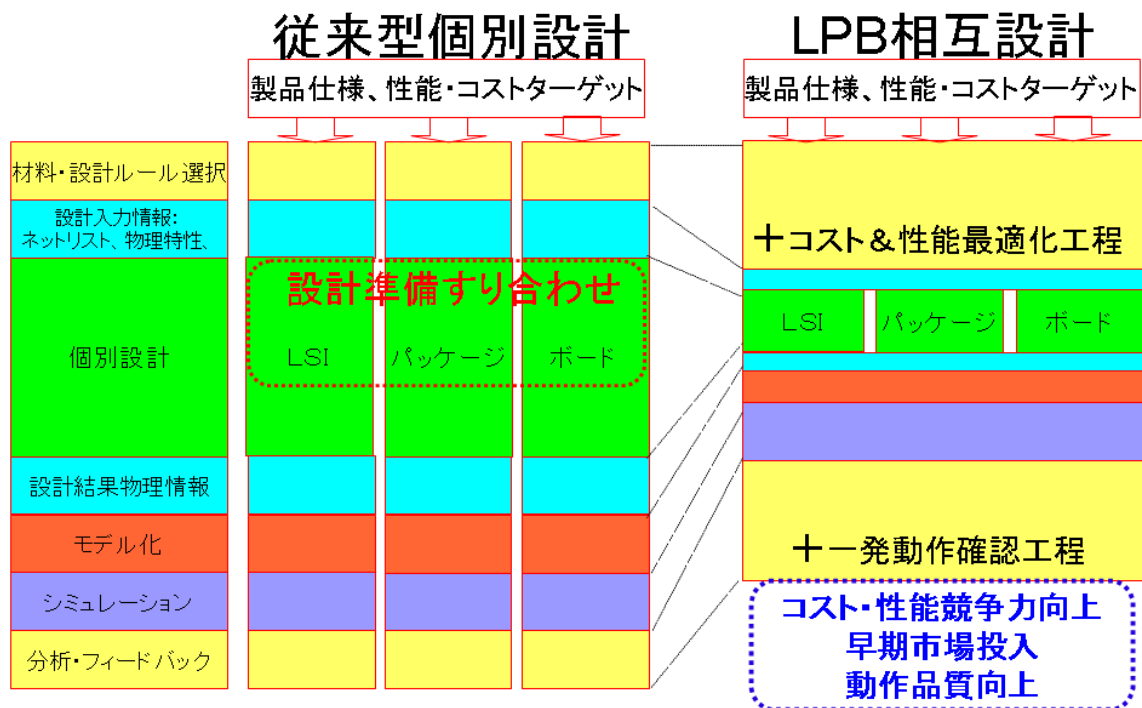


図 - 10 LPB相互設計の効果

従来の個別設計に比較して構想段階と分析・フィードバックの段階に時間をかける代わりに実際の設計期間を短縮する。これらによりコスト・性能のバランス最適化と設計品質の向上を狙う。今まで時間のかかっていた設計・解析の準備にかかる時間も短縮する。これらにより全体の開発期間を短縮可能とし、完成品での不具合を減少させ結果として市場投入を早める。

2.4.1.4 LPB 相互設計ワークグループ活動

2.4.1.4.1 構成メンバー（表 - 1）

2010 年 16 社／20 名＋特別委員 3 名 客員 1 大学／1 名

2011 年 17 社／23 名＋特別委員 2 名 客員 1 大学／1 名（2011 年 8 月現在）

2011 年度メンバー

主査：福場義憲／（株）東芝 副主査：大槻隆志（株）リコー

お名前	会社・学校	役職
福場義憲	(株)東芝	主査
大槻隆志	(株)リコー	副主査
三浦一成	(株)ジーダット	委員
市川浩司	(株)デンソー	委員
津田剛	(株)デンソー	副委員
金子俊之	(株)トッパンNECサーキットソリューションズ	委員
吉田敦史	(株)リコー	副委員
大坪祐司	(株)図研	委員
古賀一成	(株)図研	副委員
青木孝哲	(株)東芝	副委員
岡野資睦	(株)東芝	副委員
富島敦史	(株)東芝	副委員
林靖二	キヤノン(株)	委員
田中修治	ソニー(株)	委員
濱田誉人	ソニー(株)	副委員
片平孝祥	ノキア・ジャパン(株)	委員
斉藤義行	パナソニック(株)	委員
澤田修	メンターグラフィックス・ジャパン(株)	委員
坂田和之	ルネサスエレクトロニクス(株)	委員
楠本学	日本電気(株)	委員
木村吉志	富士通セミコンダクター(株)	委員
小澤要	富士通セミコンダクター(株)	副委員
中川裕之	富士通VLSI(株)	副委員
伊与部 信二	DSMソリューションズ(株)	特別委員
永野民雄	STARC	特別委員
須藤俊夫	芝浦工業大学	客員
小島智	NECシステムテクノロジー(株)	オブザーバー
今井浩司	(株)東芝	オブザーバー

表 - 1 LPB 相互設計ワーキンググループメンバー（2011 年度）

2.4.1.4.2 活動内容

ワークグループ内で 3 つのサブWG を構成して活動をしている。

①インターフェースフォーマット SWG

各設計フェーズ、あるいは解析において必要となる項目と情報の洗い出しと整理、さらに、洗

い出した項目や情報が既存フォーマットで表現可能かどうかを調査し、それを元にインターフェースフォーマットとしての共通仕様案を策定することを目的とする。

②企画・広報 SWG

本WGの活動内容を公開することを目的として活動しており、SDFやEDSフェア特設ステージの企画などを行う。

③2010年ファレンスフローSWG、2011年LPB共通フォーマット適用方法SWG

標準的なLPB相互設計フローを定義し、このフローにおける共通インターフェースフォーマットの活用方法を提案する。2011年度は標準フォーマットを使った設計試用を行い、効果の確認やフォーマットへのフィードバックを行う。

以上、3つのSWGが協力しあって効率的なLPB相互設計環境の構築を可能とするインターフェースフォーマット案を検討している。

議論のフェーズを次の4段階で行った。

- 1、抽出フェーズ
- 2、調査分析フェーズ
- 3、仕様作成フェーズ
- 4、評価・公開フェーズ

8回の本会の間に分科会、サブWGの活動を多数行い仕様をまとめ、本会議にて審議決定を行った。(図-11)

LPB相互設計WG活動内容とマイルストーン

4月	5月	7月	9月	10月	11月	1月	3月
企画フェーズ ■ モチーフ議論 ■ 活動指針 オリジナルプラン		実施例分析フェーズ ■ 実施例 ■ 集中討議 ■ 効果予測 ■ 仕様対外打診		仕様検討フェーズ ■ フォーマット見直し ■ 対外フィードバック ■ JEITA標準化? ■ EDAフェア		評価・公開フェーズ ■ 見直し案再評価 ■ V2.0のリリース	
企画フェーズ ■ モチーフ議論 ■ 活動指針 実行内容		実施例分析フェーズ ■ 実施例 ■ HP作成 ■ アナウンス(日経) ■ フォーマット見直しスタート ■ V1.0ダウンロード資料作成		仕様検討フェーズ ■ フォーマット見直し ■ 集中討議 ■ HP公開 ■ EDAフェア ■ 日経記事刊行 ■ HP Update		評価・公開フェーズ ■ 見直し案再評価 ■ V2.0のリリース ■ セミナー実施 ■ 今後の活動決定 ■ アニュアルレポート	

図-11 LPB相互設計ワーキンググループ活動記録(2011年度)

本年度は当初の活動計に対し、期中の活動の追加が多数あり活発であった。(上図参照)

2.4.1.4.2 活動内容のダイジェスト

- LPB 独自のホームページ作成・公開 LPB-V1.0 ダウンロード開始
- 適用事例作成 LPB 標準フォーマットを用いた相互設計トライアル
- 6月1日最先端実装技術シンポジウム発表
- 2010 日経技術年鑑に投稿 日経エレクトロニクス 2012 年 2 月 8 日号に転載
- 集中討議を実施 10 月 21 日 22 日 設計事例をまとめ EDS フェアでの発表の準備を行った。
- EDS フェア November にて特設ステージ実施 11 月 17 日
- SDF2011 にて LPB 相互設計ワークグループ活動を発表 11 月 17 日
- EDA ベンダ向け LPB 相互設計セミナー実施 3 月 14 日
- フォーマットの大幅見直しにより LPB-V2.0 を作成。ダウンロード開始 4 月 1 日

以降サブワーキンググループごとの活動報告

2.4.2 LPB 相互設計WG インターフェースフォーマットサブワーキンググループ

2.4.2.1 目的

LPB (LSI-Package-Board) 相互設計ワーキンググループで、LPB を統合的に扱う設計環境の実現に向け、その課題の分析をする中で、LSI、Package、Board の設計・解析で扱うツールが異なり、データフォーマットが異なること、更に、Package、Board の設計・解析環境では、EDA ベンダ間でデータフォーマットが統一されていないため、必要情報が揃わない、設計・解析のセットアップに膨大な時間とリソースがかかる、結果が共用できない、といった課題が明らかになった。そこで、本年度は、昨年度までに作成したフォーマットを使って、各社の適用事例を元に、LPB 標準フォーマットの普及に向けて、改善・修正し、Ver2.0 をリリースすることを目的に活動を行った。

2.4.2.2 活動内容

今年度は、昨年度検討した LPB 標準フォーマット Ver1.0 の検証を適用事例サブワーキンググループと共同で実施した。適用事例の内容については、適用事例サブワーキンググループから報告するとして、ここでは、適用事例検討後に改善・修正した LPB 標準フォーマット Ver2.0 の内容について紹介する。この LPB 標準フォーマット Ver2.0 は、①プロジェクト管理、②ネ

ットリスト (N-Format)、③コンポーネント (C-Format)、④デザインルール (R-Format)、⑤ジオメトリ (G-Format) の5つのファイルで構成されている。また、今年度の活動の成果として、LPB 標準フォーマット Ver2.0 の策定を行い、フォーマット普及に向けて有用な知見を得た。

プロジェクト管理 添付資料：04-3-02_LPB_M-Format_Ver_2_0. pdf

- ①目的：本プロジェクトで使用している各フォーマットファイルとの対応付けをする。また、各フォーマットファイルの更新状況を把握し、LSI-PKG-PWB の階層間から入手するフォーマットファイルを管理する。さらに、参照ファイル (IBIS モデル等) との関連付けも行う。
- ②使用メリット：LSI-PKG-PWB 間の階層間で統一された各フォーマットファイルをやり取りする場合に、本ファイルにて更新履歴の把握ができる。また、階層内で設計を進める場合でも、制約内容等の更新履歴が把握できる。
- ③フォーマット：流通性の高い既存フォーマットが無い場合、XML ベースの独自フォーマットとした。

ネットリスト (N-Format) 添付資料：04-3-01_LPB_N-Format_sample_verilog. txt

- ①目的：LSI-PKG-PWB 全体の論理接続チェック (LVS)、接続仕様を定義する。また、信号だけではなく、電源 GND 端子の接続関係も明確にする。
- ②使用メリット：LSI-PKG-PWB の各階層で別々の設計データを持っていると各端子の接続が明確にならないが、ネットリストにて階層間の端子接続関係を明確に定義する。これにより、階層間をまたぐネットに対して、解析ツールで個別に設定する手間を省く。
- ③フォーマット：流通性の高い既存フォーマットを調査した結果、Verilog-HDL (IEEE1364) の書式が最も要求を満たす結果となった。ただし、SPICE 記述でのネットリストへの変換も考慮し記述方法には制限を付ける。また、不足している電源系の記述については、信号として表現し、Verilog-HDL として矛盾のない方法として、それが電源であることが分かる属性をコメントとして追記することとしている。

<電源ネット記述>

- ・ポートは「input」、ネットは「wire」
- ・コメントのキーワードは「PG_NET」
- ・記述例：input VSS, VSS1; * PG_NET VSS */

コンポーネント (C-Format) 添付資料：04-3-03_LPB_C-Format_Ver_2_0. pdf

- ①目的：LSI-PKG-PWB の階層間を接続する端子情報、信号遅延等の制約事項を定義する。また、階層間で端子における信号遅延等の設計状況の提示を行う。
- ②使用メリット：統一されたフォーマットで LSI-PKG-PWB の各階層間で、接続端子情報をやり取りできるので、誤解や確認漏れ等の作業ミスの発生を避けることができる。さらに、設計状況を LSI-PKG-PWB の各階層間で共有できるので、LPB のどの設計に対して調整を行うか事前に検討を行うことが可能となる。
- ③フォーマット：流通性の高い既存フォーマットが無い場合、XML ベースの独自フォーマットとして作成した。

デザインルール (R-Format) 添付資料：04-3-04_LPB_R-Format_Ver_2_0. pdf

- ①目的：デザインルール（ライン/スペースやビア形状等）、層構成、解析セットアップ情報（物性値、詳細断面構造）を定義する。
- ②使用メリット：解析条件を LSI-PKG-PWB 間で事前検討を行うことが可能となる。また、デザインルールの条件緩和検討など、LSI-PKG-PWB 間で制約事項の必要性和緩和によるメリットとのトレードオフを事前検討することが可能となる。
- ③フォーマット：流通性の高い既存フォーマットが無いため、XML ベースの独自フォーマットとして作成した。

ジオメトリ（G-Format）添付資料：04-3-05_LPB_G-Format.pdf

- ①目的：PKG、PWB の設計結果を電気的特性などの解析環境に渡す際の書式を定義する。基本的には、各層ごとの 2 次元図形、VIA/Bump/Bond Wire の 3 次元的情報、層構造を定義する。
- ②使用メリット：共通フォーマットなので、LSI-PKG-PWB の階層や、ツールに依存しない。また、形状データの共有化が可能となる。
- ③フォーマット：解析ツールへの共通・中間ファイルとして用いることを目標に、既存フォーマットを調査した結果、Apache 社の解析用ファイル（PCB/Package Data Exchange File (XFL) Format）が最も要求仕様を満たす結果となった。

成果の詳細は本アニュアルレポートの付録に掲載した。

2.4.2.3 参加メンバー

リーダー	金子 俊之	(株)トッパン NEC サーキットソリューションズ
サブリーダー	吉田 敦史	(株)リコー
メンバー	青木 孝哲	(株)東芝セミコンダクター&ストレージ社
同	小澤 要	富士通セミコンダクター(株)
同	木村 吉志	富士通セミコンダクター(株)
同	濱田 誉人	ソニー(株)
同	永野 民雄	(株)半導体理工学研究センター
同	大坪 祐司	(株)図研
同	古賀 一成	(株)図研

2.4.3 LPB相互設計WG適用事例サブワーキンググループ

2.4.3.1 目的

LPB フォーマットの有効性確認および課題抽出を行い、フォーマットの問題点をフォーマット SWG へフィードバックする。

2.4.3.2 活動内容

コントローラとメモリ間の DDR 配線をモチーフに、LPB フォーマットの有効性を検証した。具体的には、

- ・ドキュメントで提供される LSI・パッケージ情報から Board 設計する方法（従来型）
- ・LPB フォーマットを用いて LSI・パッケージ設計された情報から Board 設計する方法（LPB 型）

の 2 通りの設計を SWG メンバーが分担して行なった。（図 - 1 2）

分析として

- ・設計時間
- ・データ受け渡しの精度
 - ・データの質

を中心に、従来型と LPB 型の比較検討を行なった。

なお、設計難易度が変わっても LPB 型が有効に機能するか調べるために、コモディティ（貫通基板）と軽薄短小（Build-up 基板）の 2 通りの DDR 配線の設計を行なった。図 - 1 2 はそのサンプルである。

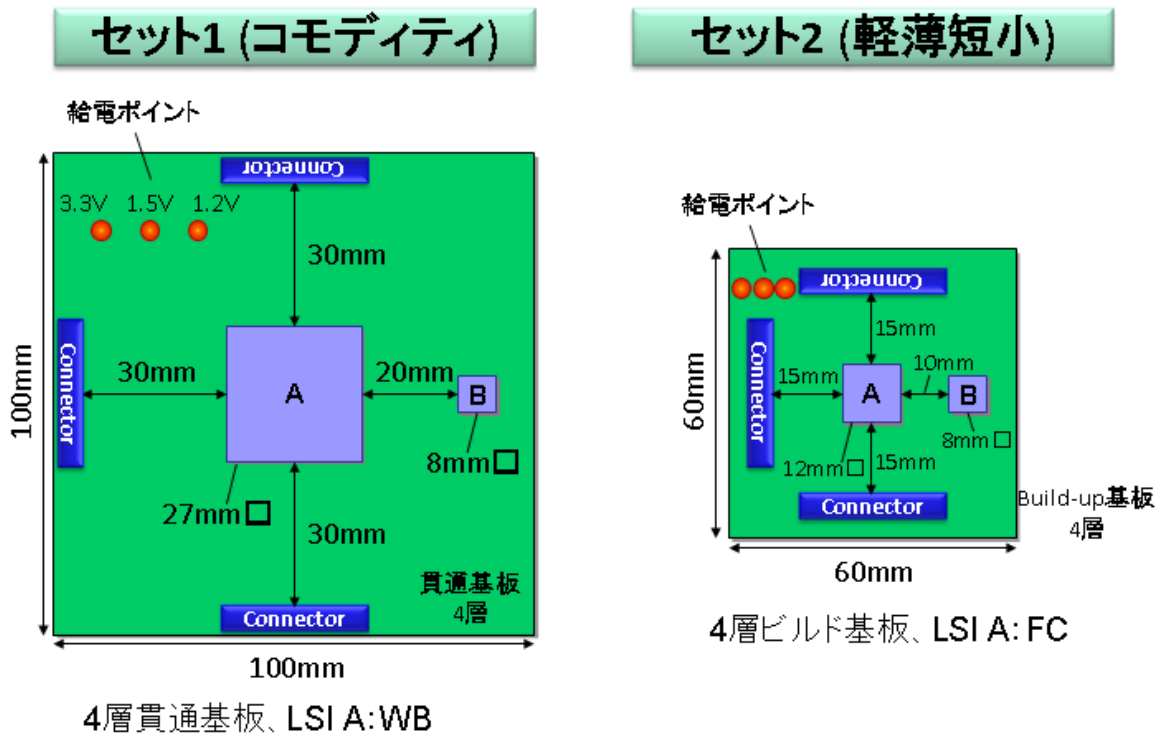
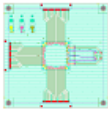


図 - 1 2 適用事例に用いたサンプル

2.4.3.3 活動実績

図 - 1 3 は各設計を担当した SWG メンバーである。

■ 従来方式		Controller		Board	Memory		検証
		LSI	Package		Package	LSI	
コモディティ (100×100mm)		ドキュメントにてBoard設計担当へ情報提供	ドキュメントにてBoard設計担当へ情報提供	キヤノン	ドキュメントにてBoard設計担当へ情報提供	ドキュメントにてBoard設計担当へ情報提供	
軽薄短小 (60×60mm)			ドキュメントにてBoard設計担当へ情報提供	キヤノン			

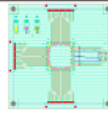
■ LPB方式		Controller		Board	Memory		デンソー
		LSI	Package		Package	LSI	
コモディティ (100×100mm)		ソニー	リコー	Panasonic	図研	東芝	
軽薄短小 (60×60mm)			富士通セミコンダクター	トッパン NEC			

図 - 1 3 各設計を担当した SWG メンバー

SWG 会議は計 5 回開催し、各会議では設計の進捗報告および LPB 型の有効性および課題について議論を行なった。

その結果、従来型の設計は、

- ・人為的ミスの発生リスクが高い（あいまいさが原因）
- ・資料作成に時間を要する
- ・設計前の全体最適化が困難
- ・解析までに時間がかかる（LPB の接続確認が困難）

ことが改めて確認され、一方、LPB 型は

- ・フォーマットに記載する為、定義の「あいまいさ」が排除
- ・EDA ツールが対応すればフォーマット出力が容易
- ・EDA ツールが対応すれば構想設計検証が容易になり、設計前に全体最適しやすい
- ・EDA ツールが対応すれば LPB モデルの作成が容易

であることが検証された。

なお、これらの内容は平成 23 年 11 月 17 日(木)に開催された EDSFair2011Nov. にて、LPB 相互設計セミナーの中で報告を行なった。詳細は添付資料（発表資料）04-3-07_EDSF_nov_LPB. pdf を参照のこと。

2.4.3.4 参加メンバー

リーダー	岡野 資睦	株式会社東芝 デジタルプロダクツ&サービス社
サブリーダー	中川 祐之	富士通 VLSI 株式会社
メンバー	市川 浩司	株式会社デンソー
メンバー	大槻 隆志	株式会社リコー
メンバー	齋藤 義行	パナソニック株式会社
メンバー	林 靖二	キヤノン株式会社
メンバー	富島 敦史	株式会社東芝 セミコンダクター&ストレージ社
メンバー	田中 修治	ソニー株式会社
メンバー	古賀 一成	株式会社図研
メンバー	三浦 一成	株式会社ジーダット

(SWG メンバーでは無いが適用事例の各設計でご協力いただいた方々)

メンバー	小澤 要	富士通セミコンダクター株式会社
メンバー	木村 吉志	富士通セミコンダクター株式会社
メンバー	津田 剛宏	株式会社デンソー
メンバー	吉田 敦史	株式会社リコー
メンバー	金子 俊之	株式会社トッパン NEC サーキットソリューションズ
メンバー	青木 孝哲	株式会社東芝 セミコンダクター&ストレージ社
メンバー	濱田 誉人	ソニー株式会社
メンバー	伊与部 信二	DSM ソリューションズ株式会社
メンバー	関口 聡	DSM ソリューションズ株式会社

2.4.4 LPB相互設計WG企画・広報サブワーキンググループ

2.4.4.1 目的

LPB 協調設計環境に関わる活動内容の広報

2.4.4.2 活動内容

「協調設計が日本の製品を変える！」というスローガンのもと、これまでにない規模の JEITA 委員 25 人余りの活動内容を、日々、協調設計における課題にチャレンジしている第一線関係者に向けて、いかにその必要性を認識してもらい、日本の進むべき方向性が 1 つに向かっていくことが出来るよう、さまざまな方法でその普及に努めることを活動の中心とする。

具体的な活動内容

1. JEITA の企画運営する EDSFair への出展企画
2. EDA ベンダー向け LPB 相互設計セミナー企画/実施

2.4.4.3 活動実績

- 2011/11/16～18 に開催された EDSFair の LPB 協調設計の特設ステージにて、第一部：「LSI パッケージボードの相互設計のための共通企画とその活用方法」、第二部：「LPB 共通フォーマットの実施例に対する論評と普及活動」の 2 部構成で 90 分に及ぶ熱いディスカッション

ョンが行われた。結果として、聴講者 120 名と盛況なステージとなった。

関連 URL1:

<http://www.edsfair.com/special/stage.html>

(セッション 2)

資料: http://www.edsfair.com/pdf/eds11nov_sp02.pdf

関連 URL2: <http://techon.nikkeibp.co.jp/article/NEWS/20111107/200654/>

(注) 登録制サイトの為、別途 ID, パスワードの設定が必要な場合があります

- EDSFair で行われたシステム・デザイン・フォーラム 2011 「EDA 標準化動向や国際半導体ロードマップの設計技術などを紹介」にて発表、多くの来場者の関心を集めることが出来た。

関連 URL3 :

<http://www.edsfair.com/special/stage.html>

(システムデザインフォーラム)

資料: http://www.edsfair.com/pdf/eds11nov_sp04_3.pdf

(注) 登録制サイトの為、別途 ID, パスワードの設定が必要な場合があります

上記 URL3 の PDF: 添付資料 04-3-08_SDF2011 発表資料.pdf

- JEITA LPB 相互設計 WG の Web ページを公開

関連 URL4:

http://www.jeita-edatc.com/wg_lpb/home/purpose.html

- 日経 BP 発行「半導体技術年間」発刊
 - ・ P195 より 12 ページ
- 「第 5 章 実装設計／熱設計: LSI・パッケージ・ボードの相互設計を支援する標準規格」
- ・ 日経エレクトロニクス 2012 年 2 月 6 日号に転載
- EDA ベンダー向け LPB 相互設計セミナーを、2012/3/14 に JEITA 大手センタービルにて開催した。

標準フォーマット普及の為に、EDA ベンダー各社に対してフォーマット概要を説明し、本フォーマット採用によるメリットを理解していただき、その導入を促すことを目的とした。

当日の発表内容は以下の通り

- ◇ JEITA LPB 相互設計ワーキンググループの活動内容について
- ◇ 相互設計の課題とソリューション
- ◇ LPB 標準フォーマットの概要
- ◇ LPB 標準フォーマットのメリット

◇ 今後のサポート

22 社 1 大学から 32 名の出席者を迎え、活発なディスカッションを行った。
フォーマット自体に関しては原則公開とし、導入に向けて具体的に検討するベンダーに向けては、サンプルフォーマットを提供する。

セミナー募集資料：添付 04-3-10_LPB_EDASeminar_Guide&Form.pdf

当日使用資料：添付 04-3-09_LPB_EDA ベンダセミナー.pdf

2.4.4.4 広報メンバー

リーダー	楠本 学	日本電気（株）
サブリーダー	澤田 修	メンター・グラフィックス・ジャパン（株）
メンバー	大坪 祐司	（株）図研
メンバー	齋藤 義行	パナソニック（株）
メンバー	坂田 和之	ルネサスエレクトロニクス（株）

EDA セミナー企画委員会メンバー及び発表者（広報メンバー以外）

リーダー	富島 敦史	（株）東芝セミコンダクター&ストレージ社
メンバー/発表者	津田 剛宏	（株）デンソー
メンバー	小澤 要	富士通セミコンダクター（株）
メンバー	田中 修治	ソニー（株）
メンバー	林 靖二	キヤノン（株）
メンバー	伊与部 信二	DSM ソリューションズ（株）
発表者	大槻 隆志	（株）リコー
発表者	青木 孝哲	（株）東芝セミコンダクター&ストレージ社
発表者	金子 俊之	（株）トッパン NEC サーキットソリューションズ
発表者	福場 義憲	（株）東芝セミコンダクター&ストレージ社

3. 各種イベント(主催／協賛)報告

3.1 Electronic Design and Solution Fair 2011 November (EDSFair2011Nov.)

一般社団法人 電子情報技術産業協会 (JEITA) は、2011 年 11 月 16 日 (水) ～18 日 (金) の 3 日間、パシフィコ横浜にて、半導体に関連する設計、製造技術の専門性の高い情報を一堂に集めた展示会「Electronic Design and Solution Fair 2011 November (略称: EDSFair2011Nov.)」を開催した。

12 回目となる今回は、日本のエレクトロニクス産業が将来発展していくためには、ハードウェア、システム、ソフトウェアの設計を融合させていかなければならないとの思いから、社団法人組込みシステム技術協会が主催する「Embedded Technology (組込み総合技術展)」との同時開催とした。会期も例年の 1 月から 11 月に変更し、ハードウェア開発からシステム設計・ソフトウェア開発まで、最適なテクノロジーとソリューションが集約された複合展示会として開催した。

出展社数は、80 社／団体、来場者 6,189 人であった。同時開催した ET の来場者数は 22,349 名であった。

今回の EDSFair は、本年 2 回目の開催ということもあり、1 月に開催した EDSFair2011 のキャッチフレーズ「設計維新！」を引継ぎ、「いざ開国！～維新から開化へ～」をキャッチフレーズに、世界最先端技術・サービスの展示・セミナーを開催するとともに、毎回好評の特設ステージでの設計者向けのオープンセッション、国内外のベンチャー企業を集めたゾーン設置や新興ベンダのガイド・ツアー、多彩なコンファレンス等を展開し、広く情報発信を行った。

2 日目の 11 月 17 日には、今回の同時開催を象徴する共同企画セッションとして「ここまで来た！仮想システム開発環境とソフトウェア開発環境。日本のモノづくりはこう変わる！～三本の矢、ソフトウェア/システム/半導体開発をシームレスに統合！～」と題し、開発サイドとソリューションサイドの講演、それに続くトークセッションからなるパネルを実施した。EDSFair、ET 双方から 242 名の聴講者を集めた。

特設ステージは例年会場内に設けたオープンステージでの実施であったが、今回は場所の関係でアネックスホールでの実施となった。3 日間に渡り 1 日 1 セッション計 3 セッションを実施した。EDA 分野の代表的な国際学会での技術トレンドを紹介するセッション、本年 1 月に開催した LSI・Package・Board 相互設計セッションの続編として、EDA-TC で提案している共通フォーマットを使用した設計事例紹介のセッション、今回で 3 回目となる設計者セッションの 3 つを実施し、合わせて 268 名の聴講者を集めた。

また、エンジニアが注目する最新技術やトピックスに関する展示をまとめた特別ゾーンとして、普段接することが少ない国内外のベンチャー企業のソリューションを集めた「新興ベンダエリア」、産学官の技術交流を深める大学の研究発表の場となる「ユニバーシティ・プラザ」、さらには、EDA 開発に携わる国内のベンチャー企業が一同に集結し、日本企業ならではの「ものづくり力」を活かした技術や製品をアピールする、「JEVeC ビレッジ」を設置した。特に、新興の企業の見学を希望する来場者に向けては、日本の設計技術・EDA 技術の第一人者が、メインステージで新興企業の主要な技術を紹介後、ブースへ同行訪問し各社の技術紹介・質疑応答をサポートする「新興ベンダ・ガイド・ツアー」を実施した。

3.1.1 EDSFair2011November の概要

- ・ 名称：Electronic Design and Solution Fair 2011 November（略称：EDSFair2011 Nov.）
- ・ 同時開催：Embedded Technology 2011(組込み総合技術展)
- ・ 開催期間：2011 年 11 月 16 日（水）～11 月 18 日（金） 3 日間
10：00～17：00（17 日のみ 18：00。17：00～18：00 ワインの夕べ）
- ・ 場所：パシフィコ横浜（展示ホール、アネックスホール、会議センター）
- ・ 主催：一般社団法人電子情報技術産業協会（JEITA）
- ・ 協力：Electronic Design Automation Consortium（EDAC）
- ・ 後援：経済産業省、アメリカ合衆国大使館、外国系半導体商社協会（DAFS）、横浜市（順不同）
- ・ 協賛：社団法人組込みシステム技術協会（JASA）、社団法人電子情報通信学会（IEICE）、
一般社団法人情報処理学会（IPSJ）、社団法人日本電子回路工業会（JPCA）（順不同）
- ・ 運営：一般社団法人日本エレクトロニクスショー協会（JESA）
- ・ 入場：全来場者登録入場制（当日登録：入場料 1000 円、事前登録、招待券入場：入場無料）
- ・ キャッチフレーズ：「いざ開国！～維新から開化へ～」

3.1.2 開催概況

- ① 来場者数：6,189 名（前回 8,016 名）
- ② 出展者数：80 社/109 小間（118 社/199 小間）
- ③ 出展者セミナー：93 セッション、延べ聴講者数 1,754 名（82 セッション、延べ聴講者数 2,491 名）
- ④ ユニバーシティ・プラザ：5 大学研究室（前年 8 大学研究室）
- ⑤ 日別来場者数

	11/16 *晴れ	11/17 *晴れ	11/18 *晴れ	合計
EDSFair 来場者数	1,489	2,360	2,340	6,189
ET 来場者	6,772	7,685	7,892	22,349
合計	8,261	10,045	10,232	28,538

	1/27	1/28	合計
(参考)EDSF2011 来場者数	3,856	4,160	8,016

⑥ 来場者業種内訳

	2011 年 11 月	2011 年 1 月	偏差
半導体・電子部品メーカー部門	43.8%	43.8%	0%
機器メーカー部門	26.1%	25.9%	0.2%
設計関連サービス	10.7%	9.6%	1.1%
ツールベンダ	8.6%	5.4%	3.2%
商社・営業	4.4%	5.1%	-0.7%
その他	6.5%	10.2%	-3.7%

⑦過去からの来場者数推移

開催年	初日	2 日目	3 日目	合 計
2011 年(11 月)	1,489 名	2,360 名	2,340 名	6,189 名
2011 年	3,856 名	4,160 名		8,016 名
2010 年	4,288 名	5,012 名		9,300 名
2009 年	3,953 名	5,164 名		9,117 名
2008 年	4,604 名	5,827 名		10,431 名
2007 年	4,956 名	6,180 名		11,136 名
2006 年	5,006 名	5,997 名		11,003 名
2005 年	5,066 名	6,087 名		11,153 名
2004 年	4,764 名	6,023 名		10,787 名
2003 年	5,095 名	6,445 名		11,540 名
2002 年	4,324 名	6,227 名		10,551 名
2001 年	5,048 名	6,839 名		11,887 名

⑧来場誘致策

1. 広報活動

1-1. 報道発表(リリース配信)

- －EDSFair・ET 同時開催リリース(3/3)
- －出展者募集開始リリース(4/6)
- －入場事前登録開始リリース(9/13)
- －開催告知/取材誘致リリース(11/14)
- －プレスルーム設置(11/16～18)
- －終了報告リリース(11/18)

1-2. プレス登録数

- －110 名 (35 名 : EDSF2011、37 名 : EDSF2010) ET とプレスが重なり登録数が増加

2. 宣伝活動

2-1. EDSFair データベースへのメール配信

- －過去の来場者および、EDSFair2011Nov.の事前登録者に向け「EDSFair OFFICIAL MAIL NEWS」を配信。
- －5 月 17 日の 8,365 件配信から 11 月 18 日の 8,933 件配信まで総計 11 回配信。

2-2. PR ツールの作成

- －案内状 (和文、英文)
- －会場案内図

3. 公式 Website

3-1. 公式 Website (<http://www.edsfair.com>)

- －閲覧数 : 37,073

3-2. Online Members Site (<https://regist.jesa.or.jp/edsfair-regist/index.php>)

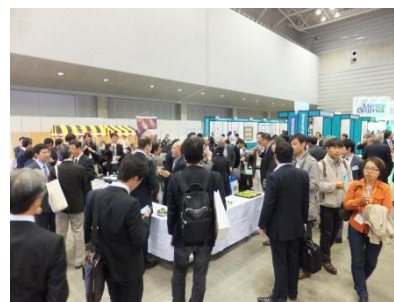
ー事前登録期間： 9月13日～11月18日

ー登録者数合計： 17,259名

4. ワインのタベ

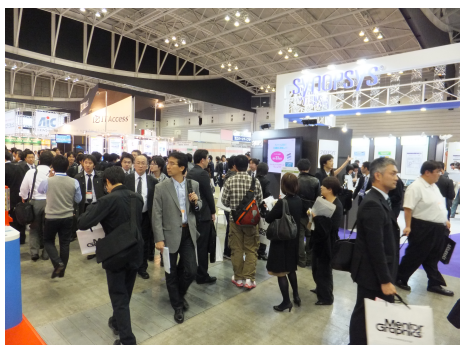
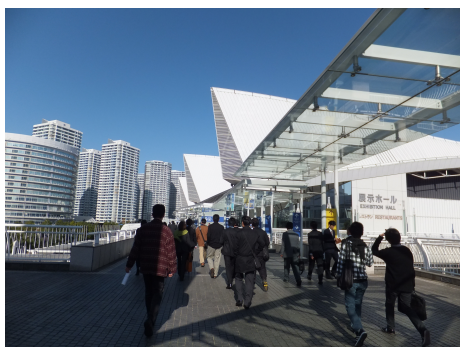
日時： 11月17日(木) 17:00-18:00 ET フェスタに併せて開催

場所： 会場内ラウンジ



⑨来場傾向

今回から3日間の開催にも関わらず、来場者数は前回比23%減と大幅に減少し、ピークであった2001年の半分程度にまで落ち込んだ。今回の特殊要因としては、3月の東日本大震災、欧米のソブリン問題、タイの洪水などにより経済情勢が非常に悪かったこと、今年2度目の開催となり予算の問題で出展できないEDAベンダが多数存在し、出展者数が少なかったことなどが考えられる。また、出展者の減少により、予算的に厳しい状況となり、来場誘致活動や魅力的なイベントの実施が大きく制限されてしまったことにも一因があると思われる。その一方で半導体ベンダ、EDAベンダの減少が継続的に続き、プレイヤーが減少していることも底流にある。今回はETとの同時開催という複合展示会に向けた過渡期であり、次回のEDSFairで真価が問われる。



3.1.3 出展カテゴリー

ハードウェア・ソリューション

システム LSI
ASIC/ASSP
MPU/MCU/DSP
FPGA/PLD デバイス
その他

ハードウェア開発環境(EDA)

LSI 設計関連ツール：
システムレベル設計(RTL より高位)
論理設計(RTL～ネットリスト)
論理検証
アナログ設計・検証
レイアウト
レイアウト検証・解析
LSI 信号解析
テスト設計(DFT/BIST/ATPG/など)
DFM 関連(OPC/RET/PSM/LRC/TCAD/など)
ASIC プロトタイピング
その他
PCB/SIP 設計関連ツール：
回路図作成
アナログ設計・検証
レイアウト
SI/PI/EMC 解析
電磁界解析
熱解析
その他
その他

ソフトウェア・ソリューション

組込み OS
デバイスドライバ
ファームウェア
ミドルウェア
仮想開発環境・技術
その他

LSI テスト、計測器

LSI テスタ
PCB テスタ
計測器
その他

IP コア、マクロ、セルライブラリ

IP コア、マクロ、セルライブラリ

組込みプロセッサ開発環境

リコンフィギュラブルプロセッサ
ICE
デバッカ
マイコン CASE
コンパイラ/クロスコンパイラ
シミュレータ
ハード・ソフト協調設計環境
その他

設計サービス関連

デザインセンタ
設計サービス
設計コンサルティング
試作・製造
IP 流通サービス
その他

設計インフラ(WS/PC、ネットワーク)

設計インフラ(WS/PC、ネットワーク)

設計データ管理ツール

設計データ管理ツール
その他

マスクメーカー、ファウンダリメーカー

マスクメーカー、ファウンダリメーカー

大学(研究室)、コンソーシアム

大学(研究室)、コンソーシアム

PR 関連

出版物
その他

3.1.4 出展者一覧

IBIS Quality Framework

(JEITA/EC センター EDA 標準 WG)

(株)アイヴィス

アットデザインリンクス(株)

Accelicon Technologies, Inc.

アトレンタ(株)

(株)アプリスター

The DINI Group

アルデック・ジャパン(株)

イノテック(株)

Arteris Inc.

Calypto Design Systems, Inc.

Duolog Technologies Ltd.

カーネロンシリコン(株)

Menta S.A.S

(株)モーデック

Target Compiler Technologies N.V.

TowerJazz (Tower Semiconductor Ltd. Jazz
Semiconductor Inc.)

TranSwitch Corporation

(株)エーイーティー

AWR Japan(株)

ATE サービス(株)

エートップテック (株)

カーボン・デザイン・システムズ・ジャパン (株)

兼松エレクトロニクス(株)

カリプト・デザイン・システムズ(株)

GLOBALFOUNDRIES

(グローバルファウンドリーズ・ジャパン(株))

CyberTec(株)

Jasper Design Automation

サイバネットシステム(株)

CM エンジニアリング(株)

スプリングソフト(株)

タナーリサーチジャパン(株)

Dorado Design Automation, Inc.

NANGATE

日本イヴ(株)

日本シノプシス合同会社

NIMBIC, INC. (Formerly PHYSWARE, INC.)

Berkeley Design Automation, Inc.

パルシックジャパンリミテッド

(株)半導体理工学研究センター (STARC)

フォルテ・デザイン・システムズ(株)

富士通(株)

プロプラスデザインソリューションズ(株)

MunEDA GmbH

メンター・グラフィックス・ジャパン(株)

Real Intent, Inc.

新興ベンダエリア

(株)エイアールテック

神戸大学 工学部 永田研究室

広島大学 先端集積システム工学研究室

サーキットストラ テクノロジーズ社

シグナル・プロセス・ロジック(株)

テラダイン(株)

DOCEA POWER

(株)エッチ・ディー・ラボ

(株)日本サーキット

Blue Pearl Software, Inc.

マジレム・デザイン・サービス社

MathWorks Japan

Methodics, Inc.

JEVeC ビレッジ

アートグラフィックス

(株)アストロン

ケイレックス・テクノロジー (株)
 (株) Trigen Semiconductor
 (株) ジーダット
 (株) ジェム・デザイン・テクノロジーズ
 (株) 数理システム
 TOOL (株)
 ユーフォニック・テクノロジー(株)

プロトタイピング・ジャパン(株)
 KAISemi, Inc.
 CAST, Inc.
 IRIS Technologies, Inc.
 (株) クレディスト
 エイシップ・ソリューションズ(株)
 WIZnet Co.LTD.

ユニバーシティ・プラザ

愛媛大学 樋上・高橋研究室
 北九州市立大学 情報メディア工学科 梶谷研究室
 九州工業大学 マイクロ化総合技術センター 中村研究室
 広島大学 大学院 工学研究科 アルゴリズム論研究室
 早稲田大学 情報生産システム研究科
 (50 音順)

3.1.5 出展傾向

出展者数は 80 社(新規出展企業7社)であった。前回から大幅減となり、これまでで最も少ない出展者数、小間数となった。これは今回の EDSFair が今年 2 回目で予算の確保ができなかった EDA ベンダが何社もあったこと、中小 EDA ベンダが大手 EDA ベンダに買収され EDA ベンダの数が減っていることおよび経済状況の悪化が原因と考えられる。なお、EDSF 実行予算の問題で出展誘致活動が大きく制限されたことも一因であろう。予算期の問題で今回出展を見送った企業が次回の EDSF に戻ってくるかどうかは不透明であり、次回 EDSF の出展状況を見る必要がある。

開催年	出展者数	小間数
2011 年(11 月)	80 社	109 小間
2011 年	118 社	199 小間
2010 年	113 社	231 小間
2009 年	143 社	317 小間
2008 年	169 社	339 小間
2007 年	154 社	348 小間
2006 年	148 社	343 小間
2005 年	119 社	336 小間
2004 年	104 社	306 小間
2003 年	99 社	320 小間
2002 年	91 社	370 小間
2001 年	92 社	366 小間

3.1.6 開会式

EDSFair2011Nov、ET2011 のオープンに先立ち、11月16日(木)午前9時45分より展示会場入り口において、合同開会式を実施した。冒頭、ETの主催者を代表して、社団法人組込みシステム技術協会の築田稔会長より、またEDSFairを代表して一般社団法人電子情報産業協会の湛久徳理事より挨拶が行われた。その後、以下の登壇者によりテープカットを実施した。

横浜市 経済局 局長 渡辺巧教様

インテル株式会社 技術本部 応用技術統括部長 本間康弘様

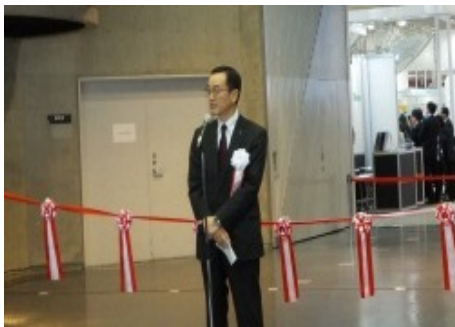
ルネサスエレクトロニクス株式会社 執行役員 兼 MCU 事業本部 副事業本部長 坪井俊秀様

社団法人組込みシステム技術協会 会長 築田稔様

一般社団法人電子情報技術産業協会 理事 湛久徳様

社団法人組込みシステム技術協会 副会長 ET 事業本部長 藤木優様

EDSFair2011Nov.実行委員長 吉田正昭



築田 JASA 会長ご挨拶



湛 JEITA 理事ご挨拶



テープカット

3.1.7 出展者セミナー

出展者セミナーは、EDSFair2010 よりカテゴリー別のトラック制とし、また、事前登録を可能とするこ
とで、聴講者の利便を図っている。1セッション45分間で、50名収容可能な部屋を4つとアネックスホ
ールの174名収容できる部屋1つの計5会場を用意し、出展者に提供した。EDSFair2011Nov.では93セ
ッションが開催され、聴講者総数は1,754名であった。この数字は前回の82セッション、2,491名に比べ、
セッション数では13%増加したものの、聴講者数は30%減となった。

トラック別内訳	セッション数(前回)	聴講者数(前回)
システム設計・検証	30 (20)	395 名 (314 名)
ロジック&フィジカル設計/検証	8 (9)	479 名 (307 名)
AMS 設計・検証/PCB	12 (13)	190 名 (106 名)
機能検証/テスト設計	21 (18)	219 名 (463 名)
LowPower/IP/DFM	12 (13)	175 名 (174 名)
フリー	7 (5)	185 名 (72 名)
スペシャル	3 (4)	111 名 (97 名)
合計	93 (82)	1754 名 (2491 名)

3.1.8 特別ゾーン

新興ベンダエリア

国内外新興企業 14 社（昨年比 12 社減）の最新ソリューションが集まり、設計開発者向けの最新情報を紹介した。

出展者：

(株)エイアールテック

神戸大学 工学部 永田研究室

広島大学 先端集積システム工学研究室

サーキットストラ テクノロジーズ社

シグナル・プロセス・ロジック (株)

テラデザイン(株)

DOCEA POWER

(株)エッチ・ディー・ラボ

(株)日本サーキット

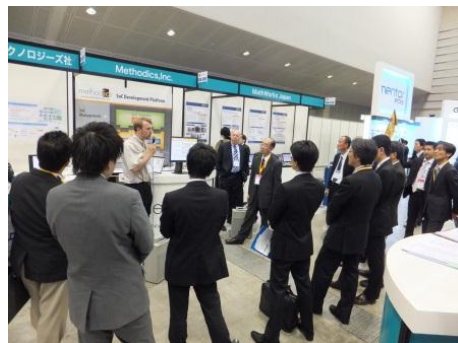
NextOp Software, Inc.

Blue Pearl Software, Inc.

マジレム・デザイン・サービス

MathWorks, Japan

Methodics, Inc.



JEVeC ビレッジ

日本の EDA の発展を目指して設立された「日本 EDA ベンチャー連合会 (JEVeC)」との協力による特別企画である。EDA 開発に携わる国内のベンチャー企業が一同に集結し、日本企業ならではの「ものづくり力」を活かした技術や製品をアピールした。

出展者：

アートグラフィックス

(株)アストロン

ケイレックス・テクノロジー(株)

(株)Trigence Semiconductor

(株)ジーダット

(株)ジェム・デザイン・テクノロジーズ

(株)数理システム

TOOL(株)

ユーフォニック・テクノロジー(株)

プロタイピング・ジャパン(株)

KAISemi, Inc.

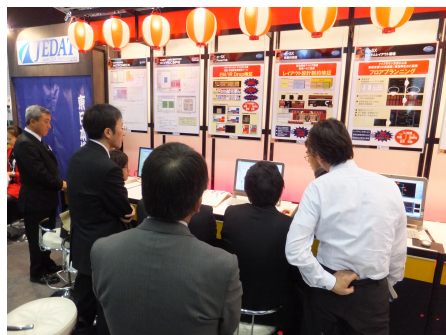
CAST, Inc.

IRIS Technologies, Inc.

株式会社クレディスト

エイシップ・ソリューションズ株式会社

WIZnet Co.LTD.



ユニバーシティ・プラザ

産学の交流を促進すると共に、日本における EDA 技術、システム LSI 設計技術をはじめとした電子回路設計技術およびソリューション技術の更なる向上を図ることを目的として、大学研究機関による設計技術に関する研究成果を発表する場として企画している。

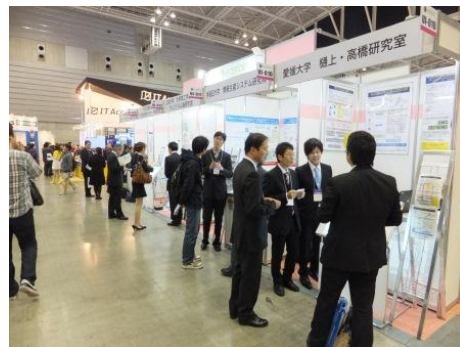
愛媛大学 樋上・高橋研究室

北九州市立大学 情報メディア工学科 梶谷研究室

九州工業大学 マイクロ化総合技術センター 中村研究室

広島大学 大学院 工学研究科 アルゴリズム論研究室

早稲田大学 情報生産システム研究科



3.1.9 新興ベンダ・ガイド・ツアー

日本の設計技術・EDA 技術の第一人者がツアー・ガイドとして、メインステージで新興企業の主要な技術を紹介後、ブースへ同行訪問し各社の技術紹介・質疑応答をサポートする「新興ベンダ・ガイド・ツアー」を実施した。EDSFair2010 までは、対象となるベンダを海外企業に限定していたが、日本の新興ベンダにも是非来場者に紹介したいソリューションがあることなどから、前回同様今回も日本企業も対象とした。

新興ベンダ・ツアー参加企業：11社

第1回 11月16日(水) 12:30-13:30

対象新興ベンダ：プロプラスデザインソリューション、

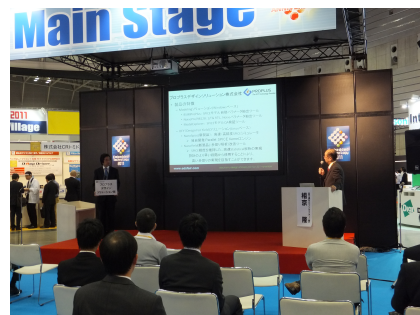
CM エンジニアリング株式会社、Methodics, Inc.、

(株)日本サーキット、株式会社エイアールテック

ツアーガイド：富士通セミコンダクター(株)開発・製造本部専任部長
相京 隆氏

参加者：メインステージ参加者 20 名

バーコード読み取り件数 9 名



第2回 11月18日(金) 12:30-13:30

対象新興ベンダ：Blue Pearl Software Inc.、DOCEA POWER、

Magillem Design Service、

CircuitSutra Technologies、

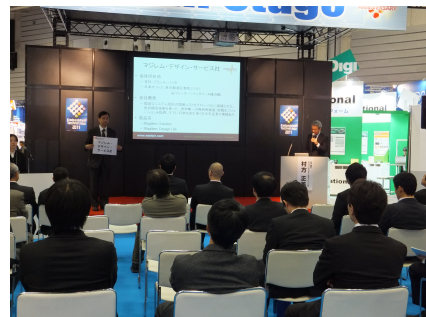
シグナル・プロセス・ロジック株式会社、

(有)アートグラフィックス

ツアーガイド：(株)東芝アナログ・イメージング IC 事業部参事
村方 正美 氏

参加者：メインステージ参加者 27 名

バーコード読み取り件数 31 名



(参考)EDSF2011 ではツアーを 3 回実施し、バーコード読み取り件数で計 122 名参加。

3.1.10 ET×EDSFair 同時開催記念共同企画

ET との同時開催を記念する象徴的なイベントとして双方の実行委員会で企画し、両展示会を代表する方々にご登壇いただく CEO パネルを実施した。242 名の参加者を集め盛況であった。また参加者へのアンケートでも満足度が 73.3%と高く、次回も関連テーマでの継続開催を検討する必要がある。

日時：11 月 17 日(木) 10:00-12:00

場所：パシフィコ横浜会議センター503 聴講無料

テーマ：「ここまで来た！仮想システム開発環境とソフトウェア開発環境。日本のモノづくりはこう変わる！

～三本の矢、ソフトウェア/システム/半導体開発をシームレスに統合～」

【オーガナイザ】

藤井 浩充氏

日本シノプシス、EDSFair2011Nov. 実行副委員長

【モデレータ】

小島 郁太郎 氏

日経 BP 社 Tech-On！編集 編集委員

【パネリスト】

Aart de Geus 氏

Synopsys, Inc. Chairman & CEO

上山 伸幸氏

イーソル株式会社 常務取締役 兼 執行役員 エンベデッドプロダクツ事業部管掌 兼 事業部長

鈴木 茂夫氏

キヤノン株式会社 ソフトウェア基盤 第二開発部 主席研究員

畔柳 滋氏

トヨタ自動車株式会社 制御ソフトウェア開発部 部長

聴講者数約 242 名



「ハードウェア開発からシステム設計・ソフトウェア開発まで最適なテクノロジーとソリューションが集約される唯一の展示会となった EDSFair×ET では、HW/SW 業界のキープレイヤーによる ET/EDSFair 共同企画セッションを開催。モバイル機器、コンシューマ機器、自動車といった日本の代表的なアプリケーション分野では、システムの高度化が進み開発は益々困難なものとなりつつある。一方でそれらの開発課題に対するソリューションも日進月歩で進化している。本セッションでは、開発サイドとソリューション・サイドの講演、それに続くトークセッションを通じて、展示会来場者にシステム開発とソフトウェア開発の基本的な現状認識・問題意識を共有してもらい、課題解決の糸口と製品イノベーションを生み出すソリューションに光を当てた。」

3.1.11 特設ステージ

場 所：アネックスホール F201 聴講無料

例年提示場内の特設ステージで開催していたが、今回はアネックスホールで実施した。第一線で活躍中のエンジニアの方はもちろん、設計・開発を率いる管理職の方々、さらに若手エンジニアの方までを対象とした幅広い内容の企画を開催した。

11 月 16 日(水)

■14:30-16:00 セッション1

「国際学会の技術トレンドを読む解く ～過去・現在・未来～」

【オーガナイザ】【モデレータ】

樋口 博之 氏

(株)富士通研究所

【パネリスト】

藤田 昌宏 氏

東京大学 大規模集積システム研究教育センター 教授

宇佐美 公良 氏

芝浦工業大学 工学部情報工学科 教授

橋本 昌宜 氏

大阪大学 情報科学研究科 准教授

聴講者数約 77 名

「EDA 分野の代表的国際学会での技術トレンドを、ESL (システムレベル設計)、低消費電力設計、物理設計の 3 分野を中心に、第一線の研究者の方々に、分かり易く解説した。本セッションを聞くことで、過去と現在の技術の大きな流れがつかめ、さらに、今後現れる技術の見通しが立つ講演を行った。学会に参加する機会のある・なしに関わらず、先端技術の動向とその行方に関心のある全ての方を対象として開催した。」



11 月 17 日(木)

■15:30-17:00 セッション 2

「LPB 相互設計セミナー:実践!これでいける! LSI・パッケージ・ボードの相互設計実例 ～LPB 共通フォーマットの活用方法とその効果～」

【オーガナイザー】【モデレータ】

福場 義憲 氏

(株)東芝 セミコンダクター&ストレージ社

アナログ・イメージング IC 事業部設計技術開発部

設計インフラ技術担当 参事

【司会(第 1 部)】

岡野 資睦 氏

(株)東芝 デジタルプロダクツ&サービス社

デジタルプロダクツ&サービス設計第 12 部 第 4 担当 主務

中川 祐之 氏

富士通 VLSI(株) ASIC・COT 開発統括部 第三設計部

【司会(第 2 部)】

福場 義憲 氏

(株)東芝 セミコンダクター&ストレージ社

アナログ・イメージング IC 事業部設計技術開発部 設計インフラ技術担当 参事



【パネリスト】

吉田 敦史 氏

(株)リコー 電子デバイスカンパニー 生産技術部 技術第二課 スペシャリスト

濱田 誉人 氏

ソニー(株) 半田対応事業本部 設計基盤技術部門 ミックスシグナルデザインソリューション部 第3課

小澤 要 氏

富士通セミコンダクター(株) 開発・製造本部 LSI 実装統括部 第二商品開発部

金子 俊之 氏

(株)トッパン NEC サーキットソリューションズ 管理本部 設計部 マネジャー

林 靖二 氏

キヤノン(株) 生産技術本部 生産技術研究所 実装技術第三研究室 主任研究員

市川 浩司 氏

(株)デンソー 研究開発3部 EMC 開発室 室長

津田 剛宏 氏

(株)デンソー 研究開発3部 EMC 開発室

古賀 一成 氏

(株)図研 技術本部 ELN セクション 子デザイングループ

田中 修治 氏

ソニー(株) コンシューマー・プロフェッショナル&デバイスグループ

半導体事業本部 設計基盤技術部門 ミックスシグナルデザインソリューション部 担当部長

澤田 修 氏

メンター・グラフィクス・ジャパン(株)

マーケティング部フィールド・マーケティング マーケティング・マネージャ

斎藤 義行 氏

パナソニック(株) PE 技術開発室 EMC デザイン第一チーム チームリーダー

永田 真 氏

神戸大学大学院 システム情報学研究科 教授

ASP-DAC Designers' Forum 2011 Co-Chair

聴講者数約 122 名

「激化する競争の中で機能・性能と品質を追求しつつコストを最小化し、タイムリーに製品を市場に出すためにはどうすればよいのか？本年1月のEDSフェアパネル討議においてLSI・パッケージ・ボード(LPB)各分野の設計情報をやり取りするインタフェース共通化の必要性が問われ、JEITAにて共通書式が提案されている。今回その続編としてその共通書式を用いた設計実例を紹介しその効果と活用方法について議論する公開セミナーを実施した。設計効率の改善により製品の競争力UPと事業拡大に日々取り組んでいるマネジメント・技術者必見の講演を行った。」

11月18日(金)

■10:00-12:30 セッション3

「Android 開発の現状と課題」

【オーガナイザー】【モデレータ】

丸山 不二夫 氏

早稲田大学大学院 客員教授

【パネリスト】

司波 章 氏

(株)富士通研究所 ヒューマンセントリックコンピューティング研究所 主管研究員

栄藤 実 氏

(株)NTTドコモ R&D センター サービス&ソリューション開発部

伊藤 篤 氏

(株)KDDI 研究所 開発センター フロンティア開発部門

安田 利弘 氏

シャープビジネスコンピュータソフトウェア(株) NBS 開発統括部 NB センター

石塚 宏紀 氏

東京大学 生産技術研究所

聴講者数約 69 名

「日本では、Android が短期間のうちにスマートフォンの過半数を占めるまで拡大し、Android アプリの開発に対するニーズが急速に高まっている。また、SNS 等のクラウドサービスとの連携、GPS をはじめとした各種センサーデータの活用、NFC での e-Commerce 利用等、Android アプリの大規模化・高度化も進んでいる。本セッションでは、Android の開発の第一線に立っている方々に登壇頂いて、Android 開発の現状と課題を明らかにし、今後の日本の国際競争力の中核の一つとして、Android 開発の生産性向上に資することを目的として開催した。」

特設ステージの聴講者数まとめ

	2011 年 11 月		2011 年 1 月	
特設 ステージ	技術トレンド	77 名	NPD	244 名
	LPB	122 名	LPB	285 名
	設計者 (Android)	69 名	LPB (コラボ)	166 名
			設計者	191 名
			省エネ	173 名
合計	268 名		1059 名	
来場者数	6189 名		8016 名	

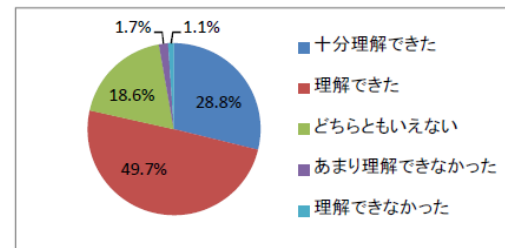
聴講者数は昨年と比べ 1/4 の大幅減となったが、これは EDSF 参加者の減少に加え、特設ステージ数が減少したこと、開催場所が展示会場内ではなくアネックスホールでの開催となったことが大きな要因と考えられる。次回に向けて検討が必要と思われる。

また、来場者からは設計事例を紹介する企画が望まれており、これも次回以降のテーマとして検討する必要がある。

3.1.12 共同企画セッション聴講者アンケート集計結果(抜粋)

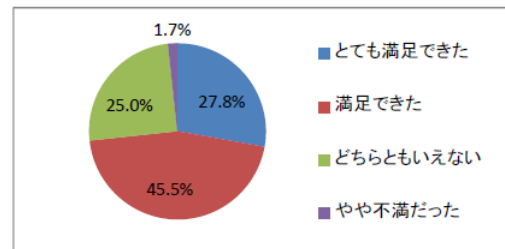
■今回の共同企画セッションは、理解できましたか。

十分理解できた	51	28.8%
理解できた	88	49.7%
どちらともいえない	33	18.6%
あまり理解できなかった	3	1.7%
理解できなかった	2	1.1%
	177	100.0%



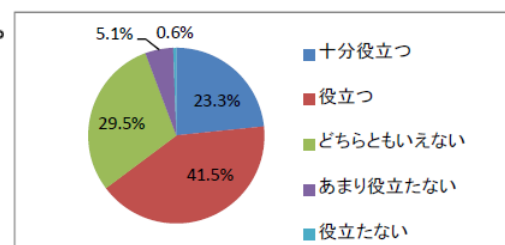
■共同企画セッションの講師・内容に満足できましたか。

とても満足できた	49	27.8%
満足できた	80	45.5%
どちらともいえない	44	25.0%
やや不満だった	3	1.7%
不満だった	0	0.0%
	176	100.0%



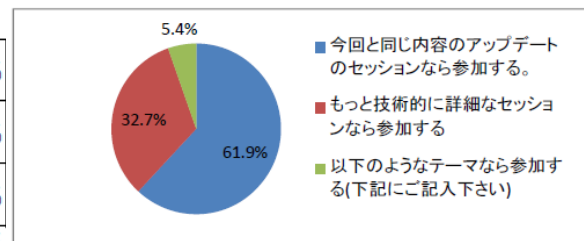
■今回の共同企画セッションは、今後の業務に役立ちますか。

十分役立つ	41	23.3%
役立つ	73	41.5%
どちらともいえない	52	29.5%
あまり役立たない	9	5.1%
役立たない	1	0.6%
	176	100.0%



■来年、同様のセッションがあったら参加されますか？

今回と同じ内容のアップデートのセッションなら参加する。	104	61.9%
もっと技術的に詳細なセッションなら参加する	55	32.7%
以下のようなテーマなら参加する(下記にご記入下さい)	9	5.4%
	168	100.0%



トークセッションをもっと聞きたかった

講演資料が欲しい

例：(ISLT事務局) VECU-MBD WG活動など

Functuinal Safety

Co-Simの基本ツールが出来て15年経過。この15年の技術向上内容が不明。

参加はさておき良い試みだと思います。

セールス戦略的なところも聞きたい

システム開発の中での半導体使用(または開発)の決定プロセス

HW開発(RIC/FPGA)-実践評価まで

組み込みハイパーバイザとマルチコア開発の効率アップ

自動車の制御

日本初のイノベーション、日本の復活等

内容の充実性に比べて時間が短めである

開発環境、クラウド

各社の説明時間が長かったので、ディスカッション時間をもっと増加してもらえたら参加したい

(テーマとしては今回の様な内容が良い)

差支えない範囲で発表資料をダウンロードできるように参加者にURLとID・パスワードを教えてほしい。プレゼンは早くすぎて、ついていけない。

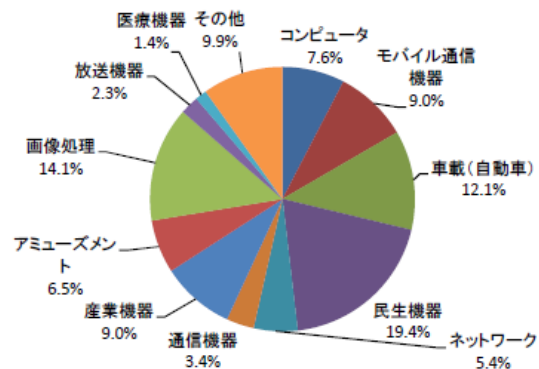
3. 1. 13 Web 来場者アンケート集計結果(抜粋)

Web来場者アンケート

1.ご担当のアプリケーションにチェックをお願いします。

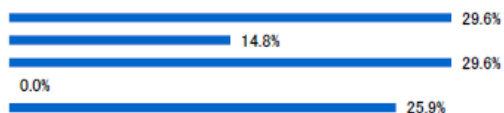
※総合

	2011Nov.(今回)	2011(前回)	2010(前々回)
コンピュータ	7.6%	10.3%	8.8%
モバイル通信機器	9.0%	10.9%	11.2%
車載(自動車)	12.1%	11.0%	10.6%
民生機器	19.4%	18.6%	20.9%
ネットワーク	5.4%	5.7%	5.9%
通信機器	3.4%	3.5%	4.8%
産業機器	9.0%	9.1%	10.4%
アミューズメント	6.5%	4.7%	4.7%
画像処理	14.1%	12.7%	10.0%
放送機器	2.3%	2.9%	2.3%
医療機器	1.4%	2.3%	1.1%
その他	9.9%	8.3%	9.3%
合計	100.0%	100.0%	100.0%



コンピュータ

	2011Nov.(今回)	2011(前回)	2010(前々回)
パーソナルコンピュータ	29.6%	42.6%	48.4%
汎用機	14.8%	17.6%	17.7%
ワークステーション	29.6%	27.9%	20.2%
ミニコン	0.0%	1.5%	2.4%
その他	25.9%	10.3%	11.3%
合計	100.0%	100.0%	100.0%



その他具体的

CAE/CAM".EDA
インタフェース(USB".etc)

モバイル通信機器

	2011Nov.(今回)	2011(前回)	2010(前々回)
携帯電話	75.0%	68.1%	75.5%
PDA	15.6%	19.4%	11.9%
PHS	0.0%	2.8%	8.2%
トランシーバー	0.0%	2.8%	1.9%
その他	9.4%	6.9%	2.5%
合計	100.0%	100.0%	100.0%

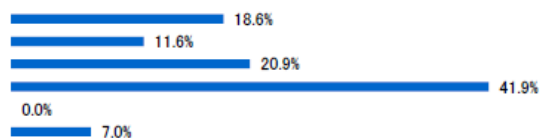


その他具体的

近接無線

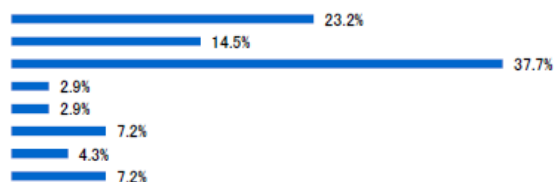
車載(自動車)

	2011Nov.(今回)	2011(前回)	2010(前々回)
ナビゲーション	18.6%	34.2%	36.7%
ETC/ITS	11.6%	12.3%	8.0%
オーディオ	20.9%	15.1%	15.3%
電装品	41.9%	27.4%	34.0%
エアコン	0.0%	4.1%	4.0%
その他	7.0%	6.8%	2.0%
合計	100.0%	100.0%	100.0%



民生機器

	2011Nov.(今回)	2011(前回)	2010(前々回)
液晶・プラズマ	23.2%	31.7%	21.0%
DVD/HDDレコーダー	14.5%	15.4%	18.0%
デジタルカメラ	37.7%	30.9%	31.9%
MPプレーヤー	2.9%	0.8%	4.7%
CD・MDプレーヤー	2.9%	4.9%	4.7%
ハンディカム	7.2%	5.7%	10.2%
白物家電	4.3%	3.3%	3.7%
その他	7.2%	7.3%	5.8%
合計	100.0%	100.0%	100.0%

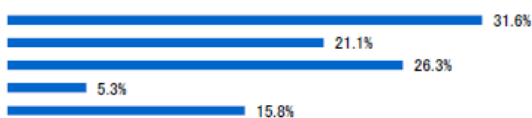


その他具体的

IC設計
太陽電池

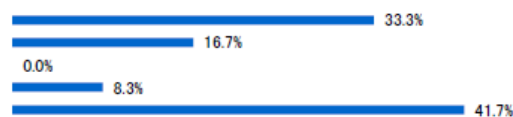
ネットワーク

	2011Nov.(今回)	2011(前回)	2010(前々回)
バックボーンネットワーク装置	31.6%	15.8%	30.1%
FTTH機器	21.1%	31.6%	15.7%
LAN製品	26.3%	26.3%	32.5%
ホームゲートウェイ	5.3%	18.4%	13.3%
その他	15.8%	7.9%	8.4%
合計	100.0%	100.0%	100.0%



通信機器

	2011Nov.(今回)	2011(前回)	2010(前々回)
CDMA基地局装置	33.3%	34.8%	42.6%
企業・官公庁向け通信装置	16.7%	21.7%	25.0%
交通通信機器	0.0%	4.3%	8.8%
衛星通信	8.3%	8.7%	11.8%
その他	41.7%	30.4%	11.8%
合計	100.0%	100.0%	100.0%

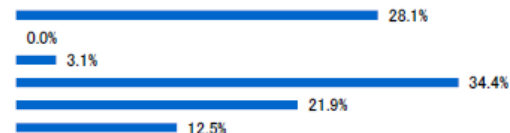


その他の具体的

SATA
サーバ
無線通信

産業機器

	2011Nov.(今回)	2011(前回)	2010(前々回)
FA	28.1%	18.3%	25.2%
輸送装置	0.0%	1.7%	0.7%
建設機械	3.1%	0.0%	2.0%
半導体・基盤製造機器	34.4%	50.0%	49.0%
セキュリティ	21.9%	16.7%	14.3%
その他	12.5%	13.3%	8.8%
合計	100.0%	100.0%	100.0%

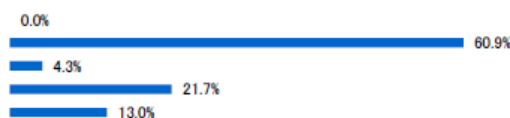


その他の具体的

太陽電池

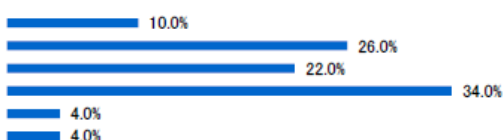
アミューズメント

	2011Nov.(今回)	2011(前回)	2010(前々回)
アーケードゲーム	0.0%	6.5%	7.6%
ゲーム機器	60.9%	58.1%	50.0%
ロボット	4.3%	0.0%	10.6%
パチンコ/スロット	21.7%	25.8%	28.8%
その他	13.0%	9.7%	3.0%
合計	100.0%	100.0%	100.0%



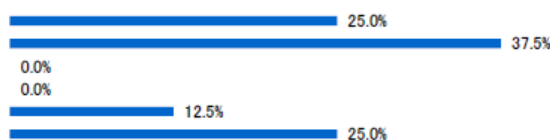
画像処理

	2011Nov.(今回)	2011(前回)	2010(前々回)
FAX	10.0%	9.5%	9.9%
コピー/複写機	26.0%	33.3%	35.2%
スキャナ	22.0%	15.5%	9.9%
プリンタ	34.0%	26.2%	31.0%
印刷装置	4.0%	9.5%	6.3%
その他	4.0%	6.0%	7.7%
合計	100.0%	100.0%	100.0%



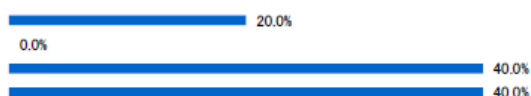
放送機器

	2011Nov.(今回)	2011(前回)	2010(前々回)
スタジオ機器	25.0%	31.6%	18.2%
デジタル放送装置	37.5%	31.6%	42.4%
デジタル放送中継機	0.0%	10.5%	12.1%
衛星放送機器	0.0%	5.3%	12.1%
ケーブルテレビ機器	12.5%	10.5%	9.1%
その他	25.0%	10.5%	6.1%
合計	100.0%	100.0%	100.0%



医療機器

	2011Nov.(今回)	2011(前回)	2010(前々回)
臨床検査装置	20.0%	40.0%	25.0%
レントゲン/MRI	0.0%	6.7%	18.8%
介護機器	40.0%	6.7%	6.3%
その他	40.0%	46.7%	50.0%
合計	100.0%	100.0%	100.0%



その他

	2011Nov.(今回)	2011(前回)	2010(前々回)
その他	9.9%	8.3%	9.3%

(全体比)

2.今日の来場の目的とその満足度をお尋ねします。それぞれ該当する項目を選んでください。

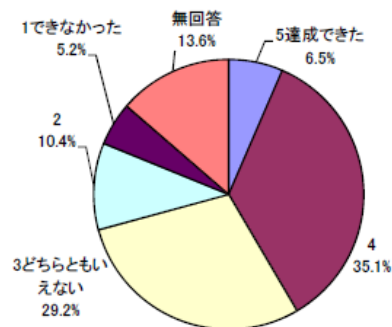
1)製品の最新情報入手

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	82.5%	90.1%	89.4%
いいえ	13.6%	7.7%	8.2%
無回答	3.9%	2.2%	2.4%
合計	100.0%	100.0%	100.0%

【評価】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	6.5%	12.1%	10.4%
4	35.1%	41.8%	46.3%
3どちらともいえない	29.2%	30.4%	30.5%
2	10.4%	7.3%	5.4%
1できなかった	5.2%	2.9%	0.5%
無回答	13.6%	5.5%	6.9%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	26.0%	43.6%	50.9%



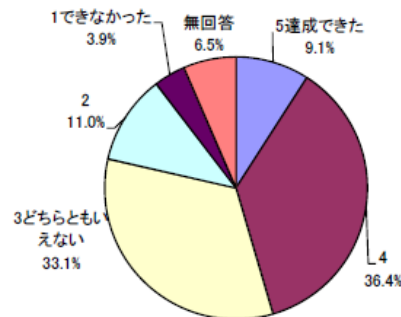
2)設計技術や設計事例の最新情報入手

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	90.3%	90.5%	90.9%
いいえ	5.8%	8.1%	6.2%
無回答	3.9%	1.5%	2.9%
合計	100.0%	100.0%	100.0%

【評価】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	9.1%	10.6%	10.4%
4	36.4%	45.4%	47.3%
3どちらともいえない	33.1%	28.2%	28.4%
2	11.0%	8.1%	6.7%
1できなかった	3.9%	1.5%	1.3%
無回答	6.5%	6.2%	5.9%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	30.5%	46.5%	49.8%



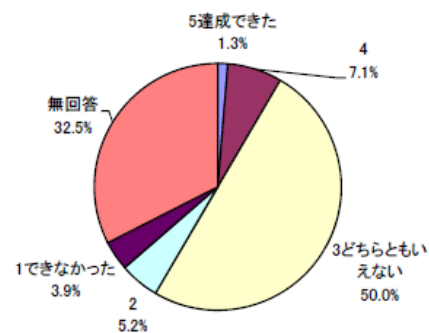
3)競合他社の情報入手

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	29.9%	24.5%	24.0%
いいえ	62.3%	71.4%	69.8%
無回答	7.8%	4.0%	6.2%
合計	100.0%	100.0%	100.0%

【評価】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	1.3%	2.9%	1.5%
4	7.1%	5.5%	10.0%
3どちらともいえない	50.0%	48.4%	42.4%
2	5.2%	7.0%	5.4%
1できなかった	3.9%	2.2%	1.8%
無回答	32.5%	34.1%	39.0%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	-0.6%	-0.7%	4.2%



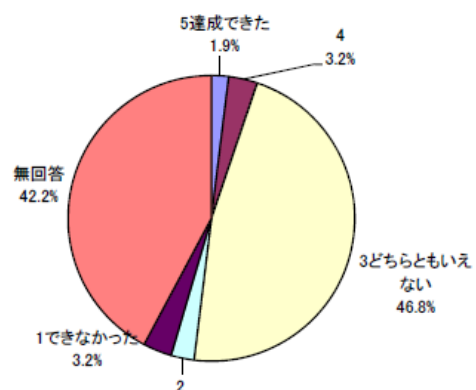
4)商談

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	7.8%	8.4%	7.2%
いいえ	82.5%	86.8%	86.5%
無回答	9.7%	4.8%	6.4%
合計	100.0%	100.0%	100.0%

【評価】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	1.9%	3.7%	1.6%
4	3.2%	4.4%	4.2%
3どちらともいえない	46.8%	45.4%	43.4%
2	2.6%	2.6%	1.0%
1できなかった	3.2%	0.4%	1.5%
無回答	42.2%	43.6%	48.3%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	-0.6%	5.1%	3.4%



3.次の項目について来場に当たり目的としていたかどうか、見学(聴講)の有無、また、見学(聴講)したものについてはその評価をお尋ねします。それぞれ該当する項目を選んでください。

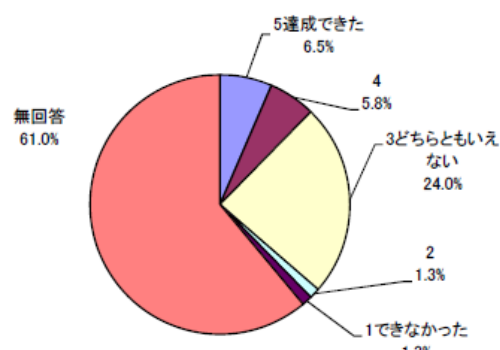
13) EDSFair × ET 共同企画セッション

【目的としていた】

	2011Nov.(今回)	2011(前回)
はい	17.5%	
いいえ	66.2%	
無回答	16.2%	
合計	100.0%	

【目的の達成度合い】

	2011Nov.(今回)	2011(前回)
5達成できた	6.5%	
4	5.8%	
3どちらともいえない	24.0%	
2	1.3%	
1できなかった	1.3%	
無回答	61.0%	
合計	100.0%	
(5+4)-(2+1)=	9.7%	



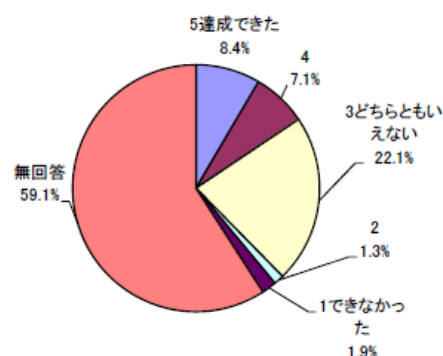
14) 特設ステージ

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	20.8%	36.3%	35.4%
いいえ	62.3%	50.9%	52.7%
無回答	16.9%	12.8%	11.9%
合計	100.0%	100.0%	100.0%

【目的の達成度合い】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	8.4%	11.7%	11.9%
4	7.1%	18.7%	15.5%
3どちらともいえない	22.1%	26.4%	26.4%
2	1.3%	1.8%	1.8%
1できなかった	1.9%	1.1%	1.0%
無回答	59.1%	40.3%	43.4%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	12.3%	27.5%	24.6%



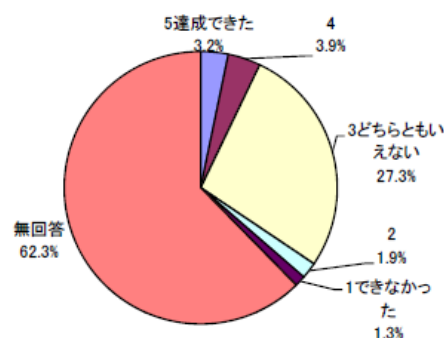
15) 出展者セミナー

【目的としていた】

	2011Nov.(今回)	2011(前回)
はい	11.7%	50.9%
いいえ	70.8%	37.7%
無回答	17.5%	11.4%
合計	100.0%	100.0%

【目的の達成度合い】

	2011Nov.(今回)	2011(前回)
5達成できた	3.2%	12.8%
4	3.9%	23.1%
3どちらともいえない	27.3%	28.2%
2	1.9%	3.3%
1できなかった	1.3%	0.7%
無回答	62.3%	31.9%
合計	100.0%	100.0%
(5+4)-(2+1)=	3.9%	31.9%



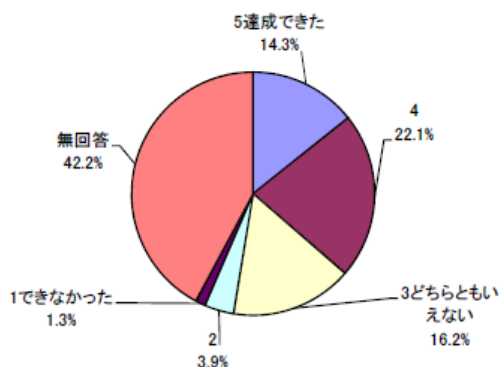
16) 新興ベンダエリア

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	52.6%	29.7%	22.8%
いいえ	32.5%	56.8%	61.8%
無回答	14.9%	13.6%	15.3%
合計	100.0%	100.0%	100.0%

【目的の達成度合い】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	14.3%	3.7%	2.9%
4	22.1%	12.1%	9.8%
3どちらともいえない	16.2%	32.2%	29.4%
2	3.9%	3.3%	4.2%
1できなかった	1.3%	2.6%	0.7%
無回答	42.2%	46.2%	53.0%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	31.2%	9.9%	7.8%



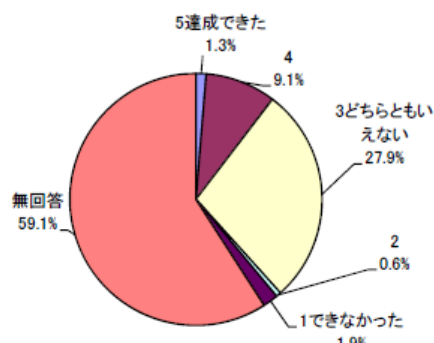
17) 新興ベンダ・ガイド・ツアー

【目的としていた】

	2011Nov.(今回)	2011(前回)
はい	21.4%	2.9%
いいえ	60.4%	82.4%
無回答	18.2%	14.7%
合計	100.0%	100.0%

【目的の達成度合い】

	2011Nov.(今回)	2011(前回)
5達成できた	1.3%	1.1%
4	9.1%	2.2%
3どちらともいえない	27.9%	35.5%
2	0.6%	1.1%
1できなかった	1.9%	1.5%
無回答	59.1%	58.6%
合計	100.0%	100.0%
(5+4)-(2+1)=	7.8%	0.7%



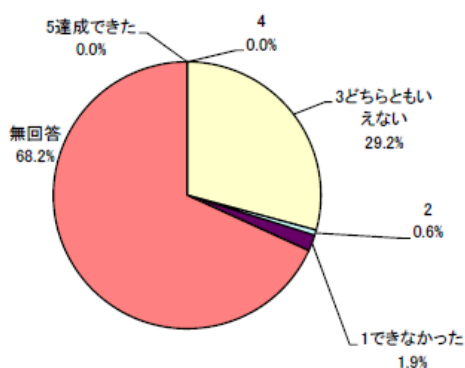
18) JEVeCビレッジ

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	1.3%	7.0%	7.2%
いいえ	80.5%	78.4%	76.5%
無回答	18.2%	14.7%	16.3%
合計	100.0%	100.0%	100.0%

【目的の達成度合い】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	0.0%	1.5%	1.8%
4	0.0%	3.3%	4.1%
3どちらともいえない	29.2%	35.2%	28.7%
2	0.6%	1.1%	1.0%
1できなかった	1.9%	1.5%	1.1%
無回答	68.2%	57.5%	63.3%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	-2.6%	2.2%	3.8%



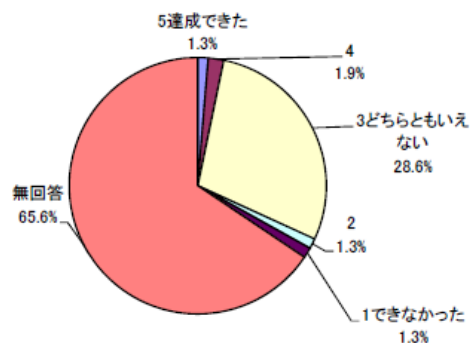
19) ユニバーシティ・プラザ

【目的としていた】

	2011Nov.(今回)	2011(前回)	2010(前々回)
はい	7.1%	16.5%	14.7%
いいえ	74.0%	68.9%	69.5%
無回答	18.8%	14.7%	15.8%
合計	100.0%	100.0%	100.0%

【目的の達成度合い】

	2011Nov.(今回)	2011(前回)	2010(前々回)
5達成できた	1.3%	5.1%	2.6%
4	1.9%	7.3%	5.4%
3どちらともいえない	28.6%	31.9%	32.5%
2	1.3%	1.8%	1.0%
1できなかった	1.3%	1.5%	1.5%
無回答	65.6%	52.4%	57.1%
合計	100.0%	100.0%	100.0%
(5+4)-(2+1)=	0.6%	9.2%	5.5%



7.会場内の見学環境、展示内容全体に対する評価をお尋ねします。

1) 同時開催記念 共同企画セッション

【事前情報としてご存知でしたか】

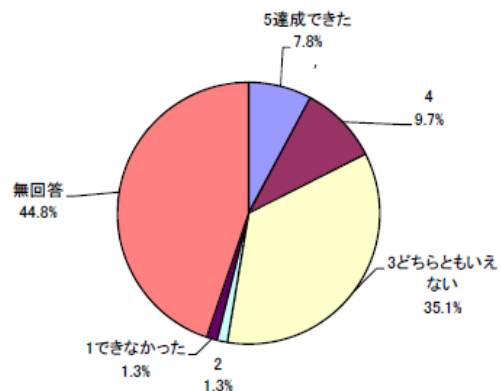
	2011Nov.(今回)
はい	64.3%
いいえ	31.8%
無回答	3.9%
合計	100.0%

【実際に利用した】

	2011Nov.(今回)
はい	4.5%
いいえ	0.0%
無回答	95.5%
合計	100.0%

【評価】

	2011Nov.(今回)
5達成できた	7.8%
4	9.7%
3どちらともいえない	35.1%
2	1.3%
1できなかった	1.3%
無回答	44.8%
合計	100.0%
(5+4)-(2+1)=	14.9%



5) 特設ステージ

【事前情報としてご存知でしたか】

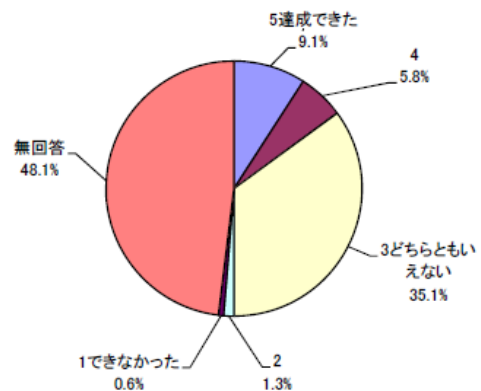
	2011Nov.(今回)	2011(前回)
はい	72.7%	86.4%
いいえ	20.1%	11.0%
無回答	7.1%	2.6%
合計	100.0%	100.0%

【実際に利用した】

	2011Nov.(今回)	2011(前回)
はい	19.5%	43.6%
いいえ	70.1%	52.4%
無回答	10.4%	4.0%
合計	100.0%	100.0%

【評価】

	2011Nov.(今回)	2011(前回)
5達成できた	9.1%	13.9%
4	5.8%	21.6%
3どちらともいえない	35.1%	33.7%
2	1.3%	2.9%
1できなかった	0.6%	0.7%
無回答	48.1%	27.1%
合計	100.0%	100.0%
(5+4)-(2+1)=	13.0%	31.9%



8) Embedded Technologyとの同時開催

【事前情報としてご存知でしたか】

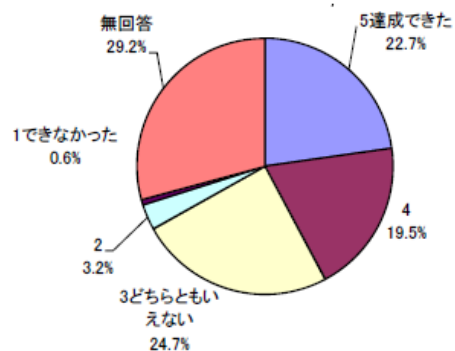
	2011Nov.(今回)
はい	77.9%
いいえ	16.2%
無回答	5.8%
合計	100.0%

【実際に利用した】

	2011Nov.(今回)
はい	66.2%
いいえ	24.7%
無回答	9.1%
合計	100.0%

【評価】

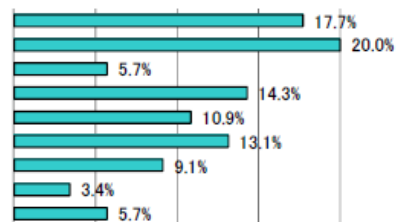
	2011Nov.(今回)
5達成できた	22.7%
4	19.5%
3どちらともいえない	24.7%
2	3.2%
1できなかった	0.6%
無回答	29.2%
合計	100.0%
(5+4)-(2+1)=	38.3%



3.1.14 出展者アンケート(抜粋)

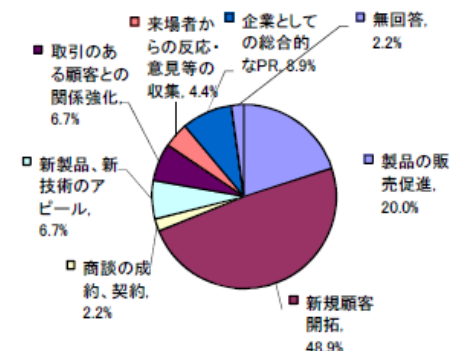
Q1-1. 今回の出展にあたっての目的について該当するものをお選びください。(いくつでも)

	2011Nov.	2011(参考)	2010(参考)
製品の販売促進	17.7%	19.2%	16.3%
新規顧客開拓	20.0%	20.2%	18.7%
商談の成約、契約	5.7%	4.3%	3.6%
新製品、新技術のアピール	14.3%	14.9%	16.3%
取引のある顧客との関係強化	10.9%	11.5%	9.9%
来場者からの反応・意見等の収集	13.1%	12.0%	14.3%
企業としての総合的なPR	9.1%	11.5%	13.5%
競合他社に対し優位性を示す	3.4%	3.4%	4.4%
社員の意識向上、社内活性化	5.7%	2.9%	3.2%
合計	100.0%	100.0%	100.0%



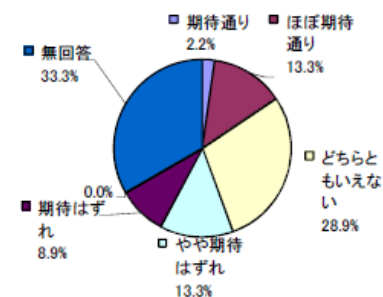
Q1-2. なかでも今回の出展にあたってもっとも重視した目的一箇所をお選びください。

	2011Nov.	2011(参考)	2010(参考)
製品の販売促進	20.0%	16.7%	17.5%
新規顧客開拓	48.9%	41.7%	39.7%
商談の成約、契約	2.2%	0.0%	0.0%
新製品、新技術のアピール	6.7%	14.6%	11.1%
取引のある顧客との関係強化	6.7%	8.3%	6.3%
来場者からの反応・意見等の収集	4.4%	8.3%	9.5%
企業としての総合的なPR	8.9%	10.4%	14.3%
競合他社に対し優位性を示す	0.0%	0.0%	0.0%
社員の意識向上、社内活性化	0.0%	0.0%	0.0%
無回答	2.2%	0.0%	1.6%
合計	100.0%	100.0%	100.0%



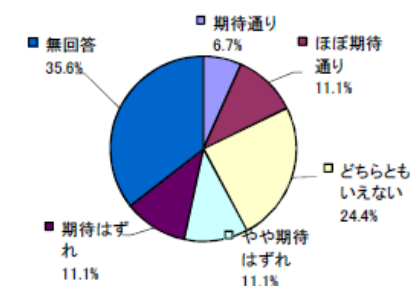
Q1-1で「製品の販売促進」を目的とされていた場合、当項目の評価をお聞かせください。

	2011Nov.	2011(参考)	2010(参考)
期待通り	2.2%	2.1%	6.3%
ほぼ期待通り	13.3%	22.9%	30.2%
どちらともいえない	28.9%	29.2%	20.6%
やや期待はずれ	13.3%	6.3%	3.2%
期待はずれ	8.9%	6.3%	1.6%
目的としていない	0.0%	6.3%	
無回答	33.3%	27.1%	38.1%
合計	100.0%	100.0%	100.0%
加重平均値	-6.7%	12.5%	31.7%



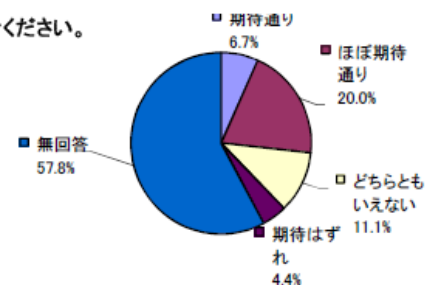
Q1-1で「新規顧客開拓」を目的とされていた場合、当項目の評価をお聞かせください。

	2011Nov.	2011(参考)	2010(参考)
期待通り	6.7%	6.3%	7.9%
ほぼ期待通り	11.1%	25.0%	33.3%
どちらともいえない	24.4%	22.9%	19.0%
やや期待はずれ	11.1%	14.6%	7.9%
期待はずれ	11.1%	10.4%	0.0%
目的としていない	0.0%	2.1%	
無回答	35.6%	18.8%	31.7%
合計	100.0%	100.0%	100.0%
加重平均値	-4.4%	6.3%	33.3%



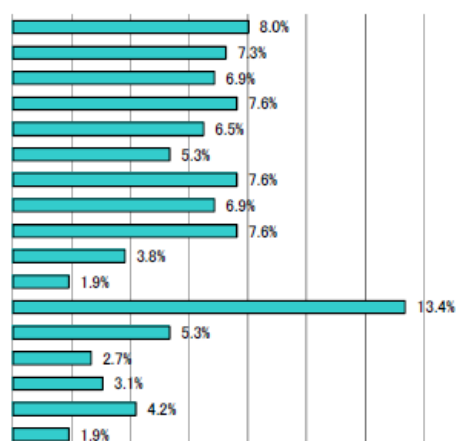
Q1-1で「新製品、新技術のアピール」を目的とされていた場合、当項目の評価をお聞かせください。

	2011Nov.	2011(参考)	2010(参考)
期待通り	6.7%	10.4%	9.5%
ほぼ期待通り	20.0%	29.2%	31.7%
どちらともいえない	11.1%	12.5%	7.9%
やや期待はずれ	0.0%	2.1%	3.2%
期待はずれ	4.4%	0.0%	0.0%
目的としていない	0.0%	8.3%	
無回答	57.8%	37.5%	47.6%
合計	100.0%	100.0%	100.0%
加重平均値	22.2%	37.5%	38.1%



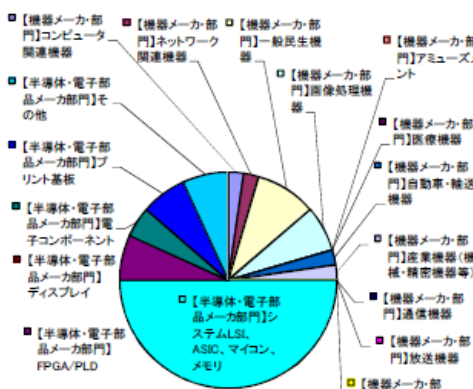
Q2. 出展にあたってターゲットとした来場者の業種について該当するものをお選びください。(いくつでも)

	2011Nov.	2011(参考)	2010(参考)
【機器メーカー部門】コンピュータ関連機器	8.0%	8.1%	6.7%
【機器メーカー部門】ネットワーク関連機器	7.3%	5.4%	6.7%
【機器メーカー部門】一般民生機器	6.9%	9.2%	8.4%
【機器メーカー部門】画像処理機器	7.6%	6.9%	7.5%
【機器メーカー部門】医療機器	6.5%	4.2%	5.3%
【機器メーカー部門】アミューズメント	5.3%	3.1%	4.2%
【機器メーカー部門】自動車・輸送機器	7.6%	5.4%	5.6%
【機器メーカー部門】産業機器(機械・精密機器等)	6.9%	5.0%	5.9%
【機器メーカー部門】通信機器	7.6%	6.5%	7.5%
【機器メーカー部門】放送機器	3.8%	3.8%	5.0%
【機器メーカー部門】その他	1.9%	1.5%	2.2%
【半導体・電子部品メーカー部門】システムLSI、ASIC、マイコン、メモリ	13.4%	16.5%	14.2%
【半導体・電子部品メーカー部門】FPGA/PLD	5.3%	6.5%	7.0%
【半導体・電子部品メーカー部門】ディスプレイ	2.7%	5.0%	3.9%
【半導体・電子部品メーカー部門】電子コンポーネント	3.1%	5.8%	3.6%
【半導体・電子部品メーカー部門】プリント基板	4.2%	3.5%	3.4%
【半導体・電子部品メーカー部門】その他	1.9%	3.5%	2.8%
合計	100.0%	100.0%	100.0%



Q3. なかでも出展にあたって最も重視したターゲット箇所をお選びください。

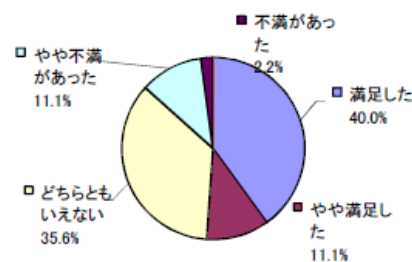
	2011Nov.	2011(参考)	2010(参考)
【機器メーカー部門】コンピュータ関連機器	2.3%	2.1%	0.0%
【機器メーカー部門】ネットワーク関連機器	2.3%	0.0%	0.0%
【機器メーカー部門】一般民生機器	9.1%	12.5%	7.9%
【機器メーカー部門】画像処理機器	6.8%	4.2%	3.2%
【機器メーカー部門】医療機器	0.0%	0.0%	3.2%
【機器メーカー部門】アミューズメント	0.0%	0.0%	0.0%
【機器メーカー部門】自動車・輸送機器	2.3%	0.0%	0.0%
【機器メーカー部門】産業機器(機械・精密機器等)	2.3%	0.0%	3.2%
【機器メーカー部門】通信機器	0.0%	2.1%	1.6%
【機器メーカー部門】放送機器	0.0%	0.0%	0.0%
【機器メーカー部門】その他	0.0%	0.0%	1.6%
【半導体・電子部品メーカー部門】システムLSI、ASIC、マイコン、メモリ	50.0%	66.7%	54.0%
【半導体・電子部品メーカー部門】FPGA/PLD	6.8%	4.2%	3.2%
【半導体・電子部品メーカー部門】ディスプレイ	0.0%	0.0%	0.0%
【半導体・電子部品メーカー部門】電子コンポーネント	4.5%	0.0%	3.2%
【半導体・電子部品メーカー部門】プリント基板	6.8%	4.2%	4.8%
【半導体・電子部品メーカー部門】その他	6.8%	4.2%	1.6%
無回答	0.0%	0.0%	12.7%
合計	100.0%	100.0%	100.0%



Q5. 運営についてお伺いします。該当するものを選択してください。

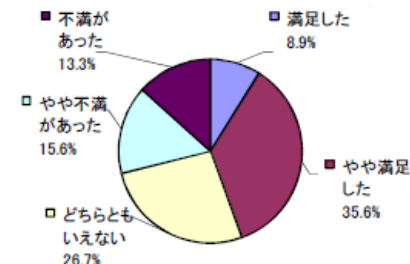
Embedded Technology 2011との同時開催についての評価をお聞かせください。

	2011Nov.
満足した	40.0%
やや満足した	11.1%
どちらともいえない	35.6%
やや不満があった	11.1%
不満があった	2.2%
無回答	0.0%
合計	100.0%
加重平均値	37.8%



出展に対しての総合的満足度をお聞かせください。

	2011Nov.	2011(参考)
満足した	8.9%	8.3%
やや満足した	35.6%	31.3%
どちらともいえない	26.7%	27.1%
やや不満があった	15.6%	18.8%
不満があった	13.3%	14.6%
無回答	0.0%	0.0%
合計	100.0%	100.0%
加重平均値	15.6%	6.2%



3.1.15 EDSFair2011 Nov. 実行委員会

実行委員長	ルネサスエレクトロニクス(株)	吉田 正昭
副委員長	日本シノプシス合同会社	藤井 浩充
委 員	イノテック(株)	坂井 仁
委 員	(株)ジーダット	太田 裕彦
委 員	(株)東芝	今井 浩史
委 員	TOOL(株)	中根 麻子
委 員	日本ケイデンス・デザイン・システムズ社	平沢 寿美子
委 員	メンター・グラフィックス・ジャパン(株)	町田 久仁子
委 員	パナソニック(株)	隅谷 三喜夫
委 員	(社)電子情報技術産業協会	進藤 淳二
事務局	日本エレクトロニクスショー協会	石崎 芳典
事務局	日本エレクトロニクスショー協会	大西 修平
事務局	日本エレクトロニクスショー協会	渡辺 祥子

(順不同)

3.1.16 まとめ

EDSFair2011Nov.は、ET との同時開催として実施した。そのため会期を従来の 1 月から 11 月に前倒しし、2011 年 2 回目の開催となった。さらに 3 月の東日本大震災、欧米のソブリン問題、タイの大洪水など、世界経済が大きなダメージを受ける中での開催となり、出展者数 80 社、出展小間数 109 小間、来場者数 6,189 名と過去最低を記録することとなった。一方、ET との同時開催は出展者、来場者とも好意的な見方が多数となり、今後に期待が持てる。

また、来場者減少に伴い、特設ステージ企画への参加者も激減した。ET との同時開催に伴い、会場内での特設ステージ設営が困難になり、アネックスホールで実施したことにも一因があり、今後対処法の検討が必要と思われる。

今回は ET との同時開催という複合展示会として過渡的な開催となったが、次回の EDSF でその真価が問われる。出展者数、来場者数の回復が急務であり、出展者誘致活動、来場者誘致活動の強化策の検討が必要になると思われる。

3.2 システム・デザイン・フォーラム 2011

3.2.1 はじめに

最新の EDA 技術の標準化推進、業界内での普及・促進活動の一環として、EDA 技術専門委員会主催による“システム・デザイン・フォーラム 2011”を、EDSFair2011Nov.と同期して 2011 年 11 月 17 日に開催した。

EDA 技術専門委員会では、“システム・デザイン・フォーラム”を、次のように、ほぼ毎年継続して開催してきた。

- ・ 1990 年から 1994 年 “EDA 標準化フォーラム” を 4 回開催。

EDA 標準化活動の発表とその一般への普及を図ることを目的。

- ・ 1999 年から 2002 年 “EDA フォーラム” を 2 回開催。

EDA 技術専門委員会の活動に係る内容の発表、討論の場を目的。

- ・ 2004 年 “システム・デザイン・セミナー”

最新の設計技術、課題を設計事例とともに紹介するため 2 日間の日程で開催。

- ・ 2005 年 “システム・デザイン・フォーラム 2005”

1 日目 SystemVerilog ユーザ・フォーラムと SystemC ユーザ・フォーラム。

2 日目 SoC に関連した設計技術、課題等を含めた設計事例を紹介する 2 セッションと、LSI/パッケージ/基板を含めた統合設計に関するパネル討論のセッションを開催。

- ・ 2006 年 “システム・デザイン・フォーラム 2006”

“SystemVerilog ユーザ・フォーラム”と“SystemC ユーザ・フォーラム”の 2 セッション。両設計言語の標準化動向の紹介、チュートリアル、設計適用事例紹介を実施。

- ・ 2007 年 “システム・デザイン・フォーラム 2007”

“SystemVerilog ユーザ・フォーラム”と“SystemC ユーザ・フォーラム”の 2 セッションに、65nm 以下のプロセスノードで深刻化するプロセスばらつきを打破する最新の設計技術動向を紹介するフィジカル・デザイン・フォーラムを新たに加え、計 2 日間 3 セッションを開催。

- ・ 2008 年 “システム・デザイン・フォーラム 2008”

“SystemC ユーザ・フォーラム”と“Power Format フォーラム”の 2 セッションを開催。“SystemC ユーザ・フォーラム”では、最新の SystemC 標準化動向、TLM2.0 のチュートリアル、JEITA SystemC ワーキンググループの取り組みの報告と、設計適用事例の紹介を実施。“Power Format フォーラム”では、最新の低消費電力設計技術の紹介と、個々に Power Format 標準化を目指す二つの団体 Accellera Organization, Inc.、Si2(Silicon Initiative, Inc.)双方からの標準化活動の最新状況や設計適用事例の紹介と、JEITA Power Format 検討ワーキンググループの Power Format の標準化に対する検討状況の報告を行った。

- ・ 2009 年 “システム・デザイン・フォーラム 2009”

「SystemC ユーザ・フォーラム 2009」に加えて、新たに、プロセス微細化による製造

ばらつきの問題に対して、「最先端統計から見た 32nm ばらつき予測と設計法」をテーマとした、「ナノ世代物理設計フォーラム」を開催。SystemC ユーザ・フォーラム 2009 では、OSCI (Open SystemC Initiative) による SystemC の最新動向の紹介、JEITA SystemC ワーキンググループによる、システム設計から実装、検証を含む SystemC 推奨設計メソッドの紹介、半導体理工学研究センター(STARC)による TL モデリングガイドの紹介、SystemC を用いた高位合成適用事例、および TLM2.0 を利用した回路設計事例を報告。また、ナノ世代物理設計フォーラムでは、プロセスの微細化により、新たな設計上の課題としてあらわれてきた製造ばらつきによる設計の収束性および製造時の良品率の低下に対処するため、ばらつきの影響を考慮できる統計的な設計手法の現状を報告した。

しかし、2010 年の“システム・デザイン・フォーラム 2010”は、次の 2 つの理由で開催が見送られた。(1)EDA-TC の各活動のフェーズが、有償で開催するシステム・デザイン・フォーラムに合致しなかった。(2)EDSFair 特設ステージでの無償開催も検討したが、基本目標である標準化活動の成果のアピール・展開と、特設ステージのショー的側面から来る期待とを両立させるテーマ設定は難しいと判断した。

さらに、昨年度(2010 年度)は、各種検討した結果、費用面では収支バランスの崩れにより独立したフォーラムとしての開催は難しいが、テーマとしては、ナノ世代物理設計 WG および LPB 相互設計 WG から魅力的な講演が可能であるため、単独でのフォーラム開催は断念し、EDSFair2011 特設ステージ企画検討会(幹事および有志で構成)とも協議し、EDSFair2011 特設ステージに「特別協力」する形で 3 セッションを無償で開催した。

今年度(2011 年度)は、本フォーラムを委員会活動アピールの重要な場という認識のもと、“システム・デザイン・フォーラム 2011”を開催すべく、過去 2 年の状況を踏まえて、テーマと費用・開催日時・会場などを検討した。

まず、テーマとしては、本委員会の各活動(WG 活動他)を紹介するものとすることにした。加えて、今回は、同じ JEITA の半導体技術委員会傘下の半導体技術ロードマップ専門委員会(STRJ)内の WG の中から、設計技術に関する 2 つの WG からも発表してもらうことにした。

次に、開催日時・会場に関しては、費用面からは、年度末に JEITA の会議室で開催することも検討したが、集客力を考えて、従来と同様に、EDSFair と同時開催することに決定した。費用面では、EDSFair の特設ステージ用に確保したアネックスホールの会議室の空き時間を使用することで、安価に開催することができた。

以上の方向性を第一回目の WG 会議で決定することができたので、WG 会議としては、その一回で終了し、開催に向けての詳細検討は、EDSFair 実行委員会の中で、EDSFair2011Nov. 事務局にサポートしていただきながら、進めていった。

3.2.2 システム・デザイン・フォーラム 2011 概要

- 開催日時：2011 年 11 月 17 日（木）13:00-15:00
- 開催場所：パシフィコ横浜 アネックスホール(F201 会議室)
- 定員：176 名
- 参加費：無料
- 主催：社団法人 電子情報技術産業協会 EDA 技術専門委員会
- 開催案内プログラム

EDA 技術専門委員会では、最新の EDA 技術・設計技術の普及促進を目的として、1990 年に「EDA 標準化フォーラム」を開催して以来、EDSFair との同時開催による「システム・デザイン・フォーラム」を開催してきました。

その中で今年は、EDA 専門技術委員会の活動に関わる内容の発表と討論の場として、以下の内容で開催いたします。加えて、EDA 技術専門委員会と同じ、一般社団法人 電子情報技術産業協会（JEITA）の半導体技術委員会傘下の半導体技術ロードマップ専門委員会（STRJ）の 2 つ WG から、ITRS(国際半導体技術ロードマップ)の中の EDA 技術・設計技術に関する内容の発表も行なっていただきます。

若手技術者からマネージャクラスの方々まで多くの皆様のご参加をお願い致します。なお、今回から、アネックスホールでの無償開催といたします。

■日 時：2011 年 11 月 17 日 13:00-15:00

■場 所：パシフィコ横浜内アネックスホール

■プログラム

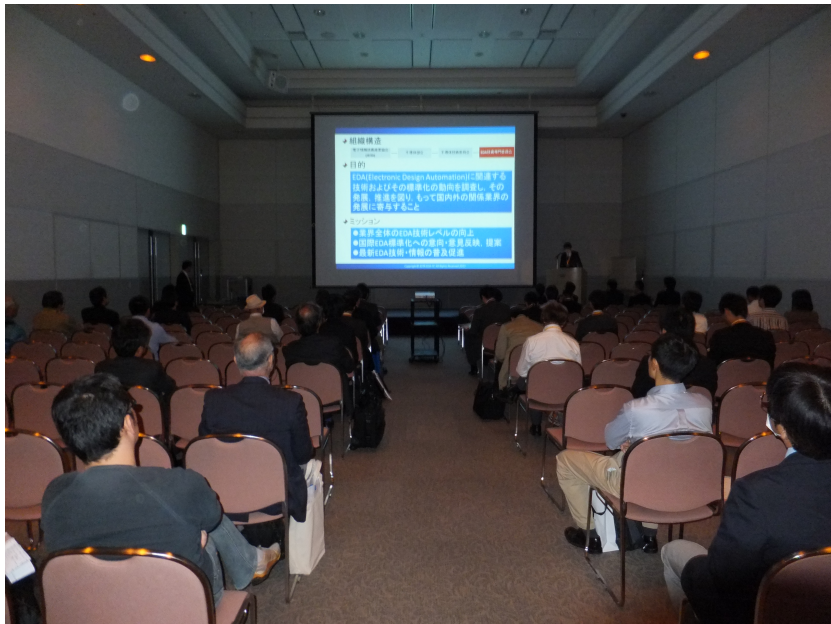
- 1) EDA 技術専門委員会委員長挨拶（委員長：今井 浩史氏（東芝））
- 2) EDA 標準化の状況と今後の見通し
～設計言語だけではなく、設計手法も標準化する時代に！～
（標準化担当：小島 智氏（NEC システムテクノロジー））
- 3) LSI・パッケージ・ボード相互設計におけるインターフェースの共通仕様化
～設計・検証フォーマットの共通化で全体最適化と開発時間短縮化～（LSI・パッケージ・ボード相互設計 WG 委員：楠本 学氏（NEC））
- 4) ナノ世代における物理設計モデリングとは
～配線ばらつきと信頼性モデル～
（ナノ世代物理設計 WG 主査：田中 正和氏（パナソニック））
- 5) ITRS(国際半導体技術ロードマップ)の紹介（その 1）
～LSI 設計技術のロードマップ（課題と解決策）～
（STRJ WG1 主査：中山 勝敏氏（ルネサスエレクトロニクス））
- 6) ITRS(国際半導体技術ロードマップ)の紹介（その 2）
～ITRS から見る SoC テストの課題とシステム設計への要望～
（STRJ WG2 主査：小林 拓也氏（パナソニック））

3.2.3 開催結果とアンケートまとめ

- ・聴講者数は、「67 名」と少なめの結果となった。

当日の会場風景と講演者の写真を添付する。なお、講演資料は添付資料に掲載する。

【会場風景】



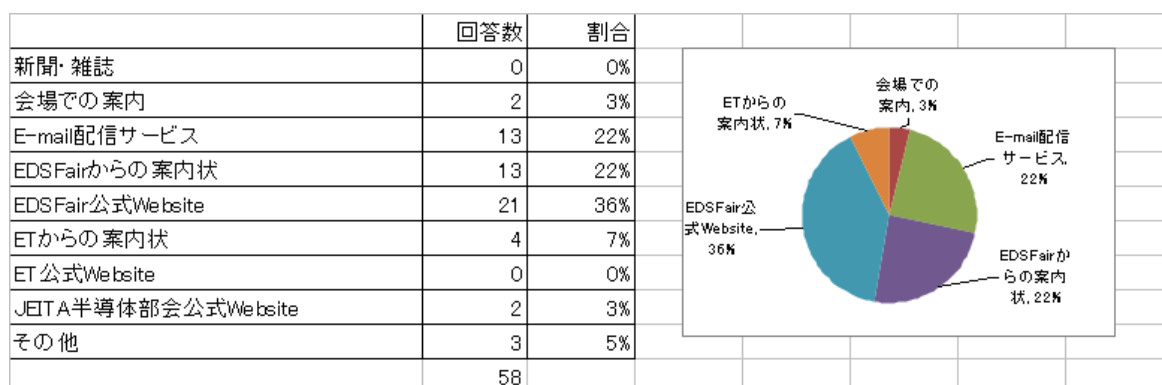
【講演者】



・当日、聴講者にアンケートの記入をお願いしたが、その集計結果（回答数：53 件）を以下に示す。

【質問 1】 今回のフォーラムは何でお知りになりましたか？（複数回答あり）

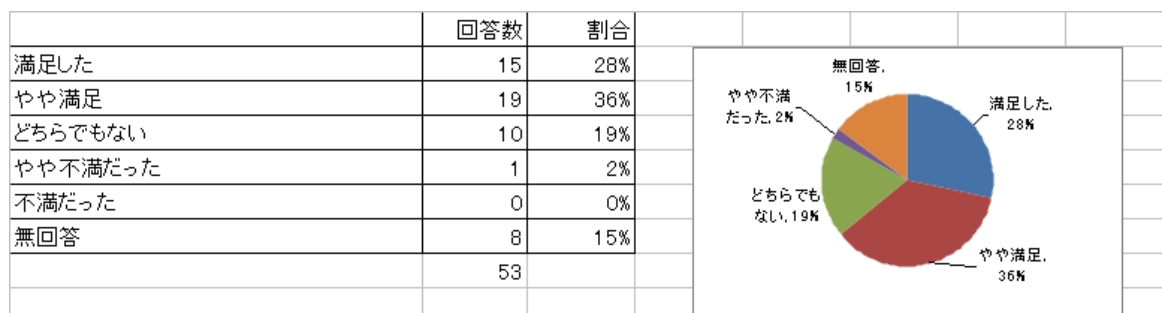
EDSFair の公式 Website や EDSFair からの案内状、E-mail 配信サービスで本フォーラムをお知りになった方が多かった。また、今回初めて実施した JEITA 半導体部会の公式 Website でお知りになったかたも 2 名おられた。



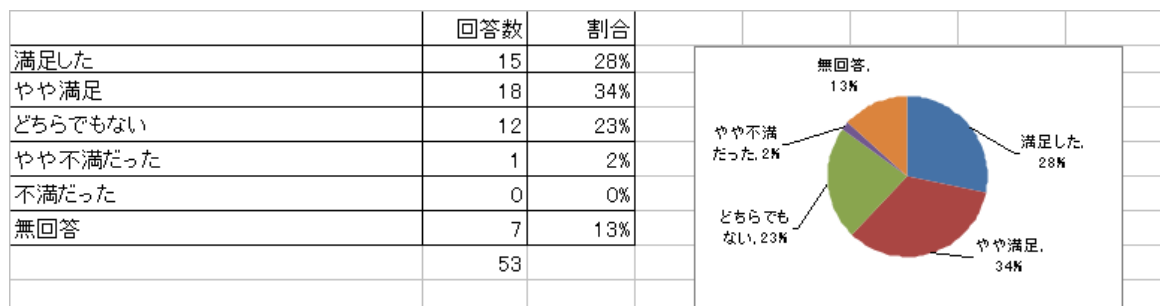
【質問 2】 各フォーラムセッションの内容（満足度）についてお聞かせください。

全体としては、「満足+やや満足」の割合は、ほぼ 60%程度であった。

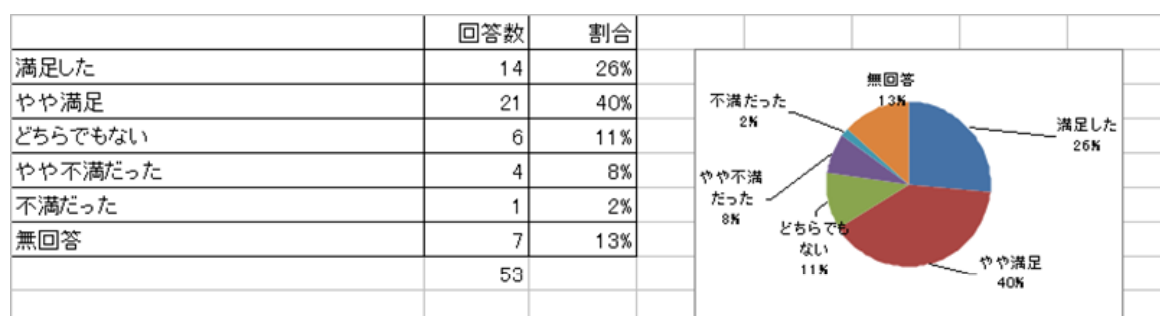
1) EDA標準化の状況と今後の見通し



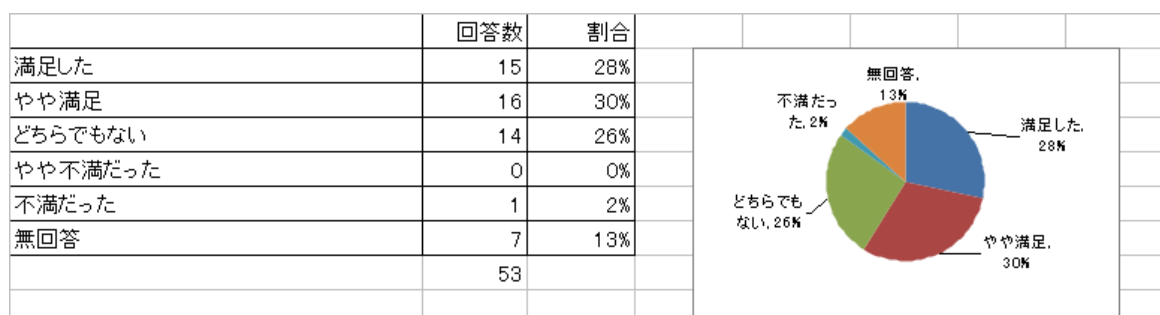
2) LSI・パッケージ・ボード相互設計におけるインターフェースの共通仕様化



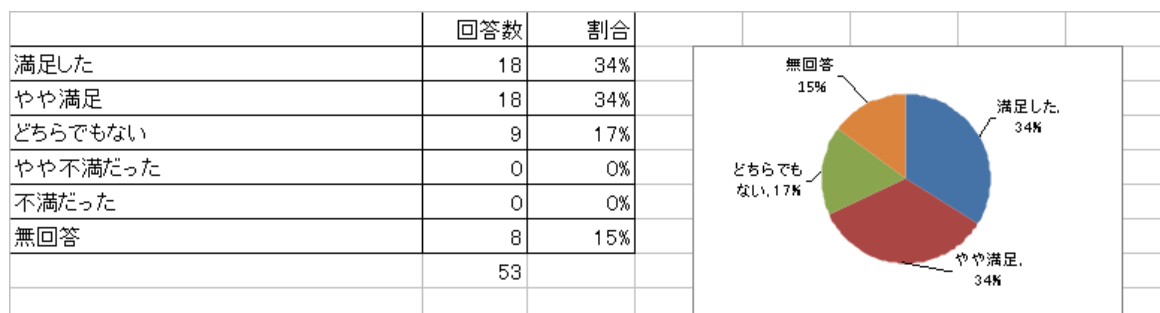
3) ナノ世代における物理設計モデリングとは



4) ITRS(国際半導体技術ロードマップ)の紹介 (その1)



5) ITRS(国際半導体技術ロードマップ)の紹介 (その2)



【質問 4】フォーラム全体に関するご意見をお願いします。

- ・時間が少ない
- ・各者のスライドに文字が多くて瞬時に読みにくい。もっと Key メッセージを簡易に記す方がアピールすると思う。
- ・地味ではあるが実際の設計活動を支える重要なテーマである。網羅的に各分野の最新動向が把握できたので良かった。
- ・各セッション共に内容の割には時間が短い。もう少し各セッション時間を取れないでしょうか？

【質問 5】フォーラムの運営・会場に関するご意見をお願いします。

- ・資料の配布してほしい。
- ・机席の会場にしてほしい。
- ・受付開始時間を公式 Website へ明記してほしい。
- ・会場にいつ入れるか明記してほしい

【質問 6】今後取り上げてほしいテーマを記述願います。

- ・シリコン基板ノイズの抑制設計方法について。解析手法も

3.2.4 まとめと今後に向けて

3 年ぶりに、システム・デザイン・フォーラムを EDSFair2011Nov. 内で、単独開催した。内容は、EDA 技術委員会の活動内容(WG 活動他)を紹介するものにした。加えて、今回は、同じ JEITA の半導体技術委員会参加の半導体技術ロードマップ専門委員会(STRJ)内の WG の中から、設計技術に関する 2 つの WG(設計 WG とテスト WG)から、国際半導体技術ロードマップ(ITRS)の内容の紹介などをしていただいた。

なお、EDSFair2011Nov. 内で開催した(できた)主な理由は、次の 2 つである。

- ・別の日時・会場での単独開催と比べての集客力。
- ・費用的に、EDSFair2011Nov. の特設ステージ用に確保したアネックスホールの特設ステージ開催時以外の空き時間を使用することで、安価にできたこと。

開催結果として、聴講者数は、67 名と少なめであったが、これは、EDSFair2001Nov. 全体の参加者が少なかったことによる影響もあると考えられるが、本フォーラム開催の広報・宣伝にも課題があったと考える。しかし、聴講者アンケートの結果では、「満足とやや満足」を合わせた割合が約 60%であり、聴講いただいた方には、比較的満足していただけるものを開催できたと考える。

但し、聴講者アンケートに記載があるように

- ・ボリュームの割には、各セッションの発表時間が短い。
- ・各発表は文字が多くて、理解が難しかった。

- ・できれば、資料配布をしてほしい。
- ・机席にしてほしい。

などの運営上などの課題を残すことになった。

今回の開催結果を踏まえて、今後の“システム・デザイン・フォーラム”のあり方に関して課題提起などを行なう。

- ・“システム・デザイン・フォーラム”を継続開催するなら、集客力を考えると EDSFair との同時開催が良いと考える。
- ・内容的にも、「EDA 専門技術委員会の活動報告」が良いとは思いますが、毎年継続して、聴講者に有意義な情報が提供できるかは課題だと考える。
- ・今回は、JEITA の STRJ の 2 つの WG から発表いただいたが、こちらも、継続して毎年発表していただくのは、厳しいと考える。(STRJ の他の WG から発表していただくことを検討しても良いかもしれないが)

以上より、一つの提案としては、

- ・EDSfair と同時開催する。
- ・EDA 専門技術委員会の活動報告を内容とするが、“システム・デザイン・フォーラム”として、単独開催ではなく、EDSFair の特設ステージと一体での、プログラム構成を考えるべきではないかと考える。ただ、それ以外の形態（他のセミナーとの共催など）も含めて広く検討して、最適解を求めて行きたい。

3.2.5 システム・デザイン・フォーラム 2011WG 委員（敬称略、順不同）

主査	隅谷 三喜夫	EDA-TC 幹事	パナソニック
アドバイザー	大芝 克幸	SDF 前年度主査	ソニー
委員	今井 浩史	EDA 技術専門委員会委員長	東芝
委員	吉田 正昭	EDSFair 実行委員長/SDF2012 主査	ルネサスエレクトロニクス
委員	田中 正和	ナノ世代物理設計 WG 主査	パナソニック
委員	福場 義憲	LPB 相互設計 WG 主査	東芝
委員	浜口 加寿美	SystemVerilogWG 主査	パナソニック
事務局	石崎 芳典・大西 修平・森 美枝子		日本エレクトロニクスショー協会

3.3 ASP-DAC 2012

3.3.1 はじめに

Asia and South Pacific Design Automation Conference (ASP-DAC) は、VLSI およびシステム LSI の設計技術や設計自動化技術をテーマにしたアジア太平洋地域での最大規模の国際会議である。ASP-DAC は米国で開催されるこの分野のトップ・コンファレンスである Design Automation Conference (DAC)、International Conference on Computer Aided Design (ICCAD) や欧州で開催される Design, Automation and Test in Europe (DATE) とはシスター・コンファレンスの関係にあり、お互いにリエゾンを交換して協力関係を持っている。

ASP-DAC は、電子情報通信学会や情報処理学会などの学会だけでなく、電機メーカおよび半導体メーカの業界団体である JEITA（会議開始当時は EIAJ）と EDSF（会議開始当時は EDAT）の支援のもとで 1995 年に開始された。業界団体である JEITA が ASP-DAC のような国際会議の支援を行っているのは、次のような理由による。電機メーカや半導体メーカが国際競争力のある電子製品の開発を行うためには、マーケティングや製品企画だけでなく、大規模・高機能・低消費電力のシステム LSI の最適設計を短期間で行える設計力を持つ必要がある。そのためには、最新の設計自動化技術についての情報収集と研究開発を行う必要がある。一流の国際会議を国内で開催することにより、わが国からより多くの技術者と研究者が参加して最先端の設計技術および設計自動化技術についての情報収集、情報交換などを行うことが可能になる。

3.3.2 会議の開催経緯

ASP-DAC の第 1 回目の会議は 1995 年 8 月 30 日から 9 月 1 日にかけて幕張メッセの日本コンベンションセンターで、情報処理分野の国際学会である International Federation on Information Processing (IFIP) の TC10 WG10.2 および WG10.5 に属する CHDL および VLSI という名称の 2 つの国際会議と並列開催の形で開催された。第 2 回目は 1997 年 1 月に開催され、それ以降毎年 1 月に開催されてきた。この間、1999 年には香港（中国）で、2002 年にはバンガロール（インド）でそれぞれ開催された。2007 年以降は、日本と国外で交互に開催するというローテーションで運営されている。今回の会議（ASP-DAC 2012）は 17 回目で、シドニー（オーストラリア）Sydney Convention Centre で 1 月 30 日（月）から 2 月 2 日（木）の日程で開催された。

3.3.3 ASP-DAC 2012 の概要

ASP-DAC 2012 の概要を表 1 に示す。一般講演としては、26 カ国から投稿された 287 編の論文の中から 98 編が採択され、3 日間にわたって並列の 4 つのトラック、25 のセッションで発表された。表 1 からわかるように、論文の投稿数については前回日本で開催された ASP-DAC 2011 より少ない 287 件であったが、論文の採択率は例年並みの 34%を維持し、この分野での他の国際会議（DAC、ICCAD、DATE）とほぼ同じ水準を維持している。これまでどおり、ASP-DAC は名実ともに一流の国際会議であると評価できる。

基調講演のタイトルと講演者を表 2 に、特別セッションのタイトルを表 3 に示す。例年実施されているデザイナーズ・フォーラムは、2012 では実施されなかったため、表 4 は空欄とした。2013 では実施予定である。表 5 には、有料チュートリアルタイトルのタイトルを示す。

発表された論文の中から、表 6 に示す 2 件の論文が選ばれ、Best Paper Award が授与された。また、デザイン・コンテストに応募した作品の中から、表 7 に示す Best Design Award が 1 件選ばれて表彰

された。前回と同じく学生フォーラムも実施された。

表 1: ASP-DAC 2010、2011、2012 の比較

開催年	2010 年	2011 年	2012 年
日時	2010 年 1 月 18 日 (月) ～21 日 (木)	2011 年 1 月 25 日 (火) ～28 日 (金)	2012 年 1 月 30 日 (月) ～2 月 2 日 (木)
会場	台北 (台湾) Taipei International Convention Center	横浜市 (日本) パシフィコ横浜	シドニー (オーストラ リア) Sydney Convention Centre
併設展示会	---	EDSF 2011	---
論文投稿数	340	300	287
論文投稿国 (地域) 数	29	26	28
論文採択数 (採択率)	119 (35%)	104 (35%)	98 (34%)
キーノート アドレス	3 件	3 件	3 件 (表 2 参照)
一般講演	30 セッション (119 編)	24 セッション (104 編)	25 セッション (98 編)
特別セッション (招待講演等)	5 セッション	5 セッション	9 セッション (表 3 参照)
デザイン・ コンテスト	1 セッション	1 セッション	2 セッション
学生フォーラム	昼休みに実施 (Student Forum)	昼休みに実施 (Student Forum)	昼休みに実施 (Student Forum)
ポスターボード	—	—	—
有料チュートリアル	5 件 (全日 3 件、半日 1 件)	6 件 (全日 2 件、半日 4 件)	5 件 (表 5 参照) (全日 5 件)
デザイナーズ・ フォーラム	4 セッション (招待講演 2、 パネル討論 2)	4 セッション (表 4 参照) (招待講演 2、 パネル討論 2)	---

表 2: 基調講演

講演タイトル	講演者
Engineering complex systems for health, security and the environment	Giovanni De Micheli (EPFL, Switzerland)
Antipodean VLSI Adventures	Neil Weste (OzRunways Pty. Ltd., Australia)
Trends, Challenges and Solutions of Design Ecosystem for 20nm and Beyond	Cliff Hou (TSMC, Taiwan)

表 3: 特別セッションのタイトル

種類	セッション・タイトル
招待講演	セッション S1: Robust and Resilient Designs from the Bottom Up: Technology, CAD, Circuit and System Issues
	セッション S2: Domain Specific Accelerators
	セッション S3: Design and Prototyping of Invasive MPSoC Architectures
	セッション S4: Making ESL Models Work
	セッション S5: Advanced Post-silicon Validation and Debugging Techniques for SoC
	セッション S6: Design and Architecture of Emerging Non-volatile Memory Technologies
	セッション S7: Sensor Node Optimization in Machine-to-Machine (M2M) Networks
	セッション S8: Design for Reconfigurability and Adaptivity: Device, Circuit and System Perspectives
	セッション S9: Quality Insurance for 3D-Stacked ICs

表 4: デザイナーズ・フォーラムのタイトル (2012 では実施無し)

種類	セッション・タイトル
招待講演	---
パネル討論	---

表 5: Tutorial のタイトル

トラック	種類	タイトル
1	全日	Design for Manufacturability and Reliability in Nanoscale CMOS and 3D-IC
2	全日	Wireless Body Sensor Network (WBSN) Design
3	全日	Heterogeneity for Power Management: Devices to Systems
4	全日	Energy Efficiency in Scalable Power Sources: Portable to Grid-Connected Systems
5	全日	Assertion-based verification for SoC and embedded software

表 6: Best Paper Award が授与された論文

論文タイトル・著者
3C-1: "EPIC: Efficient Prediction of IC Manufacturing Hotspots With A Unified Meta-Classification Formulation", Duo Ding, Bei Yu, Joydeep Ghosh, David Z. Pan (The University of Texas at Austin, U.S.A)
2C-1: "An Intelligent Analysis of Iddq Data for Chip Classification", Chia-Ling Chang, Chia-Ching Chang, Hui-Ling Chan, Charles H.-P. Wen (National Chiao Tung University, Taiwan), Jayanta Bhadra (Freescall Semiconductor Inc., USA)

表 7: デザイン・コンテストにて表彰された設計

種類	論文タイトル・著者
Best Design Award	D1-2: "A 120-mv Input, Fully Integrated Dual-Mode Charge Pump in 65-nm CMOS for Thermoelectric Energy Harvester", Po-Hung Chen, Koichi Ishida, Xin Zhang (Univ. of Tokyo, Japan), Yasuyuki Okuma, Yoshikatsu Ryu (STARC, Japan), Makoto Takamiya, Takayasu Sakurai (Univ. of Tokyo, Japan)

3.3.4 論文の投稿状況

1998 年から 2012 年の、ASP-DAC への論文投稿数の地域別の推移を図 1 に示す。ただし、ASP-DAC 2002 については、インドのバンガロールで同時開催された VLSI Design 2002 への投稿論文を含む。図 1 に示すように、ここ数年は、安定的に 300~400 件の投稿がある。名実ともに、ASP-DAC は設計自動化分野の国際会議として定着したと言ってよいであろう。

表 8 に、日本からの論文投稿数の推移と、全世界から投稿された論文に占める割合を示す。日本からの論文投稿数が全体に占める割合は、2000 年をピークにして、10%前後に低下している。論文投稿数が多かったのは、米国の 75 編（前回は 73 編）、中国の 45 編（前回は 39 編）、日本の 24 編（前回は 31 編）、台湾の 37 編（前回は 44 編）、インドの 11 編（前回は 13 編）、韓国の 12 編（前回は 11 編）であった。

図 1 地域別論文投稿数

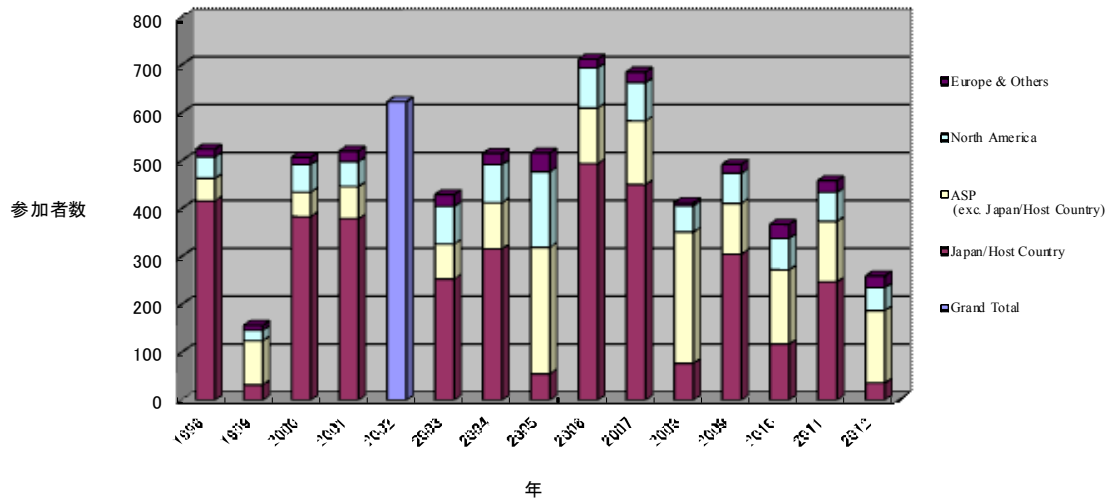


表 8 日本からの論文投稿数と全体に占める割合

年 地域	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012
日本 (割合)	42 (29%)	29 (18%)	24 (9%)	42 (18%)	36 (12%)	46 (7%)	51 (12%)	44 (11%)	31 (9%)	50 (14%)	33 (10%)	31 (10%)	24 (8%)
全体	144	161	269	235	291	692	424	408	350	355	340	300	287

次に、研究分野別の論文投稿数および採択論文数を表 9 に示す。ASP-DAC 2012 では、研究分野を 13 種類に分類して論文の査読と採否の決定を行った。今回論文投稿数が多かった分野は、分野 4 の組み込み・リアルタイムシステムのセッション、分野 7 の物理設計のセッション、分野 8 のタイミング・消費電力・熱の解析・最適化のセッション、分野 13 の新技術・新アプリケーションのセッションであった。

表 9: 分野別の論文投稿数と採択論文数

分野	研究分野	投稿数	採択数	採択率
1	System-Level Modeling and Simulation/Verification	21	6	28.0%
2	System-Level Synthesis and Optimization	20	6	30.0%
3	System-Level Memory/Communication Design and Networks on Chip	21	6	28.0%
4	Embedded and Real-Time Systems	33	10	30.0%
5	High-Level/Behavioral/Logic Synthesis and Optimization	27	10	37.0%
6	Validation and Verification for Behavioral/Logic Design	12	5	42.0%
7	Physical Design	30	11	37.0%
8	Timing, Power, Thermal Analysis and Optimization	30	11	37.0%
9	Signal/power Integrity, Interconnect/Device/Circuit Modeling and Simulation	14	5	36.0%
10	Design for Manufacturability/Yield and Statistical Design	20	7	35.0%
11	Test and Design for Testability	14	5	36.0%
12	Analog, RF and Mixed Signal Design and CAD	14	5	36.0%
13	Emerging Technologies and Applications	31	11	35.0%
	合 計	287	98	34.0%

3.3.5 参加者の内訳

ASP-DAC への地域別の参加者数の推移を図 2 に示す（チュートリアルのみ参加者を除く）。また、日本からの参加者の推移を表 10 に示す（日本開催時のみ）。今回の全参加者数は 256 名であった。前回（458 名）と比べると、参加者が減少した。開催地であるオーストラリアからの参加者数は全体の 13.9% の 36 名であった。

図 2 地域別参加者の推移

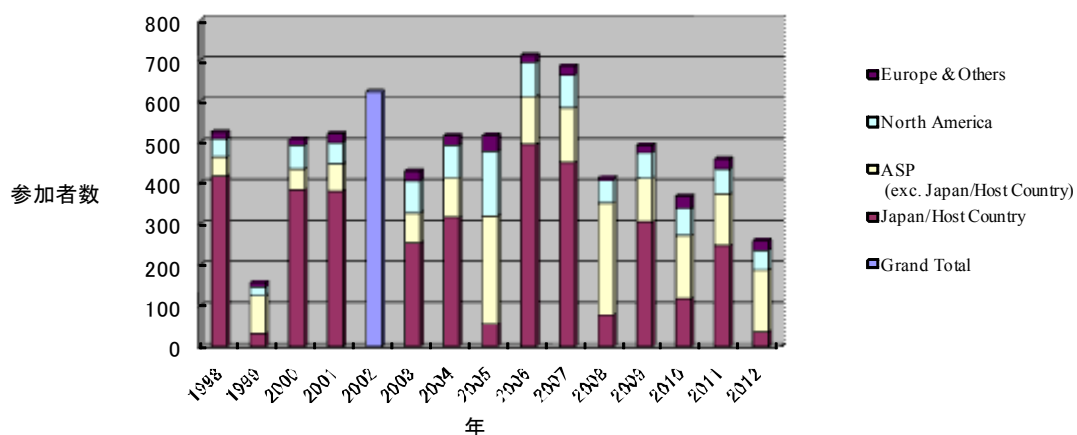


表 10: 日本開催年の日本からの参加者数と全体に占める割合
(チュートリアルのみ参加者を除く)

年 地域	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012
日本 (割合)	383 (76%)	379 (73%)	--	253 (59%)	316 (61%)	--	494 (70%)	450 (66%)	--	305 (62%)	--	247 (54%)	--
全体	507	520	623	429	515	516	708	685	412	492	367	458	259

3.3.6 今後の展望

ASP-DAC の今後の開催予定を表 11 に示す。引き続き、隔年で日本開催になる模様である。

表 11: ASP-DAC の今後の開催予定

年	開催予定地	開催時期	実行委員長
2013 年	横浜 (日本)	2013 年 1 月 22 日 (火) ～25 日 (金)	木村晋二 氏 (Waseda Univ.)
2014 年	シンガポール (シンガポール)	2014 年 1 月 20 日 (月) ～23 日 (木)	Yong Lian 氏, Yajun Ha 氏 (National Univ. of Singapore)

4. 添付資料

NBTI特性ばらつきの統計的物理モデル の検討

JEITA Nano Scale Physical Design Working Group

1

目次

- 背景と目的
- NBTIしきい値電圧変動ばらつきの実態
 - 平均値
 - ばらつき分布
- NBTIばらつきの物理統計
 - 要因
 - 要因の確率統計論
- まとめ

JEITA Nano Scale Physical Design Working Group

2

背景と目的

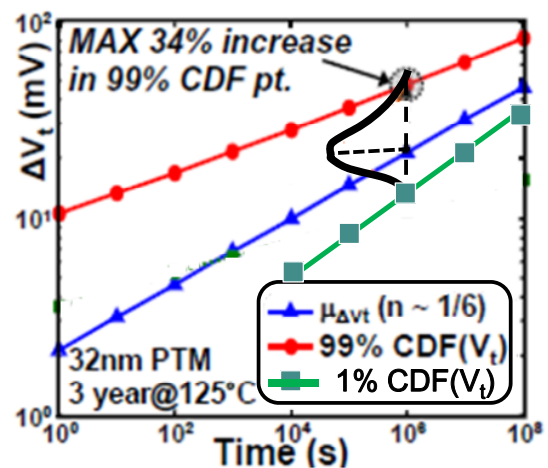
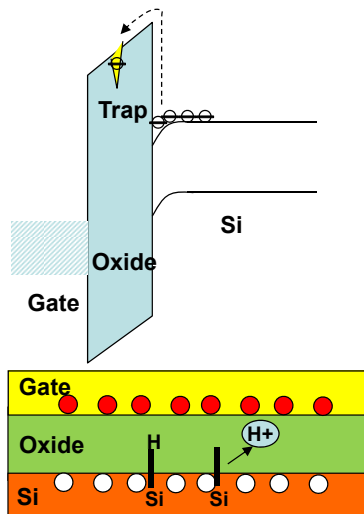
- 背景:
 - 車載用SOCの信頼性設計では1FITレベルの品質保証が要求される。
 - PMOSのNBTI特性劣化とその分布形状は、その品質保証に影響しうる。
 - NBTIのしきい値電圧劣化の分布形状の物理的要因とその確率統計的解釈が不十分。
- 目的:
 - NBTI劣化特性のばらつき分布を決めている物理現象の考察
 - 各物理要因のばらつき分布への寄与解析と実測比較

JEITA Nano Scale Physical Design Working Group

3

NBTIしきい値電圧シフト量の分布(1)

- メカニズム概要
 - PMOSのゲート電圧印加で V_t が経時変化。 V_t の変化量にばらつきが生ずる
 - V_t 経時変化の分布の“すそ”で、LSI特性劣化による故障寿命が決まる



K. Kang et al. ICCAD, 2007. Modified.

4

JEITA Nano Scale Physical Design Working Group

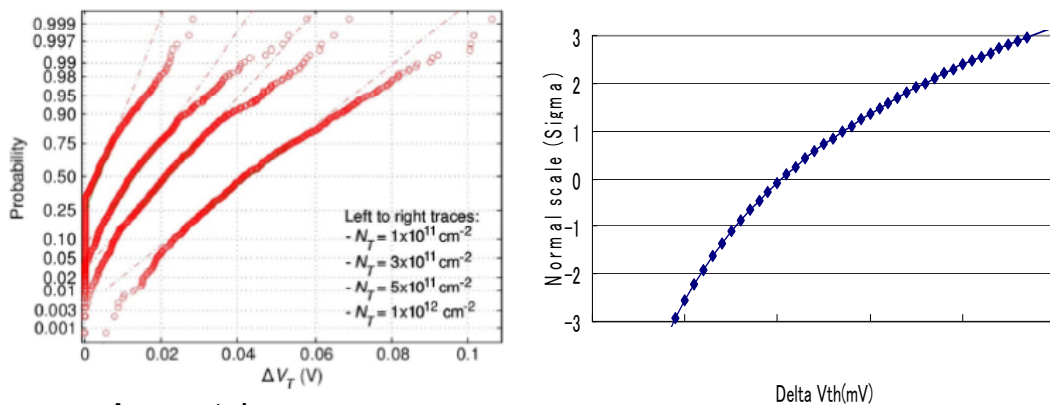
NBTIしきい値電圧シフト量の分布(2)

左図: NBTIシフト量分布の3次元デバイスシミュレーションの正規確率紙上の表示

右図: 対数正規確率分布の正規確率紙上の表示

両者はよく形状が一致している

NBTI Vthシフト量分布は対数正規分布で近似できる可能性が高い。



JEITA Nano Scale Physical Design Working Group

5

実測データの特徴

- Vth時間変化
 - $\Delta V_{th}(t)$ 平均値は時間のべき乗に比例
- Vth時間変化のばらつき
 - $\Delta V_{th}(t)$ の各時間でのばらつき分布は対数正規分布で近似できる
 - $\Delta V_{th}(t)$ の平均値と標準偏差の関係;
$$\sigma \approx \sqrt{\mu}, \rightarrow \text{Poisson Processの統計的性質}$$
- Vthの時間変化(劣化)はポアソン過程と推定される(捕獲準位への電荷のランダムな捕獲・放出)

JEITA Nano Scale Physical Design Working Group

6

ΔV_{th}ばらつきの要因分析

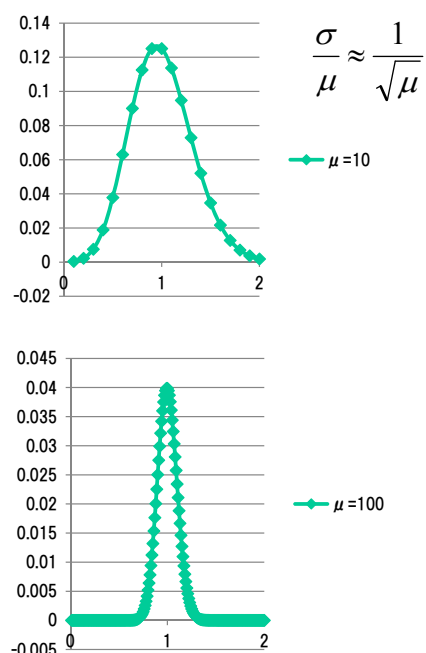
- (1)時間軸方向のばらつき
 - ポアソン過程の生起ばらつき(ランダム)
- (2)捕獲準位のゲート面内の位置のばらつき
 - 捕獲電荷の電流特性への影響度のばらつき(ランダム)
- (3)捕獲準位の活性化エネルギーのばらつき
 - 電荷の捕獲・放出時定数のばらつき
- 上記(1)(2)の要因は捕獲準位数が大きい場合、中心極限定理より相対ばらつきは小さくなる(次ページ参照)。従って、(3)のばらつき要因を検討

JEITA Nano Scale Physical Design Working Group

7

ポアソン統計の中心極限定理計算例

- 計算内容
 - ポアソン分布の平均値 μ を変化させた場合の分布形状の計算
- 相対ばらつきは平均値 μ の平方根に逆比例して小さくなる
- 捕獲準位が多い場合(>50)にはポアソン過程のばらつきへの影響は限定的になる



JEITA Nano Scale Physical Design Working Group

8

捕獲準位の活性化エネルギー E_a のばらつき検証

- 電荷放出時定数の実測結果は対数正規分布で近似できる
- したがって、電荷の捕獲・放出活性化エネルギー分布は≒正規分布となる

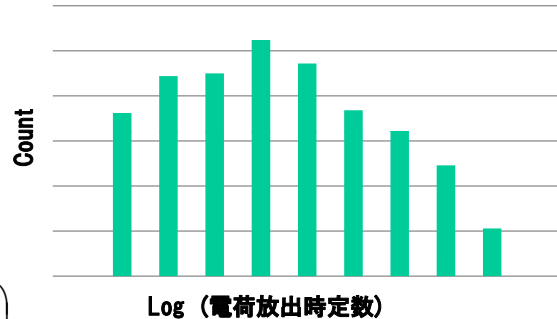
$$EmissionTime_Constant \propto \exp\left(-\frac{aE_a}{kT}\right),$$

--> Lognormal distribution

$$f(E_a) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(E_a - \bar{E}_a)^2}{2\sigma^2}\right),$$

--> Normal distribution

JEITA Nano Scale Physical Design Working Group



* H. Reisinger et al.; The statistical analysis of individual defect constituting NBTI and its implications for modeling DC- and AC-stress, Fig. 13, 2010 IEEE.

9

ΔV_{th} のばらつきモデル

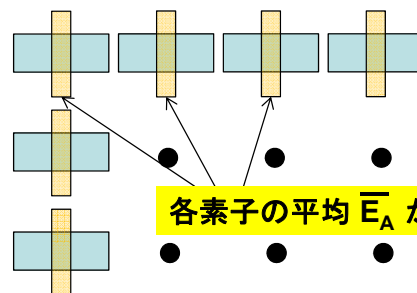
- 仮定
 - 各微細PMOSのトラップの平均活性化エネルギー $\bar{E}_A$ が素子毎にばらつく
 - $\bar{E}_A$ の分布のばらつきが正規分布
- 結論
 - 素子毎のトラップ電荷数のばらつきは対数正規分布となる
 - 従って、しきい電圧シフト量 ΔV_{th} のばらつきも対数正規分布になる
- 考察
 - 各素子の複数のトラップの平均活性化エネルギーがばらついて、 ΔV_{th} のばらつきが起こると仮定した場合には、上記結論は得られなかった
 - 実測による検証が今後の課題

$$Trapped\ Charge: N_{TC} = N_0 \exp\left(-\frac{\bar{E}_A}{kT}\right),$$

N_0 ; Average number of traps

$$f(\bar{E}_A) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(\bar{E}_A - \bar{\bar{E}}_A)^2}{2\sigma^2}\right),$$

$\bar{\bar{E}}_A$; mean value of $\bar{E}_A$



JEITA Nano Scale Physical Design Working Group

10

まとめ

- NBTI特性ばらつきの要因として;
 - 電荷の捕獲準位のポアソン過程ばらつき
 - 電荷の捕獲準位のゲート面内位置ばらつき
 - 電荷の捕獲準位の活性化エネルギーばらつきの3要因を考察した
- 検討結果
 - トラップの捕獲・放出時定数が対数正規分布のばらつきを示すことから、電荷の捕獲準位の活性化エネルギー E_a ばらつきが正規分布であることを示した
 - E_a のチップ平均 E_A が、チップ毎に正規分布でばらつくと仮定すると、NBTI ΔV_{th} ばらつきの分布形状が対数正規分布となることを示した
- 今後の課題
 - 上記結果は統計的推論であり、物理的な実測検証が必要である

JEITA Nano Scale Physical Design Working Group

11

グローバルコーナーの統計的緩和手法

JEITA Nano Scale Physical Design Working Group

1

目次

- 背景
 - 動機と目的
 - グローバル・ローカルばらつきの実測例
 - グローバルばらつきと相関
 - チップ内システマティックばらつき
 - 異なる素子・回路特性のチップ内相関
- 提案手法
 - ばらつきの新しい定義（グローバル、ローカル）
 - ローカルばらつき
 - グローバルばらつき
 - ワーストコーナー特性の統計的決定手法
- まとめ

JEITA Nano Scale Physical Design Working Group

2

動機と目的

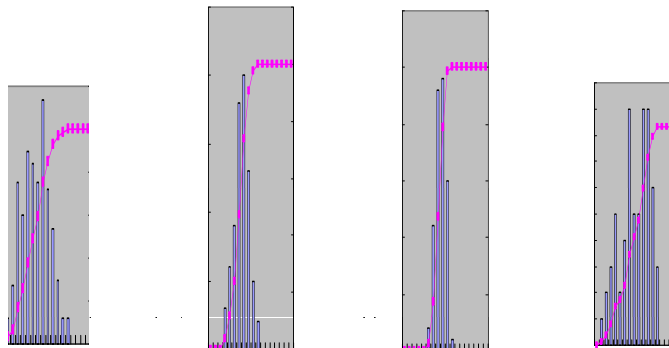
- 動機
 - グローバルばらつきのワーストコーナーの妥当性?
 - チップ上のすべての回路特性は相関=1でワーストコーナー条件になるという仮定
 - チップ上のすべての回路は一斉に同一方向に変動するか?
 - TEG実測結果1;No! チップ上の同種および異なる素子、回路特性のチップ間ばらつきは、必ずしも相関=1にならない
 - TEG実測結果2;No! 空間的に離れた回路は特性が異なる (チップ内システムティックばらつき成分の距離相関)
- 目的
 - グローバルばらつきの回路特性はチップ内で相関=1という仮定を否定した時の新しい統計的コーナーモデルの構築
 - 上記知見に基づいたグローバルコーナーの緩和手法の確立

JEITA Nano Scale Physical Design Working Group

3

グローバル・ローカルばらつきの実測例

- NMOS I_{ds} ばらつき測定例(90nm プロセス);
 - チップ間ばらつきは依然主要なばらつき要因・・・グローバル
 - チップ内ばらつきは微細MOSでランダム成分が増大・・・ローカル



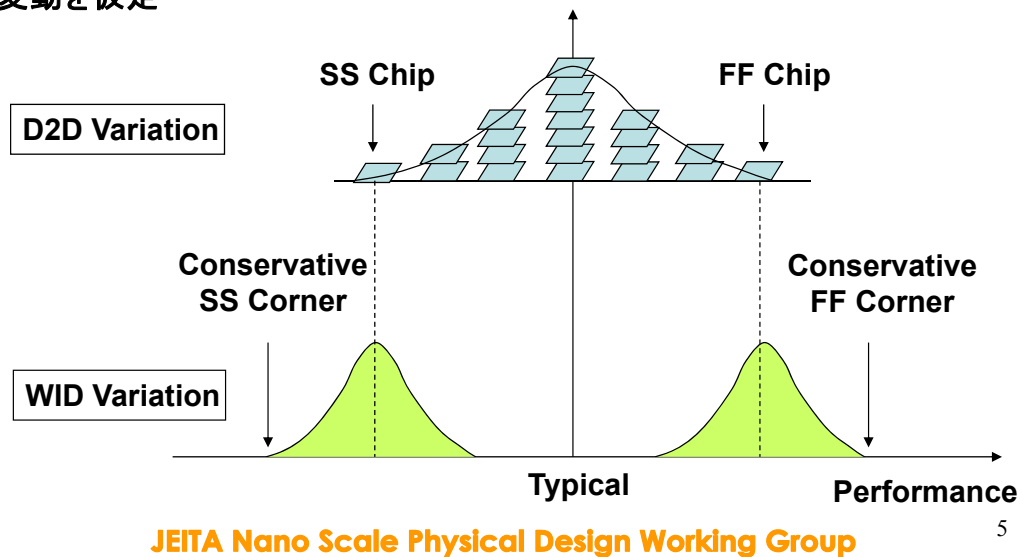
チップ内 (最小寸法素子) チップ間 (ウエハ内成分) チップ間 (ウエハ間成分) チップ間 (ロット間成分)

JEITA Nano Scale Physical Design Working Group

4

グローバル・ローカルばらつきの定義

- チップ間ばらつき=グローバルばらつき；チップ内の素子・回路はすべて同一方向・一様(相関=1)に変動することを仮定
- チップ内ばらつき=ローカルばらつき；チップ内の素子・回路は完全ランダム変動を仮定



5

グローバル・ローカルばらつきの仮定 (STA)

	Die to Die (D2D)	Within Die (WID)
Correlation Bet. Circuits	Fully Correlated (Correlation Coefficient; $r = 1.0$)	Un-correlated (Correlation Coefficient; $r = 0.0$)
Possible Var. Source	Gate Length CD Variation (ΔL_g : Normally Distributed)	Random Dopant Fluctuation (ΔV_{th} : Normally Distributed)
Variation Assumption	Always stay @ corner with $r = 1$ Chip	Randomly sampled with $r = 0$ Chip

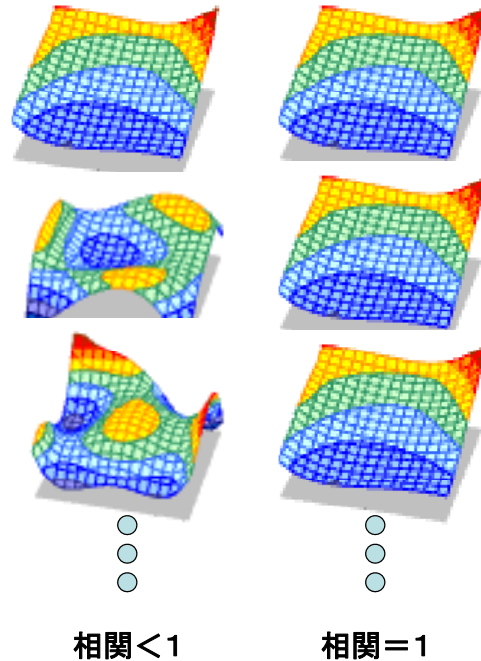
JEITA Nano Scale Physical Design Working Group

6

チップ内システムティックばらつきの扱い？

- チップ内システムティックばらつきが、同一の場合（相関=1）
→ グローバルばらつき成分
- チップ内システムティックばらつきが、異なる場合（相関<1）
→ ???
- チップ内システムティックばらつきは距離相関で特徴化（近い距離の回路間の相関は大きく、距離が離れると相関が小さくなる）

→ 相関<1のグローバルばらつき要因と考えたときの扱い！



JEITA Nano Scale Physical Design Working Group

7

グローバルばらつきと相関測定

- 測定方法1; チップ内システムティックばらつき間の相関
 - チップ内の2つの素子または回路を選択
 - 2つの素子または回路をnチップ測定
 - 2つの素子または回路の特性相関値を統計処理
- 測定方法2; チップ内システムティックばらつきの距離相関
 - 1チップ内の複数MAU (Matrix Array Unit)において素子・回路を選択
 - 同一素子または回路特性においてMAU距離と特性相関の関係を統計処理

JEITA Nano Scale Physical Design Working Group

8

測定方法1 ; チップ内システムティックばらつきの 相関_実測結果

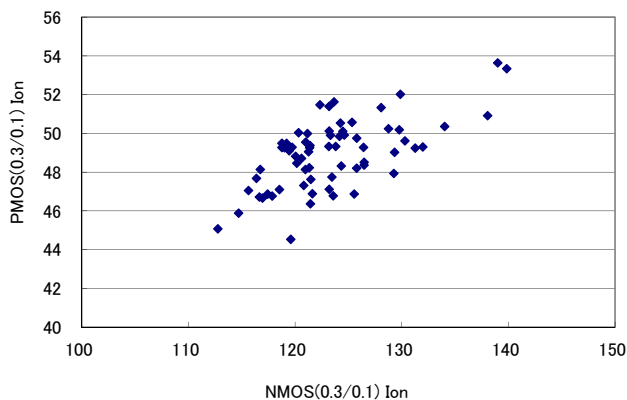
- 測定項目
 - NMOS/PMOS Ion特性相関
 - NMOS Ion特性相関
 - PMOS Ion特性相関

JEITA Nano Scale Physical Design Working Group

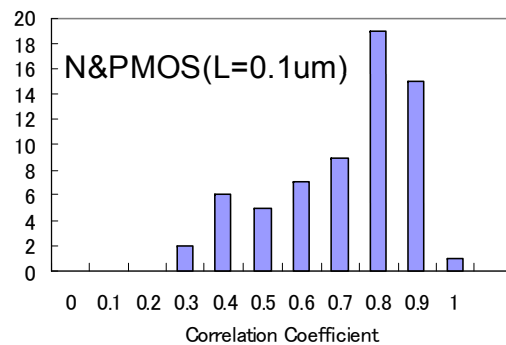
9

NMOS/PMOSのIon値相関

- NMOS と PMOS のIon特性はチップによって変動の大きさが異なる。
すなわち、両者の特性相関は $r < 1$ でTEGによって相関値の分布を持つ
- 種々のL/W寸法のTEGで測定した相関値の平均は; $r = 0.65$.



se" on fully-correlated

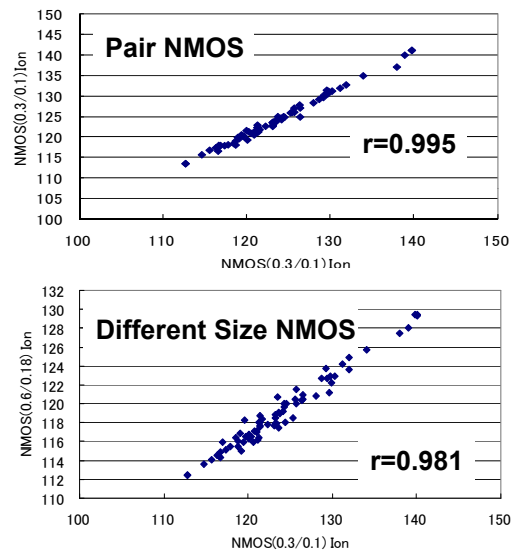


JEITA Nano Scale Physical Design Working Group

10

NMOS Ion特性相関

- 最近接レイアウトされたペア NMOS のIon相関は、予想されるように相関が1に非常に近い
- W寸法の異なるNMOS（レイアウトは比較的近距離）のIonはペア NMOSと比較して若干相関が小さくなる
- 近距離配置の場合、NMOS Ion特性の相関は概して大きい

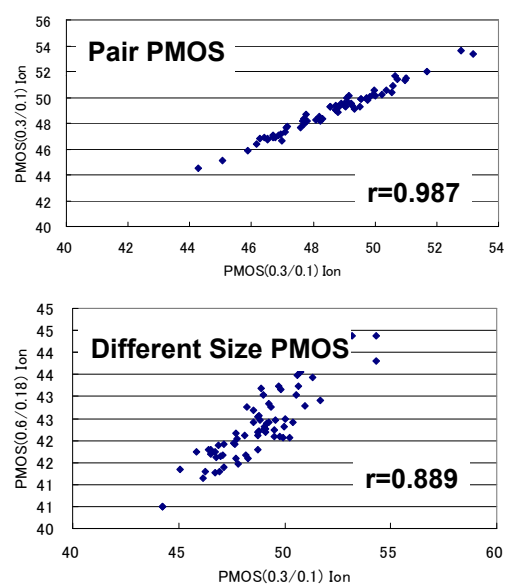


JEITA Nano Scale Physical Design Working Group

11

PMOS Ion特性相関

- 最近接レイアウトされたペア PMOS のIon相関は、相関が1に非常に近い。ペアNMOSに比べて相関性は若干劣る
- W寸法の異なるPMOS（レイアウトは比較的近距離）のIon相関はNMOSと比較して小さくなる
- PMOSはNMOSと比較して相関が低い



JEITA Nano Scale Physical Design Working Group

12

測定結果一覧

- サンプル数=72 Chips/1Wafer
- TEG数=256
- TEG内容詳細:
 - NMOS/PMOS: 26 geometries each (L,W、including Pair MOS)
 - Ring-OSCs: 20 Cell types (Logic Gates、C-loadings)
 - Metal Capacitances: 20 components (Single lines, pitched lines)
 - Metal Resistance: 16 Components (M1-M3, Geometry dependence)

Devices	Correlation statistics		
	mean	Sigma	Min
NMOS Ion	0.921	0.083	0.627
PMOS Ion	0.826	0.183	0.094
NMOS Ion vs. PMOS Ion	0.393	0.309	-0.474
Ring Oscillator Ferquency	0.928	0.065	0.736
Metal Capacitance	0.517	0.378	–
Metal Resistance	0.293	0.635	–

JEITA Nano Scale Physical Design Working Group

13

チップ内システムティックばらつきの相関; まとめ

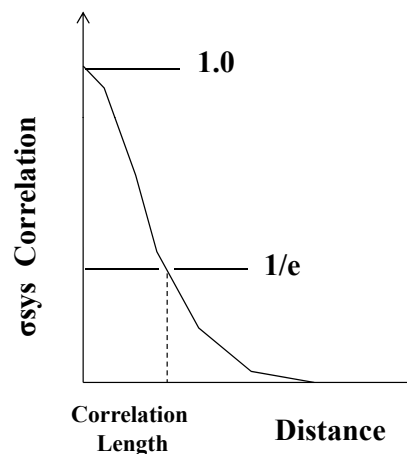
- NMOS間、PMOS間のIon特性相関・実測値は比較的近距离レイアウトの場合 $r > 0.88$ で1に近い値を示すが完全相関はとれていない
- NMOSとPMOSのIon相関は上記値に比べて相関が小さい。相関値の平均は; $r = 0.65$ である
- MOS素子のL/Wが種々異なったばあい、2種の素子のIon相関値はばらつき、ある分布を形成する
- MOS素子と比較してR, C特性の相関は非常に小さい測定結果が示されており、ばらつきも大きい

JEITA Nano Scale Physical Design Working Group

14

測定方法2;チップ内システムティックばらつきの距離相関

- 相関距離の定義
 - 特定の素子または回路の特性を一定距離離れた場合の自己相関を距離の関数としてプロットする
 - 自己相関値が($=1/e$)となる距離(右図)を相関長 λ と定義する
- 測定項目
 - NMOS Ionの相関長分布
 - PMOS Ionの相関長分布
 - リングオシレータ周波数の相関長分布

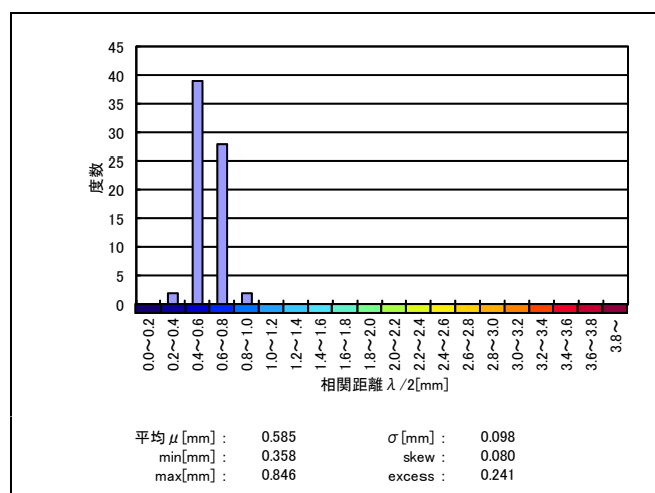


JEITA Nano Scale Physical Design Working Group

15

相関長分布; NMOS(L/W=0.1/0.3)

- NMOS Ion特性ばらつきの相関距離分布
- 平均相関距離 = 585um

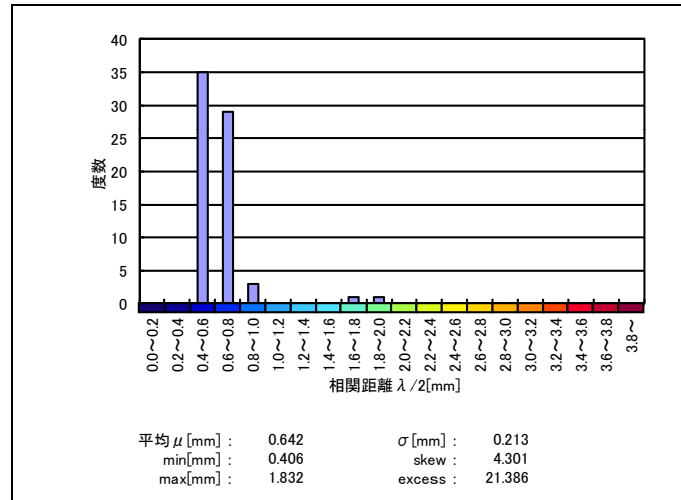


JEITA Nano Scale Physical Design Working Group

16

相関長分布; PMOS(L/W=0.1/0.8)

- PMOS Ion特性ばらつきの相関距離分布
- 平均相関距離 = 642um

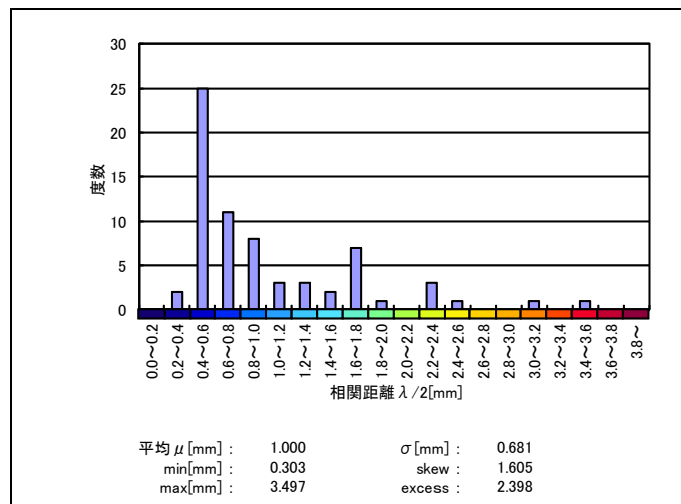


JEITA Nano Scale Physical Design Working Group

17

相関長分布; リングオシレータ回路 (Inverter, FO=1)

- リングオシレータ周波数ばらつきの相関距離分布
- 平均相関距離 = 1000um



JEITA Nano Scale Physical Design Working Group

18

チップ内システムティックばらつきの距離相関 まとめ

- NMOS, PMOSおよび回路特性のシステムティックばらつき成分は、チップ内で距離相関特性があり、相関=1の仮定は明らかに満たされない
- 実測結果では距離0.5mm～1mm離れると上記TEGの自己相関値は $r=0.37$ 程度に低下する

JEITA Nano Scale Physical Design Working Group

19

ばらつきの新しい定義(グローバル、ローカル)

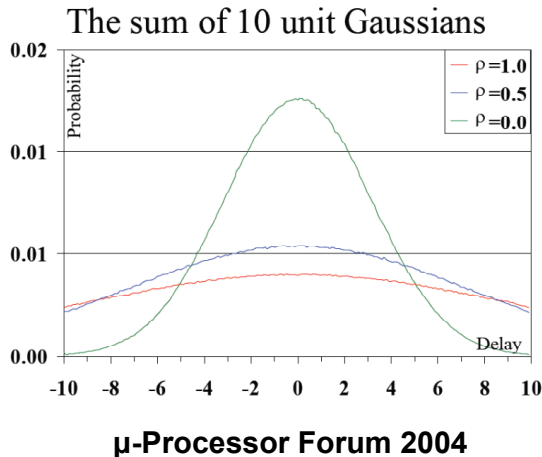
- ばらつき設計の枠組み手法
 - 従来の典型的なばらつき設計
 - グローバル; ワーストチップ、コーナー(相関=1)
 - ローカル; 統計的ランダム(相関=0)
 - マージン; チップ内システムティックばらつき
 - 新しいばらつき設計の枠組み
 - グローバル; チップ内相関考慮したワーストチップ
 - ローカル; 統計的ランダム(相関=0)
- 新しい枠組みの効果・・・コーナーマージンの緩和
 - グローバル成分の削減(相関<1)
 - マージン成分(チップ内システムティックばらつき項目)の削除

JEITA Nano Scale Physical Design Working Group

20

グローバル;チップ内相関考慮したワーストチップ

- 素子・回路のチップ内相関($r < 1.0$)の場合、 $r = 1$ の場合と比べてばらつきの分布は急峻になる
→ ばらつき標準偏差 σ の低減



グローバルコーナーは、回路
段数依存性を持つ!!:

1. 相関値 r の平均値とそのばらつき分布に依存
2. 遅延パスの回路段数に依存

グローバルコーナーは確定値
でなく、確率変数としての扱い
が必要

Statistical STAの実用化の
基礎技術

JEITA Nano Scale Physical Design Working Group

21

グローバルコーナー分布の回路段数依存 (簡単な例題)

- 計算の仮定:
 - 確率変数 $X_i = N(0, 1)$ 、変数間相関 $= r\sigma(X_i)\sigma(X_j)$
 - 確率変数の和(回路段数=3の時) $Y = X_1 + X_2 + X_3$
- 回路平均遅延
 - $\mu(Y) = E(X_1) + E(X_2) + E(X_3) = 0$
- 回路の遅延ばらつき
 - $V(Y) = V(X_1) + V(X_2) + V(X_3) + 2[Cov(X_1, X_2) + Cov(X_1, X_3) + Cov(X_2, X_3)]$
 - $\sigma(Y) = \text{SQRT}(V(Y))$
- 例;
 - 回路間相関 $r = 0$ の時: $\mu(Y) = 0$ 、 $\sigma(Y) = \text{SQRT}(3) = 1.73$
 - 回路間相関 $r = 1$ の時: $\mu(Y) = 0$ 、 $\sigma(Y) = 3$
 - 回路間相関 $r = r$ の時: $\mu(Y) = 0$ 、 $\sigma(Y) = \text{SQRT}(3 + 6r)$

JEITA Nano Scale Physical Design Working Group

22

グローバルコーナー分布の回路段数依存 (一般化)

- N段の回路接続の場合

– X ; ステージ遅延, Y ; トータル遅延, n ; 回路段数

$$Y = \sum_{i=1}^n X_i$$

where,

μ_x : mean of X_i ($i=1 \sim n$)

σ_x : standard deviation of X_i ($i=1 \sim n$)

r_x : correlation coefficient among X_i ($i=1 \sim n$)

$$\mu_y = \sum_{i=1}^n \mu_x = n \mu_x$$

$$V_y = \sum_{i=1}^n V_x + 2 \sum_{i=1}^n \sum_{j>i}^n \text{Cov}[X_i, X_j]$$

$$\sigma_y^2 = \sigma_x^2 [n + r_x n(n-1)]$$

JEITA Nano Scale Physical Design Working Group

23

従来ワーストコーナーの緩和率

- 従来のグローバルコーナー σ 値に対する緩和係数 k を以下の式で定義;

$$k(n, r_x) = \frac{\sigma_y(r_x)}{\sigma_y(r_x = 1)}$$

$$\therefore k(n, r) = \frac{1}{n} \sqrt{n + r n(n-1)}$$

$$k^2 = r \quad @ \quad n \rightarrow \infty$$

- Note; 緩和係数は、相関値 r と回路段数 n の関数

JEITA Nano Scale Physical Design Working Group

24

グローバルばらつきの相関値が分布をもつ場合の コーナー緩和係数分布

- 統計量
 - 相関係数分布;
 - 平均; μ_r , 標準偏差; σ_r
 - コーナー緩和係数分布;
 - 平均; μ_k , 標準偏差; σ_k
- 相関係数分布とコーナー緩和係数分布の関係式 [11]

$$\mu_k = \frac{1}{\sqrt{3}} \sqrt{\mu_r + \sqrt{4\mu_r^2 - 3\sigma_r^2}}$$

$$\sigma_k^2 = \frac{1}{3} \left\{ 2\mu_r - \sqrt{4\mu_r^2 - 3\sigma_r^2} \right\}$$

- グローバル・ローカルばらつきの統計モデル
 - グローバル: $f(k) = N(T_{typ} + \Delta T \mu_k, \Delta T \sigma_k)$, $\Delta T = 3\sigma_{D2D}$
 - ローカル: $g(x) = N(0, \sigma_{md})$

JEITA Nano Scale Physical Design Working Group

25

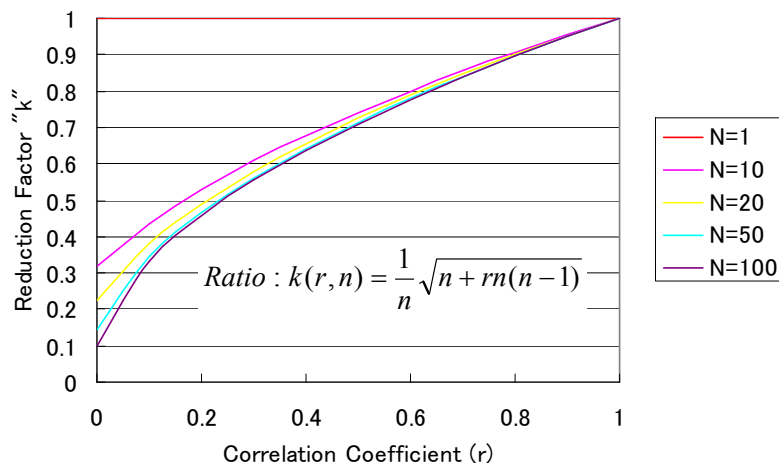
グローバルコーナーの削減効果の計算 パラメータ; 相関係数 r 、回路段数 n

従来比グローバルコーナーの削減効果; 統計的マージン削減

$r=0.8 \rightarrow$ 削減率: $k=0.90$

$r=0.6 \rightarrow$ 削減率: $k=0.80$

$r=0.37 \rightarrow$ 削減率: $k=0.60$

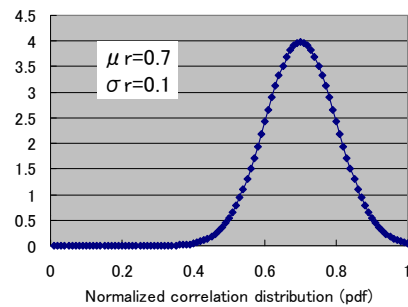


JEITA Nano Scale Physical Design Working Group

26

チップ内回路相関 r が分布を持つ場合の 回路遅延ばらつき削減率（統計計算）

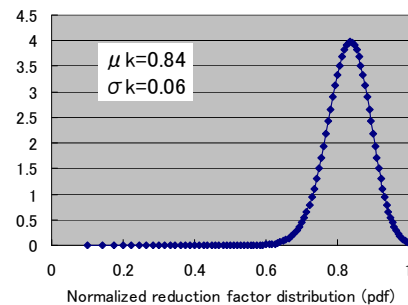
- 計算の仮定;
回路相関係数分布;正規分布
平均値=0.7
標準偏差=0.1



コーナー削減係数分布計算

平均値=0.84
標準偏差=0.06

- 平均16% のコーナー条件削減
ができる



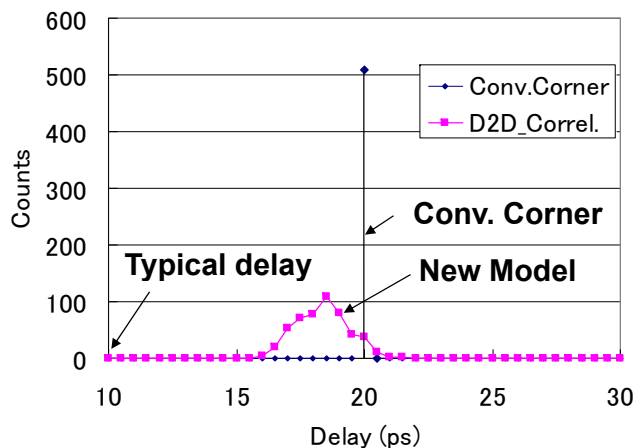
JEITA Nano Scale Physical Design Working Group

27

グローバルコーナー統計モデル計算例

グローバルばらつき相関の実測値を用いた、ワーストコーナーの緩和特性予測

→ 従来比コーナー緩和率; 平均10%、最大20%



計算条件;

(1) グローバル相関分布
 $\mu_r=0.672$, $\sigma_r=0.174$

(2) 遅延分布
typical delay=10ps
worst delay=20ps

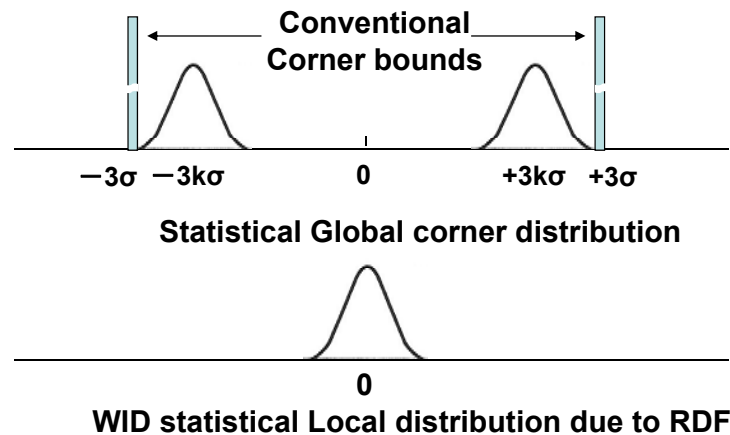
(3) 回路段数
 $N>10$

JEITA Nano Scale Physical Design Working Group

28

SSTA統計的ばらつきモデルの概念図

- グローバルばらつきコーナー分布の表現
 - グローバル(ワースト)コーナーばらつき・・・SSコーナー分布
 - グローバル(ベスト)コーナーばらつき・・・FFコーナー分布
- ローカルばらつき統計分布表現
 - ローカル(ランダム)ばらつき・・・正規分布



JEITA Nano Scale Physical Design Working Group

29

まとめ

- グローバルばらつきコーナーは相関特性を考慮することで平均10%低減することができる。
- グローバルばらつき相関の分布を考慮すると、コーナー値は統計分布として定義される
- 上記結果を基に、SSTA(Statistical STA) で;
 - グローバルばらつき; FF & SSコーナー分布
 - ローカルばらつき; ランダム統計分布
 を扱う、統計的遅延分布解析手法の新しい枠組みと方法論の基礎技術を提案した

JEITA Nano Scale Physical Design Working Group

30

参考文献

- [1] H. Masuda et al., "Challenge: variability characterization and modeling for 65- to 90-nm processes," Proc. of CICC, pp. 593-599, Sep. 2005.
- [2] S. Samaan, "The impact of device parameter variations on the frequency and performance of microprocessor Circuits," ISSCC, Microprocessor Forum, 2004.
- [3] S. Ohkawa, et al., "Analysis and characterization of device variations in an LSI chip using an integrated Device Matrix Array," IEEE Trans. on Semiconductor Manufacturing, vol. 17, pp. 155-165, May 2004.
- [4] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," IEEE J. Solid-State Circuits, vol. 24, pp. 1433-1440, Oct. 1989.
- [5] K. Takeuchi, "Device characteristics variabilities and RTN," VLSI Symposium, Tutorial, June 2011.
- [6] T. Grasser et al., "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability," Proc. of IRPS, pp. 16-25, 2010.
- [7] T. Sakata et al., "Variability analysis of delay degradation on CMOS driver circuit due to NBTI effect," Proc. of DA Symposium (in Japanese), Sep. 2011.
- [8] M. Aoki, S. Ohkawa, and H. Masuda, "Design guide and process quality improvement for treatment of device variations in an LSI chip," Proc. of ICMTS, pp. 201-206, Mar. 2004.
- [9] K. Takeuchi et al., "Random fluctuations in scaled MOS devices," Proc. of SISPAD, pp. 1-7, Sep. 2009.
- [10] C. Visweswariah, "Statistical timing of digital integrated circuits," ISSCC, Microprocessor Forum, 2004.
- [11] R. E. Schumacker and G. A. Marcoulides, "Interaction and nonlinear effects in structural equation modeling," Lawrence Erlbaum Associates, Inc., p.189, 1998.
- [12] D. N. Netrabile et al., "Enablement of statistical static timing sign-off methodology using industry standard library timing model for 32nm," DAC 2010, User-track, June 2010.

JEITA Nano Scale Physical Design Working Group

31

配線コーナー条件の 22nmプロセスへの適用評価

JEITA Nano Scale Physical Design Working Group

1

目次

- 背景と目的
- 配線コーナー評価
 - 評価方針
 - 評価結果
 - 結果解析
- まとめ

JEITA Nano Scale Physical Design Working Group

2

背景と目的

- 背景
 - タイミング検証サインオフに必要なコーナー条件は、配線ばらつきだけでもCmax, RCmax, Cmin, RCminが一般に用いられており、温度条件、電圧条件、トランジスタばらつき条件等を加えると、そのコーナー条件数は膨大となっている。特にHold検証においては、送信側・受信側のパス遅延ばらつきの影響を受けやすく、コーナー条件が複雑化している。
 - コーナー条件数は、タイミング検証時間の増加を招き、またタイミング収束性の悪化を招いている。
 - そのため、必要かつ最小限となるコーナー条件の適正化が望まれている。
- 目的
 - 22nmプロセスを想定し、タイミング検証に必要最小限なコーナー条件を明確化すること
 - 上記結果に基き、コーナー条件削減する手法を検討すること

JEITA Nano Scale Physical Design Working Group

3

配線コーナー評価方針

- 以下の条件下で、各配線長におけるコーナー条件と遅延の関係を調査する
 - 配線断面形状はITRSロードマップに準拠
 - 配線膜厚/幅/層間膜厚ばらつき量は、それぞれ5nm(3σ)とする
 - 配線長範囲: 3 μ m~500 μ mとする
 - ドライバサイズは、x1およびx8とする
 - 配線コーナー条件は下記の常温5条件とする
 - Nominal MaxC MaxRC MinC MinRC

JEITA Nano Scale Physical Design Working Group

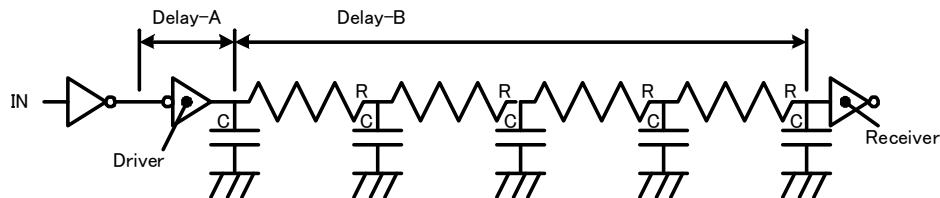
4

評価回路

SPICEモデル : PTM 22nm LP (Bulk)
 SPICE電流モデル : BSIM4
 電源電圧(VDD) : 0.95V
 基本INV (INV - X32) : PMOS (W=135nm * 22 / 45, L=22nm)
 : NMOS (W=90nm * 22 / 45, L=22nm)
 ~Nangate社45nmライブラリの基本INVを使用

下図の等価回路を用いて、RCのばらつき成分が遅延時間に及ぼす影響について調査

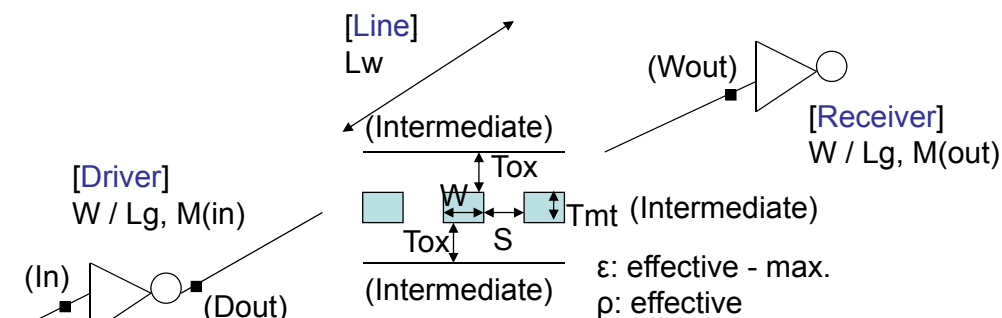
Delay - A : セル遅延 (Driver Delay)
 Delay - B : 配線遅延 (Wire Delay)



JEITA Nano Scale Physical Design Working Group

5

評価フロー



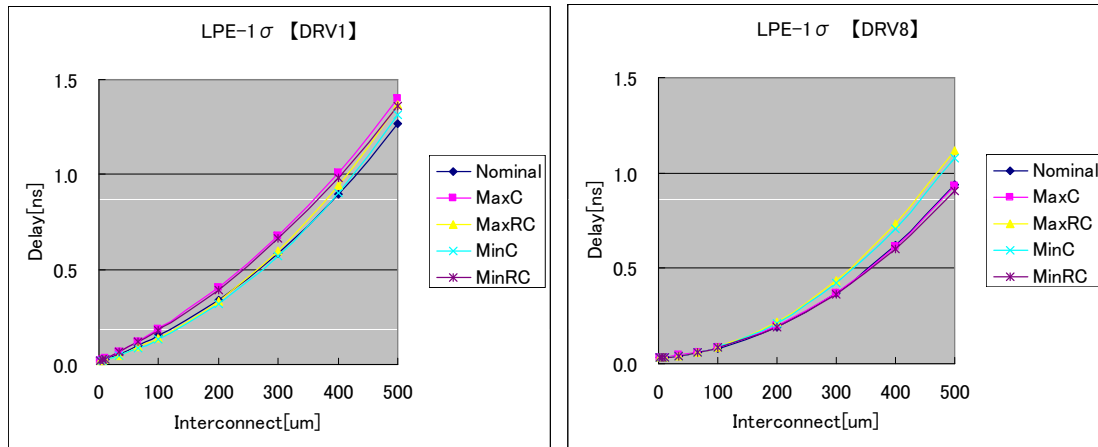
1. Typical のRC値から22nm相当のW / Lgに換算した
Nangate45nm(LP) ライブラリ、およびPTM22nmノパラメータを使用

JEITA Nano Scale Physical Design Working Group

6

コーナー遅延比較結果

各コーナー条件、配線長に対するパス遅延の評価結果を以下に示す。



- 配線長増大につれて、各条件共遅延増加(増加率は各条件毎に異なる)
- ドライブ大(Ron小)の方が配線長増加影響小
- ドライブ1ではCコーナー、ドライブ8ではRCコーナーが支配的

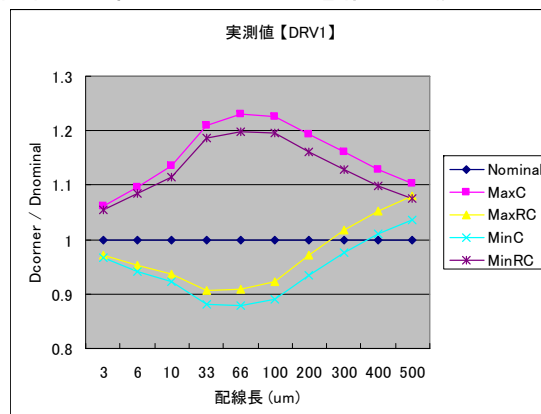
JEITA Nano Scale Physical Design Working Group

7

コーナー遅延相対比較(Drive1)

ドライブ1に関して各コーナー遅延のNominalに対する比率を示す。

ー 配線長に依存した各コーナー遅延を相対比較



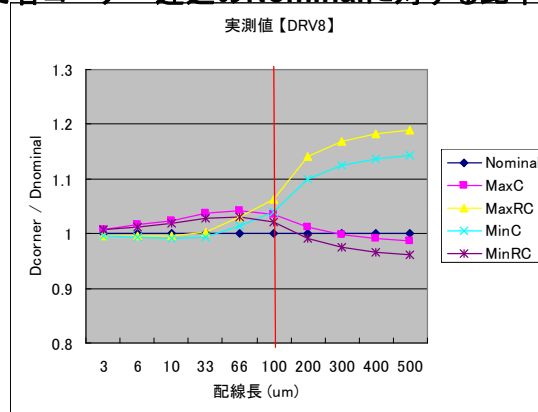
- 配線長500μm以下ではMaxCが遅延ワースト条件となる
- 配線長400μm以下ではMinCが遅延ベスト条件だが、配線長が400μmを超えると各条件ともNominalより遅延大となる
- 配線長100μm付近にCコーナー幅の極大点が存在する

JEITA Nano Scale Physical Design Working Group

8

コーナー遅延相対比較 (Drive8)

ドライブ8に関して各コーナー遅延のNominalに対する比率を示す。



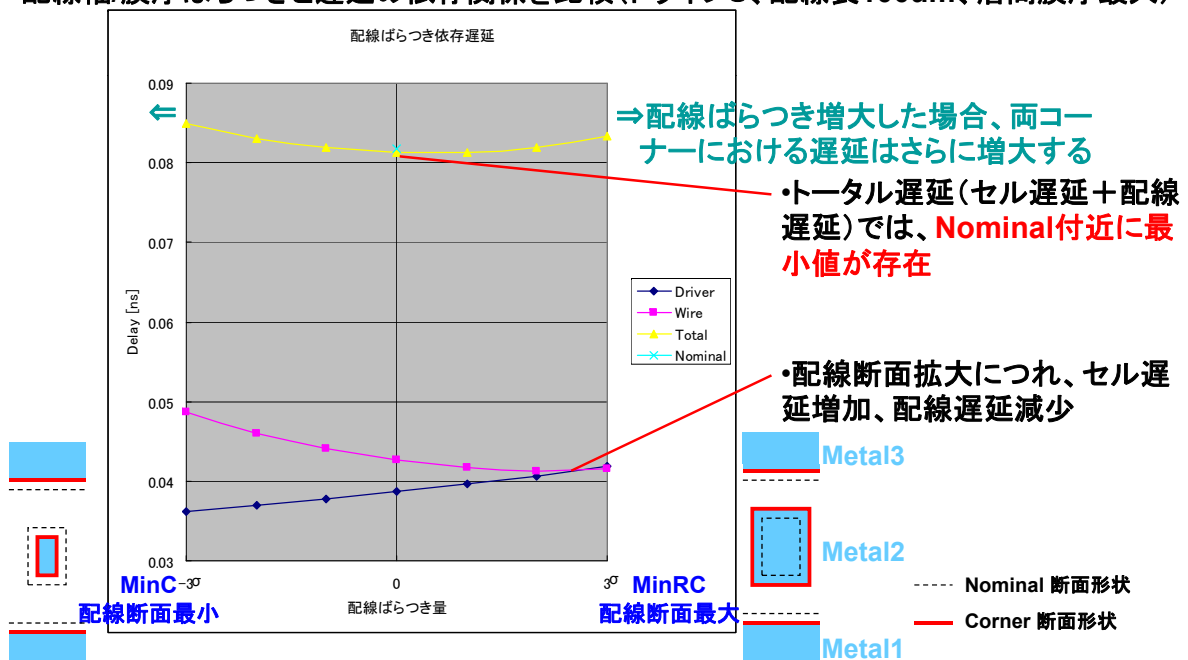
- MaxCが遅延ワーストとなるのは配線長100um以下、100umを越えるとMaxRCが遅延ワーストとなる
- 配線長50um以下ではMinCが遅延ベスト条件だが、50umを超えると各条件ともNominalより遅延大となる。配線長200umを超えてMinRC条件が遅延ベスト条件となる
- 配線長最大でRCコーナー幅(遅延比)も最大となる

JEITA Nano Scale Physical Design Working Group

9

遅延v.s.配線断面

配線幅/膜厚ばらつきと遅延の依存関係を比較(ドライブ8、配線長100um、層間膜厚最大)



JEITA Nano Scale Physical Design Working Group

結果の解析

- 22nmプロセスにおける配線コーナー条件に関して以下の知見を得た
 - 従来考えられていたMaxC, MinC, MaxRC, MinRCの4コーナーのみでは、配線コーナーをカバーできないことが判明した。特にドライバサイズ×8では、配線長100um程度でNominal条件が遅延ベストとなり得る
 - 微細化、ばらつき増大により、さらにMax条件Min条件の遅延はさらに増大し、相対的にNominal条件の遅延は減少する。これは、配線断面最大時には容量増による遅延増、断面最小時には抵抗増による遅延増の影響と考えられる
 - Min条件にNominal条件を加えることでコーナー漏れのリスクは軽減される
 - ドライバサイズ最小の場合、400um以上の配線を負荷することがないとすれば、コーナーはMaxCおよびMinCでカバーすることが可能である

JEITA Nano Scale Physical Design Working Group

11

まとめ

- 22nmプロセスを想定し、配線長に依存してどの条件がコーナー条件となり得るかを評価した。評価の結果、微細プロセスでは、従来考えられていたMaxC MinC MaxRC MinCの4条件のみでは、配線コーナーをカバーできず、検証漏れとなる可能性が明確になった
- 微細プロセスにおいて、配線コーナーを適正にカバーするためには、配線長、ドライバサイズを考慮する必要がある。一方、コーナー数削減のためにはドライバ毎に負荷配線長に制約を与えることが有効であると考えられる
- 今後、配線コーナー条件を必要最小限に抑えるための制約条件の調査を行う。特にHold検証に着目しコーナー条件数の最適化および削減をはかっていく。

JEITA Nano Scale Physical Design Working Group

12

SSPEFフォーマットのパラメータ抽出と 22nmプロセスへの適用評価

JEITA Nano Scale Physical Design Working Group

1

目次

- 背景と目的
- SSPEF配線パラメータ抽出
 - 抽出方法
 - 精度評価
 - 結論
- まとめ

JEITA Nano Scale Physical Design Working Group

2

背景と目的

- 背景 ; 2010年度の活動内容
 - 22nmプロセスを想定し、配線ばらつき込みネットリストフォーマット Sensitivity - SPEF (IEEE1394 - 2009)[1] の誤差評価を行った
 - 配線幅、配線膜厚、絶縁膜厚の3変数をパラメータとした場合、近似方法に関わらず、30%を超える容量誤差が発生した
 - 配線幅 / 配線間膜厚 (W / T_{ox})、配線膜厚 / 配線間隔 (T_{mt} / S) の2変数をパラメータとすることを提案し、容量誤差を3%にできることを示した
- 2011年度の活動目的
 - 22nmプロセスを想定し、SSPEFの最適パラメータ抽出手法を確立すること
 - IEEE1394にて定義されているモデル(感度式1)、および市販ツール等一般に用いられているモデル(感度式2)における精度評価を実施し、実用的パラメータ抽出方法を提示する

JEITA Nano Scale Physical Design Working Group

3

SSPEF配線パラメータ抽出

- 抽出方法の検討
 - 配線ばらつき量は 1σ あたり5nmとする
 - 配線ばらつき抽出のサンプル点の選択方法
 - $\pm 1\sigma$ 、 $\pm 2\sigma$ 、 $\pm 3\sigma$ 点
 - パラメータ抽出方法
 - CCF実験計画 + RSM(最小自乗法)
 - 評価指標
 - 評価データ点 ; $0 \sim \pm 3\sigma$ の全データ点での誤差
 - 誤差定義 ; 2乗平均誤差、最大誤差
- 上記検討内容にて、最適サンプル点の選び方を決定する

JEITA Nano Scale Physical Design Working Group

4

3D配線構造RC抽出条件

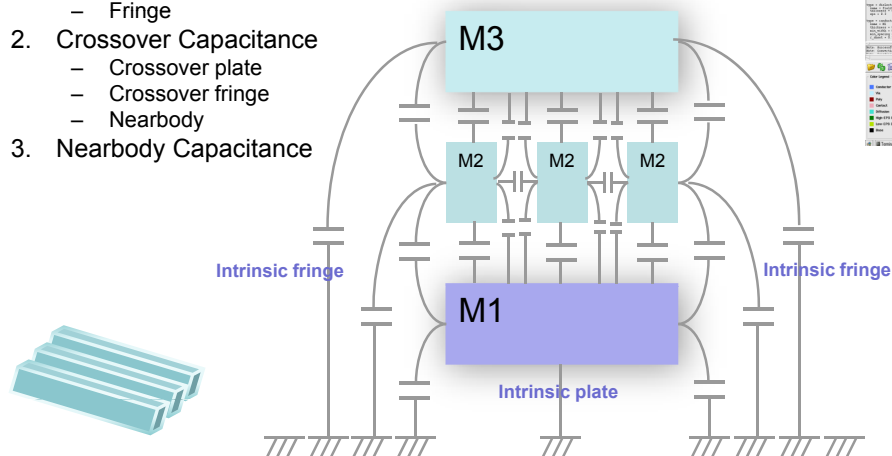
- 抽出環境
 - プロセス・パラメタ校正: Calibre xCalibrate v.2011.1_15.11
 - レイアウト抽出: Calibre xACT 3D v.2011.1_15.11
 - OS: Red Hat Enterprise Linux 5 64bit
 - Workstation 6.5 - 7,x 仮想マシン
- データ・ベース作成手順
 - 各プロセスノードに対応する配線膜厚 $Mt(t)$ と絶縁膜厚 $Tox(t)$ に関わる条件ファイル(.mipt)を作成、プロセス縦構造のパラメータ補正係数を抽出
 - 想定したプロセスノードに対応するプロセスの変動分を加味したレイアウトをそれぞれ作成
- RC抽出
 - 上記で抽出した補正係数を使用しExtraction実行
 - もとのネットリストにバック・アノテーションされた結果から、単位長さ当たりの寄生容量値、寄生抵抗値を算出

JEITA Nano Scale Physical Design Working Group

5

使用3D配線断面構造

- Parasitic Capacitances
 - Intrinsic Capacitance
 - Plate
 - Fringe
 - Crossover Capacitance
 - Crossover plate
 - Crossover fringe
 - Nearbody
 - Nearbody Capacitance



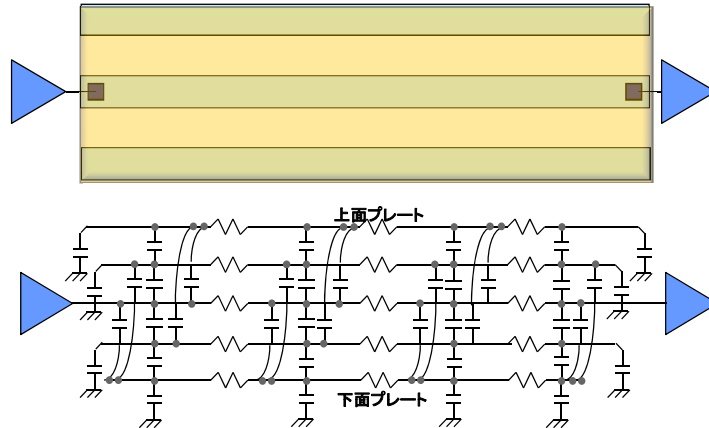
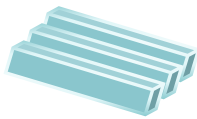
- 複雑な寄生容量は、単純な面間容量計算だけでは推定困難
- Field Solver Baseの高精度容量抽出を使用 [2]-[6]

JEITA Nano Scale Physical Design Working Group

6

使用3D配線レイアウト形状

- Parasitic Capacitances
- 1. Intrinsic Capacitance
 - Plate
 - Fringe
- 2. Crossover Capacitance
 - Crossover plate
 - Crossover fringe
 - Nearbody
- 3. Nearbody Capacitance

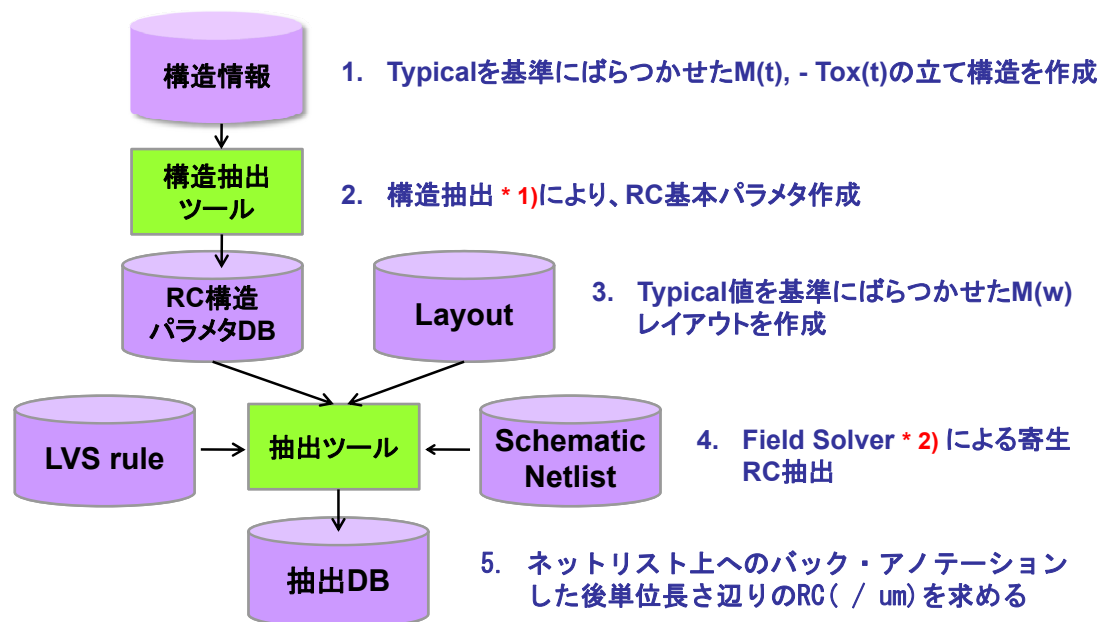


- 複雑な寄生RC値は、単純な面間容量計算だけでは推定困難
- Field Solver Baseの高精度容量抽出を使用 [2]-[6]

JEITA Nano Scale Physical Design Working Group

7

3D構造抽出フロー



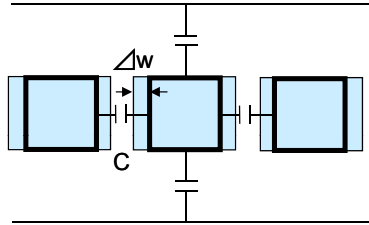
* 1) Calibre xCalibrate v.2011, * 2) Calibre xACT 3D v.2011

JEITA Nano Scale Physical Design Working Group

8

Sensitivity SPEFと感度式1

- ばらつきパラメータの変動に対するRLC感度情報を付加した
SPEF(Standard Parasitic Exchange Format)感度式



Interconnect cross - section

$$C(p) = C_0 \times \left(\left(1 + \sum_j (cn_j \Delta v_j) \right) / \left(1 + \sum_i (cd_i \Delta v_i) \right) \right)$$

$$L(p) = L_0 \times \left(\left(1 + \sum_j (ln_j \Delta v_j) \right) / \left(1 + \sum_i (ld_i \Delta v_i) \right) \right)$$

$$R(p, T) = R_0 \times \left((1 + a \times \Delta T + b \times \Delta T^2) \times \left(\left(1 + \sum_j (rn_j \Delta v_j) \right) / \left(1 + \sum_i (rd_i \Delta v_i) \right) \right) \right)$$

$$cn_j = ((\partial C(p) / \partial p_j) / C_0) \times NF(p_j) \quad cd_i = ((\partial C^{-1}(p) / \partial p_i) / (1/C_0)) \times NF(p_i)$$

$$ln_j = ((\partial L(p) / \partial p_j) / L_0) \times NF(p_j) \quad ld_i = ((\partial L^{-1}(p) / \partial p_i) / (1/L_0)) \times NF(p_i)$$

$$rn_j = ((\partial R(p) / \partial p_j) / R_0) \times NF(p_j) \quad rd_i = ((\partial R^{-1}(p) / \partial p_i) / (1/R_0)) \times NF(p_i)$$

$$\Delta v_i = VC(p_i) \times VM(p_i)$$

$$VC(p_i) = \sigma(p_i) / NF(p_i)$$

$$a = (\partial R / \partial T) / R_0$$

$$b = (\partial^2 R / \partial T^2) / R_0$$

$$\Delta T = T - T_0$$

感度式1

$$cn_1 = (\partial C(W) / \partial W) / C_0 \times NF(W), \quad cn_2 = (\partial C(T_{mt}) / \partial T_{mt}) / C_0 \times NF(T_{mt}),$$

$$cd_1 = (\partial C(S) / \partial S) / C_0 \times NF(S), \quad cd_2 = (\partial C(T_{ox}) / \partial T_{ox}) / C_0 \times NF(T_{ox}),$$

$$rd_1 = (\partial R(W) / \partial W) / R_0 \times NF(W), \quad rd_2 = (\partial R(T_{mt}) / \partial T_{mt}) / R_0 \times NF(T_{mt}),$$

JEITA Nano Scale Physical Design Working Group

9

感度式1の特徴

感度式1

$$cn_1 = (\partial C(W) / \partial W) / C_0 \times NF(W), \quad cn_2 = (\partial C(T_{mt}) / \partial T_{mt}) / C_0 \times NF(T_{mt}),$$

$$cd_1 = (\partial C(S) / \partial S) / C_0 \times NF(S), \quad cd_2 = (\partial C(T_{ox}) / \partial T_{ox}) / C_0 \times NF(T_{ox}),$$

$$rd_1 = (\partial R(W) / \partial W) / R_0 \times NF(W), \quad rd_2 = (\partial R(T_{mt}) / \partial T_{mt}) / R_0 \times NF(T_{mt}),$$

特徴:

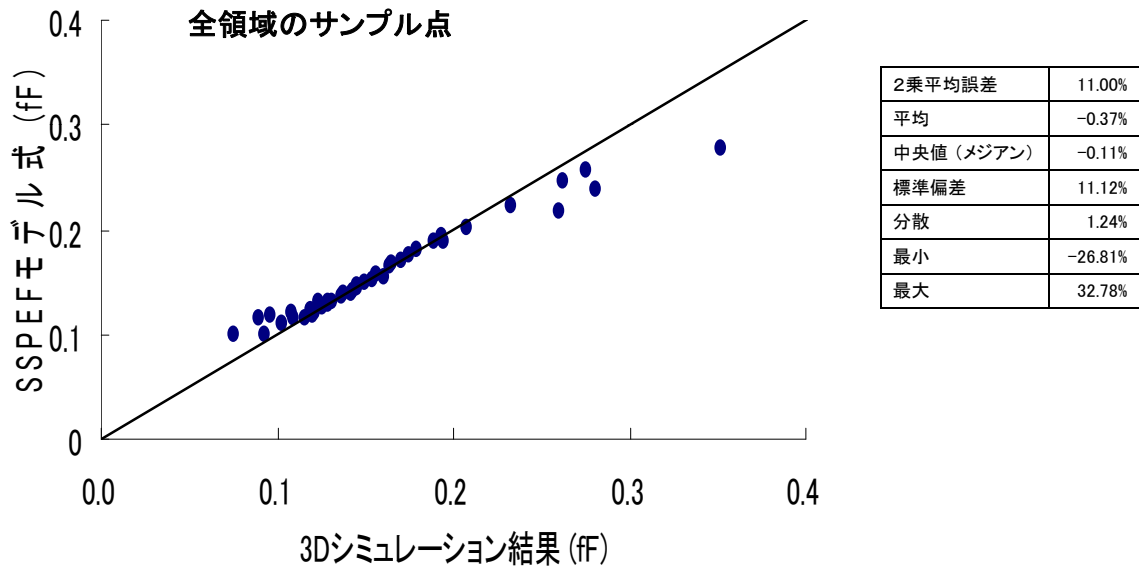
各ばらつきパラメータ(W, T, S)に対し、正の相関をもつ項をcn, rn に、
負の相関をもつ項をcd, rd とする。(SSPEF本来の感度式)

JEITA Nano Scale Physical Design Working Group

10

±1σサンプルによるSSPEFパラメータ抽出

1. 容量(感度式1)

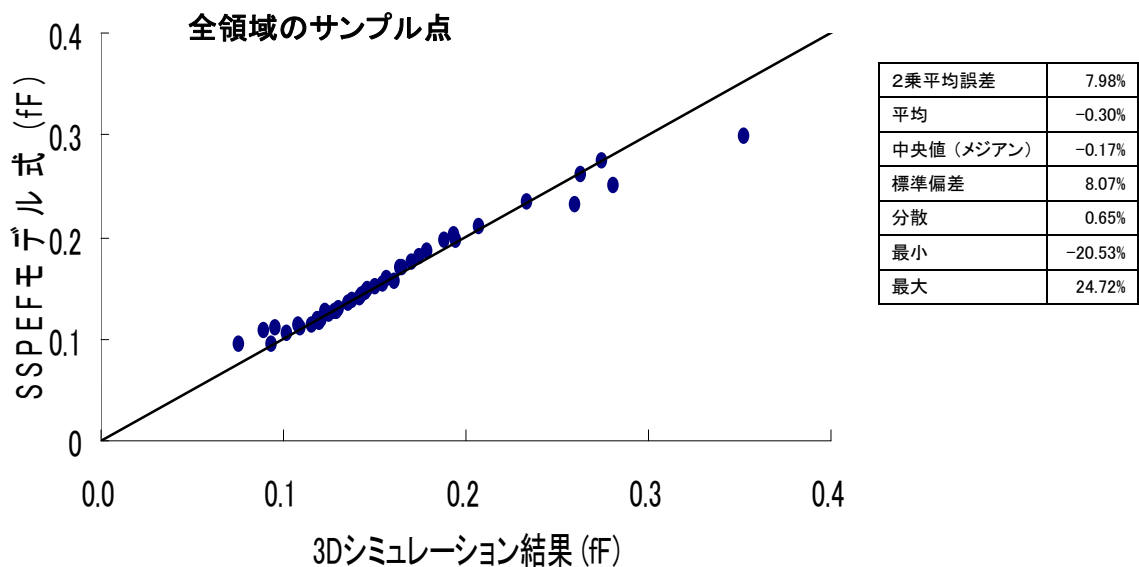


JEITA Nano Scale Physical Design Working Group

11

±2σサンプルによるSSPEFパラメータ抽出

1. 容量(感度式1)

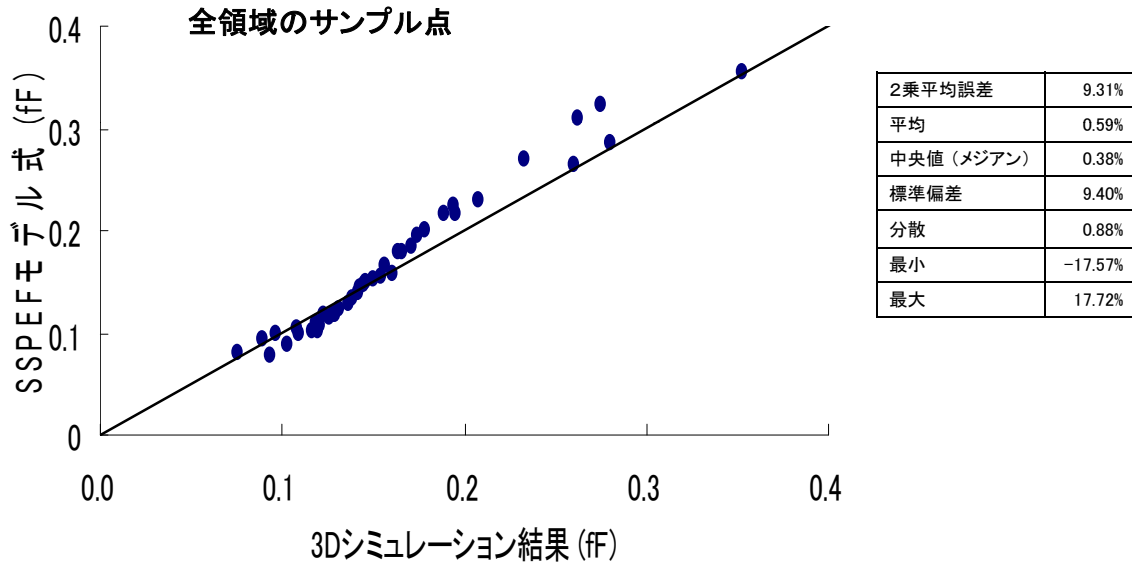


JEITA Nano Scale Physical Design Working Group

12

±3σサンプルによるSSPEFパラメータ抽出

1. 容量(感度式1)

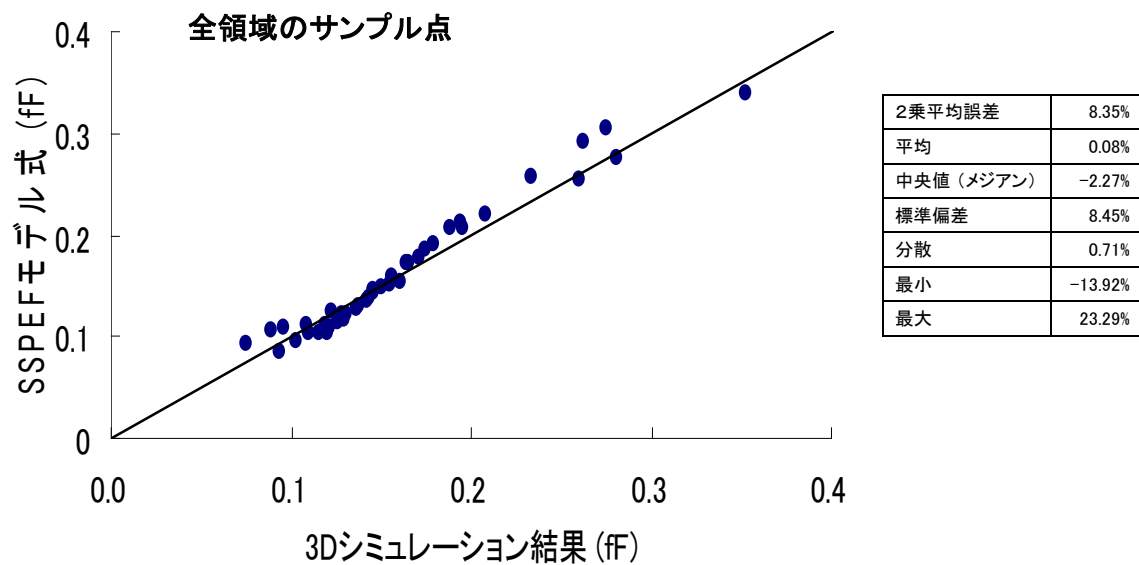


JEITA Nano Scale Physical Design Working Group

13

全サンプルによるSSPEFパラメータ抽出

1. 容量(感度式1)



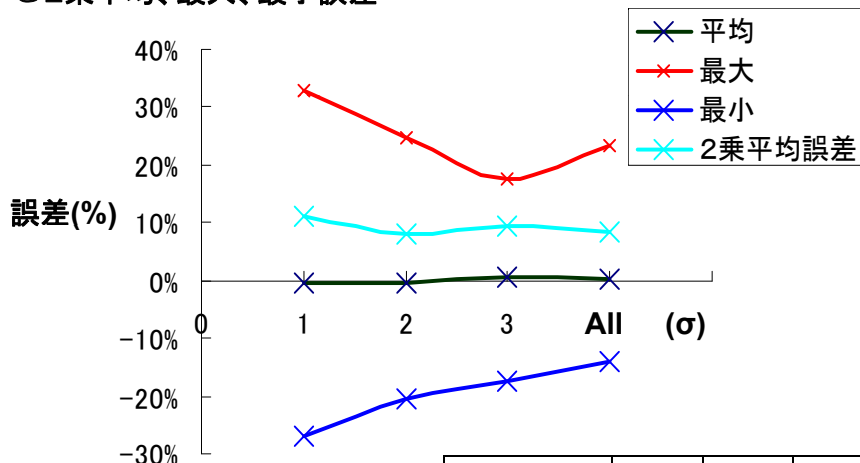
JEITA Nano Scale Physical Design Working Group

14

サンプル点の選び方(感度式1)

1. 容量(感度式1)

22nmプロセス配線では、サンプル点は3 σ を取るのがベスト
@2乗平均、最大、最小誤差

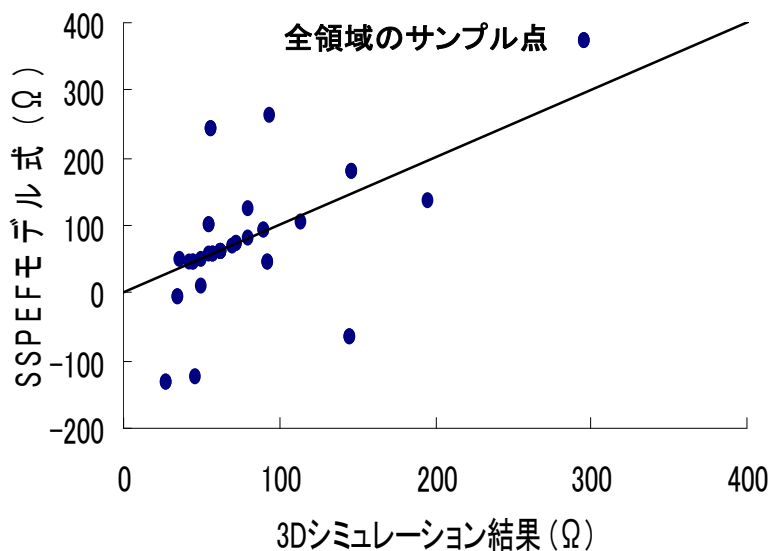


JEITA Nano Scale Physical Design Working Group

15

±1 σ サンプルによるSSPEFパラメータ抽出

2. 抵抗(感度式1)



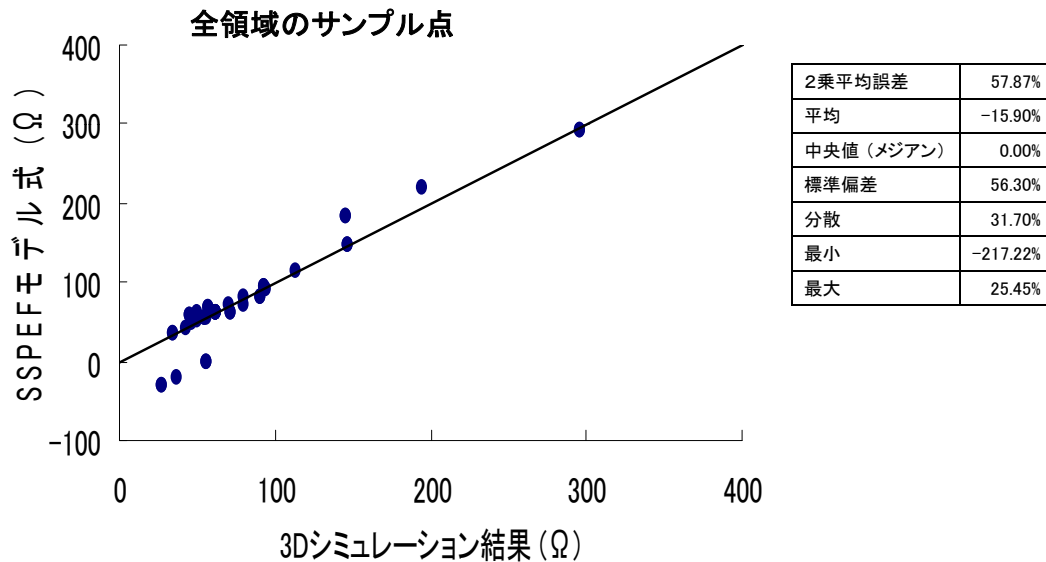
2乗平均誤差	165.76%
平均	-25.56%
中央値(メジアン)	0.00%
標準偏差	165.72%
分散	274.63%
最小	-588.80%
最大	331.32%

JEITA Nano Scale Physical Design Working Group

16

±2σサンプルによるSSPEFパラメータ抽出

2. 抵抗(感度式1)

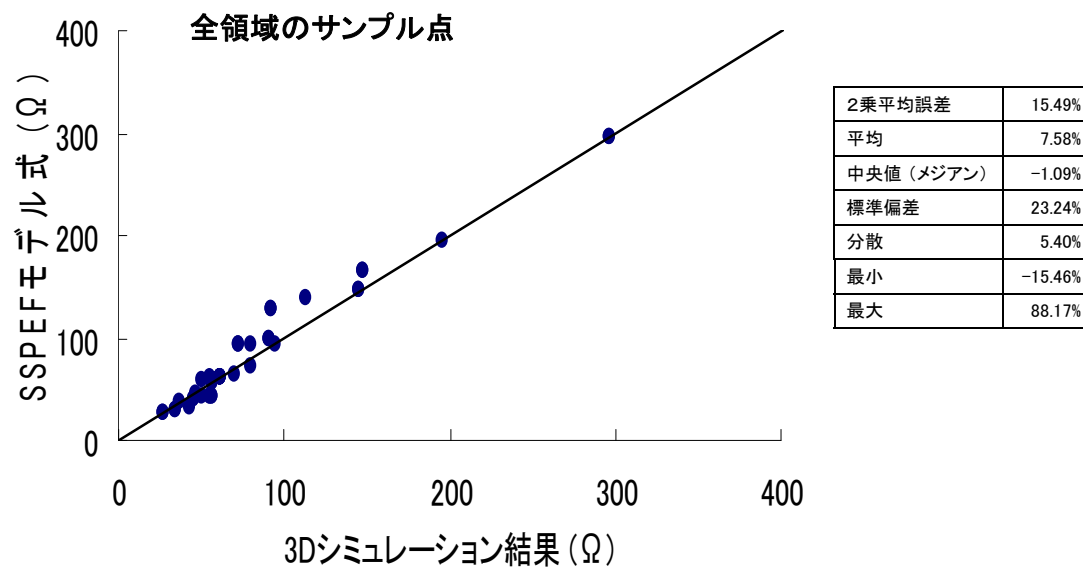


JEITA Nano Scale Physical Design Working Group

17

±3σサンプルによるSSPEFパラメータ抽出

2. 抵抗(感度式1)

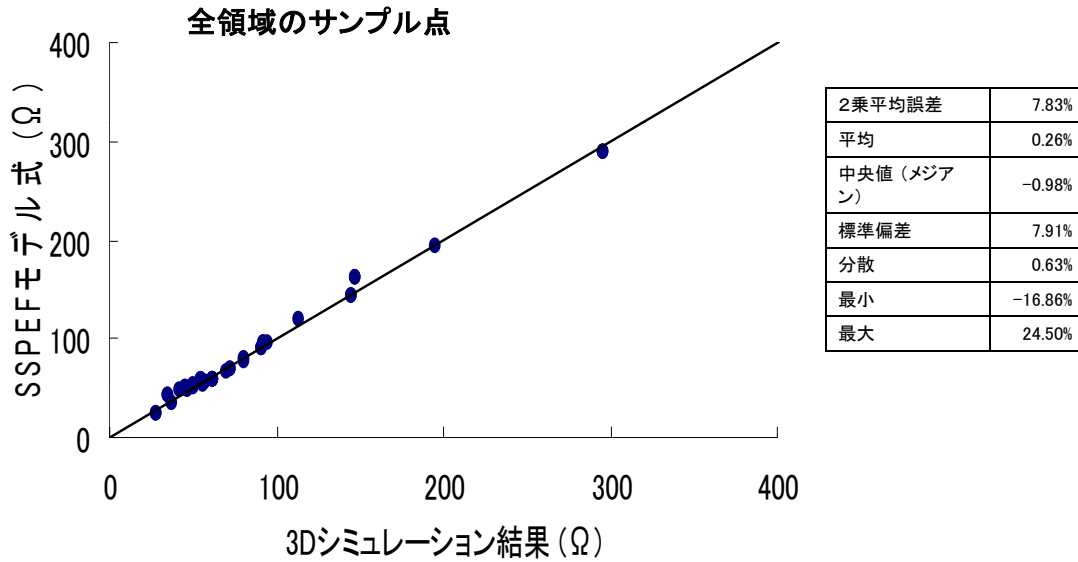


JEITA Nano Scale Physical Design Working Group

18

全サンプルによるSSPEFパラメータ抽出

2. 抵抗(感度式1)



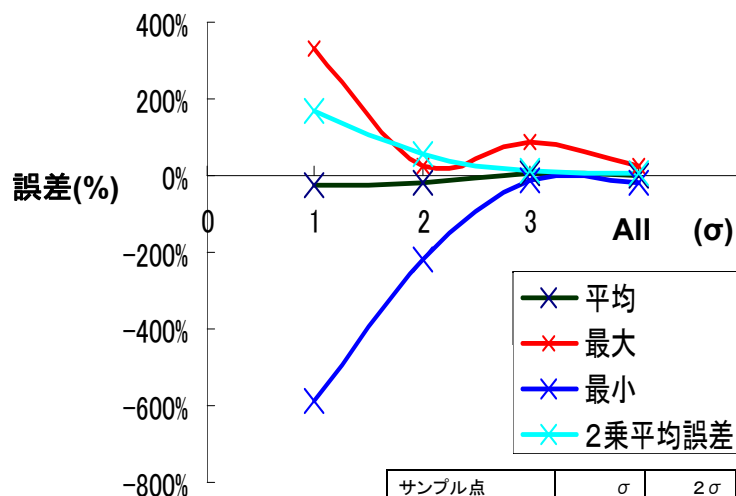
JEITA Nano Scale Physical Design Working Group

19

サンプル点の選び方(感度式1)

2. 抵抗(感度式1)

22nmプロセス配線では、サンプル点は3 σ を含めるのがマスト
@2乗平均、最小誤差

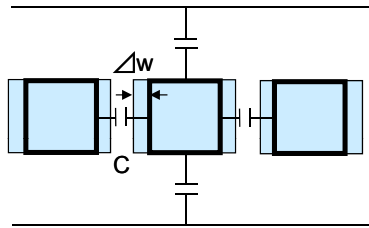


JEITA Nano Scale Physical Design Working Group

20

Sensitivity SPEFと感度式2

- ばらつきパラメータの変動に対するRLC感度情報を付加した
SPEF(Standard Parasitic Exchange Format)感度式



Interconnect cross - section

$$C(p) = C_0 \times \left(\left(1 + \sum_j (cn_j \Delta v_j) \right) / \left(1 + \sum_i (cd_i \Delta v_i) \right) \right)$$

$$L(p) = L_0 \times \left(\left(1 + \sum_j (ln_j \Delta v_j) \right) / \left(1 + \sum_i (ld_i \Delta v_i) \right) \right)$$

$$R(p, T) = R_0 \times \left((1 + a \times \Delta T + b \times \Delta T^2) \times \left(\left(1 + \sum_j (rn_j \Delta v_j) \right) / \left(1 + \sum_i (rd_i \Delta v_i) \right) \right) \right)$$

$$cn_j = ((\partial C(p) / \partial p_j) / C_0) \times NF(p_j) \quad cd_i = ((\partial C^{-1}(p) / \partial p_i) / (1/C_0)) \times NF(p_i)$$

$$ln_j = ((\partial L(p) / \partial p_j) / L_0) \times NF(p_j) \quad ld_i = ((\partial L^{-1}(p) / \partial p_i) / (1/L_0)) \times NF(p_i)$$

$$rn_j = ((\partial R(p) / \partial p_j) / R_0) \times NF(p_j) \quad rd_i = ((\partial R^{-1}(p) / \partial p_i) / (1/R_0)) \times NF(p_i)$$

$$\Delta v_i = VC(p_i) \times VM(p_i)$$

$$VC(p_i) = \sigma(p_i) / NF(p_i)$$

$$a = (\partial R / \partial T) / R_0$$

$$b = (\partial^2 R / \partial T^2) / R_0$$

$$\Delta T = T - T_0$$

- 使用した感度式

$$cn_1 = (\partial C(W) / \partial W) / C_0 \times NF(W), \quad cn_2 = (\partial C(T_{mt}) / \partial T_{mt}) / C_0 \times NF(T_{mt}),$$

$$cn_3 = (\partial C(S) / \partial S) / C_0 \times NF(S), \quad cn_4 = (\partial C(T_{ox}) / \partial T_{ox}) / C_0 \times NF(T_{ox}),$$

$$rn_1 = (\partial R(W) / \partial W) / R_0 \times NF(W), \quad rn_2 = (\partial R(T_{mt}) / \partial T_{mt}) / R_0 \times NF(T_{mt}),$$

JEITA Nano Scale Physical Design Working Group

21

感度式2の特徴

- 感度式2

$$cn_1 = (\partial C(W) / \partial W) / C_0 \times NF(W), \quad cn_2 = (\partial C(T_{mt}) / \partial T_{mt}) / C_0 \times NF(T_{mt}),$$

$$cn_3 = (\partial C(S) / \partial S) / C_0 \times NF(S), \quad cn_4 = (\partial C(T_{ox}) / \partial T_{ox}) / C_0 \times NF(T_{ox}),$$

$$rn_1 = (\partial R(W) / \partial W) / R_0 \times NF(W), \quad rn_2 = (\partial R(T_{mt}) / \partial T_{mt}) / R_0 \times NF(T_{mt}),$$

特徴:

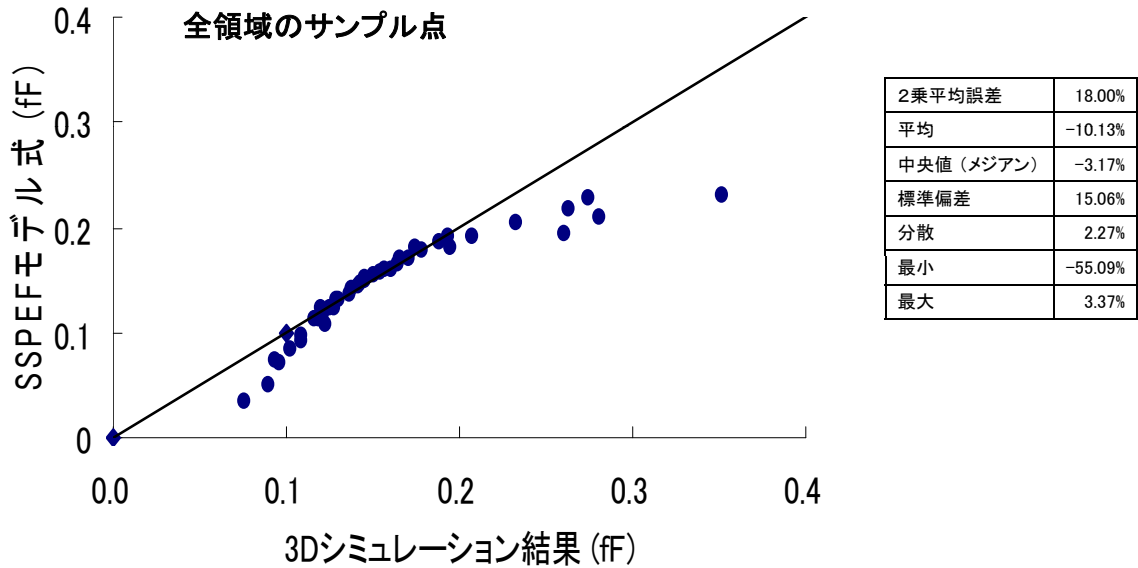
各ばらつきパラメータ(W, T, S)に対し、相関の正負を問わず、全ての項をcn, rnとする。(市販ツールで用いられている感度式)

JEITA Nano Scale Physical Design Working Group

22

±1σサンプルによるSSPEFパラメータ抽出

3. 容量(感度式2)

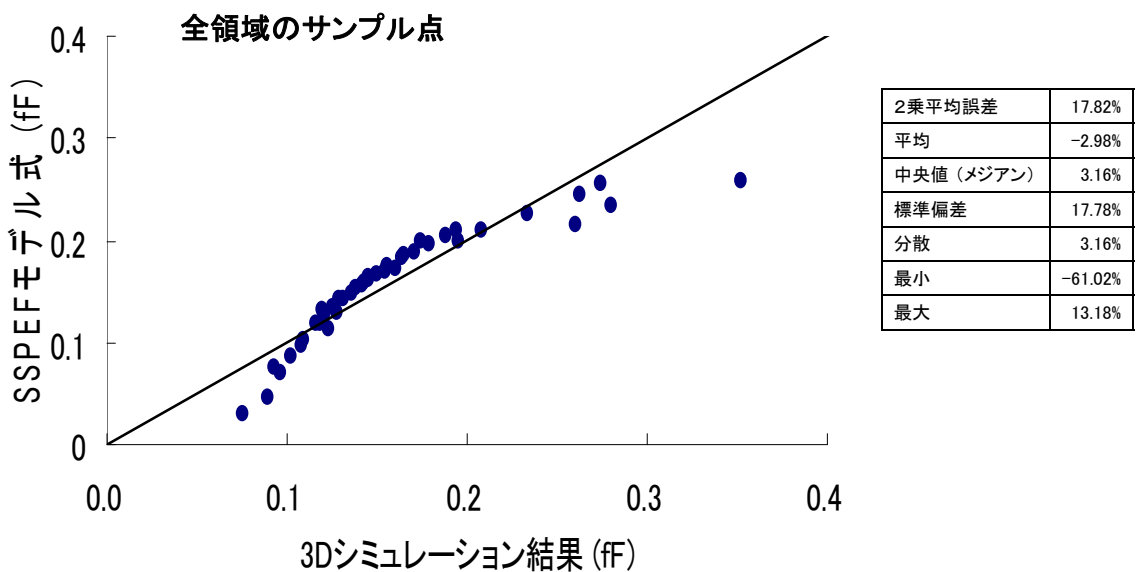


JEITA Nano Scale Physical Design Working Group

23

±2σサンプルによるSSPEFパラメータ抽出

3. 容量(感度式2)

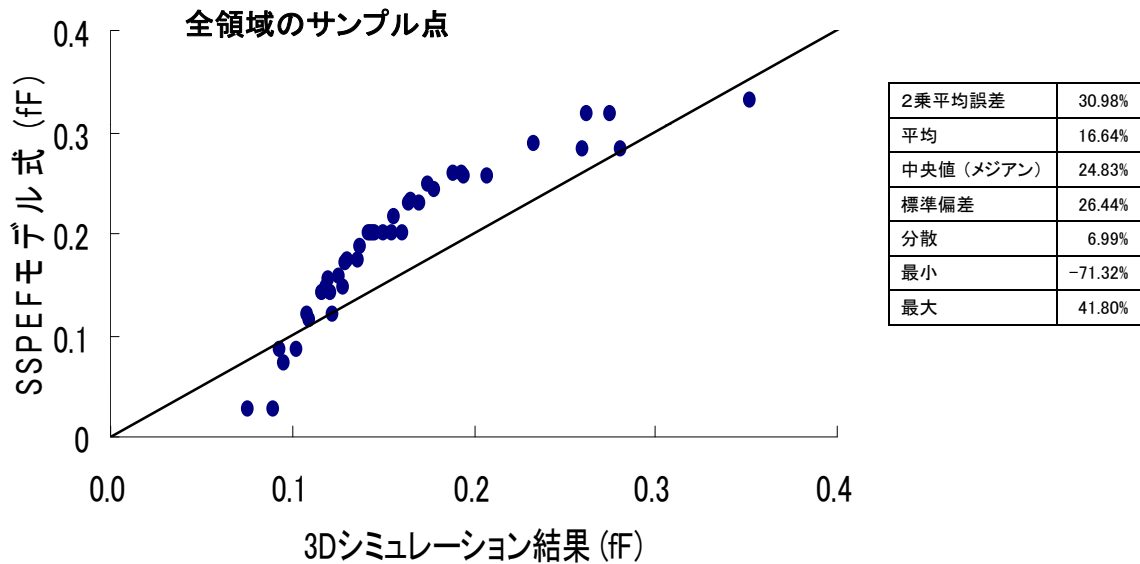


JEITA Nano Scale Physical Design Working Group

24

±3σサンプルによるSSPEFパラメータ抽出

3. 容量(感度式2)

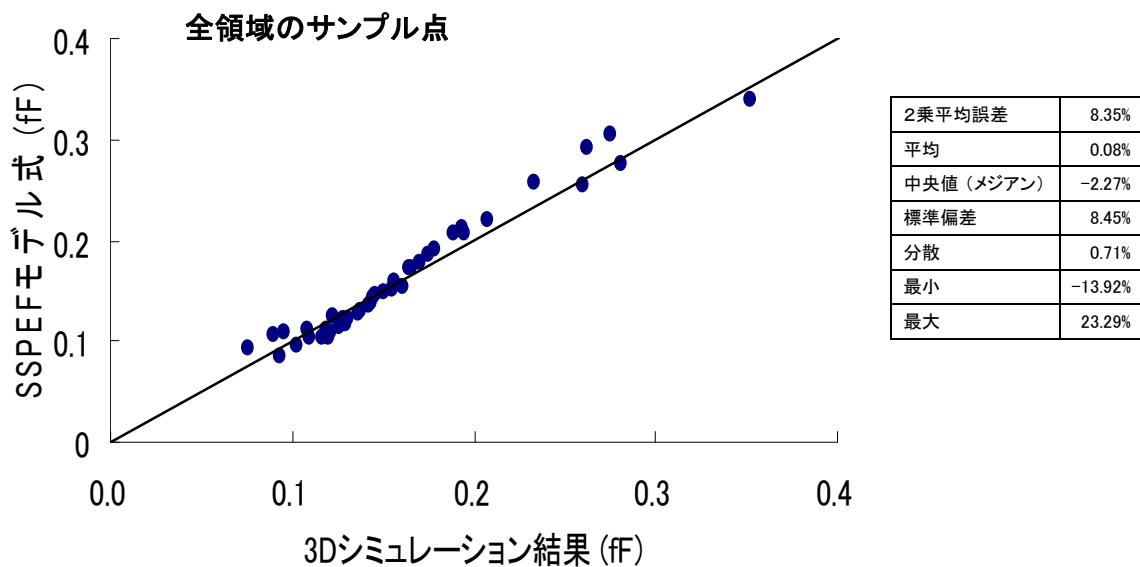


JEITA Nano Scale Physical Design Working Group

25

全サンプルによるSSPEFパラメータ抽出

3. 容量(感度式2)



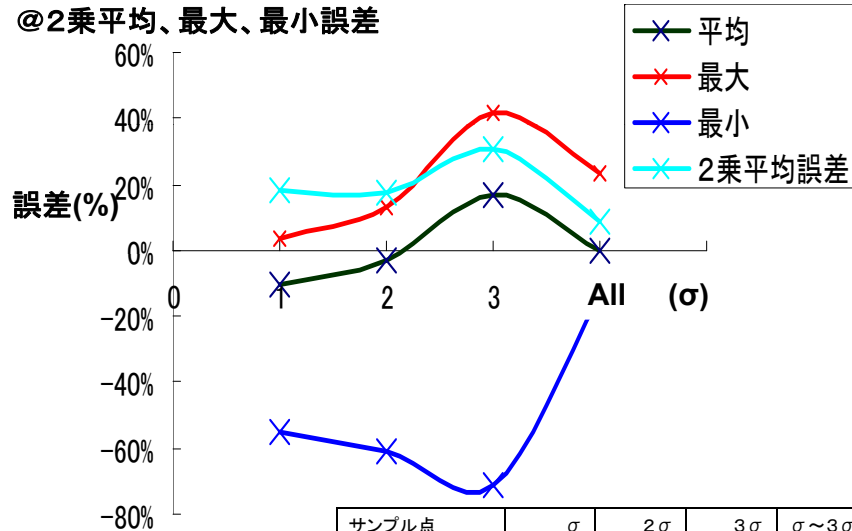
JEITA Nano Scale Physical Design Working Group

26

サンプル点の選び方

3. 容量(感度式2)

22nmプロセス配線では、サンプル点は1 σ を取るのがベスト
@2乗平均、最大、最小誤差

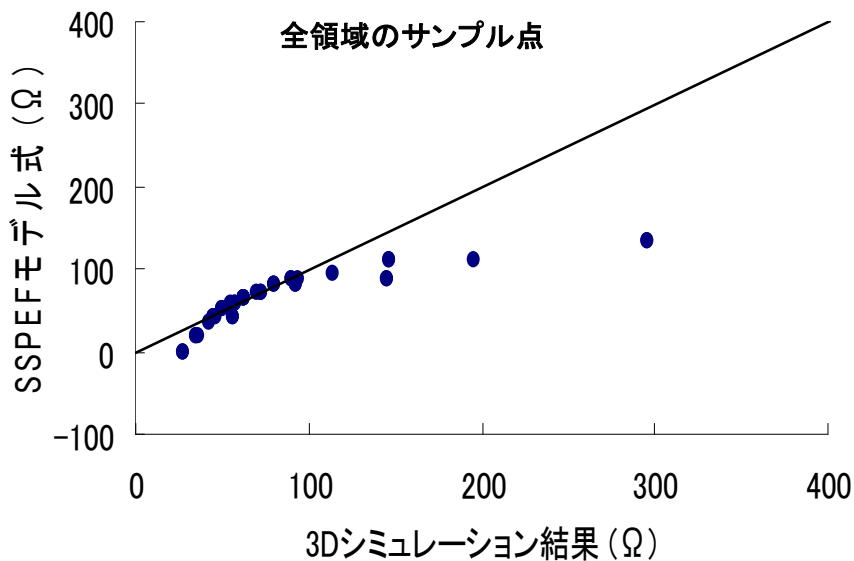


JEITA Nano Scale Physical Design Working Group

27

±1 σ サンプルによるSSPEFパラメータ抽出

4. 抵抗(感度式2)



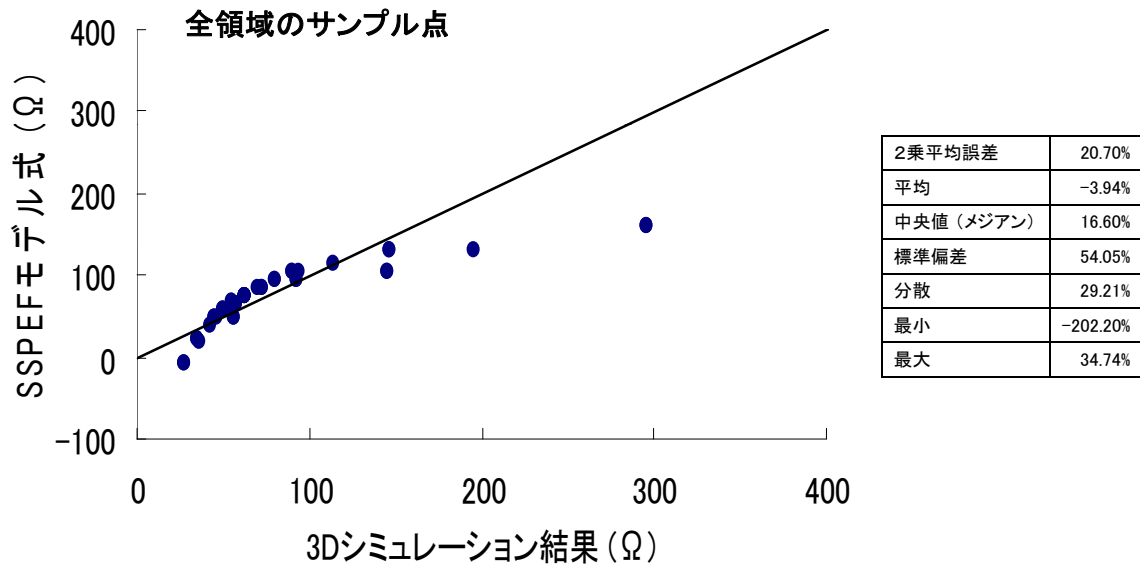
2乗平均誤差	18.18%
平均	-3.94%
中央値 (メジアン)	16.60%
標準偏差	54.05%
分散	29.21%
最小	-202.20%
最大	34.74%

JEITA Nano Scale Physical Design Working Group

28

±2σサンプルによるSSPEFパラメータ抽出

4. 抵抗(感度式2)

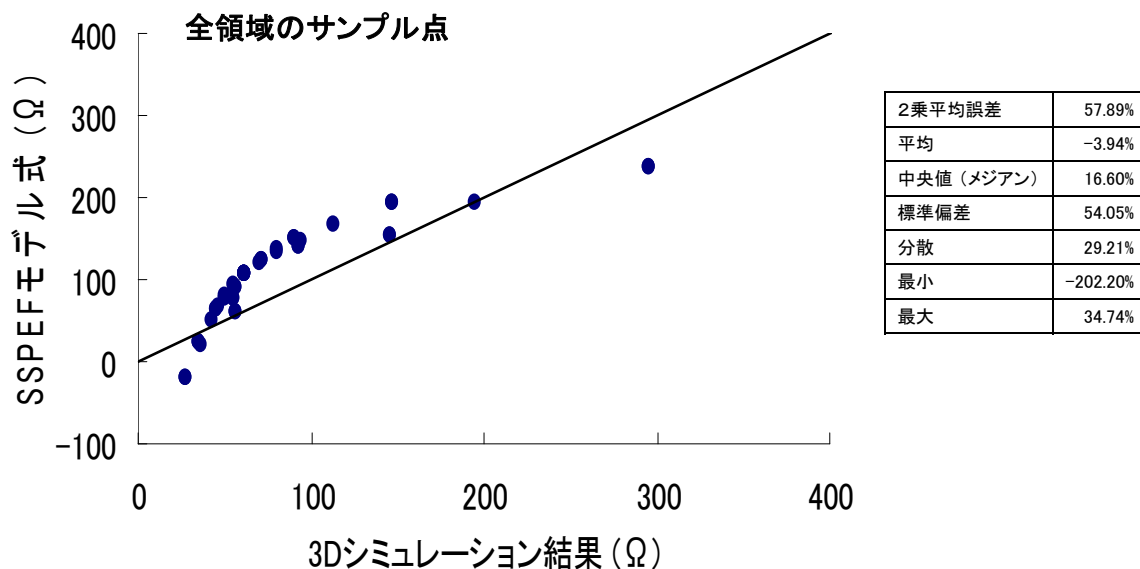


JEITA Nano Scale Physical Design Working Group

29

±3σサンプルによるSSPEFパラメータ抽出

4. 抵抗(感度式2)

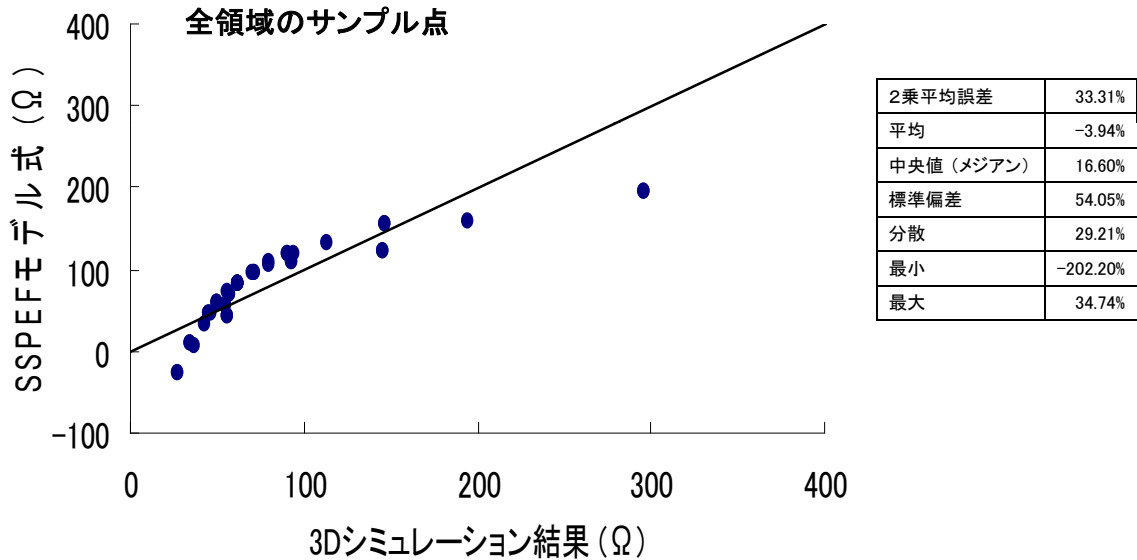


JEITA Nano Scale Physical Design Working Group

30

全サンプルによるSSPEFパラメータ抽出

4. 抵抗(感度式2)



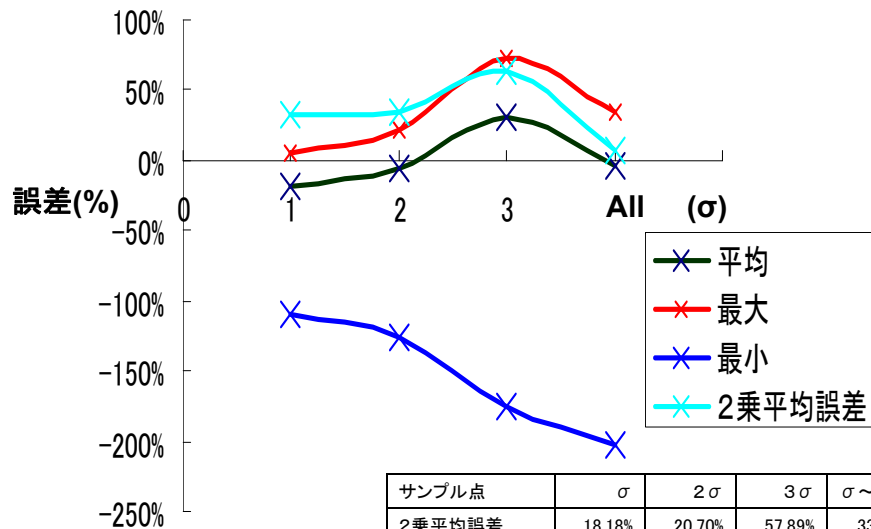
JEITA Nano Scale Physical Design Working Group

31

サンプル点の選び方

4. 抵抗(感度式2)

22nmプロセス配線では、サンプル点は1 σ を取るのがベスト
@2乗平均、最大、最小誤差



JEITA Nano Scale Physical Design Working Group

32

遅延誤差比較

σ	SSPEF 感度式(1)				SSPEF 感度式(2)			
	3	2	1	All	3	2	1	All
2乗平均誤差	4.5%	27.5%	48.3%	4.2%	37.9%	25.4%	25.9%	26.9%
平均	1.2%	-6.8%	-7.5%	0.1%	19.3%	-4.8%	-12.4%	-0.7%
中央値	0.6%	0.1%	-0.1%	-0.6%	31.5%	6.2%	-2.7%	9.1%
標準偏差	4.4%	26.9%	48.3%	4.3%	33.0%	25.3%	23.0%	27.2%

- ・感度式2によれば、2乗平均誤差25%以上となる
さらに、3 σ のみをサンプル点とした場合、誤差は37.9%に及ぶ
- ・感度式1であれば、3 σ をサンプル点とすることで2乗平均誤差4.5%、さらに σ および2 σ も含めることで4.2%へと削減が可能である

JEITA Nano Scale Physical Design Working Group

33

解析結果の考察

- ・市販ツールで用いられている感度式2では、全てのパラメータを分子に置いている分、例えば抵抗で1/Wが表現できない
→ 分母、分子に割り振ったものより誤差としては大きくなる
- ・感度式1が3 σ でのフィッティングを要するのに対し、全てのパラメータを分子にもってくると、逆に1 σ でのフィッティングの方が良好な精度
→ 感度式1が外挿を嫌うのに対し、線型近似した場合は、Exact に求められているTyp.近傍で合わせた方がバランスがよい。

JEITA Nano Scale Physical Design Working Group

34

まとめ

IEEE1394の定義に沿った感度式1)、および市販ツールの感度式2)を比較した。22nmプロセスを想定した場合、どちらの感度式も想定したグローバルばらつきコーナー全域をカバーするには誤差が大きく、チップ内ランダムばらつきに加えてグローバルばらつきにも適用するためには、2次近似や中間変数使用等感度モデル改善を行うか、プロセス制御性の改善等によりコーナーを抑制する必要がある。

またそれぞれの感度式に適したフィッティング方法の検討を行った。

- ・感度式1 (IEEE1394準拠)

22nmプロセスの想定(σ ばらつき量5nm)に対し、コーナーでフィッティングした場合の平均2乗誤差は4.5%となり、実用は可能。フィッティングの際にはコーナーにおけるばらつき量の指定が必要。

- ・感度式2 (市販ツール)

22nmプロセスの想定(σ ばらつき量5nm)に対し、誤差25%以上となり、グローバルばらつきへの実用には問題がある。本モデルを使用するには、グローバルばらつきコーナーの抑制が必須である。フィッティングはTyp.近傍となるため、コーナーのばらつき量指定は不要。

JEITA Nano Scale Physical Design Working Group

35

参考文献

- [1] [IEEE Standard for Integrated Circuit \(IC\) Open Library Architecture \(OLA\) IEEE STD 1481-2009](#)
Digital Object Identifier: [10.1109/IEEESTD.2009.5430852](#)
Publication Year: 2009 , Page(s): c1 - 658
- [2] Weiping Shi; Fangqing Yu; , "A divide-and-conquer algorithm for 3-D capacitance extraction," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on , vol.23, no.8, pp. 1157- 1163, Aug. 2004
- [3] Weiping Shi; Jianguo Liu; Kakani, N.; Tiejun Yu; , "A fast hierarchical algorithm for three-dimensional capacitance extraction," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, vol.21, no.3, pp.330- 336, Mar 2002
- [4] Ying Zhou; Zhuo Li; Weiping Shi; , "Fast Capacitance Extraction in Multilayer, Conformal and Embedded Dielectric using Hybrid Boundary Element Method," DAC '07 Proceedings of the 44th annual Design Automation Conference ACM New York, NY, 2007.

JEITA Nano Scale Physical Design Working Group

36

参考文献

- [5] Yan, S.; Sarin, V.; Weiping Shi; , "Sparse transformations and preconditioners for 3-D capacitance extraction," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on , vol.24, no.9, pp. 1420- 1426, Sept. 2005
- [6] Yan, S.; Sarin, V.; Weiping Shi; , "Fast 3-D Capacitance Extraction by Inexact Factorization and Reduction," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on , vol.25, no.10, pp.2282-2286, Oct. 2006

JEITA SV-WG Annual Report

Appendix 4.2

2012.03.30
SystemVerilog WG

The member of SystemVerilog-WG

Members:

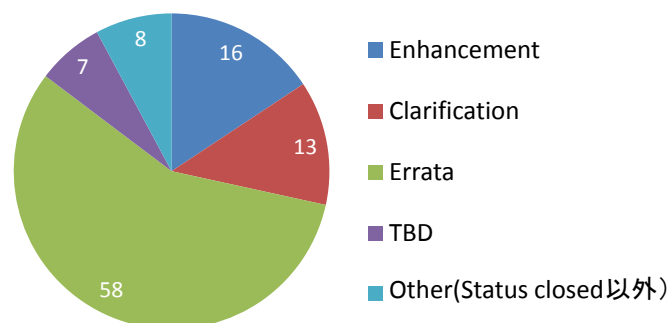
Kasumi Hamaguchi	Panasonic	Chair
Kohtaro Hachiya	Jedat	
Kundo Lee	Mentor	
Hirokuni Taketazu	Panasonic	
Hitoshi Simosaka	Fujitsu	
Ryo Toda	Synopsys	
Takehiko Tsuchiya	Toshiba	
Tetsuya Asano	Renesas	

SV-AC: ASSERTIONS

SV-AC IEEE1800(SV-AC) Update傾向

- ✓SV-AC 全102中 Enhancementは16件(15%)
(2004/12~2011/9)
- ✓71件(70%)は文章の明確化、エラッタ対応
- ✓15件(15%)が残件

アイテム タイプ傾向



ID	Type	Severity	Status	Summary
196	En	major	closed	HM1: Allow optional argument types in sequences/properties
1932	En	major	closed	Introduce LTL and other temporal operators
3033	En	feature	closed	Enhance checker modeling capabilities
1757	En	feature	closed	Property resets: accepton(b) P, rejecton(b) P
1646	En	feature	closed	Generate constructs within properties and sequences
1769	En	feature	closed	Elaboration time user assertion and error reporting tasks
1806	En	feature	closed	Introduce "restrict property" verification statement
3202	En	feature	closed	Clarify on whether certain system functions are allowed in classes, 'let', and other corner cases
1667	En	feature	closed	Local variable arguments for sequences and properties.
1648	En	feature	closed	Default reset for assertions
1601	En	feature	closed	new keyword for untyped formal arguments
3295	En	feature	closed	need a way to control only asserts/covers/assume directives
2173	En	feature	closed	Add case construct for properties.
2660	En	minor	closed	Add indices to expressions
3069	En	minor	closed	Relax rules for \$global_clock resolution
1361	En	minor	closed	need a way to control execution of action blocks

✓ID196:major:HM1: Allow optional argument types
in sequences/properties

✓アサーションに渡すことができるデータ型を拡張する
例えば、クラスオブジェクトを渡すことが可能になる

✓ID1932:major:closed Introduce LTL and
other temporal operators

✓LTL(線形時相論理)等の時相演算子に対応する。

Sequence operators	Property operators	Associativity
[*], [=], [->]		—
##		Left
throughout		Right
within		Left
intersect		Left
	not, nexttime, s_nexttime	—
and	and	Left
or	or	Left
	iff	Right
	until, s_until, until_with, s_until_with, implies	Right
	->, =>, #-#, #=#	Right
	always, s_always, eventually, s_eventually, if-else, accept_on, reject on	—

✓ID1806:feature:Introduce "restrict property"
verification statement

- ✓assumeと同じくFormalツール解析時に
回路に制約を与え、検証空間を制限する
ことができる、Syntaxの追加。
assumeと異なり、回路がその制約を必ずしも
守っている必要はないので、
Formal解析時のWhat-if解析が容易になる。

```
restrict_property_statement ::=  
    restrict property ( property_spec ) ;
```

✓ID2173:feature:Add case construct for properties.
プロパティ文の中でcase文の記述を可能とする。
条件によって、変化するアサーションを記述できる。

```
property p1(logic a,b) ;  
    s(a,b) | =>  
        case (val)  
            3'b011: a ##1 b;  
            3'b100: a | => b;  
            default: a ##2 b;  
        endcase  
endproperty
```

✓15件 15%の残件がある。

- ✓容易に仕様を決められないもの
- ✓会議議事録
- ✓別IDへの移管

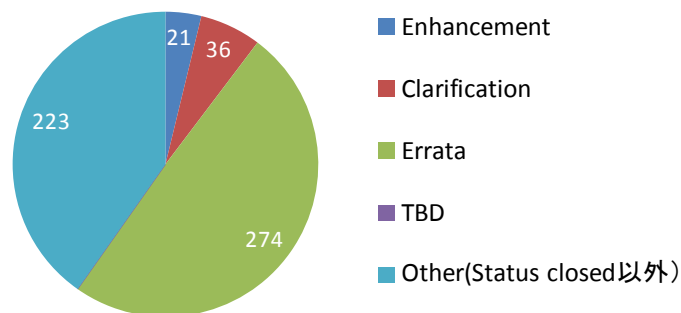
等であるため、本質的な問題ではない。

SV-EC: TEST BENCHES

SV-EC IEEE1800(SV-EC) Update傾向

- ✓SV-EC 全554中 Enhancementは21件(4%)
(2004/7~2012/2)
- ✓310件(56%)は文章の明確化、エラッタ対応
- ✓223件(40%)が残件

アイテムタイプ傾向



SV-EC Enhancement一覧

ID	Type	Severity	Status	Summary
1356	En	feature	closed	Multiple inheritance
2987	En	feature	closed	Soft Constraints
2506	En	feature	closed	Non-trivial coverage space shapes and joint conditions are difficult to specify with covergroups
3001	En	feature	closed	Proper Polymorphic behavior of instantiation
2112	En	major	closed	Remove restrictions on NBA assignments to class members
3028	En	minor	closed	constraints for unique array elements.
1091	En	feature	closed	Jeda verification enhancements
3279	En	major	closed	Enhance method override rules to allow covariant typing
1517	En	feature	closed	Ballot comment #189 Array reduction methods used in constraints
2748	En	minor	closed	Ballot comment #19 Preponed PLI region not included (but should be removed from LRM anyway as it does not really exist)
2745	En	minor	closed	Ballot comment #111 implicit coverpoint for cross
1857	En	major	closed	external method definitions and parameterized class types
1560	En	feature	closed	Queue delete() method for entire array
2149	En	feature	closed	Covergroups sample method with arguments
1623	En	feature	closed	alternate timeunit syntax
1556	En	feature	closed	in-line static variable initialization - require keyword static?
1615	En	feature	closed	can processes spawned by functions execute blocking statements?
240	En	feature	closed	Expression evaluation with cycle_delay
239	En	feature	closed	Allow specific clocking event on each cycle_delay declaration
247	En	feature	closed	Property qualifier and random stability in object instances
1178	En	feature	closed	Proposal for Randomization and Constraints

✓ID1356:feature:Multiple inheritance

- ✓純粋仮想関数で構成される“Interface class”を新たに設け、“implements”キーワードを用い“Interface class”を多重継承できるように機能を拡張する。

```
interface class PutImp#(type PUT_T = logic);
  pure virtual function void put(PUT_T a);
endclass

interface class GetImp#(type GET_T = logic);
  pure virtual function GET_T get();
endclass

class Fifo#(type T = logic, int DEPTH = 1) implements PutImp#(T), GetImp#(T);
  T myFifo [$:DEPTH-1];
  virtual function void put(T a);
    myFifo.push_back(a);
  endfunction
  virtual function T get();
    get = myFifo.pop_front();
  endfunction
endclass
```

✓ID2987:feature:Soft Constraints

- ✓Soft Constraintsについて制約記述をオーバーライドできるように機能拡張する。

✓ID2506:feature:Non-trivial coverage space shapes and joint conditions are difficult to specify with covergroups.

- ✓カバレッジ領域の形や組合せ条件が不明確な場合、現状covergroupを定義するのが困難なため、式や図形関数でもcovergroupを表現できるように、機能を拡張する。

✓ID3001:feature:Proper Polymorphic behavior
of instantiation

✓インスタンス時の多様性動作についてC++,JAVA相当の記述ができるように機能拡張する。

```
class C; . . . endclass
class D extends C; . . . endclass
C c = D::new;    // variable c of superclass type C now references
                  // a newly constructed object of type D
```

✓ID2112:major:Remove restrictions
on NBA assignments to class members

✓トランザクション環境での、クラスメンバーに対する
ノンブロッキングアサインの制限は、動作を簡潔に
表現する際の妨げになっているため制限を緩和する。

✓223件 40%の残件がある。

- ✓未着手のもの
- ✓容易に仕様を決められないもの
- ✓会議議事録
- ✓別IDへの移管

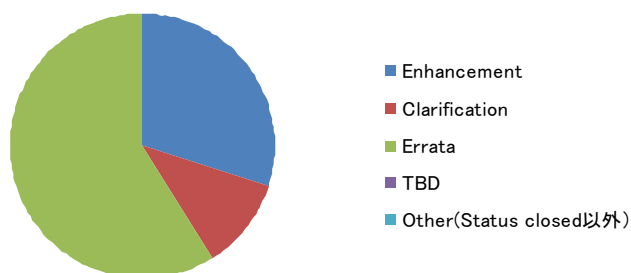
等であり、本質的な問題ではない。

SV-BC: Design Subset

IEEE1800 Update傾向

- ✓SV-BC major/featureは全505件 (2004/8～2012/2)
- ✓Enhancement 151件(30%)
Clarification 56件(11%)
Errata 298件(59%)

アイテム タイプ傾向



ID	Type	Severity	Status	Summary
2374	En	major	closed	7.4.1: Allow packed arrays of enum
331	En	major	closed	Update \$display and other file I/O system tasks for aggregate data types
329	En	major	closed	Package imports in port lists
168	En	major	closed	Complex Data Types of Wires
23	En	major	closed	Update \$display and other file I/O system tasks for new data types
696	En	feature	closed	Ballot Feedback Issue 225: Add parameterized tasks and functions
1504	En	feature	closed	introduce parameterized structures
210	En	feature	closed	Allow use of generate in module port list
1204	En	feature	closed	Add lists of figures, tables, syntaxes
1133	En	feature	closed	allow reverse part-select [lsb:msb]
154	En	feature	closed	Jeita 29: Dual Data Rate needed in always_ff
2525	En	feature	closed	Allow hierarchical references in \$unit scope
1651	En	feature	closed	\$psprintf
1619	En	feature	closed	allow specification of default input values for module ports
1571	En	feature	closed	Add default values for macro arguments
2131	En	feature	closed	Parallel case equivalent needed for case and if statements
1197	En	feature	closed	First class part selection operator
907	En	feature	closed	Default parameter assignment should be optional
1090	En	feature	closed	add `undefineall functionality
1588	En	feature	closed	Add predefined macros for file and line number
2037	En	feature	closed	Setting parameters in Configurations
1846	En	feature	closed	D3 21.13: add 1800-2008 to `begin keywords
675	En	feature	closed	Ballot Feedback Issue 203: Packed unions shall not be restricted to equal length items.
1749	En	feature	closed	%x
1589	En	feature	closed	Function version of formatted write to string
354	En	feature	closed	Add command line switch to control keyword compatibility of input
1724	En	feature	closed	File and Line compiler directives
1524	En	feature	closed	Lifetime option missing in packages (BNF)
314	En	feature	closed	Proposal for IP Encryption Format for Verilog
906	En	feature	closed	Need localparam declarations in V2K-style parameter port lists
304	En	feature	closed	\$unpacked dimensions
324	En	feature	closed	Add asymmetric casex statement
106	En	feature	closed	SV-BC Issue 31: Errata or simple proposal for task, function, property, sequence arguments.
243	En	feature	closed	Masked bitwise comparison operators

- ✓ID 2374:major:Allow packed arrays of enum
 - ✓Packed arrayでenumも利用できるようにする。LRMでは許されていないが、必要性があり、すでに複数ツールで利用可能。他ツールの開発者に必要性無しと誤解させないため。
- ✓ID 331:major:Update \$display and other file I/O system tasks for aggregate data types
 - ✓\$display等のI/Oシステムタスクを、stringやaggregate data タイプなどの、新しいデータタイプに対応させる。

✓ID 329:major:Package imports in port lists

✓port listでパッケージをインポート可能として、タイプ量を削減できるようにする。

```
package A;  
  typedef struct {  
    bit [ 7:0] opcode;  
    bit [23:0] addr;  
  } instruction_t;  
endpackage: A  
  
package B;  
  typedef enum bit {FALSE, TRUE} boolean_t;  
endpackage: B  
  
module M import A::instruction_t, B::*;  
  #(WIDTH = 32)  
  (input [WIDTH-1:0] data,  
   input instruction_t a,  
   output [WIDTH-1:0] result,  
   output boolean_t OK  
  );  
  ...  
endmodule: M
```

✓ID 1504:feature:introduce parameterized structures

✓構造体でパラメータを使えるようにする

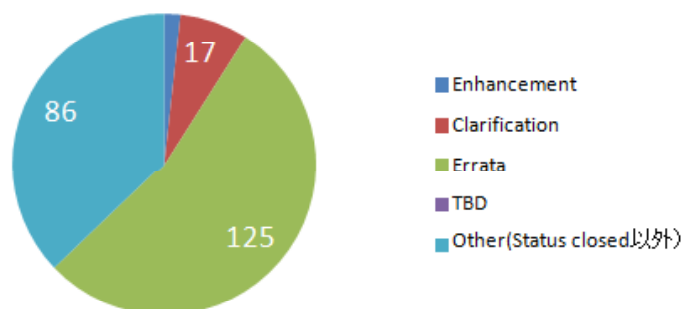
```
typedef struct #(SIZE = 32, TYPE = integer) {  
  bit [SIZE-1:0] m1;  
  TYPE m2;  
} parameterized_struct;  
  
parameterized_struct ps1; // Default parameterization  
parameterized_struct #(.SIZE(64), .TYPE(int)) ps2; // Overridden  
parameterization
```

SV-CC: Foreign APIs

IEEE1800 Update傾向

- ✓SV-BC major/featureは全232件 (2004/8～2012/2)
- ✓Enhancement 4件(1%)
Clarification 17件(4%)
Errata 125件(59%)

アイテム タイプ傾向



ID	Type	Severity	Status	Summary
3884	En	feature	closed	VPI support for soft constraints
2094	En	feature	closed	Need to extend VPI to handle class specializations
332	En	feature	closed	VPI support for new uwire net type
333	En	feature	closed	VPI support for types on wires

- ✓ID 3884:feature:VPI support for soft constraints
 - ✓soft constraints への適切なアクセスを提供するためVPI object modelの修正が必要。

- ✓ID 2094:feature:Need to extend VPI to handle class specializations
 - ✓クラスタイプへのダイレクトアクセスを提供。

- ✓ID 332:feature:VPI support for new uwire net type
- ✓Uwireタイプサポートに伴うVPIの定義拡張。

Annex G: vpi_user.h

AFTER:

```
#define vpiNone 12 /* no default net type (1364-2000) */
```

ADD:

```
#define vpiUwire 13 /* unresolved wire net (1364-2005) */
```

- ✓ID 333:feature:VPI support for types on wires
- ✓配列型ネットエレメントへのアクセス拡張

Any net declared as an array with one or more unpacked ranges is an array net. The range iterator for an array net returns only the unpacked ranges for the array.

SV-DC: Analog Connection

IEEE1800 Update傾向

- ✓SV-DC は全2件 (2004/8～2012/2)
- ✓Enhancement 1件(50%)
- ✓Errata 1件(50%)

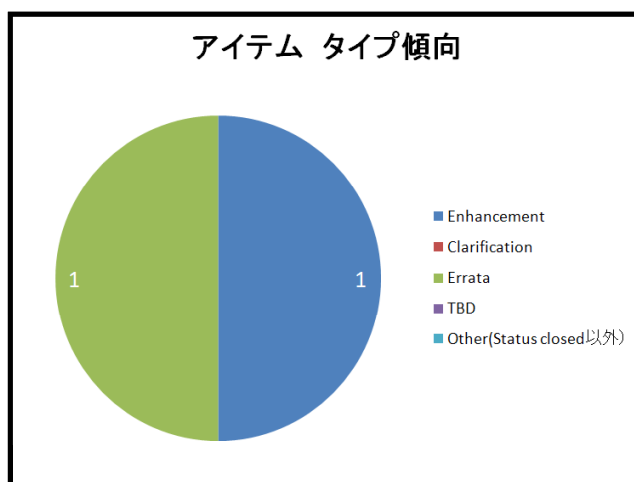
✓新規仕様追加のため
Mantisの件数は少ない

✓SV-DCは本改訂で新たに
追加された

✓最初にロードマップを作成し
て最優先事項をMantis 3398
で管理

✓本改訂はMantis 3398のエ
ンハンスメントに集約されてい
る

アイテム タイプ傾向



ID	Type	Severity	Status	Summary
3398	En	major	closed	User defined nets and resolution functions

📌 Mantis 3398

※これらはSV-DCロードマップでの要求事項での[MUST]の最優先のプライオリティ

- R05. [MUST] Aggregate nets with real valued components, including constructs such as vectors, static arrays, structs, unions
 - R06. [MUST] Resolution functions for multiply driven aggregate nets
 - R07. [MUST] Unidirectional and bidirectional ports with aggregate nets
 - R08. [MUST] Atomic aggregate nets whose components are resolved jointly (correlated resolution)
 - R09. [MUST] Ability to represent X (unknown) and Z (undriven/high impedance) states for atomic aggregate nets
-
- 📌 ユーザ定義のネットとレゾリューション・ファンクションは、ユーザが複雑なミックス・シグナルのシステムをモデル化するために提供。
 - 📌 ユーザに定義されたネットで、電圧、電流、抵抗、キャパシタンスなどをキャプチャすることは可能。
 - 📌 各ドライバ／レシーバのそれぞれの情報とユーザ定義のレゾリューション・ファンクションは複数ドライブのネットの属性を定義できる

LRMの追加の項

- 6.6.7 User-defined nettypes
- 6.7.1 Net Declaration with user-defined nettype
- 6.7.2 Initialization of nets with user-defined nettypes
- 6.22.6 Matching nettypes
- その他、関連する既存の項にパラグラフの追加修正あり

ユーザ定義ネットタイプのフォーマット

```
nettype data_type net_type_identifier  
[ with [ package_scope | class_scope ] tf_identifier ] ;
```

```
nettype [ package_scope | class_scope ] net_type_identifier  
net_type_identifier ;
```

使用例

```
// user-defined data type T  
typedef struct {  
    real field1;  
    bit field2;  
} T;  
  
// user-defined resolution function Tsum  
function automatic T Tsum (input T driver[]);  
    Tsum.field1 = 0.0;  
    foreach (driver[i])  
        Tsum.field1 += driver[i].field1;  
endfunction  
  
nettype T wT; // an unresolved nettype wT whose data type is T  
  
// a nettype wTsum whose data type is T and  
// resolution function is Tsum  
nettype T wTsum with Tsum;  
  
// user-defined data type TR  
typedef real TR[5];  
  
// an unresolved nettype wTR whose data type  
// is an array of real  
nettype TR wTR;  
  
// declare another name nettypeid2 for nettype wTsum  
nettype wTsum nettypeid2;
```

JEITA LPB標準フォーマット

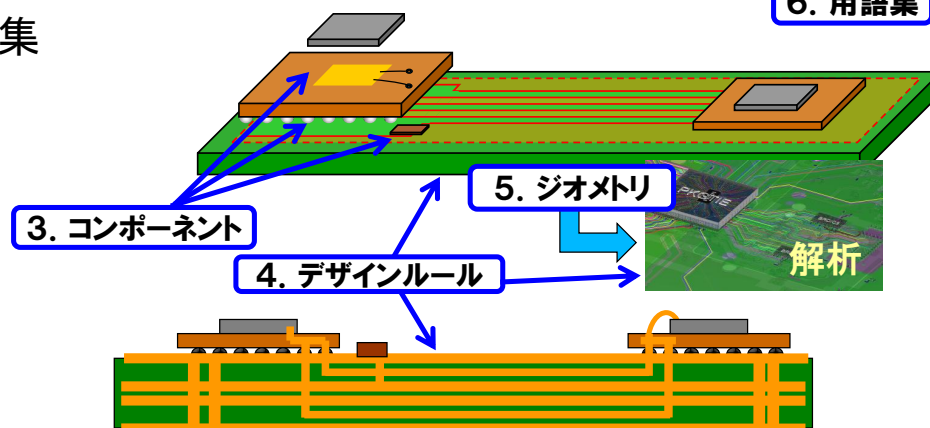
JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理 (M-Format)
2. ネットリスト (N-Format)
3. コンポーネント (C-Format)
4. デザインルール (R-Format)
5. ジオメトリ (G-Format)
6. 用語集

1. プロジェクト管理

2. ネットリスト

6. 用語集



1 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット概要

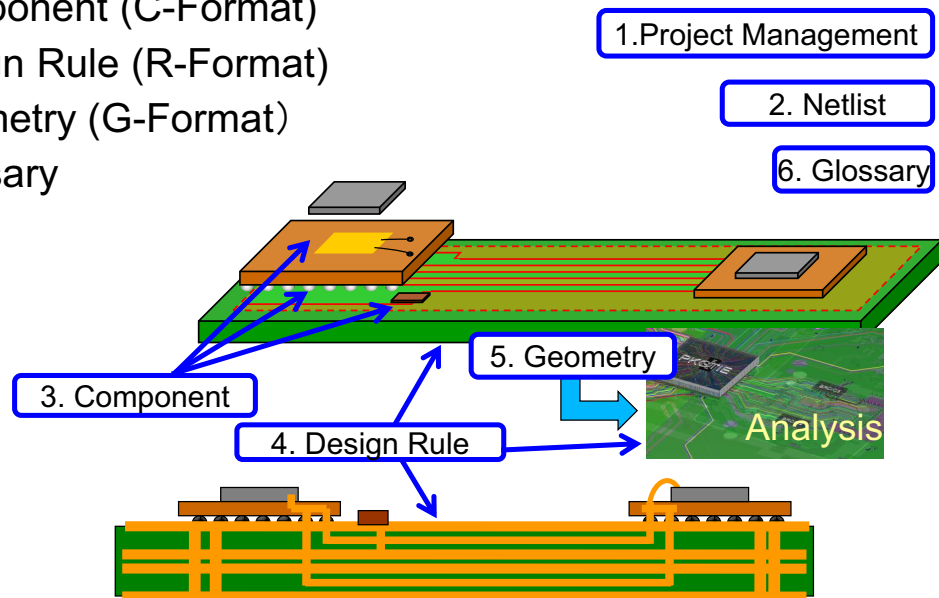
フォーマット名	概要	フォーマットの書式
プロジェクト管理 (M-Format)	- 各フォーマットの対応付け - 更新状況の把握 - 関連ファイルとの対応付け	XML (独自)
ネットリスト (N-Format)	- 接続状況を明確にする - 信号、電源GNDを表現する	Verilog-HDL (既存) 電源GND端子を追加
コンポーネント (C-Format)	- 端子情報の定義 - 制約事項の定義 - 設計状況の提示	XML (独自)
デザインルール (R-Format)	- テクノロジーの定義 - 製造ルールの定義 - 解析条件セットアップ	XML (独自)
ジオメトリ (G-Format)	設計結果を解析に渡す物理情報	アパッチ: XFL Ver1.0 (既存)

2 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB format

JEITA LPB format consists of five (5) formats and glossary.

1. Project Management (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design Rule (R-Format)
5. Geometry (G-Format)
6. Glossary



1

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB format overview

Format name	Contents	Description form
Project Management (M-Format)	•Format file association •Update trace •Association with related files	XML(Original)
Netlist (N-Format)	•connection b/w hierarchy definition •Signal, power and ground description	Verilog-HDL(Existing) With enhancing power ground port support
Component (C-Format)	•Component pin assignment •Constraint items definition •Design status information	XML(Original)
Design Rule (R-Format)	•Technology definition •Manufacturability rule definition •Analysis condition setup	XML(Original)
Geometry (G-Format)	•Geometry information for analysis tools	Apache : XFL Ver1.0(Existing)

2

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

<JEITA LPB MFORMAT>			1
	<header>		
	project	1	
	design_revision	1	
	date	0...1	
	comment	0...1	
	author	0...1	
	email	0...1	
	company	0...1	
	log	0...	
	/>		
	<CFORMAT		0...
	comment	0...1	
	design_revision	1	
	filename	1	
	log	0...	
	MD5	0...1	
	/>		
	<RFORMAT		0...
	comment	0...1	
	design_revision	1	
	filename	1	
	log	0...	
	MD5	0...1	
	/>		
	<GFORMAT		0...
	comment	0...1	
	filename	1	
	log	0...	
MD5	0...1		
/>			
<NFORMAT		0...	
comment	0...1		
filename	1		
log	0...		
MD5	0...1		
/>			
<OTHER		0...	
comment	0...1		
filename	1		
log	0...		
MD5	0...1		
/>			
</JEITA LPB MFORMAT>			

<> から</>までをセクションと呼ぶことにします

例 <port id="端子番号" x="x座標" y="y座標" >

<inductance min="最少値" max="最大値" />	} inductanceセクション	} portセクション
<delay min="最少遅延 max="最大遅延" />		
</port>		

セクションの下に、そのセクションの繰り返し回数を表記します

<port id="端子番号" x="x座標" y="y座標" >	
<inductance min="最少値" max="最大値" />	
0...1	0から1回の繰り返し。即ちinductanceセクションは無くてもよい
<delay min="最少遅延 max="最大遅延" />	
0...1	0から1回の繰り返し。即ちdelayセクションは無くてもよい
</port>	
1...	1以上の繰り返し。即ち一個以上のportセクションが必要

オプションな項目はイタリック文字で表記します
必須項目は**ボールド文字**で表記します

例 <module

name="機能ブロック名"	
type="機能ブロック属性"	オプション項目
shape_id="参照shape識別番号"	
x="x座標"	オプション項目
y="y座標"	オプション項目
>	

Syntax convention

LPB format form a tree structure.

Example.

<port id="port id" x="x coordinate" y="y coordinate" >		
<inductance min="minimum value" max="maximum value" />	} <inductance> section	} <port> section
<delay min="minimum delay" max="maximum delay" />		
</port>		

A...B means that you can repeat the previous section from A times to B times.

A... means that you can repeat the previous section from A times to infinite.

A means that this section should be repeated A times.

Example

<port id="port id" x="x coordinate" y="y coordinate" >	
<inductance min="minimum value" max="maximum value" />	
0...1	<inductance> section can be repeated from 0 time to 1 time. It means that <inductance> section is optional.
<delay min="minimum delay" max="maximum delay" />	
0...1	<delay> section can be repeated from 0 time to 1 time. It means that <delay> section is optional.
</port>	
1...	<port> section should be repeated 1 time to infinite. It means <port> section is required.

Italic notation means an item is optional.

Bold notation means an item is required.

<module

name="BlockName"	
type="BlockType"	Optional item
shape_id="referenced shape id"	
x="x coordinate"	Optional item
y="y coordinate"	Optional item
>	

unit 文字種 フォーマット説明		Explanation of the format	
<!--	Data:2012.03.31-->	コメントは <!-- --> で囲む	A comment starts with "<!--" and finishes with "-->".
<JEITA LPB MFORMAT version="バージョン番号">		Format version number	
<pre> <header project="プロジェクト名" design_revision="ファイルリビジョン番号" date="作成日" author="作成者" email="メールアドレス" company="会社名" comment="" log="" /><!-- </pre>	<pre> N/A string N/A double N/A string N/A string N/A string N/A string N/A string N/A string N/A string </pre>	ヘッダー部分はプロジェクト管理ファイルの管理情報を与える。利用者は、ヘッダー部を処理することにより、「このファイルが使用されているプロジェクト名 (project)、作成日 (date)、作成者 (author, email, company)、管理番号 (design_revision)、コメント (comment, log) を入手可能となる。	Defines the name of project. The name needs to be unique. Defines the revision number. Defines the creation date. Defines the creator's name. Defines the creator's E-mail address. Defines the creator's company. A comment is described. A work record (log) is described.
	1		
<pre> <GFORMAT comment="" file_name="ファイル名" design_revision="ファイルリビジョン番号" log="" MD5="" /><!-- </pre>	<pre> N/A string N/A string N/A double N/A string </pre>	コンポーネントファイル コメント ファイル名 ファイルリビジョン 履歴 チェックサム	Specifies the name of LPB component format (G-Format) file. A comment is described. Defines the file name. Defines the revision number. A work record (log) is described. Check sum
	0...		
<pre> <RFORMAT comment="" file_name="ファイル名" design_revision="ファイルリビジョン番号" log="" MD5="" /><!-- </pre>	<pre> N/A string N/A string N/A double N/A string </pre>	デザインルールファイル コメント ファイル名 ファイルリビジョン 履歴 チェックサム	Specifies the name of LPB design rule format (R-Format) file. A comment is described. Defines the file name. Defines the revision number. A work record (log) is described. Check sum
	0...		
<pre> <GFORMAT comment="" file_name="ファイル名" log="" MD5="" /><!-- </pre>	<pre> N/A string N/A string N/A string </pre>	形状データフォーマット コメント ファイル名 履歴 チェックサム	Specifies the name of LPB geometry format (G-Format) file. A comment is described. Defines the file name. A work record (log) is described. Check sum
	0...		
<pre> <NFORMAT comment="" file_name="ファイル名" log="" MD5="" /><!-- </pre>	<pre> N/A string N/A string N/A string </pre>	ネットリストファイル コメント ファイル名 履歴 チェックサム	Specifies the name of LPB netlist format (N-Format) file. A comment is described. Defines the file name. A work record (log) is described. Check sum
	0...		
<pre> <OtherFile comment="" file_name="" log="" MD5="" /><!-- </pre>	<pre> N/A string N/A string N/A string </pre>	コメント ファイル名 履歴 チェックサム	Specifies name of user defined files. A comment is described. Defines the file name. A work record (log) is described. Check sum
	0...		
</JEITA LPB MFORMAT>			

1. フォーマットの目的

LSI-PKG-Board全体の論理接続チェック(LVS)、接続仕様を定義する。また、信号だけではなく、電源GND端子の接続関係も明確にする。

2. フォーマット

Verilog-HDL(IEEE1364)の書式に準拠する。

3. 電源・GND記述方法

Verilog-HDLでは、不足している電源・GND系の記述については、基本的に信号として表現し、Verilog-HDLとして矛盾のない方法として、それが電源であることが分かる属性をコメントとして追記することとしている。

電源・GNDネットの記述方法は下記となる。

①ポートは「input」

②ネットは「wire」

③コメントのキーワードは「PG_NET」

<記述例>

```
module XXXX ( VDD, VSS )
    input VDD ; /* PG_NET */
    input VSS ; /* PG_NET */
module YYYYY ( ,, )
    wire VDD ;
    wire VSS ;
```

Netlist(N-Format)

1. Nformat includes not only signal connection but also power/ground network.

2. LPB Nformat is conform to Verilog-HDL(IEEE1364).

3. How to identify power/ground network.

Add /* PG_NET */ keyword at the power/ground port/wire definition.

① The port direction for power/ground is "input".

② The net attribute of power/ground is "wire", not "supply0" or "supply1".

③ Add /* PG_NET */ keyword at the power/ground port.

Example

```
module XXXX ( VDD , VSS )
    input VDD ; /* PG_NET */
    input VSS ; /* PG_NET */
module YYYYY ( ,, )
    wire VDD ;
    wire VSS ;
```

LPB Component Format Ver2.0

<JEITA LPB_CFORMAT>			
<header			1
project	1		
design_revision	1		
date	0...1		
author	0...1		
email	0...1		
company	0...1		
/>			
<global>			1
<unit>			1
<distance>	0...1		
<angle>	0...1		
<area>	0...1		
<time>	0...1		
<resistivity>	0...1		
<temperature>	0...1		
<voltage>	0...1		
<power>	0...1		
<inductance>	0...1		
<frequency>	0...1		
<impedance>	0...1		
</unit>			
<shape>			0...1
<rectangle>	0...		
<circle>	0...		
<polygon>	0...		
</shape>			
<padstack_def>			0...1
<padstack>	1...		
<ref_shape>	1...		
</padstack>			
</padstack_def>			
</global>			
<module>			1...
<socket>			0...
<default>	0...1		
<port_shape>	0...1		
</default>			
<port>	1...		
<inductance>	0...1		
<impedance>	0...1		
<delay>	0...1		
</port>			
<portgroup>	0...		
<connectable />	0...1		
<mustjoin />	0...1		
<ref_port>	1...		
</portgroup>			
<powerdomain_group>	0...		
<ref_portgroup>	2...		
</powerdomain_group>			
<swappable_group>	0...		
<ref_portgroup>	2...		
</swappable_group>			
<swappable_port>	0...		
<ref_port>	2...		
</swappable>			
<frequency>	0...		
<constraint>	0...		
<impedance>	0...		
<delay>	0...		
<skew>	0...		
<guard_shield>	0...		
</constraint>			
</socket>			
<specification>	0...1		
<power>	0...1		
</specification>			
<reference>	0...1		
<connection>	0...		
</connection>			
</reference>			
</module>			
<component>			
<placement>			0...
</component>			
</JEITA LPB_CFORMAT>			

概要、詳細に関する記載注意事項

<>から</>までをセクションと呼ぶことにします

例 <port id="端子番号" x="x座標" y="y座標" >

<inductance min="最少値" max="最大値" />

<delay min="最少遅延" max="最大遅延" />

inductanceセクション
delayセクション

</port>

portセクション

セクションの下に、そのセクションの繰り返し回数を表記します

<port id="端子番号" x="x座標" y="y座標" >

<inductance min="最少値" max="最大値" />

0...1

<delay min="最少遅延" max="最大遅延" />

0...1

</port>

1...

0から1回の繰り返し。即ちinductanceセクションは無くてもよい
0から1回の繰り返し。即ちdelayセクションは無くてもよい
1以上の繰り返し。即ち一個以上のportセクションが必要

オプションな項目はイタリック文字で表記します
必須項目は**ボールド文字**で表記します

例 <module

name="機能ブロック名"

type="機能ブロック属性"

shape_id="参照shape識別番号"

x="x座標"

y="y座標"

オプション項目
オプション項目
オプション項目

>

Syntax convention

LPB format form a tree structure.

Example.

<port id="port id" x="x coordinate" y="y coordinate" >

<inductance min="minimum value" max="maximum value" />

<delay min="minimum delay" max="maximum delay" />

</port>

<inductance> section
<delay>section
<port> section

A...B means that you can repeat the previous section from A times to B times.
A... means that you can repeat the previous section from A times to infinite.
A means that this section should be repeated A times.

Example

<port id="port id" x="x coordinate" y="y coordinate" >

<inductance min="minimum value" max="maximum value" />

0...1

<delay min="minimum delay" max="maximum delay" />

0...1

</port>

1...

<inductance> section can be repeated from 0 time to 1 time.
It means that <inductance> section is optional.
<delay> section can be repeated from 0 time to 1 time.
It means that <delay> section is optional.
<port> section should be repeated 1 time to infinite.
It means <port> section is required.

Italic notation means an item is optional.
Bold notation means an item is required.

<module

name="BlockName"

type="BlockType"

shape_id="referenced shape id"

x="x coordinate"

y="y coordinate"

Optional item
Optional item
Optional item

>

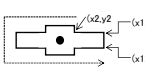
- 162 -

座標、表裏はすべてTOP Viewにて定義する
TOP&BOTTOMはユーザ側にて定義する
(← Data: 2012.03.31 →)

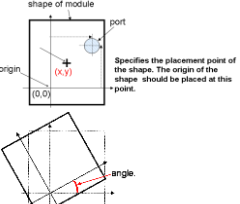
unit 文字種 フォーマット説明
N/A 空欄は → で囲む

Explanation of the format
A comment starts with " " and finishes with " ".

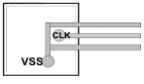
記述例 (Example)

JEITA LPB CFORMAT version="バージョン番号" >		N/A	string	仕様バージョン番号	Format version number	
<header>						
<pre>project="プロジェクト名" design_revision="ファイルリビジョン番号" date="作成日" author="作成者" email="メールアドレス" company="会社名"</pre>		N/A	string	プロジェクト名: プロジェクトを定義するユニークな名前 ファイルリビジョン 作成日 作成者 作成者のメールアドレス 作成者の会社名	Defines the name of project. The name needs to be unique. Defines the revision number. Defines the creation date. Defines the author's name. Defines the author's E-mail address. Defines the author's company.	<pre>header project="JEITA LPB SAMPLE PROJECT" design_revision="1.3" date="20120331" author="takahiro aoki" email="aoki@jeita.jp" company="JEITA" /></pre>
</header>						
<global>						
				globalセクションでは、単位系(unit)、基本形状(shape)、パッドスタック(padstack.def)を定義する。グローバル部で定義された情報の有効範囲(スコープ)は、コンポーネントフォーマットファイル全体に及ぶ。	The global section defines the unit "unit", shape "shape", and padstack "padstack.def". The scope of global variable is whole of the file.	
<unit>				このコンポーネントファイルで使用する単位系を定義する。 ここで定義した単位系は、このファイル全体で有効。 基本単位とSI接頭辞で表現する SI接頭辞 Y e+24 Z e+21 E e+18 P e+15 T e+12 Q e+9 M e+6 k e+3 h e+2 da e+1 d e-1 c e-2 m e-3 u e-6 n e-9 p e-12 f e-15 a e-18 z e-21 y e-24	Defines the unit.	<pre><unit> distance unit="um" /> <angle unit="degree" /> <area unit="um2" /> <time unit="ps" /> <resistivity unit="ohmm" /> <temperature unit="C" /> <voltage unit="V" /> <power unit="mW" /> <inductance unit="nH" /> <frequency unit="MHz" /> <impedance unit="ohm" /> </unit></pre>
<distance unit="長さ単位" />		N/A	string	長さ単位: m	The unit of length.	
<angle unit="角度単位" />		N/A	string	角度単位: degree, radian	The unit of angle.	
<area unit="面積単位" />		N/A	string	面積単位: m2	The unit of area.	
<time unit="時間単位" />		N/A	string	時間単位: s	The unit of time.	
<resistivity unit="体積抵抗率単位" />		N/A	string	体積抵抗率単位: ohmm (Ω・m)	The unit of resistivity of conductor.	
<temperature unit="温度単位" />		N/A	string	温度単位: C(degree Celsius), K(kelvin)	The unit of temperature.	
<voltage unit="電圧単位" />		N/A	string	電圧単位: V	The unit of voltage.	
<power unit="消費電力単位" />		N/A	string	消費電力単位: W	The unit of watt.	
<inductance unit="インダクタンス単位" />		N/A	string	インダクタンス単位: H	The unit of inductance.	
<frequency unit="周波数単位" />		N/A	string	周波数単位: Hz	The unit of frequency.	
<impedance unit="インピーダンス" />		N/A	string	インピーダンス単位: ohm	The unit of impedance.	
</unit>						
<shape>				shapeセクションでは基本形状を定義する	Defines the shape.	
<rectangle id="識別番号" width="幅" height="高さ" angle="回転角度"		N/A	string double double double	原点: 矩形の中心  回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。	Defines the shape of rectangle. The origin is center of rectangle. The angle is the counterclockwise rotation with respect to the local origin. Defines the identification number Defines the width. Defines the height. Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.	<pre><shape> <rectangle id="R1" width="100" height="10" /> <circle id="C1" diameter="20" /> <polygon id="P1" points="-10;-10;10;-10;10;-10;-10;-10" /> <circle id="VLLPAD" diameter="500" /> <circle id="VSLPAD" diameter="400" /> <circle id="VLSPAD" diameter="700" /> <circle id="VSAPAD" diameter="600" /> </shape></pre>
</rectangle>						
<circle id="識別番号" diameter="直径"		N/A	string double	原点: 円の中心 	Defines the shape of circle. The origin is center of circle. Defines the identification number. Defines the diameter.	
</circle>						
<polygon id="識別番号" points="x座標,y座標 x座標,y座標..." angle="回転角度"		N/A	string double double double	原点: (0, 0)を原点とする  回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。	Defines the shape of polygon. The origin is set to (0, 0). The angle is the counterclockwise rotation with respect to the local origin. Defines the identification number Defines the points of XY coordinates. Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.	
</polygon>						
</shape>						
<padstack.def>				padstack defセクションではパッドスタックを定義する	Defines the padstack.	
<padstack id="padstack識別番号" type="padstackタイプ"		N/A N/A	string string	padstackを識別するための識別番号。 padstackのタイプ VIA ... VIAの形状の定義 DIE.PAD ... DIEのパッド形状の定義 BALL.PAD ... パッケージのBALL形状の定義 BOND.PAD ... パッケージのボンディングパッド/FC/BONDの形状の定義	Defines the identification number Specifies the padstack types: VIA ... via. DIE.PAD ... die pad. BALL.PAD ... solder ball pad. BOND.PAD ... bonding pad, flipchip pad.	<pre><padstack.def> <padstack id="smallvia" type="VIA"> <ref shape shape.id="VLLPAD" type="Land" layer="LTOP" /> <ref shape shape.id="VLPAD" type="Antipad" layer="LTOP" /> <ref shape shape.id="VDRILL" type="Drill" layer="LTOP" /> <ref shape shape.id="VHOLE" type="Hole" layer="LTOP" /> <ref shape shape.id="VSLPAD" type="Land" layer="L1" /> <ref shape shape.id="VSAPAD" type="Antipad" layer="L1" /> <ref shape shape.id="VDRILL" type="Drill" layer="L1" /> <ref shape shape.id="VHOLE" type="Hole" layer="L1" /> <ref shape shape.id="VSLPAD" type="Land" layer="L2" /> <ref shape shape.id="VSAPAD" type="Antipad" layer="L2" /> <ref shape shape.id="VDRILL" type="Drill" layer="L2" /> <ref shape shape.id="VHOLE" type="Hole" layer="L2" /> <ref shape shape.id="VLPAD" type="Land" layer="LBOT" /> <ref shape shape.id="VDRILL" type="Drill" layer="LBOT" /> <ref shape shape.id="VHOLE" type="Hole" layer="LBOT" /> <ref shape shape.id="VSLPAD" type="Land" layer="LBOT" /> <ref shape shape.id="VSAPAD" type="Antipad" layer="LBOT" /> <ref shape shape.id="VDRILL" type="Drill" layer="LBOT" /> <ref shape shape.id="VHOLE" type="Hole" layer="LBOT" /> </padstack.def></pre>
</padstack>						
</padstack.def>						
</global>						

<module> name="機能ブロック名" type="機能ブロック属性" shape_id="参照shape識別番号" x="x座標" y="y座標" angle="回転角度" thickness="厚み" >	N/A string N/A string N/A string double angle double distance double
--	---

モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション (socket) と、機能ブロックの仕様を定義する仕様セクション (specification) と、上位階層と下位階層の接続手続を定義する参照セクション (reference) で構成される。
上位階層は、ここで定義した機能ブロック名で、この機能ブロックを参照する。
機能ブロックの属性: LSI,PKG,PWBのキーワードで属性を区別する。
LSI ... LSI
PKG ... パッケージ
PWB ... プリント基板
機能ブロックの外郭形状、参照shapeの原点と機能ブロックの原点を一致させる。
機能ブロックのshapeの配置座標を指定する。shapeの原点を、ここで指定した座標に配置する。省略時は (0, 0) に配置する。
回転角度。機能ブロックの原点を中心とした反時計回りの回転角度。
機能ブロックの厚み。


<pre> <powerdomain_group port_name="端子名" port_id="端子番号" group_name="端子グループ名" min="最小値" typ="典型値" max="最大値" > </pre>	N/A N/A N/A	string string string	信号の電源ドメインを規定する。 例 (1) 電源遮断機能を持つ機能ブロックの場合、遮断される電源と、その電源に係わる信号を出力するportを、一つの電源ドメインとする。 (2) アナログとデジタルが混在する場合、アナログ部分で使用する電源とアナログ信号を一つの電源ドメインとする。 電源端子を指定する。 端子名 端子番号 電圧レベルを指定するportの端子グループ名 ここで指定した端子グループに属するportは全て同一電圧レベルである。 portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。	Defines the power domain. For example, in case of analog digital mixed design, specifies the analog power/ground and analog signals that make up the power domain in order to distinguish it from the digital. Specifies the port name. Specifies the port ID. Specifies the group name. Specifies power or ground. The power or ground must be specified with either port name (port_name), port ID (port_id) or group name (group_name). Specifies min/typ/max voltage value.	<pre> <portgroup name="DDDC_25V"> <ref port name="SWOUT1"> /> </portgroup> <portgroup name="DDDC_CTRL"> <ref port name="FB"> /> <ref port name="LDO"> /> </portgroup> <portgroup name="DDR_DIO"> <ref port name="PL1"> /> <ref port name="PL2"> /> <ref port name="PL3"> /> <ref port name="PL4"> /> </portgroup> <powerdomain_group port_name="DDDC_P0ND" typ="2.5"> <ref portgroup name="DDDC_25V"> /> <ref portgroup name="DDDC_CTRL"> /> </powerdomain_group> <powerdomain_group port_name="D_GND" typ="2.5"> <ref portgroup name="DDR_DIO"> /> </powerdomain_group> </pre>
<pre> </powerdomain_group> </pre>					
<pre> <swappable_group> <ref portgroup name="参照端子グループ名" > </swappable_group> </pre>	N/A	string	交換可能な端子グループを指定する。2個以上の端子グループを指定することも可能。 同一電源ドメインに属する端子グループの名前	Defines the swappable port groups. The port groups in same group (swappable_group) are swappable by a group unit. Specifies the port groups.	<pre> <portgroup name="R_CHANNEL"> <ref port name="RAD1"> /> <ref port name="RAD2"> /> <ref port name="RAD3"> /> </portgroup> <portgroup name="L_CHANNEL"> <ref port name="LAD1"> /> <ref port name="LAD2"> /> <ref port name="LAD3"> /> </portgroup> <swappable_group> <ref portgroup name="R_CHANNEL"> /> <ref portgroup name="L_CHANNEL"> /> </swappable_group> </pre>
<pre> <swappable_port> <ref port id="参照端子識別番号" name="参照端子名" > </swappable_port> </pre>	N/A N/A	string string	交換可能なportを指定する。2個以上のportを指定すること。portは端子番号(id)もしくは端子名(name)のどちらかで指定すること。idとnameの双方を同時に記述することはできない。 交換可能なportの端子番号 交換可能(port)の端子名	Defines swappable ports. The ports in swappable_port are swappable into each other. Specifies the ports. The port must be specified with either port name (port_name) or port ID (port_id). Specifies the port ID. Specifies the port name.	<pre> <swappable_port> <ref port name="OK_N"> /> <ref port name="OK_P"> /> </swappable_port> </pre>
<pre> </swappable_port> </pre>					
<pre> <frequency> port_name="端子名" port_id="端子番号" group_name="端子グループ名" min="最小値" typ="典型値" max="最大値" > </pre>	N/A N/A N/A	string string string	動作周波数 portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。 端子名 端子番号 端子グループ名 min="最小値" typ="典型値" max="最大値"	Specifies min/typ/max operating (clock) frequency for the port. The port must be specified with either port name (port_name), port ID (port_id) or group name (group_name). Specifies the port name. Specifies the port ID. Specifies the group name. Specifies min/typ/max frequency value.	<pre> <frequency port_name="CLK" typ="300"> /> </pre>
<pre> </frequency> </pre>					
<pre> <constraint> <impedance port_name="端子名" port_id="端子番号" group_name="端子グループ名" type="タイプ" min="最小値" typ="典型値" max="最大値" > </constraint> </pre>	N/A N/A N/A N/A	string string string string	特性インピーダンス制約。 インピーダンスマッチングを要求するportと、特性インピーダンス値を定義する。 インピーダンスマッチングを要求するportの端子番号 インピーダンスマッチングを要求するportの端子番号 インピーダンスマッチングを要求するportが属する端子グループ名。 グループに属する全てのportに対し制約を適用する。 portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述すること。 特性インピーダンスのタイプ。省略時はシングルエンドの特性インピーダンスを意味する。 single ... シングルエンドの特性インピーダンス differential ... 差分インピーダンス (oddインピーダンス) common ... コモンインピーダンス (evenインピーダンス) 最小値要求値 典型値 最大値要求値	Defines the constraints for the upper hierarchy. Defines the min/typ/max characteristic impedance. You specify port(s) requiring an impedance matching and the impedance value. Specifies the port name. Specifies the port ID. Specifies the group name. The port(s) must be specified with either port name (port_name), port ID (port_id) or group name (group_name). Defines a type of the characteristic impedance. If the type is not defined, the "single" is set as the default. single ... single-ended signal differential ... differential mode of differential signal common ... common mode of differential signal Specifies min/typ/max impedance value.	<pre> <portgroup name="OK"> <ref port name="OK_N"> /> <ref port name="OK_P"> /> </portgroup> <constraint> <impedance port_name="DQ1" type="single" min="45" typ="50" max="55"> /> <impedance port_id="A1" type="single" typ="50"> /> <impedance group_name="OK" type="differential" typ="100"> /> </constraint> </pre>
<pre> <delay> port_name="端子名" port_id="端子番号" group_name="端子グループ名" min="最小遅延" typ="典型値" max="最大遅延" > </delay> </pre>	N/A N/A N/A	string string string	遅延制約。 遅延制約を要求するportと、要求する遅延値を定義する。 遅延制約を要求するportの端子番号 遅延制約を要求するportが属する端子グループ名。 グループに属する全てのportに対し制約を適用する。 portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。 最小値要求値 典型値 最大値要求値	Defines the min/typ/max delay. You specify port(s) requiring a delay and the delay value. Specifies the port name. Specifies the port ID. Specifies the group name. The port(s) must be specified with either port name (port_name), port ID (port_id) or group name (group_name). Specifies min/typ/max delay value.	<pre> <portgroup name="BUS"> <ref port name="SIG1"> /> <ref port name="SIG2"> /> <ref port name="SIG3"> /> </portgroup> <constraint> <delay port_name="CLK" min="10" typ="12" max="15"> /> <delay port_id="D3" typ="5"> /> <delay group_name="BUS" min="50" typ="55" max="60"> /> </constraint> </pre>
<pre> <skew> group_name="端子グループ名" reference_port_name="基準端子名" reference_port_id="基準端子番号" min="最小遅延" max="最大遅延" > </skew> </pre>	N/A N/A N/A	string string string	スキュー制約。 スキュー制約を要求するportのグループ(group_name)と、要求するスキュー値を定義する。 スキューの基準信号となる基準端子(reference_port_name、reference_port_id)を指定した場合、その基準端子の信号遅延を基準としたmax、minの双方でスキュー制約を定義する。基準端子を指定しない場合は、maxもしくはminの何れかでスキュー制約を定義する。maxが指定された場合は最も遅い信号を基準としたスキュー制約、minが指定された場合は最も速い信号を基準としたスキュー制約となる。 スキュー制約を要求するportが属する端子グループ名。 ここで指定した端子グループに属するport全てがスキュー制約を要求する。 スキュー基準信号となる基準端子の端子番号。 スキュー基準端子は、端子名(reference_port_name)か端子番号(reference_port_id)で指定する。双方を同時に記述することはできない。 min="最小遅延" max="最大遅延"	Defines the skew. You specify port group name requiring a skew and the skew value. If you specify the reference port, the port must be specified with either port name (reference_port_name) or port ID (reference_port_id). Specifies the port group name. It is required that all port(s) belonging to the specified port group should satisfy a constraint of skew. Specifies the port name. It used as a skew standard signal. The skew standard port(id) must be specified with either port name (port_name) or port ID (port_id). Specifies min/max skew value. Refer to the following figure how to set the skew constraint. Case1: The reference port is specified. Skewset1: The constraints are defined with min/max values. Case2: The reference port is not specified. Skewset2: The constraint is defined with only max value, refer to the fastest port in the group. Skewset3: The constraint is defined with only min value, refer to the slowest port in the group.	<pre> <portgroup name="skewset1"> <ref port name="port1"> /> <ref port name="port2"> /> <ref port name="port3"> /> </portgroup> <portgroup name="skewset2"> <ref port name="port4"> /> <ref port name="port5"> /> <ref port name="port6"> /> </portgroup> <portgroup name="skewset3"> <ref port name="port7"> /> <ref port name="port8"> /> <ref port name="port9"> /> </portgroup> <skew group_name="skewset1" reference_port_name="port0" min="-5" max="10"> /> <skew group_name="skewset2" max="5"> /> <skew group_name="skewset3" min="-10"> /> </pre>

<pre> <guard.shield port_name="端子名" oort_id="端子番号" group_name="端子グループ名" shieldnet_port_name="端子名" shieldnet_port_id="端子番号" / 0--1 </constraint> 0--1 </socket> 0--1 </specification> 0--1 </pre>	N/A N/A N/A N/A	string string string string	シールド要求。 シールドを要求する信号を入力するportと、シールドに用いる信号を入力しているportを指定する。 シールドを要求するoortの端子番号 シールドを要求するportに属する端子グループ名。 ここで指定した端子グループに属するport全てがシールドを要求する。 portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。 シールドに用いる信号を入力しているportの端子番号。 シールドを要求するportに属する端子番号。 端子名 (shieldnet_port_name) か端子番号 (shieldnet_port_id) の何れかで定義する。 双方を同時に記述することはできない。	Defines the shielding constraint. Specifies the oort name which requires a euard shield. Specifies the oort ID which requires a euard shield. Specifies the group name which requires a guard shield. It is required that all port(s) belonging to the specified port group should satisfy a constraint of guard.shield. The port(s) must be specified with either port name (port_name), port ID (port_id) or group name (group_name). Specifies the port name which is the signal used for a shield. Specifies the port ID which is the signal used for a shield. The shieldnet_port(s) must be specified with either port name (shieldnet_port_name) or port ID (shieldnet_port_id).	 <pre> <guard.shield port_name="CLK" shieldnet_port_name="VSS" /> </pre>
<pre> <power min="最小値" typ="典型値" max="最大値" / 0--1 </specification> 0--1 </pre>	power power power	double double double	動作仕様 消費電力: 機能ブロックの消費電力 最小値 典型値 最大値	Defines the min/typ/max power consumption.	
<pre> <reference xmlns:ZZZZZ="http://www.jeita.or.jp/LPB/ZZZZZ" refFile="参照ファイル名" format="言語フォーマット" distance="長さ単位系" scale="縮尺率" > </pre>	N/A N/A N/A N/A	string string string double	上位階層と、このコンポーネントファイルでラップ(wrap)する機能ブロックの接続手続きを定義する。信号接続以外に、物理形状の座標変換やスケール変換も行う。 XML構文のnamespace宣言、ZZZZZの部分は、参照する言語フォーマットにより以下の何れかのキーワードとなる。記述例参照 <pre> verilog def spice dxf gds xrl ibis JLPB </pre> 参照するファイル名。 このコンポーネントフォーマットファイルで、ラップ(wrap)する機能ブロックが定義されたファイル名。 機能ブロックの設計言語フォーマット。 SPICE、IBIS、XFL、VERILOG、DEF、GDS、DXF 参照するファイルの単位系を指定する。 DXFのような明確な単位系を持たない図形データに対して座標単位を与える場合に使用する。 um ... ミクロメートル mm ... ミリメートル cm ... センチメートル m ... メートル ラップする図形データの縮尺率。(0より大きい実数値。)	Defines the connection procedure between ports in socket section and ports in referenced file. XML namespace definition for the referenced file format. The ZZZZZ is replaced to the following keyword accordint to the referenced file format. See examples. <pre> verilog def spice dxf gds xrl ibis JLPB </pre> Specifies the name of reference file. Specifies the design language format. SPICE, IBIS, XFL, VERILOG, DEF, GDS, DXF. Specifies the local unit for refFile without unit definition. Specifies the scale rate of a figure. (A larger real value than 0.)	
<pre> <connection socket_name="インスタンス名" port_name="端子名" port_id="端子番号" > </pre>	N/A N/A N/A	string string string	ソケット部(socket)で定義した端子(port)と、参照しているファイルの入出力端子との対応関係を定義する。参照するファイルの設計言語によって接続記述方式は異なる。以下に、代表的な例を挙げる。 例えば、verilogのようにポートが明確に定義されている言語は、「モジュール名」と「ポート名」の組み合わせで参照される。 <pre> <connect socket_name="socket1" port_id="A1"> <verilogref.port module="topmodule" portname="DQ1"/> </connect> </pre> この例では、インスタンス名socket1で定義されるソケットに属するA1端子は、verilog記述のtopmoduleのDQ1端子と関連付けられる。 Spiceネットワークでは、サブサーキット名とポート記述での参照となる。 <pre> <connect socket_name="socket1" port_id="A1"> <spiceref.port subckt="spicetop" port_id="5"/> </connect> </pre> この例では、socket1のA1端子はspiceのサブサーキットspicetopの5番目に定義されている端子と関連付けられる。 DEFでは、IOセルのコンポーネント名とピン名の組み合わせで参照するケースと、ピンを直接参照するケースが考えられる。 <pre> <connect socket_name="socket1" port_id="A1"> <defref.port comp="BSIO1" pinname="Z"/> </connect> <connect socket_name="socket1" port_id="A1"> <defref.port pinname="IO1"/> </connect> </pre> DXFのような明確なポート定義を持たない図形表現言語では、座標による参照となる。 <pre> <connect socket_name="socket1" port_id="A1"> <defref.port x="222" y="999" layer="M1"/> </connect> </pre> この例では、socket1のA1端子は、図面データのM1層の(222, 999)座標に位置していることを意味する。 ソケットのインスタンス名。 socket_nameで参照したソケットに属するportの端子番号 socket_nameで参照したソケットに属するportの端子番号 端子番号が端子番号の何れかで参照する。双方を同時に記述することはできない。	Defines the connection between socket ports and terminal in refFile. Defines the instance name of socket. Specifies the port ID. Specifies the port name. The port is specified with oort name (oort name) or oort ID	
<pre> <verilogref.port module="モジュール名" portname="ポート名" / 0--1 </pre>	N/A N/A	string string	verilogの参照 参照するverilogのモジュール名 参照するポート名。上記moduleで指定したモジュールに属するポートであること。	Verilog means the logic language used by the logic simulator for a design. module : module name in verilog file portname : port name in the module.	<pre> <reference xmlns:verilog="http://www.jeita.or.jp/LPB/verilog" refFile="XXXX.ver" format="VERILOG"> <connection socket_name="socket1" port_id="A1"> <verilogref.port module="topmodule" portname="DQ1"/> </connection> <connection socket_name="socket1" port_id="A2"> <verilogref.port module="topmodule" portname="DQ2"/> </connection> <connection socket_name="socket1" port_id="A3"> <verilogref.port module="topmodule" portname="DQ3"/> </connection> </reference> [XXXX.ver] module topmodule(DQ1,DQ2,DQ3) </pre>
<pre> <defref.port comp="コンポーネント名" pinname="ピン名" / 0--1 </pre>	N/A N/A	string string	DEFの参照 参照するDEFのコンポーネント名 参照するピン名。 コンポーネント名(comp)が定義されている場合は、そのコンポーネントに属するピンの名称であること。 コンポーネント名が記述されていない場合は、DEFのPINSセクションで定義されるピンの名称を意味する。	DEF(Design Exchange Format) means the design information technology format. comp : component name in DEF file. pinname : pin name in DEF file.	<pre> <reference xmlns:def="http://www.jeita.or.jp/LPB/def" refFile="XXXX.def" format="DEF"> <connection socket_name="socket1" port_id="A1"> <defref.port comp="SBIO1" pinname="Z"/> </connection> <connection socket_name="socket1" port_id="A2"> <defref.port comp="SBIO2" pinname="Z"/> </connection> <connection socket_name="socket1" port_id="A3"> <defref.port comp="SBIO2" pinname="Z"/> </connection> </reference> [XXXX.def] COMPONENTS 100; - SBIO1 io ; - SBIO2 io ; - SBIO3 io ; END COMPONENTS [YYYY.def] PINS 10; - PIN1 oDQ1; - PIN2 oDQ2; - PIN3 oDQ3; END PINS </pre>

<pre> <spiceref port subckt="サブサーキット名" portid="ポートの記述欄等" /> </pre>	N/A N/A	string string	SPICEの参照 参照するspiceのサブサーキット名 参照するポートが記述されている語彙。上記サブサーキット(subckt)に属するポートであること	SPICE (Simulation Program with Integrated Circuit Emphasis) is a language corresponding to the software which simulate the analog operation. subckt: sub-circuit name in spice file. portid: the order of i/o in sub-circuit.	<pre> <reference xmlns:spice="http://www.jeita.or.jp/LPB/spice" refid="XXXX.sp" format="SPICE"> <connection socket_name="socket1" port_id="A1"> <spiceref port subckt="top" portid="3"/> </connection> <connection socket_name="socket1" port_id="A2"> <spiceref port subckt="top" portid="2"/> </connection> <connection socket_name="socket1" port_id="A3"> <spiceref port subckt="top" portid="1"/> </connection> </reference> [XXXXX.sp] subckt top p1 p2 p3; </pre>
<pre> <dxref port x="x座標" y="y座標" layer="レイヤ" mount="配置面" /> </pre>	distance N/A N/A	double string string	DXFの参照 参照する端子のXY座標 参照する端子が位置する層。 端子の配置面。 TOP ... 配置面のTOP面に端子が配置されている BOTTOM ... 配置面のBOTTOM面に端子が配置されている	DXF is a CAD data file format for drawing that is widely used for exchanging data between EDA tools. x, y: XY coordinates of referred port. layer: The layer that the port exists. mount: TOP: The port exists above the layer. BOTTOM: The port exists below the layer.	<pre> <reference xmlns:dx="http://www.jeita.or.jp/LPB/dx" refid="XXXX.dxf" format="DXF" distance="mm"> <connection socket_name="socket1" port_id="A1"> <dxref port x="100" y="8978" layer="L1" module="TOP"/> </connection> <connection socket_name="socket1" port_id="A2"> <dxref port x="200" y="8978" layer="L1" module="TOP"/> </connection> <connection socket_name="socket1" port_id="A3"> <dxref port x="300" y="8978" layer="L1" module="TOP"/> </connection> </reference> </pre>
<pre> <gdsref port x="x座標" y="y座標" layer="レイヤ" /> </pre>	distance N/A	double string	GDS/GDSIIの参照 参照する端子のXY座標 参照する端子が位置する層。	GDS/GDS II is a CAD data file format for IC layout that is the de facto industry standard. x, y: XY coordinates of referred port. layer: The layer that the port exists.	<pre> <reference xmlns:gds="http://www.jeita.or.jp/LPB/gds" refid="XXXX.gds" format="GDS"> <connection socket_name="socket1" port_id="A1"> <gdsref port x="100" y="8978" layer="L1"/> </connection> <connection socket_name="socket1" port_id="A2"> <gdsref port x="200" y="8978" layer="L1"/> </connection> <connection socket_name="socket1" port_id="A3"> <gdsref port x="300" y="8978" layer="L1"/> </connection> </reference> </pre>
<pre> <xlfref port component="コンポーネント" pinname="ピン名" /> </pre>	N/A	string	XFLの参照 参照するXFLのコンポーネント名 参照するピン名。 上記コンポーネントに属するピンであること。	XFL is a language for describing layout of PKG or PCB. component: component name in XFL file. pinname: pin name in XFL file.	<pre> <reference xmlns:xfl="http://www.jeita.or.jp/LPB/xfl" refid="XXXX.xfl" format="XFL"> <connection socket_name="socket1" port_id="A1"> <xlfref port component="NEWSIDIE" pinname="1"/> </connection> <connection socket_name="socket1" port_id="A2"> <xlfref port component="NEWSIDIE" pinname="2"/> </connection> <connection socket_name="socket1" port_id="A3"> <xlfref port component="NEWSIDIE" pinname="3"/> </connection> </reference> [XXXX.xfl] part DIE R-135-135 135 135 0 S 0 [1 -4 -5 B 4 2 -3 -5 B 4 3 -2 -5 B 4 :] and part component NEWSIDIE DIE 0 0 1 0 and component </pre>
<pre> <ibisref port module="コンポーネント名" portname="端子名" /> </pre>	N/A	string	IBISの参照 参照するmoduleのコンポーネント名 参照するPINのsignal name.	IBIS (I/O buffer information specification) model is a language for describing the electrical characteristics of input/output signals of LSI and PKG. When you refer to IBIS, define the model name of IBIS to refer to at module, and the port name to refer to at portname. module: [Component] name in the IBIS file. port name:[Pin] signal name in the IBIS file.	<pre> <reference xmlns:ibis="http://www.jeita.or.jp/LPB/ibis" refid="XXXX.ibs" format="IBIS"> <connection socket_name="socket1" port_id="A1"> <ibisref port component="DDR3-1Qbx16" signal_name="Vddq"/> </connection> <connection socket_name="socket1" port_id="A2"> <ibisref port component="DDR3-1Qbx16" signal_name="DQIUS"/> </connection> <connection socket_name="socket1" port_id="A3"> <ibisref port component="DDR3-1Qbx16" signal_name="DQU7"/> </connection> </reference> XXXX.ibs [IBIS ver] 4.2 [File name] XXXXXX.ibs [Component] DDR3-1Qbx16 [Manufacturer] JEITA,FACT [Package] [variable] tp min max R.pk 0.5 0.4 0.6 L.pk 1.5nH 1.0nH 2.0nH C.pk 0.4pF 0.2pF 0.6pF [Pin] signal_name model_name R_pin L_pin C_pin A1 Vddq POWER A2 DQIUS DQ.MODEL 0.58 1.9nH 0.58pF A3 DQU7 DQ.MODEL 0.57 1.85nH 0.57pF ---</pre>
<pre> <jlplibref port module="モジュール名" socket="ソケット名" portname="端子名" portid="端子番号" /> </pre>	N/A N/A N/A N/A	string string string string	JEITA コンポーネントファイルの参照 参照するコンポーネントファイルのモジュール名 インスタンス名。ユニークであること。 参照するsocketに属するソケットであること。 参照するportの端子番号。上記socketに属するportであること。 参照するportの端子番号。上記socketに属するportであること。 portは、端子番号(port.id)か端子名(port.name)の何れかで指定する。双方を同時に記述することはできない。	JLBP means the C-Format files of JEITA LPB standard format. module: module name in C-Format file. socket: socket name in the module. port.name/port.id: port name/id in the socket.	
<pre> <xxxref port> (任意) /> </pre>			縮小された接続方式。これらどう解釈するかはXXXを入力する側のベンダと、XXXを提供する側のベンダとのライセンスで管理する		
</connection>					
0***					
</reference>					
0***1					
</module>					
1***					
<pre> <component> (placement) ref_module="参照モジュール名" inst="インスタンス名" distance="長さ単位系" angleunit="角度単位系" scale="縮尺率" x="x座標" y="y座標" z="z座標" flip="フリップタイプ" angle="回転角度" layer="層" mount="配置面" /> </pre>	N/A N/A N/A N/A N/A N/A N/A N/A N/A N/A	string string string string double double double string double double string string	このコンポーネントファイルに定義したmoduleの配置情報や、配置したmodule間の制約を定義する。 機能ブロックの配置 参照する機能ブロックのモジュール名。 インスタンス名。ユニークであること。 配置するmoduleの長さに対する単位系の定義。 DXFのような明確な単位系を持たない図形データに対して座標単位を定義する場合に使用する。 um ... ミクロンメートル mm ... ミリメートル cm ... センチメートル 配置するmoduleの角度に対する単位系の定義 degree ... 度数(度) radian ... 弧度(ラジアン) 縮尺率 (0より大きい実数値) 参照する機能ブロックを配置するXY座標。 機能ブロックの原点を、ここで定義したXY座標に配置する。 z座標: layerからの距離、省略時は0。 フリップタイプ X ... X軸を中心としたフリップ(上下反転) Y ... Y軸を中心としたフリップ(左右反転) 回転角度。参照ファイルの機能ブロックの原点を中心とした反時計回りの回転角度 フリップー回転の順番で実施される 層: 配置される層(L1, L2, L3 ...) 配置面: TOP...対象レイヤのTOP面に機能ブロックを配置 BOTTOM...対象レイヤのBOTTOM面に機能ブロックを配置	Defines the module(s) placement. Specifies the module name. Defines the instance name of sockets. The name should be unique. Specifies the local unit for module without unit definition. Specifies the local unit for module without unit definition. Specifies the scale rate. (A larger real value than 0) Specifies coordinate of origin. Specifies the Z coordinate. Specifies the type of flip. X: flip vertical. Y: flip horizontal. Specifies the angle of the counterclockwise rotation with respect to the local origin. Specifies the placement layer.(L1,L2,L3 ...) Specifies the placement side: TOP: ref.module is placed the upper surface of target layer. BOTTOM: ref.module is placed the under surface of target layer.	
0***					
</component>					
<JEITA LPB CFORMAT>					

<JEITA LPB_RFORMAT>			
<header>			1
project	1		
design revision	1		
date	0...1		
author	0...1		
email	0...1		
company	0...1		
/>			
<global>			1
<unit>			1
<distance>	0...1		
<angle>	0...1		
<area>	0...1		
<time>	0...1		
<resistivity>	0...1		
<temperature>	0...1		
<voltage>	0...1		
<power>	0...1		
<inductance>	0...1		
<frequency>	0...1		
<impedance>	0...1		
</unit>			
<shape>			0...
<rectangle>	0...		
<circle>	0...		
<polygon>	0...		
</shape>			
<padstack def>			0...
<padstack>	1...		
<ref shape>	1...		
</padstack>			
</padstack def>			
</global>			
<Physicaldesign name>			1...
<default/>	0...1		
<material def>			0...1
<conductor>	0...		
<dielectric>	0...		
</material def>			
<layer def>			0...1
<layer>	1...		
<line_width>	0...1		
<area limit>	0...1		
</layer>			
</layer def>			
<spacing def>			0...1
<layer>	1...		
<line_to_line>	0...1		
<line_to_via>	0...		
<line_to_polygon>	0...1		
</layer>			
</spacing def>			
<pitch def>			0...1
<via pitch>	1...		
</pitch def>			
<bondingwire def>			0...1
<bondingwire>	1...		
<forward>	0...		
<backward>	0...		
<length>	0...1		
</bondingwire>			
</bondingwire def>			
<ball def>			0...1
<ball>	1...		
<frustum>	1...		
</ball>			
</ball def>			
<mold>			0...1
<conductor_struct>			0...1
<trapezoidal_angle>	0...		
<surface_roughness>	0...		
</conductor_struct>			
</Physicaldesign>			
<Constrainrule>			0...1
<height limit>	0...1		
<top>	0...		
<bottom>	0...		
</height limit>			
<design rule area>	0...1		
</Constrainrule>			
</JEITA LPB_RFORMAT>			

概要、詳細に関する記載注意事項

<>から</>までをセクションと呼ぶことにします

例

```
<port id="端子番号" x="x座標" y="y座標" >
  <inductance min="最少値" max="最大値" />
  <delay min="最少遅延" max="最大遅延" />
</port>
```

inductanceセクション
delayセクション
portセクション

セクションの下に、そのセクションの繰り返し回数を表記します

```
<port id="端子番号" x="x座標" y="y座標" >
  <inductance min="最少値" max="最大値" />
  0...1
  <delay min="最少遅延" max="最大遅延" />
  0...1
</port>
1...
```

0から1回の繰り返し。即ちinductanceセクションは無くてもよい
0から1回の繰り返し。即ちdelayセクションは無くてもよい
1以上の繰り返し。即ち一個以上のportセクションが必要

オプションな項目はイタリック文字で表記します
必須項目は**ボールド文字**で表記します

例

```
<module
  name="機能ブロック名"
  type="機能ブロック属性"
  shape_id="参照shape識別番号"
  x="x座標"
  y="y座標"
>
```

オプション項目
オプション項目
オプション項目

Syntax convention

LPB format form a tree structure.

Example.

```
<port id="port id" x="x coordinate" y="y coordinate" >
  <inductance min="minimum value" max="maximum value" />
  <delay min="minimum delay" max="maximum delay" />
</port>
```

<inductance> section
<delay>section
<port> section

A...B means that you can repeat the previous section from A times to B times.
A... means that you can repeat the previous section from A times to infinite.
A means that this section should be repeated A times.

Example

```
<port id="port id" x="x coordinate" y="y coordinate" >
  <inductance min="minimum value" max="maximum value" />
  0...1
  <delay min="minimum delay" max="maximum delay" />
  0...1
</port>
1...
```

<inductance> section can be repeated from 0 time to 1 time.
It means that <inductance> section is optional.
<delay> section can be repeated from 0 time to 1 time.
It means that <delay> section is optional.
<port> section should be repeated 1 time to infinite.
It means <port> section is required.

Italic notation means an item is optional.
Bold notation means an item is required.

```
<module
  name="BlockName"
  type="BlockType"
  shape_id="referenced shape id"
  x="x coordinate"
  y="y coordinate"
>
```

Optional item
Optional item
Optional item

座標、表裏はすべてTOP Viewから見たものとし、TOPとBOTTOMはユーザ側にて定義する。

座標、表裏はすべてTOP Viewから見たものとし、TOPとBOTTOMはユーザ側にて定義する。	単位	文字種	フォーマット説明	説明のフォーマット	記述例 (Example)
<--- Data: 2012.3.31 --->	unit	文字種	コメントは <!-- --> で囲む	A comment starts with "<!--" and finishes with "-->".	
<JEITA LPB RFORMA version# バージョン番号 >	N/A	string	仕様バージョン番号	Format version number	
Header			headerセクションはデザインールファイルの管理情報を与える。 利用者は、headerセクションを処理することにより、このファイルが使用されているプロジェクト名 (project)、作成日 (date)、作成者 (author, email, company)、管理番号 (design revision) を入手可能となる。 プロジェクト名、プロジェクト多実装するユニークな名前 ファイルバージョン 作成日 作成者 作成者のメールアドレス 作成者の会社名	Defines the name of orioect. The name needs to be unique. Defines the revision number. Defines the creation date. Defines the author's name. Defines the author's E-mail address. Defines the author's company.	Header project="JEITA LPB_SAMPLE_PROJECT" design revision="1.3" date="20120331" author="kaname ozawa" email="ozawa@jeita.jp" company="JEITA" />
global			globalセクションでは、単位系 (unit)、基本形状 (shape)、padstack (padstack_def) を定義する。 globalセクションで定義された情報の有効範囲 (スコープ) は、このデザインールファイル全体に及ぶ。	The global section defines the unit "unit", shape "shape", and padstack "padstack_def". The scope of global variable is whole of the file.	
unit			このデザインールファイルで使用する単位系を定義する。 ここで定義した単位系は、このデザインールファイル全体で有効。 基本単位とSI接頭辞で表現する。 SI接頭辞 Y e+24 Z e+21 E e+18 P e+15 T e+12 G e+9 M e+6 k e+3 h e+2 da e+1 d e+1 c e+2 m e-3 u e-6 n e-9 p e-12 f e-15 a e-18 z e-21 y e-24	Defines the unit.	<unit> <distance unit="um"> /> <angle unit="degree"> /> <area unit="um2"> /> <time unit="ps"> /> <resistivity unit="ohmm"> /> <temperature unit="C"> /> <voltage unit="mV"> /> <power unit="mW"> /> <inductance unit="nH"> /> <frequency unit="MHz"> /> <impedance unit="ohm"> /> </unit>
<distance unit="基本単位"> />	N/A	string	長さ単位: m	The unit of length	
<angle unit="角度単位"> />	N/A	string	角度単位: degree, radian	The unit of angle	
<area unit="面積単位"> />	N/A	string	面積単位: m2	The unit of area	
<time unit="時間単位"> />	N/A	string	時間単位: s	The unit of time	
<resistivity unit="体積抵抗率単位"> />	N/A	string	体積抵抗率単位: ohmm (Ω・m)	The unit of resistivity of conductor	
<temperature unit="温度単位"> />	N/A	string	温度単位: C (degree Celsius), K (kelvin)	The unit of temperature	
<voltage unit="電圧単位"> />	N/A	string	電圧単位: V	The unit of voltage	
<power unit="消費電力単位"> />	N/A	string	消費電力単位: W	The unit of watt	
<inductance unit="インダクタンス単位"> />	N/A	string	インダクタンス単位: H	The unit of inductance	
<frequency unit="周波数単位"> />	N/A	string	周波数単位: Hz	The unit of frequency	
<impedance unit="インピーダンス単位"> />	N/A	string	インピーダンス単位: ohm	The unit of impedance	
</unit>					
shape			shapeセクションでは、padstack (padstack_def) を構成する基本形状を定義する。 例えば、ボンディングパッドやビアランドの形状/サイズなどである。 原点: 矩形の中心	Defines the shape. The angle is the counterclockwise rotation with respect to the local origin. Defines the identification number. Defines the width. Defines the height. Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default	<shape> <rectangle id="矩形番号" width="幅" height="高さ" angle="回転角度" /> </shape>
<rectangle id="矩形番号" width="幅" height="高さ" angle="回転角度" />	N/A distance	string double	回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。		
<circle id="圓形番号" diameter="直径" />	N/A distance	string double	原点: 円の中心	Defines the shape of circle. The origin is center of circle. Defines the identification number. Defines the diameter.	<shape> <rectangle id="SQ_50um" width="50" height="50" /> <rectangle id="SQ_6000um_6000um" width="6000" height="6000" /> <rectangle id="Rec_6000um_8000um" width="6000" height="8000" /> <circle id="Cir_100um" diameter="100" /> <circle id="Cir_200um" diameter="200" /> <circle id="Cir_250um" diameter="250" /> </shape>
<circle id="圓形番号" diameter="直径" />	N/A distance	string double	原点: 円の中心		
<polygon id="多角形番号" points="x座標,y座標 x座標,y座標..." angle="回転角度" />	N/A distance	string double	原点: shape作成時に任意な点を原点と定義する。通常はshape中心を定義する。 回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。	Defines the shape of polygon. The origin is set to (0, 0). The angle is the counterclockwise rotation with respect to the local origin. Defines the identification number. Defines the points of XY coordinates. Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default	
</shape>					
padstack_def			padstackセクションでは、各レイヤに対するパッドの組み合わせを構成したものを定義する。 代表例に、基板のレイヤ間を接続するビアが挙げられる。 また単独レイヤに存在するダイパッド/パッケージボールランド/ボンディングパッドなども padstackとして定義される。	Defines the padstack.	<padstack_def> <padstack id="VIA_L1_L4" type="VIA"> <ref shape shape_id="Cir_200um" x="0" y="0" type="Hole" layer="L1" /> <ref shape shape_id="Cir_100um" x="0" y="0" type="Hole" layer="L1" /> <ref shape shape_id="Cir_200um" x="0" y="0" type="Land" layer="L2" /> <ref shape shape_id="Cir_100um" x="0" y="0" type="NonConnection" layer="L2" /> <ref shape shape_id="Cir_200um" x="0" y="0" type="Land" layer="L3" /> <ref shape shape_id="Cir_100um" x="0" y="0" type="NonConnection" layer="L3" /> <ref shape shape_id="Cir_200um" x="0" y="0" type="Land" layer="L4" /> <ref shape shape_id="Cir_100um" x="0" y="0" type="NonConnection" layer="L4" /> </padstack>
<padstack id="padstack識別番号" type="padstackタイプ" />	N/A	string	padstack識別番号: padstack多実装するための識別番号 padstackのタイプ VIA ... VIAの形状の定義 DIE_PAD ... DIEのパッド形状の定義 BALL_PAD ... パッケージのBALL形状の定義 BOND_PAD ... パッケージのボンディングパッド/FC/PADの形状の定義	Defines the identification number Specifies the padstack types: VIA ... via. DIE_PAD ... die pad. BALL_PAD ... solder ball pad. BOND_PAD ... bonding pad, flipchip pad.	<padstack_def>
<ref shape shape_id="参照shape識別番号" x="x座標" y="y座標" type="pad形状" />	N/A distance	string double	参照shape識別番号: 参照するshapeの識別番号 x座標, y座標: 参照するshapeの原点座標	Specifies the shapes of padstack. shape_id ... Specifies the identification number of predefined shape. XY coordinates ... Specifies coordinate of origin. If it is not specified, the origin (0, 0) is set as the default. Antipad ... The diameter of clearance. NonConnection ... The land of Non-connection. Land ... Normal land. Drill ... The diameter of the drill. The outside diameter of the via. Hole ... The diameter of the hole. The inside diameter of the via.	</padstack_def>
<ref shape shape_id="参照shape識別番号" x="x座標" y="y座標" type="pad形状" />	N/A	string	pad形状 Antipad ... クリアランス径 NonConnection ... 未接続ランド Land ... 通常ランド Drill ... キリ径、ビア外径 Hole ... 穴径、ビア内径		
<ref shape shape_id="参照shape識別番号" x="x座標" y="y座標" type="pad形状" />	angle	double	回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。	angle ... Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.	
<ref shape shape_id="参照shape識別番号" x="x座標" y="y座標" type="pad形状" />	N/A	string	層: 参照するshapeを配置するレイヤ	layer ... Specifies placement layer.	
</padstack>					
</padstack_def>					
</global>					

Physical design name="デザインルール名")			Physical design セクションでは、材料(material.def)、レイヤ(layer.def)、スペース(spacing.def)、ピッチ(pitch.def)、ボンディングワイヤー(bondingwire.def)、ボール(ball.def)、モールド形状(mold.def)、導体構造(conductor.struct)、搭載部品(component.def)といった物理パラメータを定義する。	Defines the following physical design rules. - material <material.def> - layer <layer.def> - space <spacing.def> - via pitch <pitch.def> - bonding wire <bondingwire.def> - solder ball <ball.def> - mold form <mold.def> - conductor structure <conductor.struct> - component <component.def>	
<default>			<default> キーワードが定義されると、このルールはエリア全体に及ぶ。	If <default> attribute is specified, this rule is applied to all area.	
material.def			材料定義 本デザインで使われる材料を定義する。	Defines the material.	material.def
<conductor material="材料名" volume_resistivity="体積抵抗率" temperature="抵抗率測定温度"> 〇<+>	N/A	string double	導体 材料名: COPPERなどの導体名	Defines the conductor. Specifies the name of conductor. Specifies the volume resistivity of conductor. Specifies the temperature condition of the volume resistivity of conductor.	<conductor material="COPPER" volume_resistivity="1.68e-8" temperature="20"> <conductor material="GOLD" volume_resistivity="2.33e-8" temperature="20"> <conductor material="SOLDER" volume_resistivity="2.17e-7" temperature="20"> <dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" frequency="1G"> <dielectric material="RESISTOR_INK" permittivity="4.5" tan_delta="0.035" frequency="1G"> <dielectric material="REGIN" permittivity="4.5" tan_delta="0.035" frequency="1G"> </material.def>
<dielectric material="材料名" permittivity="誘電率" tan_delta="誘電正接" frequency="測定周波数"> 〇<+>	N/A N/A frequency	string double double	絶縁体 材料名: FR-4などの絶縁体名	Defines the dielectric. Defines the name of dielectric. Specifies the dielectric constant(Dk). Specifies the dissipation factor(Df). Specifies the frequency of dielectric properties(Dk and Df).	
</material.def>					
0<+1					
layer.def			レイヤ定義 レイヤは上層から下層に向かって定義する。 一番最初に定義された層はTOP、一番最後はBOTTOMとなる。	Defines the layer stack up from top to bottom.	layer.def
<layer names="レイヤ名" type="dielectric もしくは conductor"> <+> thickness="厚み" plate_thickness="メッキ膜厚" conductor_material="導体材料" dielectric_material="絶縁材料"> 〇<+>	N/A N/A	string string	レイヤ定義 レイヤは上層から下層に向かって定義する。 一番最初に定義された層はTOP、一番最後はBOTTOMとなる。	Defines layer name. Specifies the layer types: Dielectric ... Dielectric layer Conductor ... Conductor layer Specifies the layer thickness. Specifies the plating thickness. Specifies the conductor material name. Specifies the dielectric material name.	<layer name="TOP SR" type="dielectric" thickness="20"> <dielectric material="RESISTOR_INK"> <layer name="L1" type="conductor" thickness="10" conductor material="COPPER"> </layer> <layer name="BU.1.2" type="dielectric" thickness="40" dielectric material="FR-4"> <layer name="L2" type="conductor" thickness="10" conductor material="COPPER"> </layer> <layer name="CORE" type="dielectric" thickness="100" dielectric material="FR-4"> <layer name="L3" type="conductor" thickness="10" conductor material="COPPER"> </layer> <layer name="BU.3.4" type="dielectric" thickness="40" dielectric material="FR-4"> <layer name="L4" type="conductor" thickness="10" conductor material="COPPER"> </layer> <layer name="BOTTOM SR" type="dielectric" thickness="20" dielectric material="RESISTOR_INK"> </layer>
<line width min="最小配線幅" max="最大配線幅"> 〇<+>	distance distance	double double	配線幅に関する制限 最大幅は定義しなくてもよい	Defines the design rule about line width. Specifies the minimum line width. Specifies the maximum line width.	
<area limit min="最小面積"> 〇<+>	area	double	面積に関する制限。これ以下の面積の導体パターンは作れない。	Defines the minimum area rule. Specifies the minimum metal area.	
</layer>					
1<+>					
</layer.def>					
0<+1					
spacing.def			スペース定義 配線間(<line.to.line>)、配線ビア間(<line.to.via>)、配線ポリゴン間(<line.to.polygon>)のスペースを定義する。	Defines the design rule about space. Spaces between lines(<line.to.line>), between line and vias(<line.to.via>), between line and polygons(<line.to.polygon>) are defined.	spacing.def
<layer names="レイヤ名"> <+> <line.to.line spaces="最小スペース"> 〇<+>	N/A	string	レイヤ名	Specifies the layer name.	<layer name="L1"> <line.to.line space="40"> <line.to.via via="VIA.L1.L2" space="40"> <line.to.polygon space="55"> </layer> <layer name="L2"> <line.to.line space="50"> <line.to.via space="50"> <line.to.via space="50"> <line.to.polygon space="55"> </layer> <layer name="L3"> <line.to.line space="50"> <line.to.via space="50"> <line.to.via via="VIA.L3.L4" space="50"> <line.to.polygon space="55"> </layer> <layer name="L4"> <line.to.line space="40"> <line.to.via space="40"> <line.to.polygon space="55"> </layer>
<line.to.via via="VIA名" spaces="最小スペース"> 〇<+>	N/A	string double	配線ビア間スペース VIA名が指定されていない場合は、全てのVIAとライン間に、このスペーシングルールが適用される。 VIAが指定されている場合は、指定されているVIAとライン間にのみルールが適用される。	Defines the space between line and via. Specifies the padstack-id of via that is applied to the spacing rule. Specifies the minimum space between line and via.	
<line.to.polygon spaces="最小スペース"> 〇<+>	distance	double	配線ポリゴン間スペース	Defines the space between line and a polygon. Specifies the minimum space between line and a polygon.	
</layer>					
1<+>					
</spacing.def>					
0<+1					
pitch.def			ピッチ定義 ビア間のセンター間ピッチ(<via.pitch>)を定義する	Defines the pitch between center to center of vias(<via.pitch>).	
<via.pitch> <+> via_id="padstack_id" via2="padstack_id" pitch="センター間ピッチ" samenet_pitch="同電位ビアのセンター間ピッチ" stacked_offset="スタックビアのスレ許容値"> 〇<+>	N/A N/A distance distance	string string double double	スタックビア禁止時に同電位ビアを最低距離す距離を定義する。 スタックビア許可時に許容されるピッチの許容値を定義する。	Specifies the padstack-id of vias for which the via-pitch rule applies. Specifies the minimum pitch between two vias on different nets. Specifies the minimum pitch between two vias in same net. Specifies the maximum acceptable gap between center of stacked via.	<NG to use the stack via.> <pitch.def> <via.pitch via1="VIA.L1.L2" via2="VIA.L1.L2" pitch="250"> <via.pitch via1="VIA.L1.L2" via2="VIA.L2.L3" pitch="215" samenet_pitch="225"> <via.pitch via1="VIA.L2.L3" via2="VIA.L2.L3" pitch="300"> <via.pitch via1="VIA.L2.L3" via2="VIA.L3.L4" pitch="215" samenet_pitch="225"> <via.pitch via1="VIA.L3.L4" via2="VIA.L3.L4" pitch="250"> </pitch.def> <OK to use the stack via.> <pitch.def> <via.pitch via1="VIA.L1.L2" via2="VIA.L1.L2" pitch="250"> <via.pitch via1="VIA.L1.L2" via2="VIA.L2.L3" pitch="215" stacked_offset="75"> <via.pitch via1="VIA.L2.L3" via2="VIA.L2.L3" pitch="300"> <via.pitch via1="VIA.L2.L3" via2="VIA.L3.L4" pitch="215" stacked_offset="75"> <via.pitch via1="VIA.L3.L4" via2="VIA.L3.L4" pitch="250"> </pitch.def>
1<+>					
</pitch.def>					
0<+1					
bondingwire.def			ボンディングワイヤー定義 ボンディングワイヤー(<bondingwire>)の材質および形状パラメータを定義する。	Defines the bonding wire geometry and material.	
<bondingwire names="ワイヤー名" diameter="直径" material="ワイヤー素材"> <+>	N/A distance N/A	string double string	ワイヤー名: ワイヤー名称 直径: ワイヤー直径 ワイヤー素材: ワイヤー材料(Au, Cuなど)	Defines the name of bondine wire. Specifies diameter of bondine wire. Specifies the material name of bondine wire.	<JEDEC-4Point> <bondingwire.def> <bondingwire name="WIREBOND1" diameter="20" material="GOLD"> <forward horizontal length="0" vertical length="100"> <length min="500" max="3000"> </bondingwire>
<forward> <+> horizontal length="水平値" vertical length="垂直値" angle="角度" horizontal ratio="水平比"> 〇<+>	distance distance angle N/A	double double double double	forwardセクションは、真ボンディングの意味ではなく、1stボンディングポイント側の形状パラメータを表現するものである。 JEDEC-4Pointであれば、forwardセクションのみで表現可能となる。	Defines the bonding wire loop from die side. Reference of the following figure.	
<backward> <+> horizontal length="水平値" vertical length="垂直値" angle="角度" horizontal ratio="水平比"> 〇<+>	distance distance distance N/A	double double double double	backwardセクションは、逆ボンディングの意味ではなく、2ndボンディングポイント側の形状パラメータを表現するものである。 JEDEC-5Pointは、forwardセクションとの組み合わせで表現可能となる。	Defines the bonding wire loop from substrate side. Reference of the following figure.	<JEDEC-5Point> <bondingwire.def> <bondingwire name="WIREBOND2" diameter="20" material="GOLD"> <forward vertical length="100" angle="90"> <forward vertical length="0" horizontal ratio="0.125"> <backward angle="90" horizontal ratio="0.5"> <length min="500" max="3000"> </bondingwire>
<length min="最小長さ" max="最大長さ"> 〇<+>	distance distance	double double	最小長さ 最大長さ	Defines the bonding wire length. Specifies the minimum length of bondine wire. Specifies the maximum length of bondine wire.	
</bondingwire>					
1<+>					
</bondingwire.def>					
0<+1					

PCB/Package Data Exchange File (XFL) Format

1. Reserved Characters

- # any data after # sign in each line is ignored so the user may use it for comments.
- “ ” any data between two double quotation marks are considered as a string.

2. Structure

The XFL consists of several sections and each section start with a dot (.) followed by a key word. **.version**, **.unit**, and **.scale** sections consist of one line each. All other sections end with **.end** followed by the same key word. The key word in the **.end** line may be omitted. Except the **.version**, any section may be omitted.

.version x y

.unit [inch | mm]

.scale value

.layer

definition

.end [layer]

.shape

definition

.end [shape]

.board_geom

definition

.end [board_geom]

.padstack

definition

.end [padstack]

.part

definition

.end [part]

.component

definition

.end [component]

.netattr

definition

.end [netattr]

.netlist

definition

.end [netlist]

.via

definition

.end [via]

.bondwire

definition

.end [bondwire]

.route

definition

.end [route]

3. Description

.version x y

A version of the XFL file. x is a major version number, y is a minor version number. **.version** must appear before any other section appears.

<u>x</u>	integer
<u>y</u>	integer

.unit value

A geometric unit used throughout the XFL file. The value can be either **inch** or **mm**. If this section or the value is omitted, **inch** is assumed as a default.

value string (**inch** or **mm**)

.scale value

A geometric scale used throughout the XFL file. Actual dimension of the data in the file is determined by dividing the number by the scale value. For example, if the unit is set to **inch** and the scale is 1000, the geometric data represents mil or 1/1000 of inch. If the unit is set to mm and the scale is 1000, it is micron or micrometer. Default is 1.

value double

.layer
definition
.end [layer]

Layer stack up. Describes a layer stack up from top to bottom (or from front to back). Each layer is defined as:

name thickness type conducting dielectric1 [dielectric2 dielectric3]

where

<u>name</u>	Name of the layer enclosed by double quotation marks. If unknown, write "".
<u>thickness</u>	Thickness of the layer. If unknown, write 0.
<u>type</u>	Type of the layer. A single character defines the layer type. S for signal layer D for dielectric layer P for power or ground layer if it can be differentiated from the signal layer
<u>conducting</u>	Conducting material name if entered as a string enclosed by double quotation marks. Conductivity if entered as a number. Unit is 1/ohm.mm
<u>dielectric1</u>	Dielectric material name if entered as a string enclosed by double quotation marks. If entered as a number, this field is permittivity and the next two fields <u>dielectric2</u> and <u>dielectric3</u> are permeability and loss tangent, respectively.

Note: Throughout the XFL, signal layer numbers are the numbers that are numbered sequentially from the top by counting only the signal/power/ground layers.

.shape
definition
.end [shape]

Shape definition. This section defines shapes that can be referenced from other sections of the file. Available shapes are polygon, rectangle, square, diamond, circle, annular, oblong, finger, bullet, and composite. Each shape is defined as :

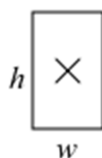
id keyword parameters

where the id is a number that will be referenced by others and it is sequentially numbered from 1. The keyword and parameters are described below.



id polygon {x1 y1 x2 y2 ...}

Vertices are enclosed by { } and data can be shown in more than one lines. The last point does not need to be the same as the first point. Reference point is at (0,0).



id rectangle width height

Each rectangle is defined by width and length and the definition must appear in one line. Reference point is at the center of the rectangle.



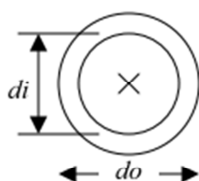
id square width

Each square is defined by width and the definition must appear in one line. Reference point is at the center of the square.



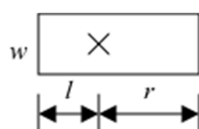
id circle diameter

Each circle is defined by radius and the definition must appear in one line. Reference point is at the center of the circle.



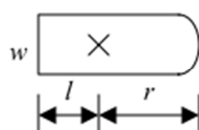
id annular *outer diameter inner diameter*

Each donut is defined by outer diameter and inner diameter and the definition must appear in one line. Reference point is at the center of the annular.



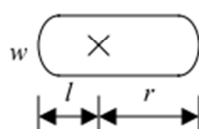
id oblong *width left right*

Each oblong is defined by width, left, and right. The definition must appear in one line. Reference point is shown at the left marked as X.



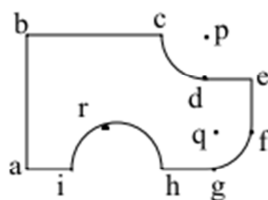
id bullet *width left right*

Each bullet is defined by width, left, and right. The definition must appear in one line. Reference point is shown at the left marked as X.



id finger *width left right*

Each finger is defined by width, left, and right. The definition must appear in one line. Reference point is shown at the left marked as X.



id composite {1st point segment1 segment2 ... }

Composite shape consists of lines and/or arcs. The definition is enclosed by { } and it can be shown in more than one lines. There are four types of segments – straight line, clockwise arc (**arc**), counter-clockwise arc (**rarc** or reverse arc) and arc defined by three points (**arc3**).

No keyword between two points indicates that they are connected by a straight line. A keyword **arc**, **rarc** or **arc3** between two points indicates that they are connected by a clockwise arc, a counter-clockwise arc or a three-point method arc, respectively. For **arc** and **rarc**, an arc origin appears after the arc ending point. For **arc3**, a middle point appears after the arc ending point.

The composite shape at the left can be described as:

2 composite {x_a y_a x_b y_b x_c y_c **rarc** x_d y_d x_p y_p x_e y_e x_f y_f **arc** x_g y_g x_q y_q x_h y_h **arc3** x_i y_i x_r y_r}

where the number 2 at the beginning is a shape id. Straight lines a-b and b-c, then a counter-clockwise arc from c to d with an origin at p. Straight lines d-e and e-f, then a clockwise arc from f to g with an origin at q. A straight line g-h and a three-point method arc from h to i with a middle point at r. Finally straight line from i to a. i to a is not defined but a straight line will connect the last point to the first point by default.

The same shape can also be described as:

2 composite {x_a y_a x_i y_i **arc3** x_h y_h x_r y_r x_g y_g **rarc** x_f y_f x_q y_q x_e y_e x_d y_d **arc** x_c y_c x_p y_p x_b y_b}

```
.board_geom
definition
.end [board_geom]
```

Exterior geometry of board or package is defined by one of the four methods shown below.

```

polygon {x1 y1 x2 y2 ...}
composite {1st point segment1 segment2 ... }
shape shapeID x y rotation mirror
shape shapeID x y mirror rotation
```

The method of defining **polygon** and **composite** are the same as described in the shape section.

The **shape** is placed by defining shape ID, x and y coordinates (global coordinates) of the shape origin (local origin), counter-clockwise rotation in degrees, and mirror indicator. Mirror indicators are:

X	mirror about X-axis
Y	mirror about Y-axis
N	no mirror

If the mirror indicator appears after the rotation, the mirror is performed after the rotation. If the mirror indicator appears before the rotation, the mirror is performed before the rotation.

Both mirror and rotation operations are performed with respect to the shape origin (local origin).

Holes (cutouts or voids) are defined by using one or more of the following methods.

```

void_polygon {x1 y1 x2 y2 ...}
void_rectangle width length x y
void_square width x y
void_diamond width x y
void_circle diameter x y
void_composite {1st point segment1 segment2 ... }
void_shape shapeID x y rotation mirror
void_shape shapeID x y mirror rotation
```

void_polygon, **void_composite**, and **void_shape** are defined the same way as **polygon**, **composite**, and **shape**, respectively.

void_rectangle, **void_square**, **void_diamond**, and **void_circle** are defined the same way as **rectangle**, **square**, **diamond**, and **circle** are defined in the shape section. They are placed at the coordinates x and y.

.padstack
definition
.end [padstack]

This section defines pad stacks and each pad stack is defined as:

pad stack id {pad1 pad2}

where the pad stack id is a number that will be referenced by vias in the via section and it is sequentially numbered from 1. As described below, Pads are defined only by using the predefined shapes in the shape section.

signal layer # shape id shape rotation apshape id ap shape rot

where

signal layer # Signal layer number as appeared in the layer section.

shape id Shape ID.

shape rotation Counter-clockwise rotation angle of the shape in degrees.

ap shape id Anti-pad shape ID. Anti-pad definition is optional.

ap shape rot Counter-clockwise rotation angle of the anti-shape in degrees.

.part
definition
.end [part]

Describes a part. Each part is defined as:

part name [shape llx lly urx ury height [type [**noflip**] **[material]**]]
 {pin1 pin2}

where part name is a name of the part. shape, llx, lly, urx, ury, height and **noflip** are optional. If the keyword **noflip** appears, part will not be flipped when it is place at the back side.

shape Top view shape of the part.
R for rectangle
C for circle
D for round-corner diamond

llx, lly Lower-left coordinates of bounding box

<u>urx, ury</u>	Upper-right coordinates of bounding box
<u>height</u>	Height
<u>type</u>	Part type
	R for resistor
	L for inductor
	C for capacitor
	S for solder balls
	D for die
	M for molding compound
	O for other types

material Optional. Material name enclosed by “ ”.

Pins are defined as:

pin name x y i/o type [pad_stack_id]

where

<u>pin name</u>	Name of the pin. If the name is not known, a sequential number will be used as a name.
<u>x</u> <u>y</u>	Location of the pin with respect to local origin
<u>i/o type</u>	Pin I/O type.
	D for driver pin
	R for receiver pin
	B for bi-directional pin
	DT for driver terminator
	RT for receiver terminator
<u>pad_stack_id</u>	Optional. Pad stack ID (0 if pad stack is unknown)

.component

definition

.end [component]

Describes a component placement. One component placement appears per line and each placed component is defined as:

name part name x y layer rotation [above/below]

where

<u>U-name</u>	U-name. Also known as location identifier or reference designator. No space is allowed in the name.
---------------	---

<u>part name</u>	Part name. The name is enclosed by double quotation marks (“ ”).
<u>x y</u>	Location of the component origin with respect to the board origin.
<u>layer</u>	Placement layer number. + <i>n</i> for above the layer - <i>n</i> for below the layer
<u>rotation</u>	Counter-clockwise rotation of the component in degrees with respect to the component origin (local origin).
<u>above/below</u>	Optional. This field is ignored if the layer is F or B . Placed above or below the layer. above for placed above the layer below for placed below the layer

.netattr
definition
.end [netattr]

Net attribute definition. This section defines net attributes such as net class, allowable delays, and other user properties.
 Each attribute group is defined as:

id {attribute name1=value1 attribute name2=value2}

where the id is an attribute group number that will be referenced by nets in the netlist section and it is sequentially numbered from 1. There may be more than one attribute defined for one group. Each attribute group definition may appear in more than one line. Attribute assignments appear in the braces { }. Each attribute assignment consists of attribute name, equal(=) sign, and the value.

.netlist
definition
.end [netlist]

This section defines net lists and each net is defined as:

net name net type attribute id {node1 node2}

where

<u>net name</u>	Net name.
<u>net type</u>	Net type. S for signal net (s if broken) P for power net (p if broken) G for ground net (g if broken)
<u>attribute id</u>	Net attribute ID. Zero indicates that the attribute is unknown.

Each node is defined as:

U-name pin number i/o type [{ x y layer }]

where

<u>U-name</u>	U-name. “-” (minus sign) indicates unknown U-name.
<u>pin number</u>	Pin number or pin name.
<u>i/o type</u>	Pin I/O type. Available types are D , R , B , DT , and RT as described in the part section. A place holder “-” (minus sign) must appear if the type defined for the pin in the part section is to be used.

Pin location may appear at the end of the node definition. It is optional and must be enclosed by { }. Set the layer number to negative for solder balls.

.via
definition
.end [via]

This section defines vias. One via definition appears per line and each via is defined as:

via name pad stack id pad stack rot shape id shape rot **[thickness]**

where

<u>via name</u>	Via name that will be referenced by routing in the route section.
<u>pad stack id</u>	Pad stack ID. Zero indicates that no pad stack exists for the via.

pad stack rot Counter-clockwise rotation angle of the pad stack

shape id Shape ID of the via barrel.

shape rot Counter-clockwise rotation angle of the via barrel shape.

thickness Optional. Via barrel wall thickness.



$t < 0$



$t = 0$



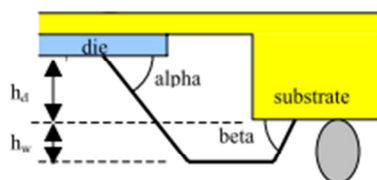
$t > 0$

.bondwire
definition
.end [bondwire]

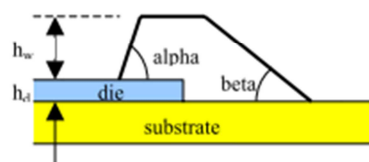
This section defines bond wire geometry. One bond wire definition appears per line and each bond wire is defined as:

id type material diameter h_w h_d alpha beta

where the id is a number that will be referenced by routing in the route section and it is sequentially numbered from 1. Others are explained below.



Die-down Configuration



Die-up Configuration

type Bond wire type.
D for die-down configuration
U for die-up configuration

material Material name or electric conductivity (1/ohm.mm). If it is a name, it must be enclosed by double quotation marks (" ").

diameter Wire diameter.

h_w Wire loop height.

<u>h_d</u>	Die height. $H_{die_pad} - H_{top_of_top_metal_layer}$ for die-up $H_{die_pad} - H_{bottom_of_bottom_metal_layer}$ for die-down
<u>alpha</u>	Die side angle in degrees.
<u>beta</u>	Substrate side angle in degrees.

.route
definition
.end [route]

This section defines routed nets and each routed net is defined as:

net name {segment1 segment2}

where net name is one of the nets appeared in the netlist section. Each routed net consists of one or more of segments and each segment is defined by one of the following methods. All of them are in the form of

segment type signal layer number(s) segment definition

path layer width {1st point segment1 segment2 ... }
via begin layer end layer via name x y rotation [mirror]
bondwire begin layer end layer bondwire id x_d y_d x_s y_s

polygon layer {x1 y1 x2 y2 ... }
rectangle layer width length x y
square layer width x y
diamond layer width x y
circle layer diameter x y
annular layer outer diameter inner diameter x y
composite layer {1st point segment1 segment2 ... }
shape layer shapeID x y rotation mirror
shape layer shapeID x y mirror rotation

void_polygon layer {x1 y1 x2 y2 ... }
void_rectangle layer width length x y
void_square layer width x y
void_diamond layer width x y
void_circle layer diameter x y
void_composite layer {1st point segment1 segment2 ... }
void_shape layer shapeID x y rotation mirror
void_shape layer shapeID x y mirror rotation

The **path** segment is defined the same way as the composite shape is defined in the shape section except it has a width and the last point does not automatically connect to the first point.

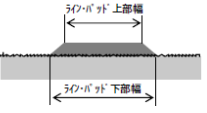
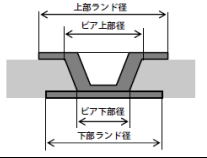
The **via** segment requires begin layer and end layer numbers while other segments requires only one layer number. The via segment also requires

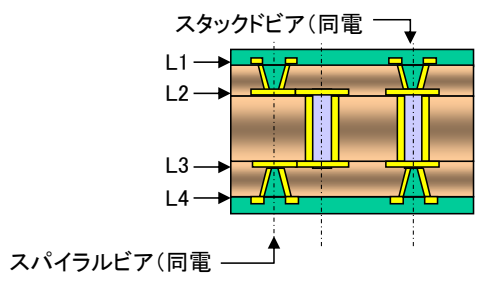
<u>via name</u>	Name of the via defined in the via section
<u>x y</u>	Location of the via
<u>rotation</u>	Counter-clockwise rotation angle of the pad stack in degrees
<u>mirror</u>	Optional. Padstack mirror flag.
	Y mirror padstack
	N do not mirror padstack

The **bondwire** segment requires

<u>begin layer</u>	Signal layer number of the one end of the wire. Use negative number to indicate the die.
<u>end layer</u>	Signal layer number of the substrate side of the wire.
<u>bondwire id</u>	Bond wire ID. (0 if unknown)
<u>x_d y_d</u>	Die side coordinate of the wire landing point
<u>x_s y_s</u>	Substrate side coordinate of the wire landing point

All other segment types are defined the same way as they are defined in the shape section or in the board_geom section.

No.	分類	用語・名称	定義・意味	LSI例	PKG例	PWB例
1	ネットリスト	ポート(名)	外部とのインターフェースとなる入出力端子 同一階層では全てユニークな名前にする	ポート	ピン名 ボール BGA リード	ピン名
2	ネットリスト	リファレンス(名)	機能ブロックの定義名 階層にかかわらず全てユニークな名前にする	リファレンス セル名		
3	ネットリスト	インスタンス(名)	機能ブロックを配置する際に付ける名前 同一階層では全てユニークな名前にする	インスタンス	RefDes	リファレンス
4	ネットリスト	ネット(名)	端子間の接続につけるラベル 基本的には同一階層内での定義だが、階層に関係なく接続を表す場合もある(グローバルネット・定義)	ネット	ネット	ネット
5	ネットリスト	バス	複数の信号を束ねた配線のこと 信号名+数字で表す(数字の省略で全信号を表す場合もあ	バス	バス	バス
6	形状データ	DIE	SoCやメモリなどシリコンチップのこと	—	部品 コンポーネン ト LSI	部品 コンポーネン ト
7	形状データ	PKG	パッケージのこと			
8	形状データ	PWB	プリント基板のこと(PCBとも呼ばれるが有害物質「ポリ塩化ビフェニル」と区別するため避けられる傾向がある)			
9	形状データ	ボンドフィンガ	ボンディングワイヤの基板側の着地点の図形	—	リード 2ndパッド ワイヤボン パッド ボンディング パッド	—
10	解析条件	表面粗さ	導体と絶縁体の密着性を上げるために 導体表面を化学処理により粗した状態			アンカー スパイク
11	解析条件	配線断面構造	サブラクティブ工法(銅箔の不要部を 削除する工法)では、配線の上部と 下部では導体の幅が異なる。 このような配線の構造を表す。			
12	形状データ	VIA	層間の導通接続を行う穴。PWBでは、部品搭載するための 穴とは区別される。(部品搭載するための穴はスルーホール)	VIA コンタクト	VIA スルーホール レーザーピア	(貫通)スルー ホール VIA
13	形状データ	ランド	部品の取り付けおよび接続に用いる導体パターン。 表面実装用のパッドおよび部品取り付け穴、ビアを囲む導 体パターンなどがある。	—	ランド パッド	ランド
14	形状データ	ドリルホール	VIAに関するドリルの径	—		ドリル径、キリ 径
15	解析条件	VIA3D構造	VIAに関する3次元的な各種形状の 寸法値および、VIA内部への充填材			
16	形状データ	フリップチップパッド	DIEをフェイスダウン(回路面を基板側へ向ける)で搭載する 際の 基板側の接続点。		FCパッド	
17	形状データ	認識マーク	DIEをマウントするための手がかりとなるパターンマーク。		フィデュシヤ ルマーク	
18	形状データ	ソルダーレジスト	プリント基板の半田付けが不要な部分に形成する保護膜の こと。		レジスト	
19	形状データ	スタブ	電解メッキのために必要な、回路上不要な配線パターン。		メッキ引き出 し線 プレーティン グバー プレーティン グスタブ	
20	形状データ	基板	担当分野によって意味合いが大きく異なる。 No.8に類似項目があるが、PWBというプリント基板限定の イメージがある。	シリコン基板	インターポー ザ パッケージ基	マザーボード 実装ボード プリント基板
21	ネットリスト	ラッツネスト	同一ネット間を結んだ直線。 端子間を接続する配線設計を行う際の道標。	フライライン	ラッツ	
22	形状データ	リング	DIEの周辺を囲んだ配線パターン。 電源やグランドで使われることが多い。		グランドリング 電源リング	
23	形状データ	ボール	BGAタイプパッケージでの外部端子。		半田ボール ピン	
24	形状データ	サーマルボール	熱を逃がす為にDIE直下に配置されたボール			
25	形状データ	ゲートパターン	パッケージで封止する際に、樹脂を流す通り道		ゲート	
26	形状データ	サーマルVIA	熱を逃がす為にDIE直下に配置されたVIA	—	サーマルVIA	サーマルVIA
27	形状データ	サーマルリリーフ	ハンダ付け用に熱を逃がさないための形状			サーマルVIA
28	形状データ	プレーン	パッケージやボードで主に電源/グランドなどに用いる導体 面のこと	—	プレーン ベタ(パタン)	プレーン 面、ベタ(パタ ン)、メタル

29	形状データ	ボイド	プレーンに孔をあけるための図形形状のこと	—	抜きパタン 窓 ガス抜き穴	抜きパタン 窓 ガス抜き穴
30	形状データ	残銅率	レイヤーごとの導体の占有面積比のこと	メタルカバレッジ メタルデンシ ティ	残銅率	残銅率
31	形状データ	シールド	信号などへの電磁的および静電的な干渉を制約するために、配置される材料のこと。特にGNDの導体を配置する場合にはGNDシールドと呼ぶ。		シールド	シールド ガードリング
32	解析条件	遅延	ドライバICからレシーバICまで信号が伝播する時間		遅延	遅延
33	解析条件	スキュー	同期式回路で信号の伝播による遅延時間のばらつき。または、基準信号の遅延時間に対して、対象信号の遅延時間のずれ量		スキュー	スキュー
34	解析条件	体積抵抗率	材料中を流れる電流に平行な方向の電位の傾きである電流密度に対する比。		体積抵抗率	体積抵抗率
35	形状データ	スタックビア	同じ位置にビアを積み上げた構造		スタックビア	スタックビア
36	形状データ	スパイラルビア	同電位のビアをビア中央で接続するのではなく、接続位置を螺旋状にずらして接続する構造  スタックドビア(同電) スパイラルビア(同電)		スパイラルビア スタaggerドビア	スパイラルビア スタaggerドビア
37	形状データ	フィルドビア	ビア内部を樹脂もしくは導体で埋め込んだビア構造		フィルドビア	フィルドビア

LSI・パッケージ・ボード相互設計における共通仕様化とその効果

JEITA EDA技術専門委員会LPB相互設計WGの
紹介と提案

JEITA EDA技術専門委員会
LPB相互設計WG 主査
福場 義憲

1

内容

- 背景 目的 ゴール
- LPB相互設計WG紹介
- 個別設計と相互設計
- インターフェースフォーマット共通仕様
- 効果
- 日本企業が目指すべき道(LPBの活かし方)
- まとめ

2

背景

- 国際市場における日本工業製品の競争力強化
 1. 電子機器(セット)の高性能化、低価格化、商品サイクルの短期化
 2. 日本製品の差別化部分: 機能・性能・品質
 3. 1. 2. 両面をいかに実現するか?
- 電子機器産業界(特に日本)の現状と課題
 - LSI/パッケージ/ボード各分野での設計力はある。しかしながらそれらの連携がとれておらず全体としての最適化がすすまない。
 - 競争すべき分野と協調すべき分野が明確にされていない。
 - VOCの分散によりEDA技術活用の効率化が進まない

3

背景 事例

■ LSI パッケージ ボード統合シミュレーションの例

コスト性能最適化設計には製品設計での解析が必要。LPB各部のPDNモデルを正確にシミュレーションに反映しないと全体のPDNの設計が正しく出来ない

図1. LPBの電源網(PDN)の等価回路

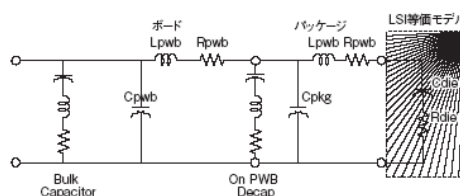
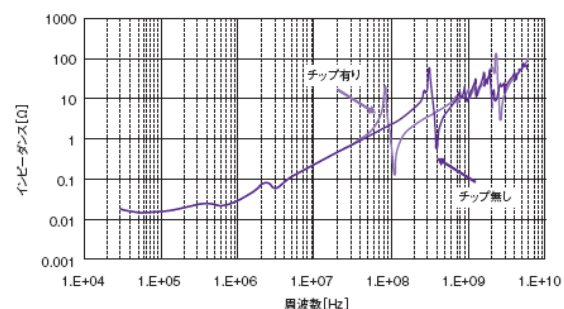


図2. ボード電源インピーダンスにおけるチップ電源モデル有無の影響



もっと事例 トッパンNECソリューションズ
金子様ご提供

4

目的とゴール

- LPBが協力しあって設計を行う為の課題を抽出しその分析を行いソリューションの提案を行う。
- 具体的にはLPB全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の検討を行い提案を作成する。
- 提案内容は公開し普及を図る。
- これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

5

LPB相互設計WG紹介

発足・変遷

2009年7月準備WG発足、2010年4月より正式WG
参加メンバ(2010年度)

16社／20名＋特別委員3名 客員1大学／1名

主査：福場義憲／(株)東芝

委員構成は半導体・セット・EDA・大学と多様

6

LPB相互設計WG紹介

- 活動記録
- 22年度活動
 - 8回の委員会＋多数のサブWG開催
- 活動結果
 - EDAツール間のインターフェースで問題となる部分の調査共通仕様検討
 - LPBそれぞれの設計プロセスで必要となる情報の調査、共通仕様検討
 - ネット・物理形状・物性に関する情報の内容・仕様検討、ドキュメント化、公開
 - EDSフェア特設ステージにてパネル討議・座談会を企画・実施

7

LPB相互設計WG活動紹介

■ EDSフェア2011 パネル討議 & 座談会

特設ステージパネル議題を設け、90分に及ぶ熱いディスカッションが行われた。結果として、聴講者285名と盛況なステージとなった。

関連URL1: <http://techon.nikkeibp.co.jp/article/NEWS/20110208/189432/?ST=print> (注)

関連URL2: <http://www.edsfair.com/special/stage.html> (セッション2、セッション3部分)

(注) 登録制サイトの為、別途ID、パスワードの設定が必要な場合があります

ASP-DAC(Asia and South Pacific-Design Automation Conference) 2011 とのコラボレーションで座談会を企画・実施 夕方(18:00～)の企画であったが多くの方の聴講をいただいた。

関連URL3: <http://techon.nikkeibp.co.jp/article/NEWS/20110208/189433/?ST=print> (注)

(注) 登録制サイトの為、別途ID、パスワードの設定が必要な場合があります

8

EDA Online

【EDSF 2011】チップ・パッケージ・ボードの協調設計で総勢12名のパネル討論会、立場は違えど必要性で全員が一致

2011/02/08 20:32

掲載 高市 幸三 ITA LPB相互設計WG、東芝



チップ・パッケージ・ボードの協調設計をテーマにしたパネル・ディスカッションが、『EDS Fair 2011』（1月27日と28日にパシフィコ横浜で開催）の特設ステージで行われた。討論会のタイトルは、「設計難題：こうすればできる、LSI／パッケージ・ボードの協調設計～協調設計が日本の製品を変える！～」だった。設計難題は今回のEDSF全体のキャッチコピーであり、この討論会ではそれを協調設計で起こすことを狙っていた。

合計で12名のパネルが登場する「大型」の討論会である。司会は日経BPDの小島太郎氏が務めた。2年前のEDS Fair 2009でも同氏の司会で、同様のテーマでパネル・ディスカッションがあった（Tech-On!関連記事）。今回は、協調設計そのものの意義や課題について、2年前よりも掘り下げた内容だった。パネル・ディスカッションは4部構成で、半導体の声、セットの声、EDAの声、全体のまとめの順序で進んだ。会場には立ち見が出るほど、盛況だった。

まずは半導体のパネルで問題提起

最初のパネル討論会（半導体の声）には、半導体メーカー3社からパネリストが登場した。ソニーの田中修治氏（コンシューマー・プロフェッショナルデバイスグループ 半導体事業本部 設計基盤技術部門 ミックスドシグナルデザインソリューション部 担当部長）、富士通セミコンダクターの佐藤厚志氏（開発・製造本部 設計共通技術統括部 第一技術部）、リコーの大規模



パネル討論会の会場

左下は司会者。日本エレクトロニクスショー協会が撮影。

（画像のクリックで拡大表示）



日経BP様ご提供

9

2011 エレクトロニクス実装学会最先端実装技術シンポジウム

2011年度LPB相互設計WG

- 活動予定
- 23年度活動
 - 現在24名参加、参加企業募集、特にEDA、セット、ボード、パッケージの方々
- 活動
 - ・ インターフェースフォーマットSWG：フォーマットのブラッシュアップ
 - ・ 広報・企画SWG：普及活動へのマーケティング、標準化検討
 - ・ 適用SWG：適用事例をつくってフォーマットの使用方法の明確化やフォーマット自体の過不足点の洗い出しを行う。

10

2011 エレクトロニクス実装学会最先端実装技術シンポジウム

10

2011年ゴール設定

インターフェースフォーマット仕様の公開と普及

1. フォーマットの完成度を高める

1. 実施例の作成

セット、製造側(材料・組み立て)へのPRとフィードバック

2. 将来の保守の仕組みを議論する

1. フォーマットのメンテランス

2. サポートのシステム

3. ユーザー・EDAベンダへの採用促進

1. リファレンスフロー上でどこでどのように仕様が活用されるべきかの要望書作成

2. 標準化の必要性

11

個別設計と相互設計

個別設計と相互設計の概念説明

個別設計

- 製品のラフターゲット設定後は各部で個々に設計を進め個々に部分最適化する。

相互設計

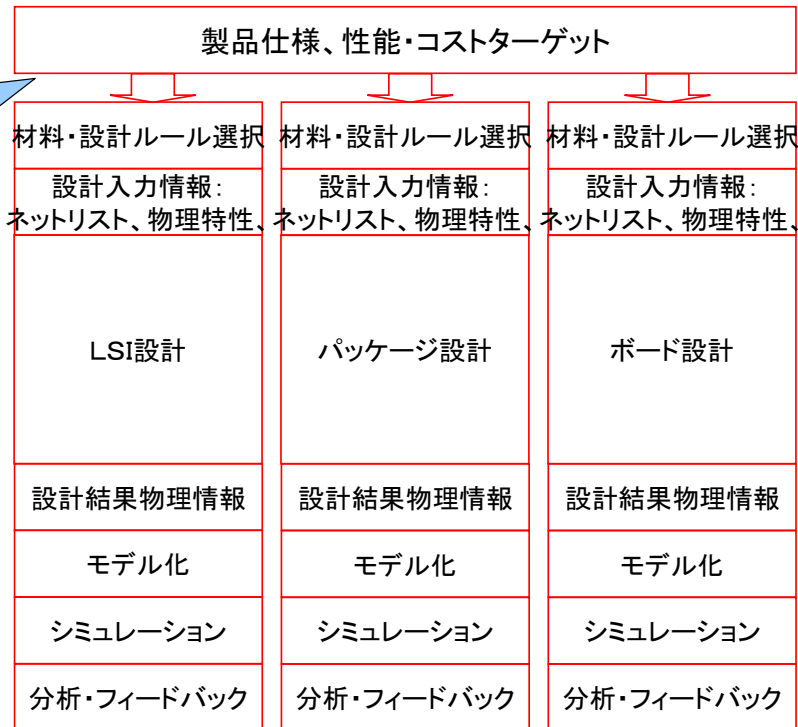
- 全体構想設計を十分に行い各部の設計基準設定語は個々に設計を行う。

12

・ 従来

従来型個別設計

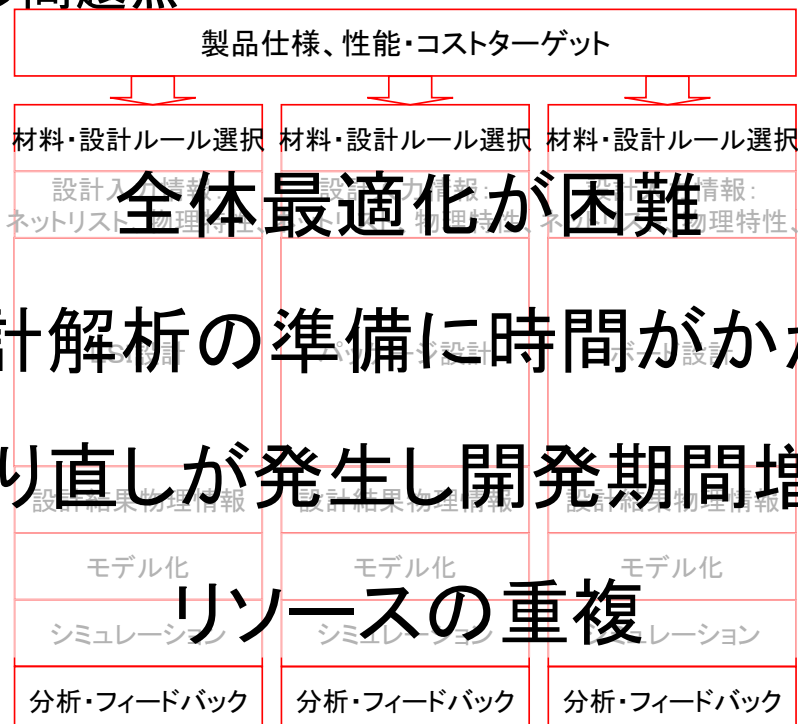
紙に書いた仕様書



13

・ 従来の問題点

従来型個別設計



全体最適化が困難

設計解析の準備に時間がかかる

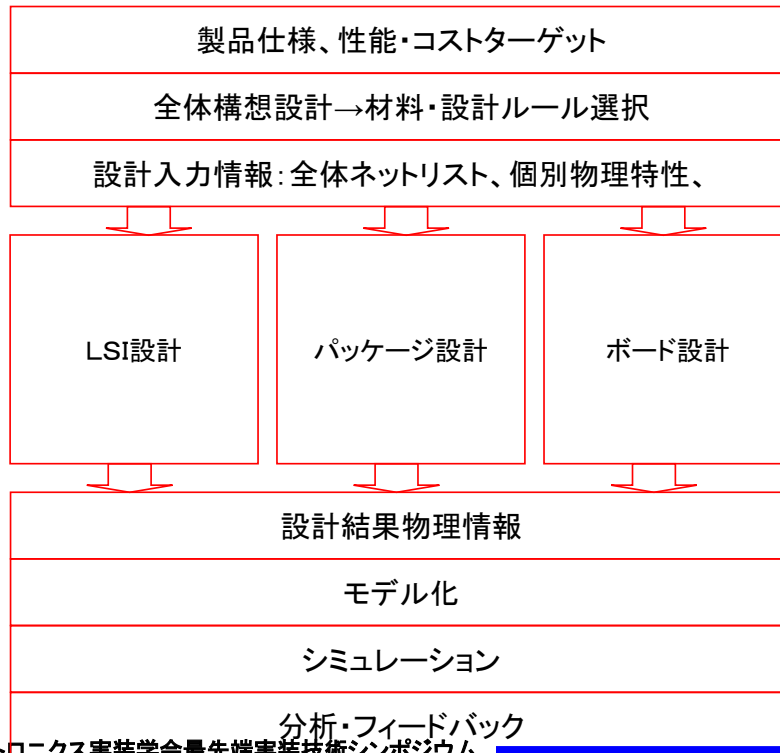
やり直しが発生し開発期間増大

リソースの重複

14

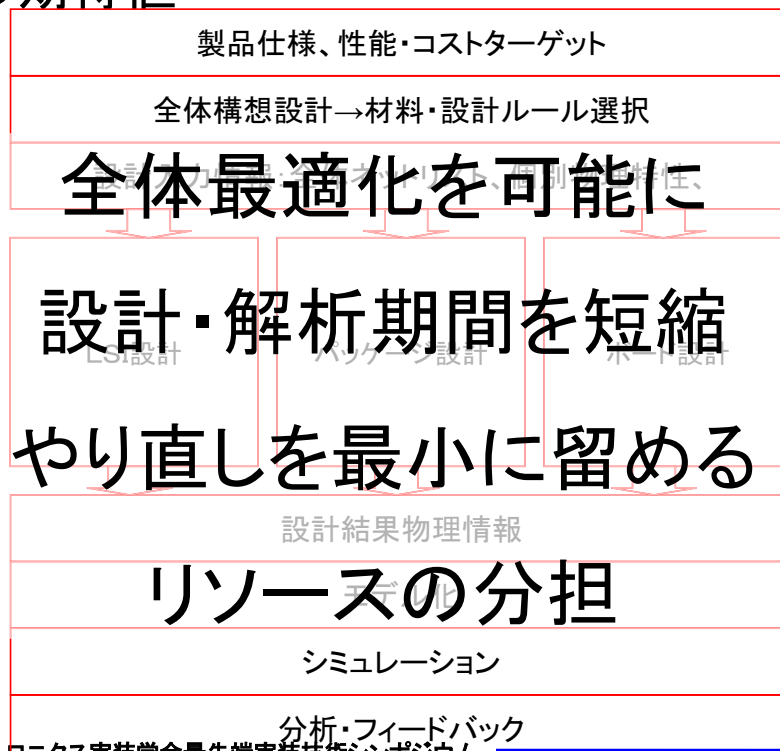
・連携

LPB相互設計

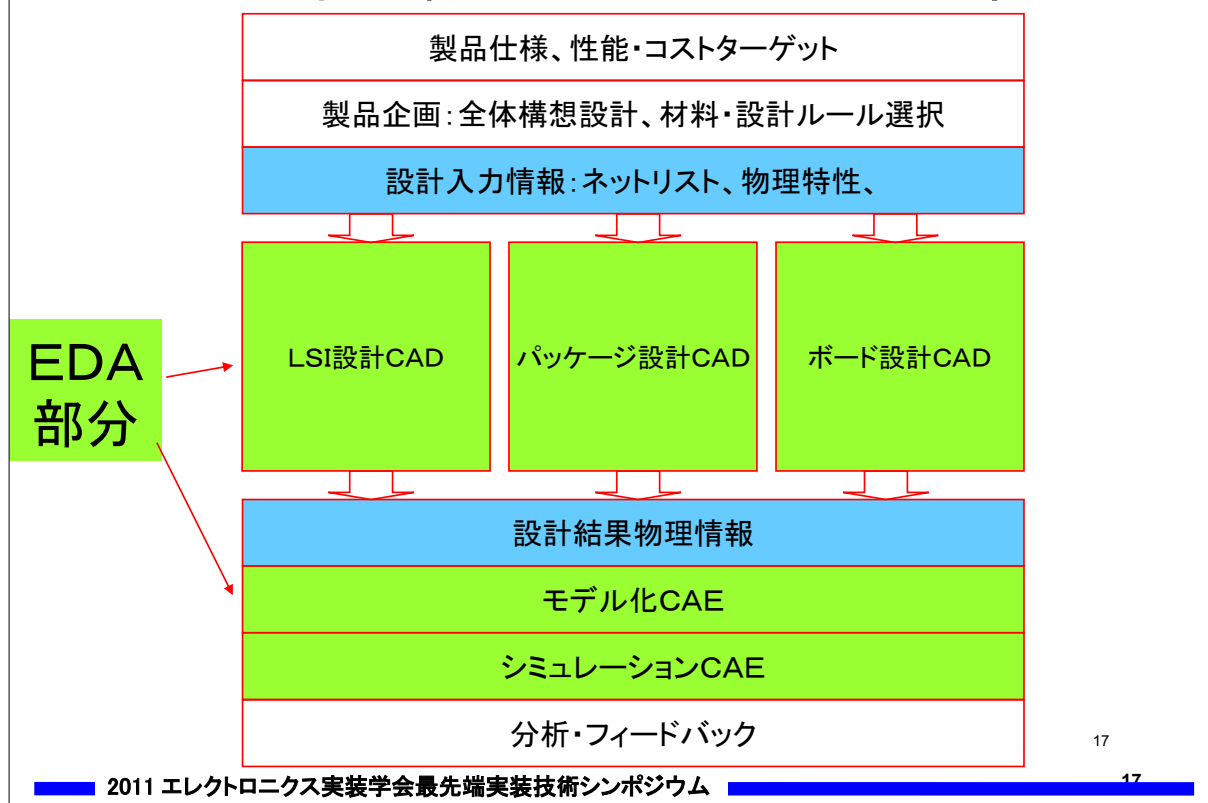


・連携の期待値

LPB相互設計

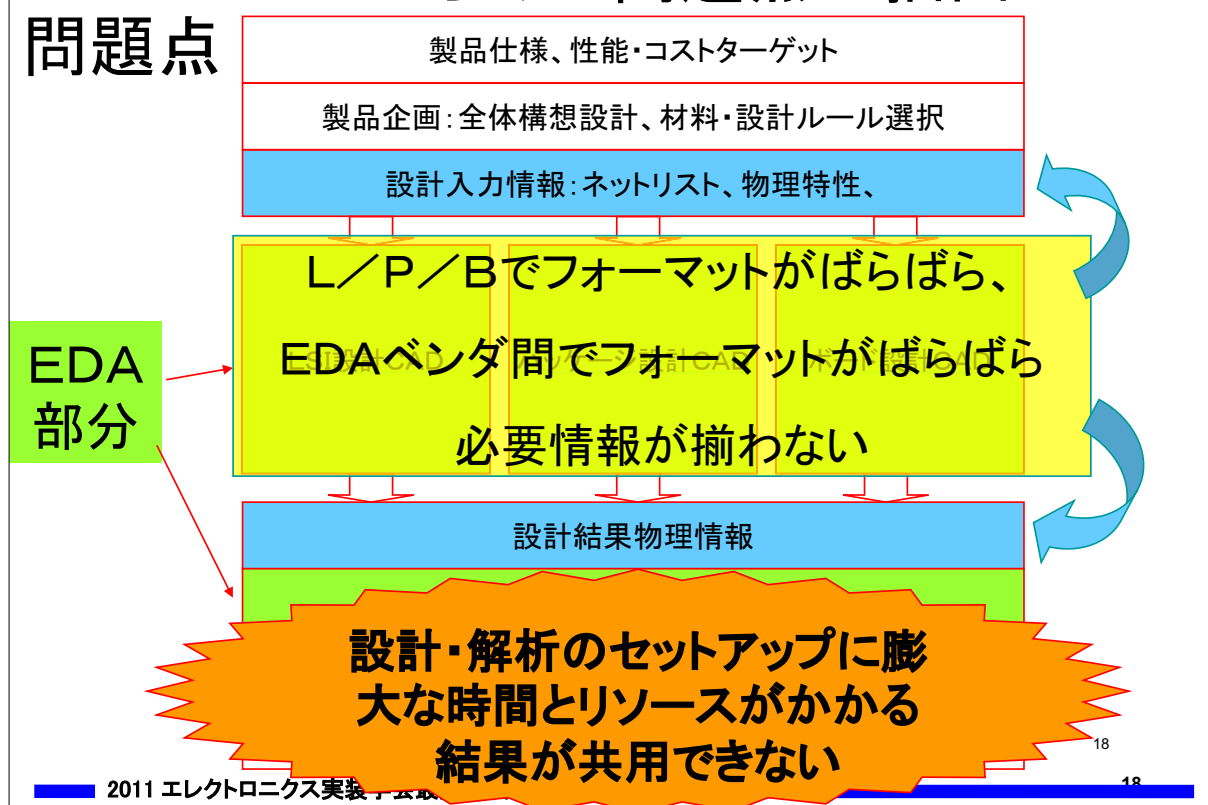


LPB相互設計におけるEDA部分

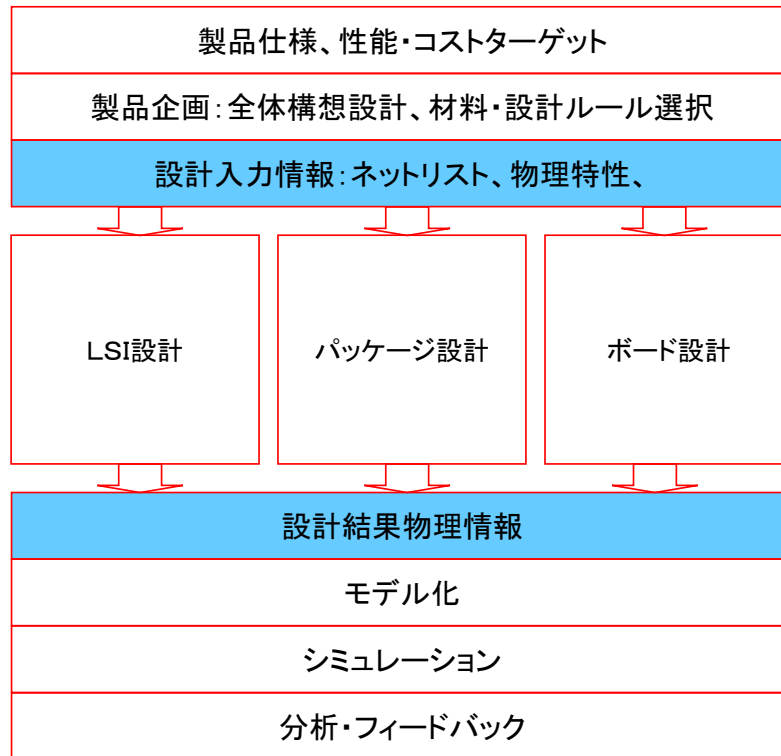


EDAからみた問題点の抽出

問題点



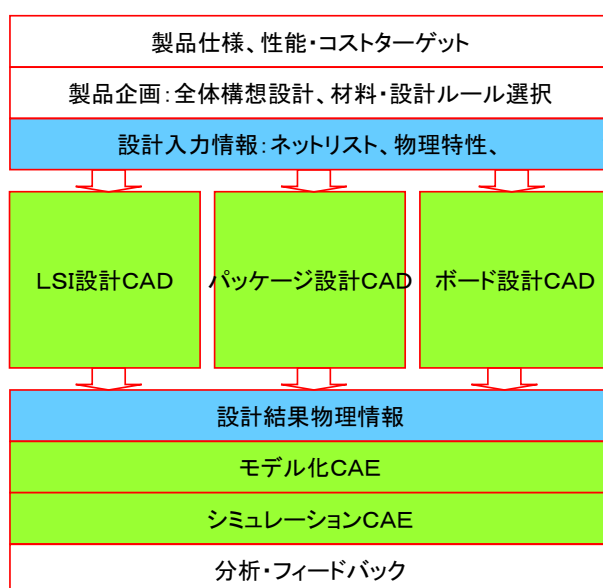
共通仕様(標準化)をするべき部分



標準化すべき部分

19

共通仕様化(標準化)部分の提案



詳細設計の入力となる部分

必要な情報・フォーマット
ネットリスト
階層定義情報
設計制約情報
用語集

詳細設計の出力
かつ

ポスト設計における解析・フィードバック
の入力となる部分

必要な情報・フォーマット
設計結果物理情報

20

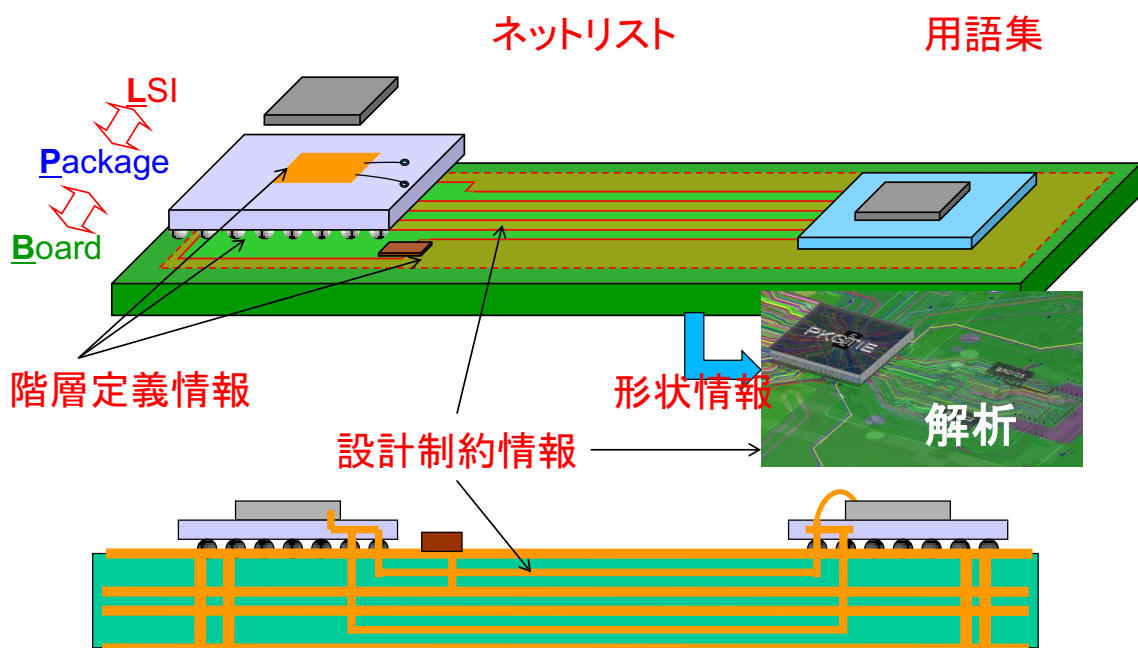
インターフェースフォーマット共通仕様

- 設計入力 : フォーマット3つ＋用語を定義
 1. ネットリスト: Verilog(SPICE制約互換)
 2. 階層定義情報: 独自定義 XML出力
 3. 設計制約情報: 独自定義 XML出力
 4. 用語集
- 設計出力＝解析入力
 1. 設計結果形状情報 既存フォーマット XFL

21

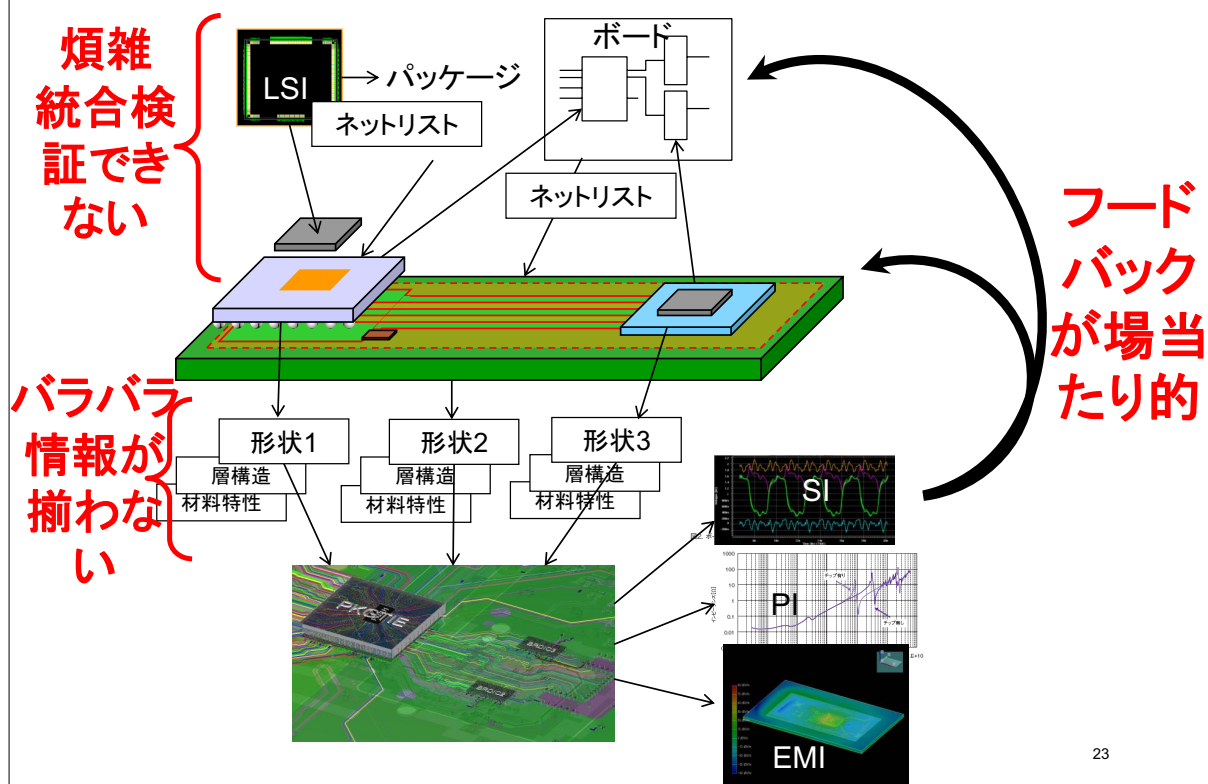
LPBフォーマット

どこにJEITA LPBフォーマットが使われるか？



22

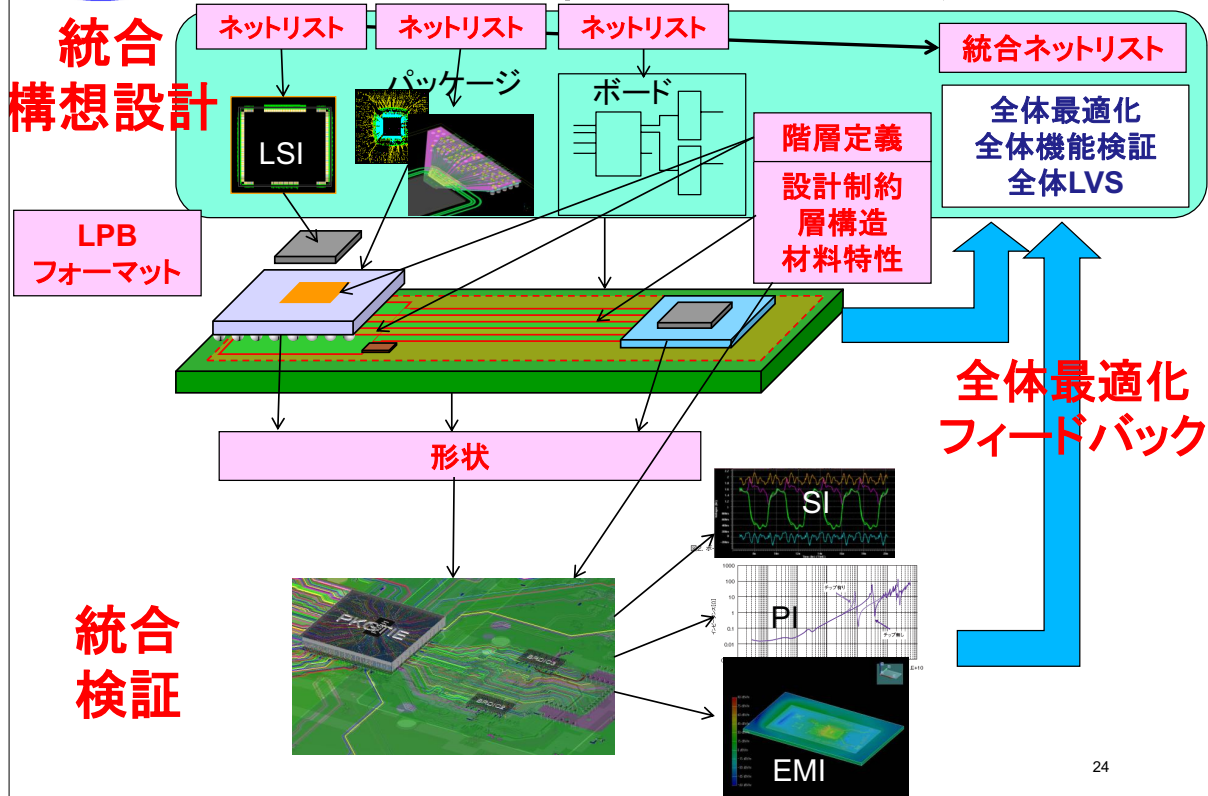
JIEP LPBを今相互設計しようとする



2011 エレクトロニクス実装学会最先端実装技術シンポジウム

23

JIEP LPB相互設計を整理すると



2011 エレクトロニクス実装学会最先端実装技術シンポジウム

24

■ ネットリスト : Verilog-HDL

- 階層を表現可能
- LPB全体の接続検証や機能検証を可能とする
- 電源端子の書式を追加
- SPICEの制約と互換性を持ち、SPICEへの変換を容易にする。

25

■ ネットリストのサンプル

```

/* DIE */
module DIE(SU,SD,DBUS,DQ,DN,VDDC,VSSC,VDDQ,VSSQ);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC; /* PG_NET VDDC */
inout VSSC; /* PG_NET VSS */
inout VDDQ; /* PG_NET VDDQ */
inout VSSQ; /* PG_NET VSS */
endmodule

/* パッケージ */
module PKG(SU,DBUS,DQ,DN,VDDC1,VDDC2,VDDQ1,VDDQ2,VSS1,VSS2);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC1; /* PG_NET VDDC */
inout VDDC2; /* PG_NET VDDC */
inout VDDQ1; /* PG_NET VDDQ */
inout VDDQ2; /* PG_NET VDDQ */
inout VSS1; /* PG_NET VSS */
inout VSS2; /* PG_NET VSS */

wire VSS;
wire VDDC;
wire VDDQ;

assign VDDC1 = VDDC;
assign VDDC2 = VDDC;
assign VDDQ1 = VDDQ;
assign VDDQ2 = VDDQ;
assign VSS1 = VSS;
assign VSS2 = VSS;

DIE X1 (.SU(SU), .SD(VSS), .DBUS(DBUS), .DQ(DQ), .DN(DN),
        .VDDC(VDDC), .VSSC(VSS), .VDDQ(VDDQ), .VSSQ(VSS));
endmodule

/* 基板 (最上位階層) */
module PWB(VDDC,VDDQ,VSS);
inout VDDC; /* PG_NET VDDC */
inout VDDQ; /* PG_NET VDDQ */
inout VSS; /* PG_NET VSS */

wire [3:0] DBUS;
wire [3:0] IBUS;
wire SU;
wire DQ;
wire DN;

CF1DM C1 (.A(VDDQ), .B(VSS));
CF1DM C2 (.A(VDDQ), .B(VSS));
CF1DM C3 (.A(VDDC), .B(VSS));
CF1DM C4 (.A(VDDC), .B(VSS));

RF1DM Rp (.A(VDDC), .B(SU));
RF1DM R0 (.A(DBUS[0]), .B(IBUS[0]));
RF1DM R1 (.A(DBUS[1]), .B(IBUS[1]));
RF1DM R2 (.A(DBUS[2]), .B(IBUS[2]));
RF1DM R3 (.A(DBUS[3]), .B(IBUS[3]));

PKG X1 (.SU(SU), .DBUS(DBUS), .DQ(DQ), .DN(DN),
        .VDDC1(VDDC), .VDDC2(VDDC),
        .VDDQ1(VDDQ), .VDDQ2(VDDQ),
        .VSS1(VSS), .VSS2(VSS));
BBOX X2 (.IBUS(IBUS), .DQ(DQ), .DN(DN), .VDD(VDDC), .VSS(VSS));
endmodule

/* 受動部品:コンデンサ */
module CF1D(A,B);
inout A;
inout B;
endmodule

/* 受動部品:抵抗器 */
module RF1D(A,B);
inout A;
inout B;
endmodule

/* LSI (Black box) */
module BBOX(IBUS,DQ,DN,VDD,VSS);
inout [3:0] IBUS;
input DQ;
input DN;
inout VDD; /* PG_NET VDDC */
inout VSS; /* PG_NET VSS */
endmodule

```

26

■ 階層定義

- LPBの階層を表現、接続の記述
- 流通性の高い既存フォーマットがなく独自フォーマット
- XML [詳細](#)

必要機能		# Data: 2011.01.24	
機能ブロック定義		<module name="機能ブロック名" type="機能ブロック属性">	
機能ブロック名	機能ブロック属性	<unit>	コメント
座標原点(左下座標)	座標単位系	<distance unit="長さ単位" scale="縮尺率"/>	階層別定義 開始 機能ブロック名: 上位階層からの参照名。リファレンス名 機能ブロック属性: LSI, PKG, PWB など
座標原点(右上座標)	座標単位系	<area unit="面積単位" scale="縮尺率"/>	単位系定義 開始: この定義は、module全体に有効
座標原点(中心座標)	座標単位系	<time unit="時間単位" scale="縮尺率"/>	単位系定義 終了
座標原点(中心座標)	座標単位系	<shape>	物理形状定義 開始
座標原点(中心座標)	座標単位系	<rectangle distance="単位" scale="縮尺率" lrc="左下座標" hrc="右下座標" urc="右上座標" lrc="左上座標"/>	外観: 矩形定義(TOP View) 単位: um, mm, mil など 縮尺率: 0より大きい実数値 左下座標, 右下座標, 右上座標, 左上座標 外観を定義する。このTOP Viewからの相対座標
座標原点(中心座標)	座標単位系	<polygon distance="単位" scale="縮尺率" points="x座標,y座標,x座標,y座標,..."/>	外観: ポリゴン定義 単位: um, mm, mil など 縮尺率: 0より大きい実数値 x座標,y座標,x座標,y座標 は、外観を定義する。このTOP Viewからの相対座標 座標記録の順に描き込んだ外観となる
座標原点(中心座標)	座標単位系		物理形状定義 終了

■ 形状情報

- 設計結果を解析環境に渡す際の書式を定義
- 物理情報
 - 各層ごとの2次元図形
 - VIA, Bump, Bond Wire 3次元的情報
 - 層構造
- XFLフォーマットを使用
- [サンプルは当日見せます。](#)

効果

- ✓ 入力情報が整備され詳細設計工程はすり合わせ準備がなくなるので短期化できる。
- ✓ 構想設計が促進されコスト・性能のバランス最適化が促進される。
- ✓ 形状情報が統一され、モデリングもスムーズになる。→シミュレーションでのフィードバックがLPB全体で出来るようになり、かつ初期段階から最終段階まで実施可能になり設計品質が向上する。

31

LPB効果可視化

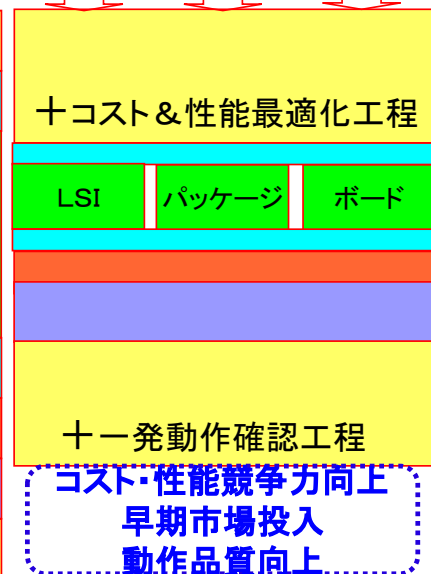
従来型個別設計

製品仕様、性能・コストターゲット



LPB相互設計

製品仕様、性能・コストターゲット



32

日本企業のこれまでの状況

従来型個別設計

製品仕様、性能・コストターゲット



設計準備すり合わせ

日本の設計・製造会社は設計技能と部分最適化を極めていた。
これが機能・性能・品質面での差別化の原動力だった。

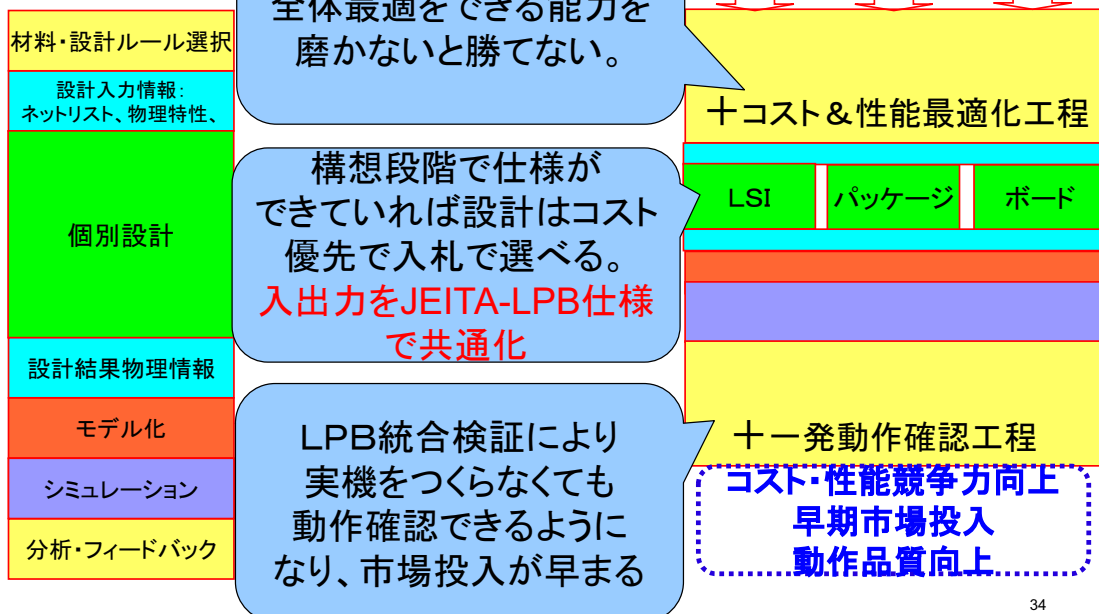
しかし高性能化・価格競争市場短サイクルが激化し、部分最適化では競争力をもてなくなった。

33

設計思想の展開

LPB相互設計

製品仕様、性能・コストターゲット



構想段階でコスト性能全体最適をできる能力を磨かないと勝てない。

構想段階で仕様ができていれば設計はコスト優先で入札で選べる。
入出力をJEITA-LPB仕様で共通化

LPB統合検証により実機をつくらなくても動作確認できるようになり、市場投入が早まる

＋コスト＆性能最適化工程

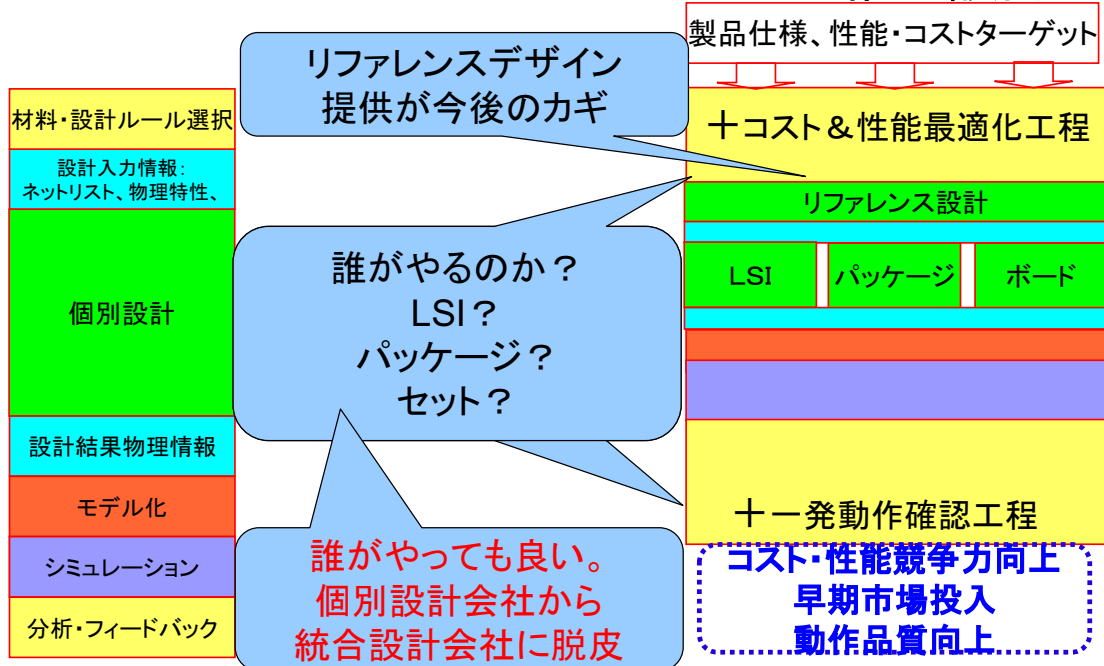
＋発動作確認工程

コスト・性能競争力向上
早期市場投入
動作品質向上

34

日本企業の目指すべき道

LPB相互設計



35

まとめ

個別設計から統合設計/相互設計に
変革

勝つストーリーにもっていく。

JEITA LPB共通フォーマットは手段
として活用

36

講演テーマ: LPB相互設計セミナー

『実践！これでいける！ LSI・パッケージ・ボードの相互設計実例 ～LPB標準フォーマットの活用方法とその効果～』

日 時: 平成23年11月17日(木) 15:30-17:00

場 所: パシフィコ横浜

展示ホール「EDSFair2011Nov.」アネックスホールF201

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

1

1 部

LSI-パッケージ - ボードの相互設計の為の
標準フォーマットとその活用方法実施例

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

2

アジェンダ

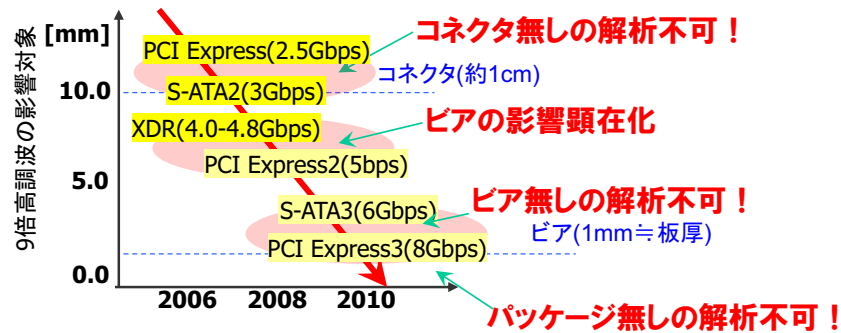
- 背景
- 適用事例の説明
- 従来方式
- LPB方式
- 総括

アジェンダ

- 背景
- 適用事例の説明
- 従来方式
- LPB方式
- 総括

背景

回路の高速化に伴い、設計マージンが厳しくなっている。

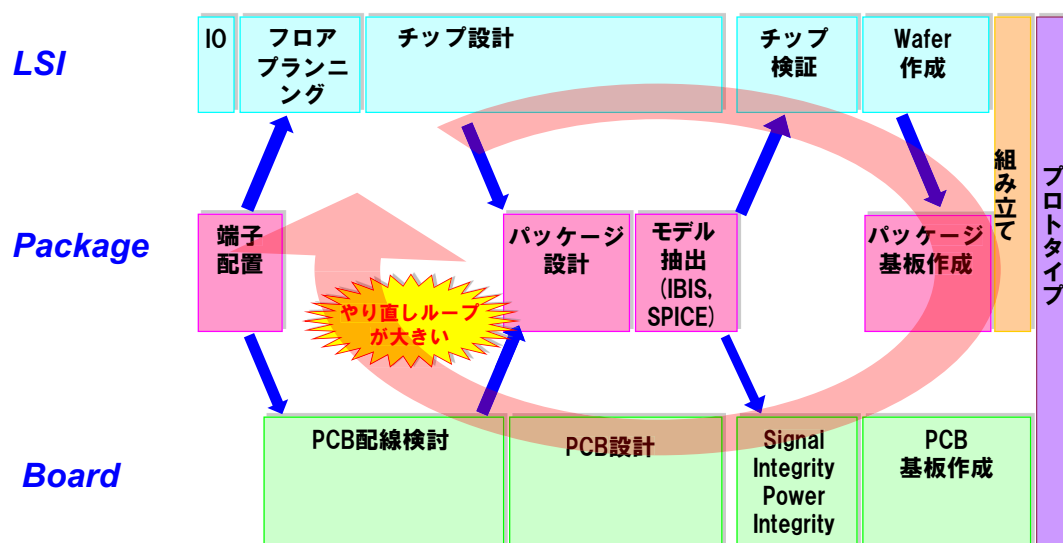


LSI、Package、Board全てを考慮した設計が必要となってきた。

背景

■ 現在の主な設計手法：

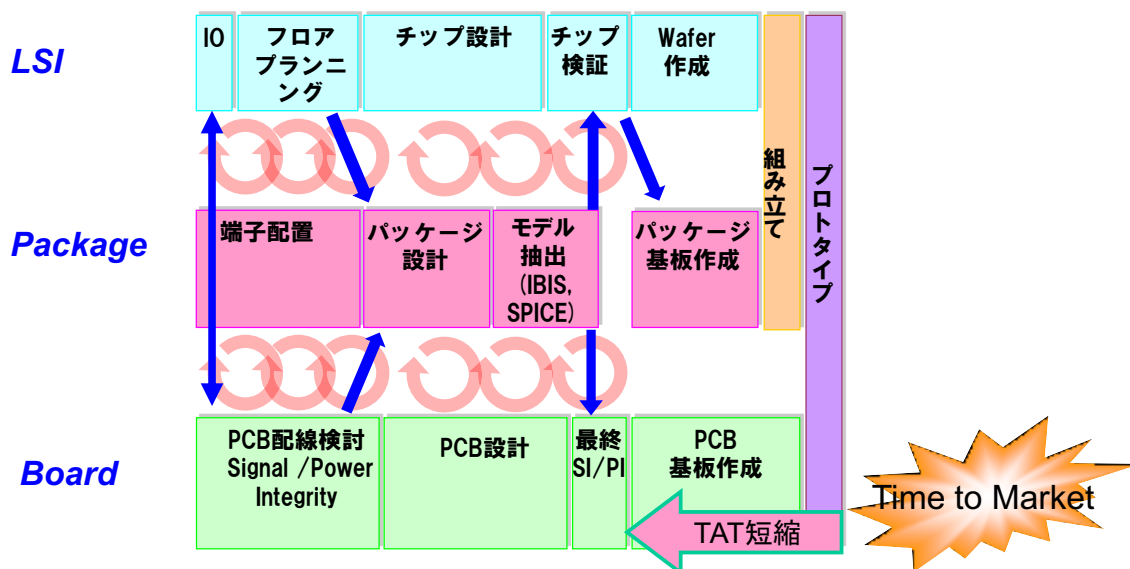
LSI、Package、Boardが別々に設計されて最後に全体の検証を行う。



背景

■ LPBコンカレント協調設計:

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



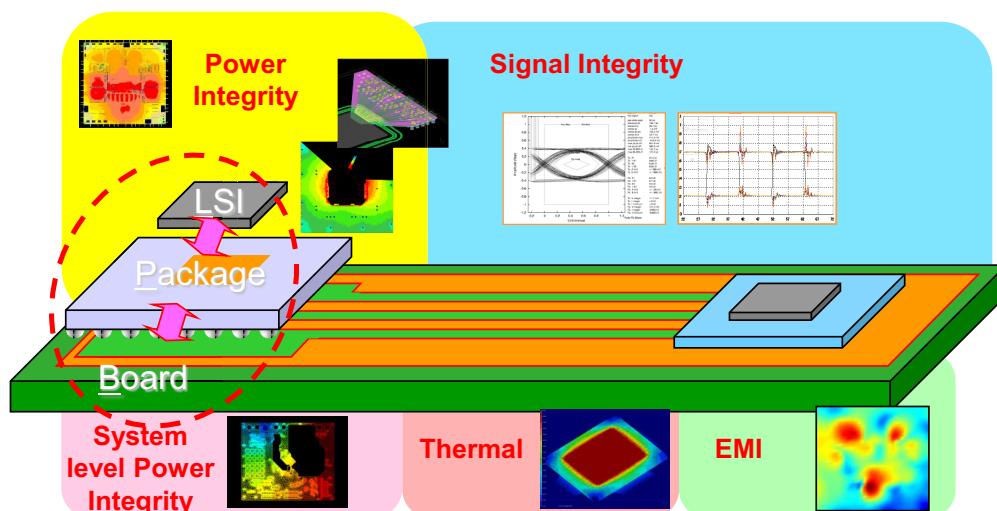
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

7

背景

2010年4月より、JEITA LPB相互設計WGが開始

LSI - Package - Board Concurrent Co-Design

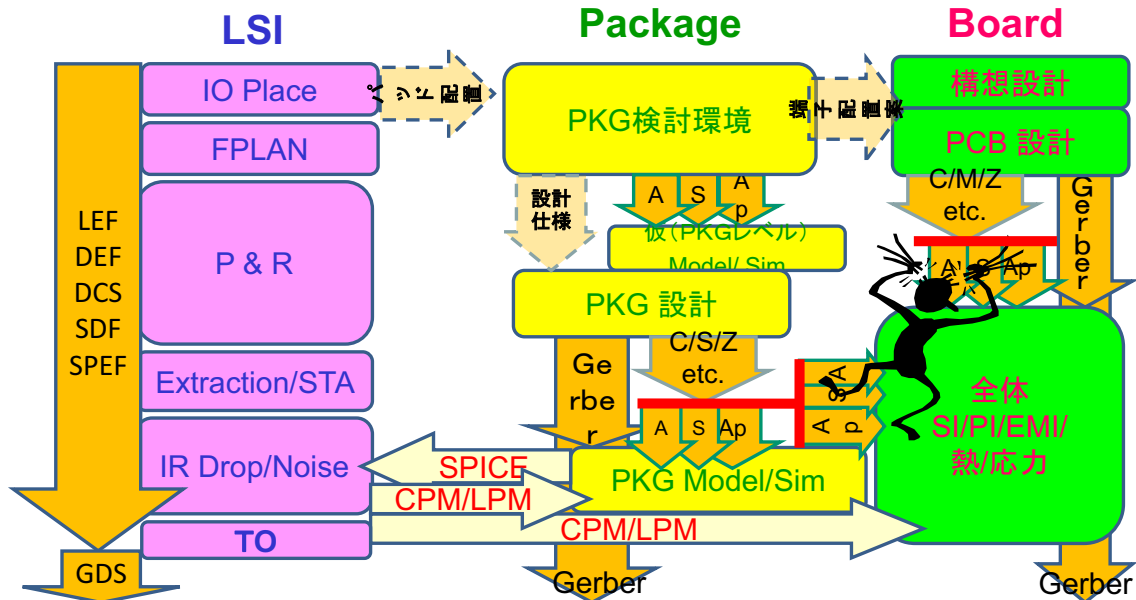


Copyright©2011 JEITA/EDA/LPB All Rights Reserved

8

背景 ～課題～

- ✓LSI・パッケージ・ボード各設計の文化の違いによる意思伝達ミス
- ✓必要とする情報の欠落
- ✓情報そのものの流通性の悪さ

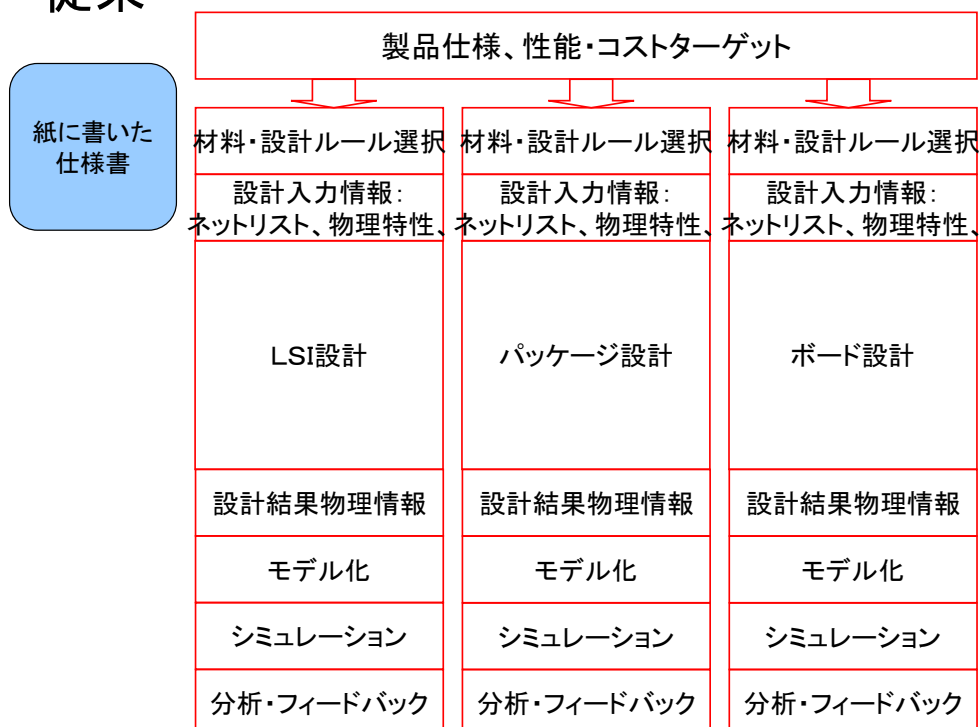


Copyright©2011 JEITA/EDA/LPB All Rights Reserved

9

背景 ～従来型個別設計～

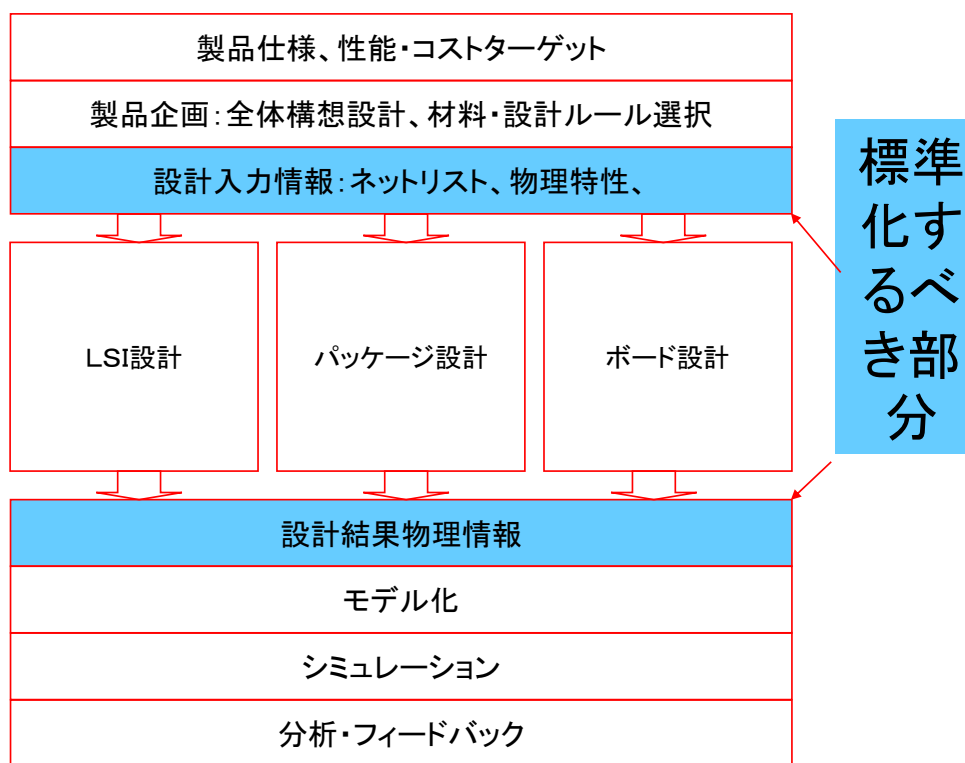
・ 従来



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

10

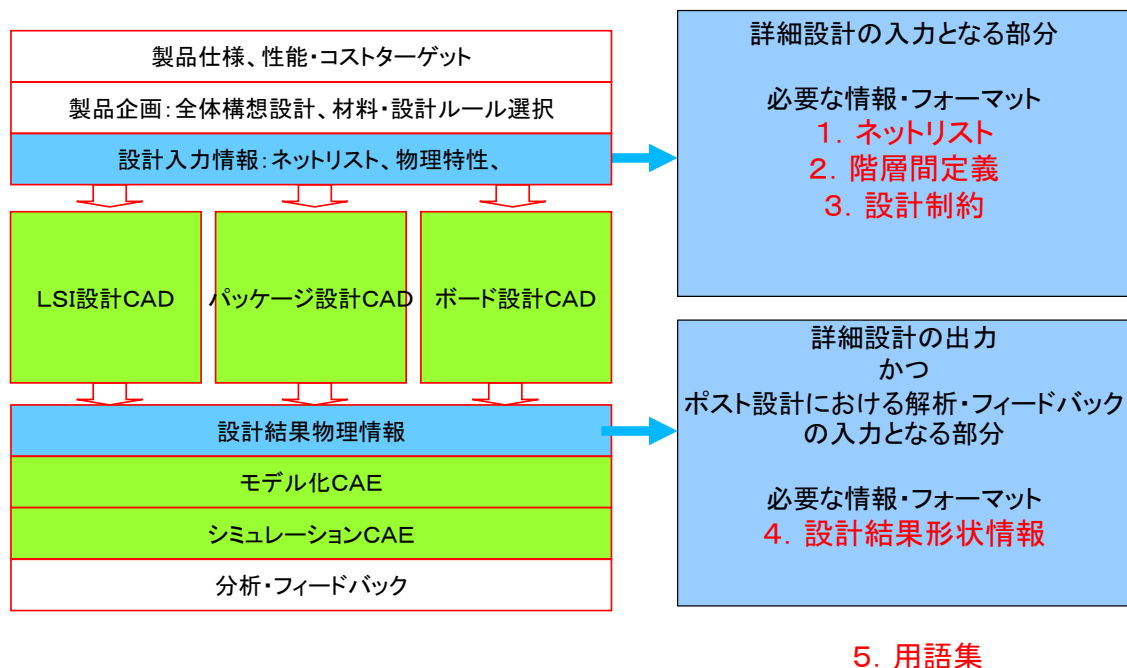
背景 ～標準フォーマット化すべき部分～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

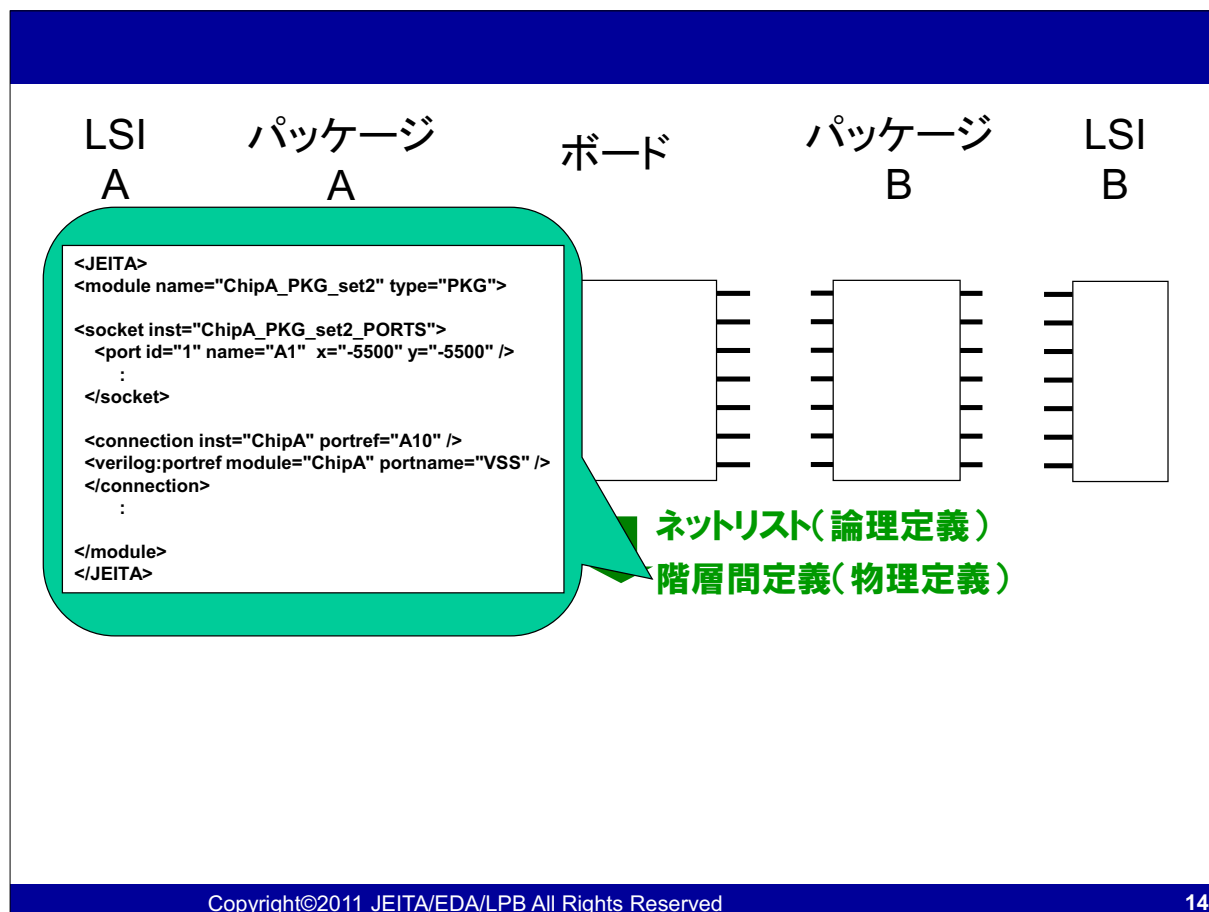
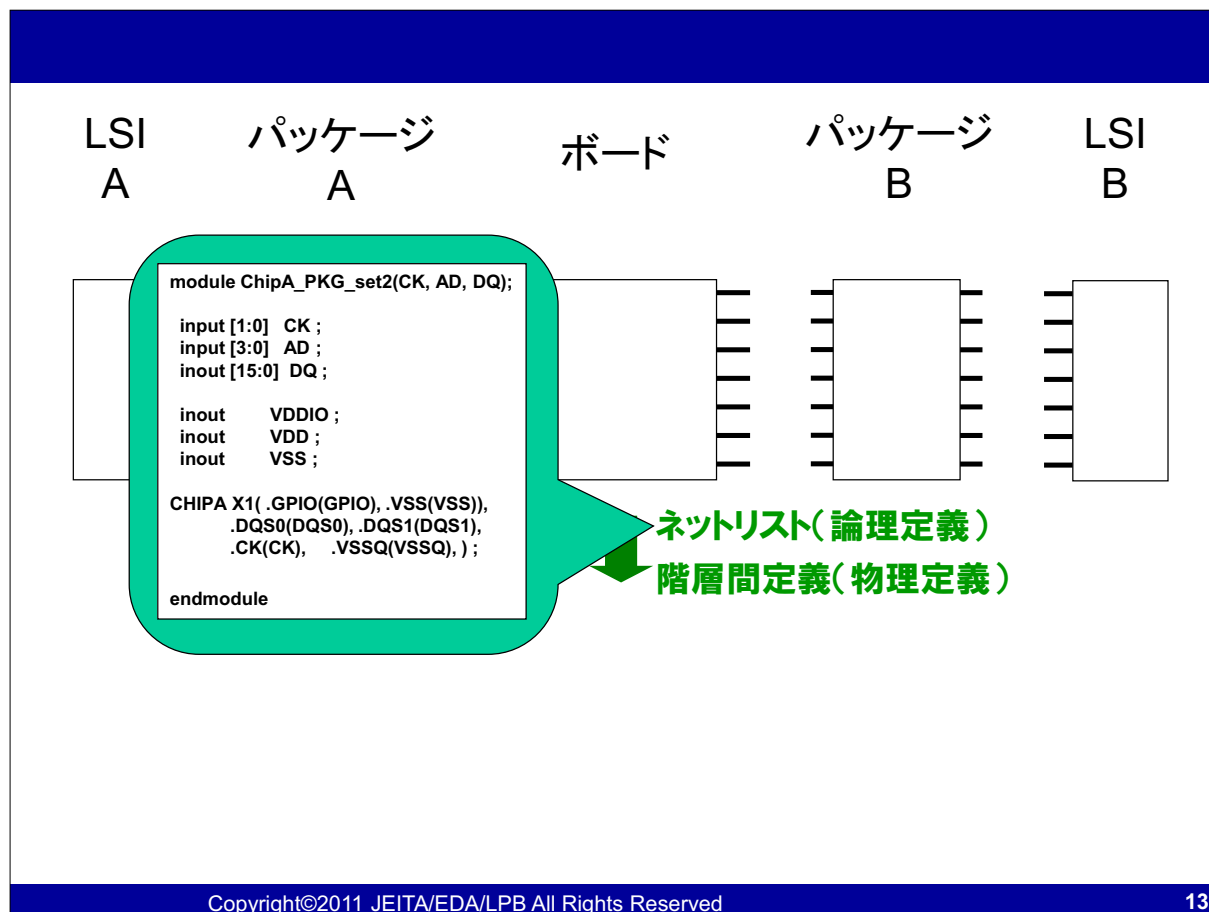
11

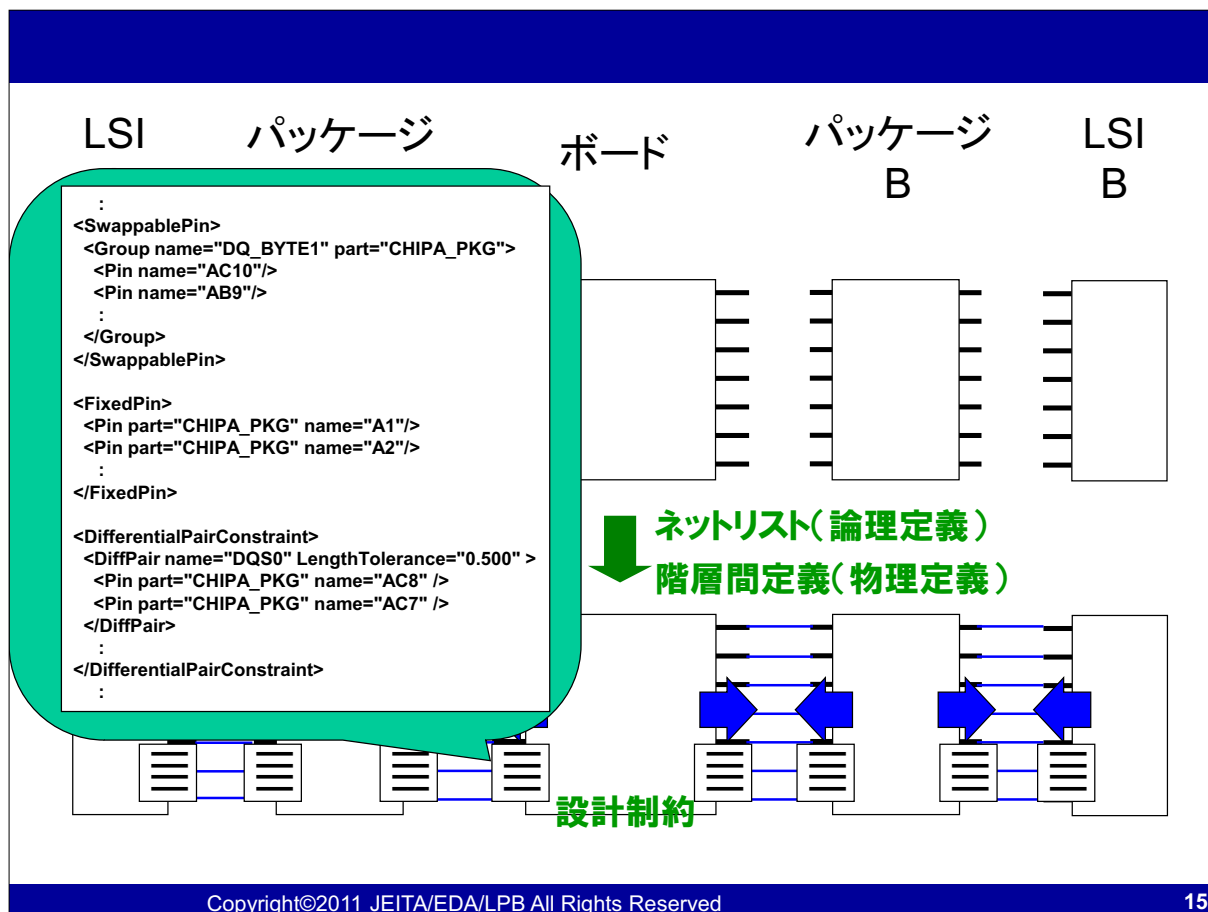
背景 ～標準フォーマット化部分の提案～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

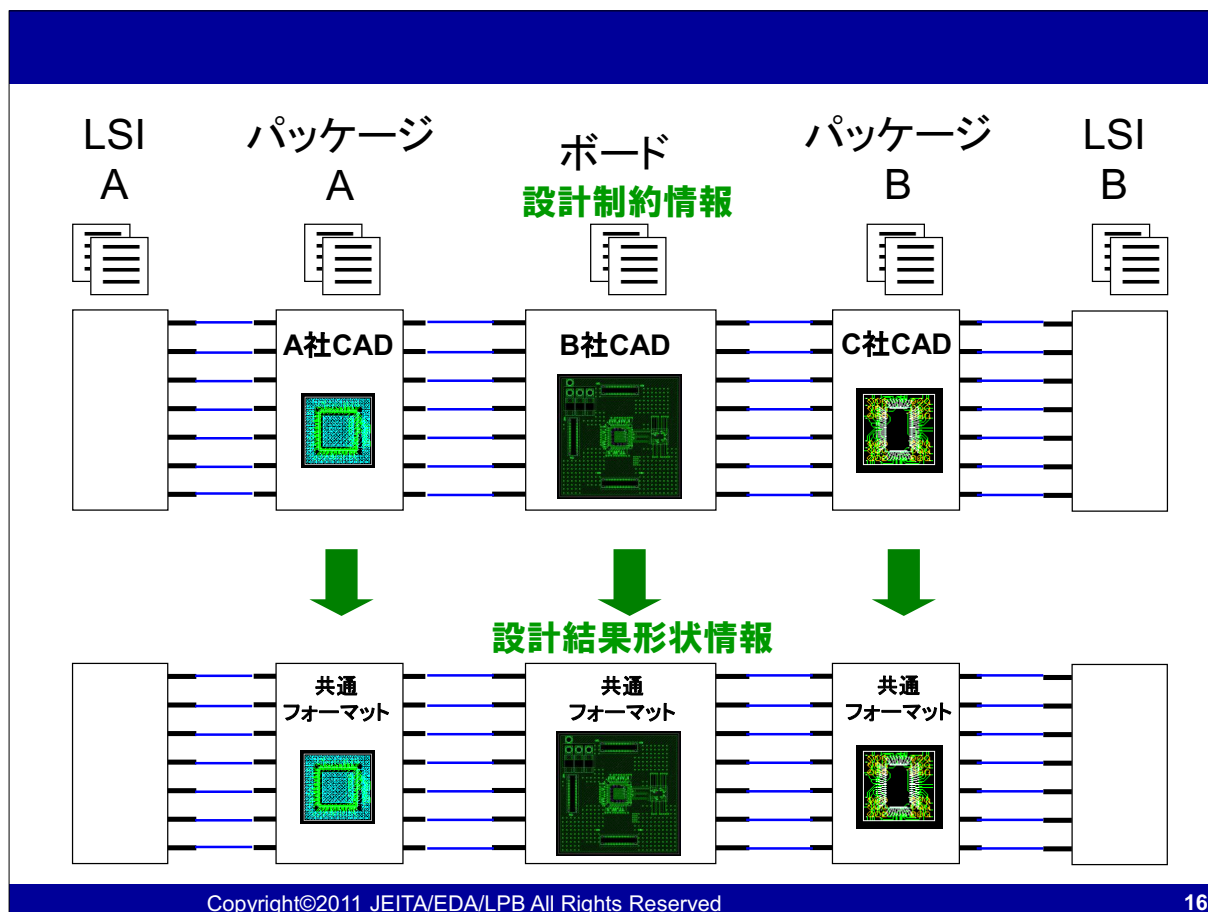
12





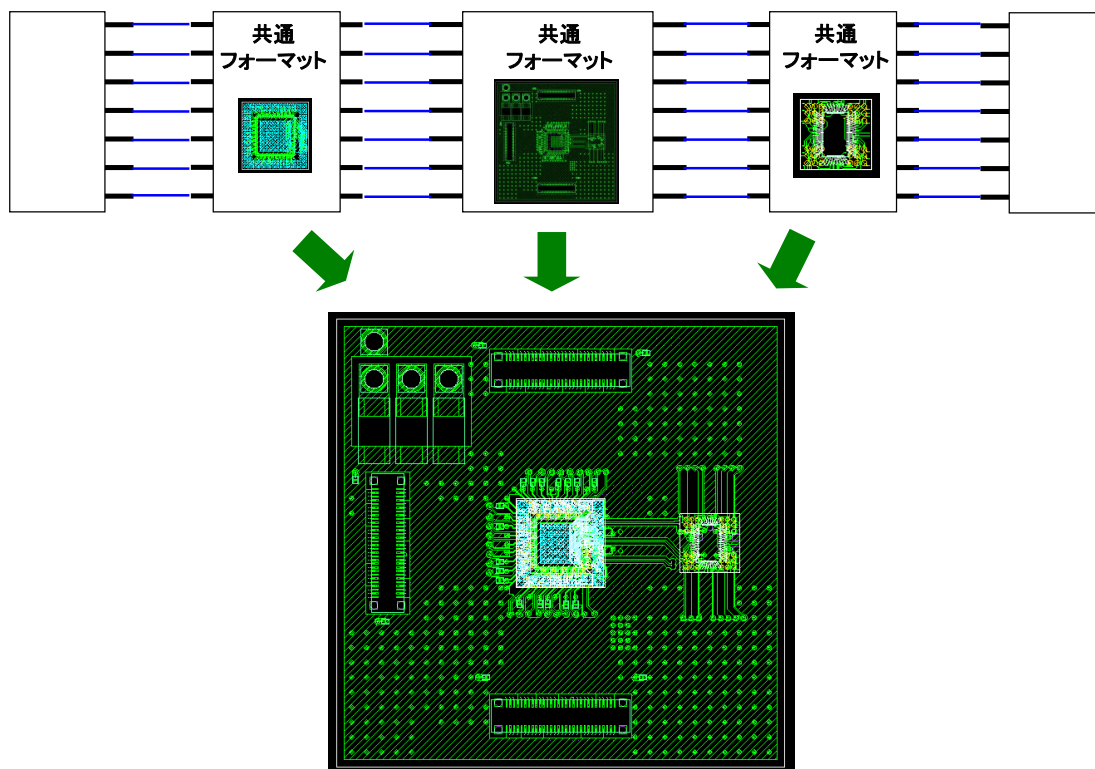
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

15



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

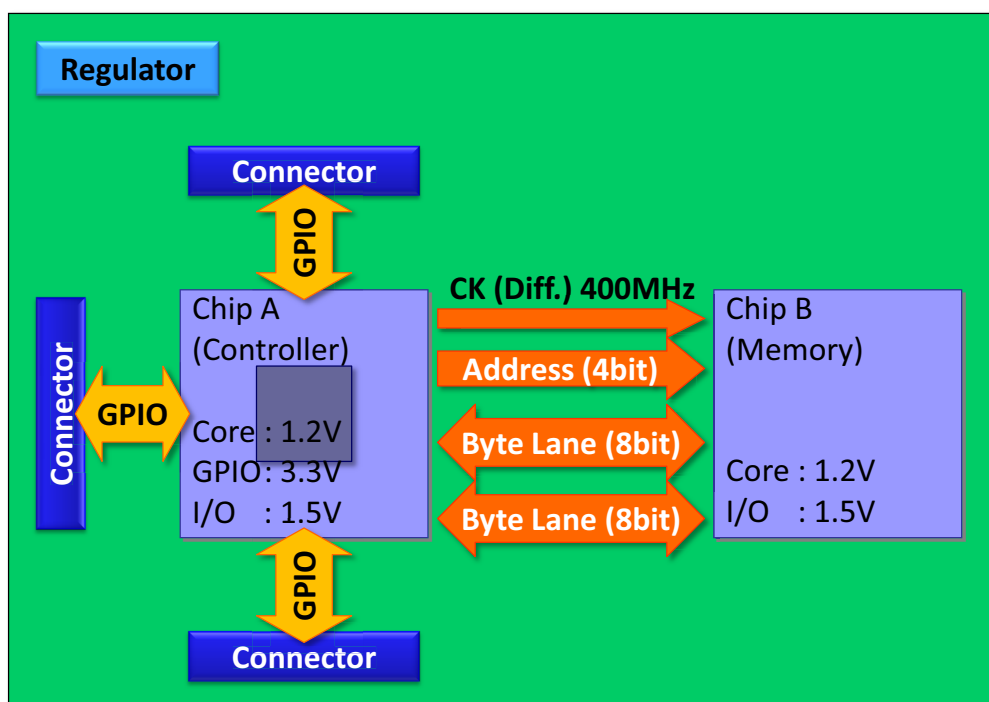
16



アジェンダ

- 背景
- **適用事例の説明**
- 従来方式
- LPB方式
- 総括

適用事例の説明 ～モチーフ～

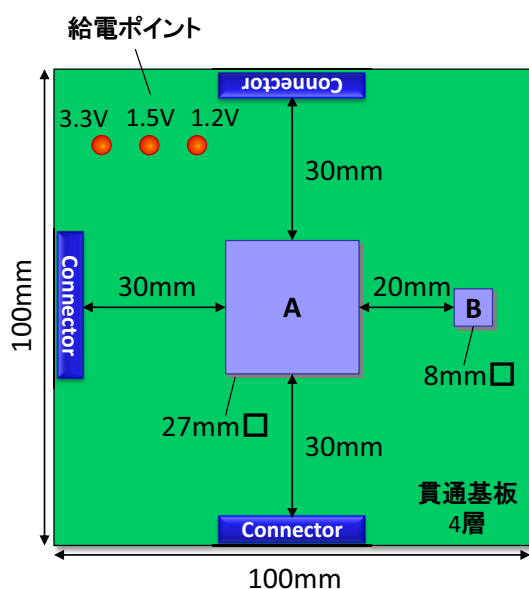


Copyright©2011 JEITA/EDA/LPB All Rights Reserved

19

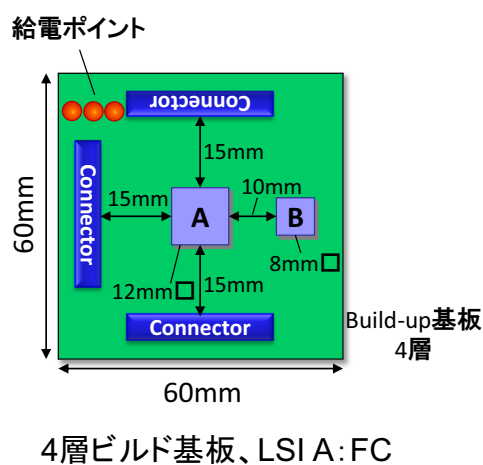
適用事例の説明 ～モチーフ～

セット1 (コモディティ)



4層貫通基板、LSI A:WB

セット2 (軽薄短小)



4層ビルド基板、LSI A:FC

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

20

適用事例の説明 ～役割分担～

■従来方式	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ (100×100mm)			キヤノン			デンソー
軽薄短小 (60×60mm)			キヤノン			

■LPB方式	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ (100×100mm)	ソニー	リコー	Panasonic	図研	東芝	デンソー
軽薄短小 (60×60mm)		富士通セミ コンダクター	トッパン NEC			

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

21

アジェンダ

- 背景
- 適用事例の説明
- 従来方式
- LPB方式
- 総括

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

22

従来方式

■従来方式によるBoard設計(2種類)を担当

	Controller		Board	Memory	
	LSI	Package		Package	LSI
コモディティ (100 × 100mm)			キヤノン		
軽薄短小 (60 × 60mm)			キヤノン		

従来方式 (今回の適用事例での想定)

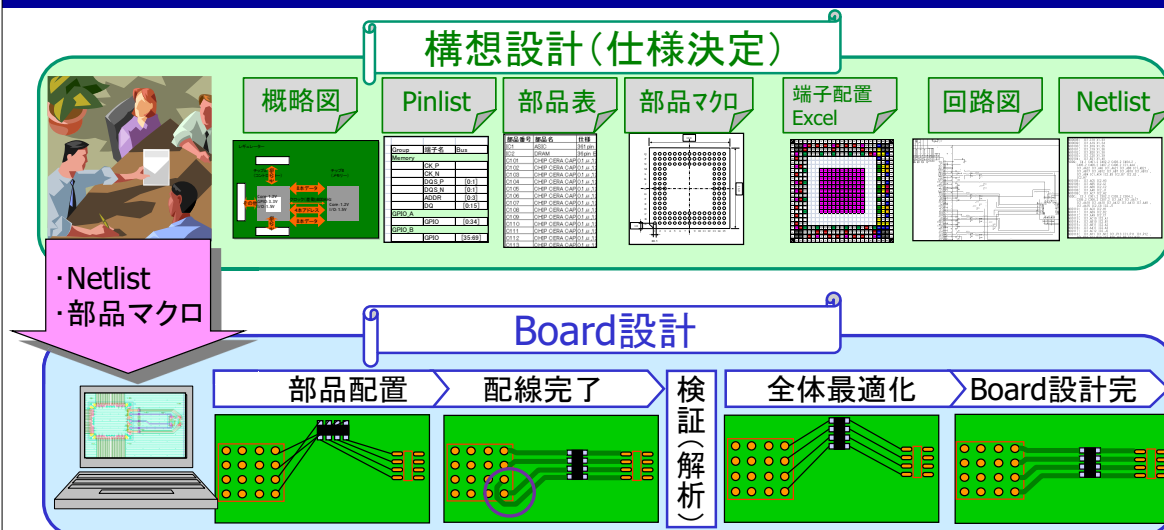
- ①LSI,PKG,Board個別設計
- ②LSI,PKG ⇔ Board 設計情報のやり取りは『紙』※
- ③SIのみLSI+PKG+Boardの統合解析実施(※IBIS modelを使用)

※『紙』: CADが直接読み取れないフォーマットの意

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

23

従来方式 ～設計の流れと課題～



従来方式の課題

- 1.人為的ミスの発生リスクがある(構想設計時)
- 2.全体最適化が困難
- 3.解析準備に時間がかかる

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

24

従来方式 ～課題1. 人為的ミスの発生リスク～

■ 多岐にわたるフォーマット間の情報伝達・管理を人が行っている

フォーマット	概略図	ピンリスト	部品表	部品マクロ	端子配置 Excel	回路図	Netlist
情報							
信号名	△	○				○	
部品名	△	○	○	○	○	△	
部品番号			○			○	○
部品外形	定義付け			○	△		
端子名					○	○	
端子番号				○	○	○	○
ネット名							(○)

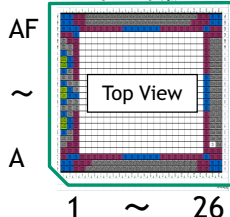
フォーマットが集約されれば、
人為的ミスの発生リスクが低減される



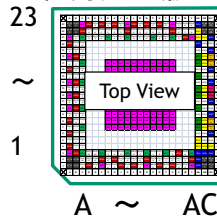
従来方式 ～課題1. 人為的ミスの発生リスク 事例～

端子配置Excel端子番号の定義(定義が逆)

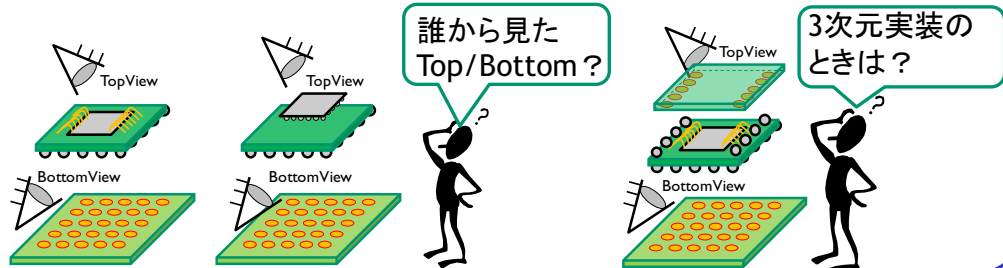
コモディティ版 LSI_A



軽薄短小版 LSI_A



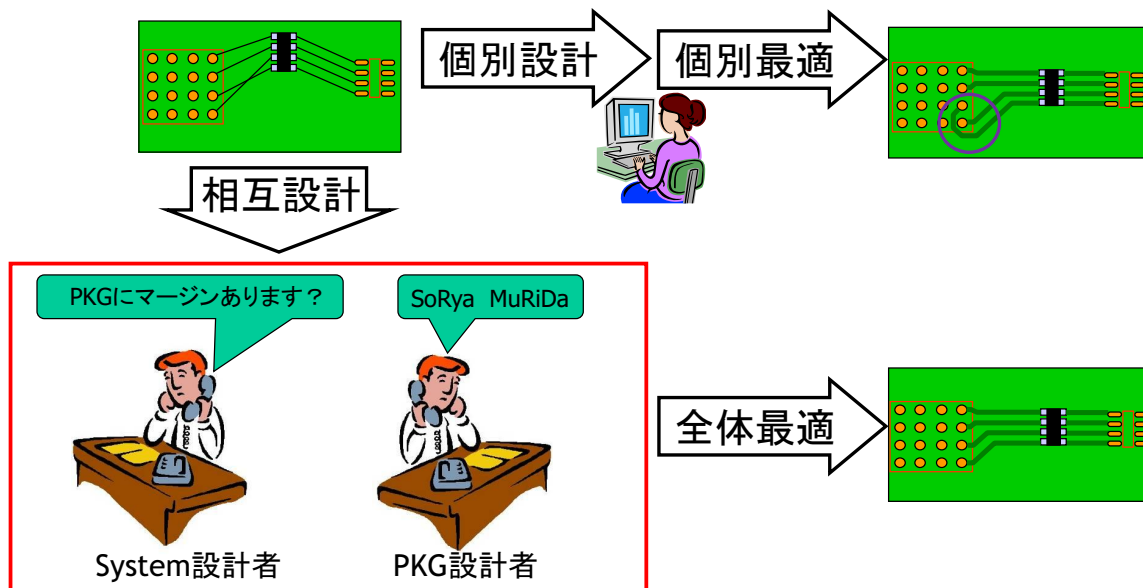
関連：Top View / Bottom Viewの定義があいまい



『あいまいさ』が人為的ミスの原因になっている

従来方式 ～課題2. 全体最適化が困難～

■L,P,Bの各設計マージン・制約が不明確で、最適解が見出せない



円滑な議論、相互理解が、L,P,B全体最適を容易化する

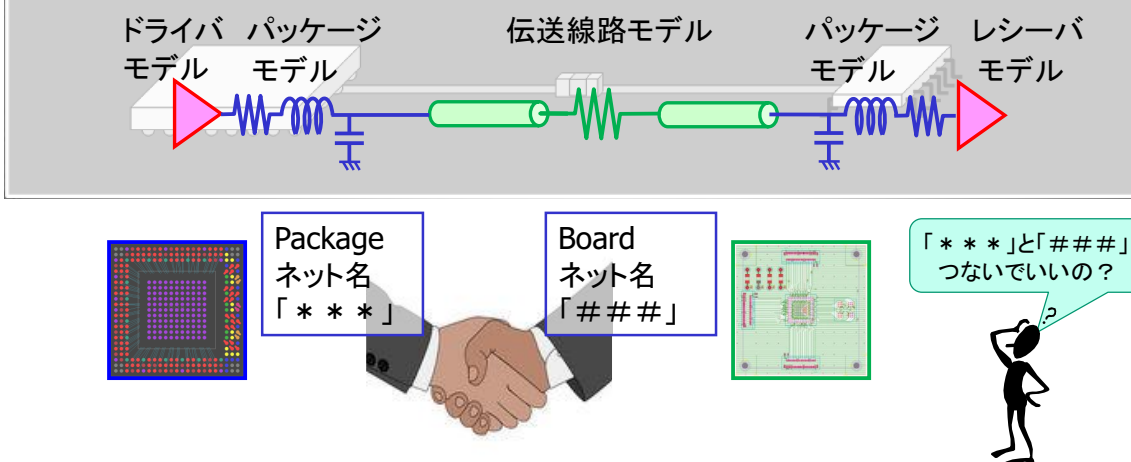
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

27

従来方式 ～課題3. 解析準備に時間がかかる～

■L,P,B毎に異なる端子名、ネット名がつけられる為、確認しながらの統合解析モデル作成には時間がかかる

統合解析モデル

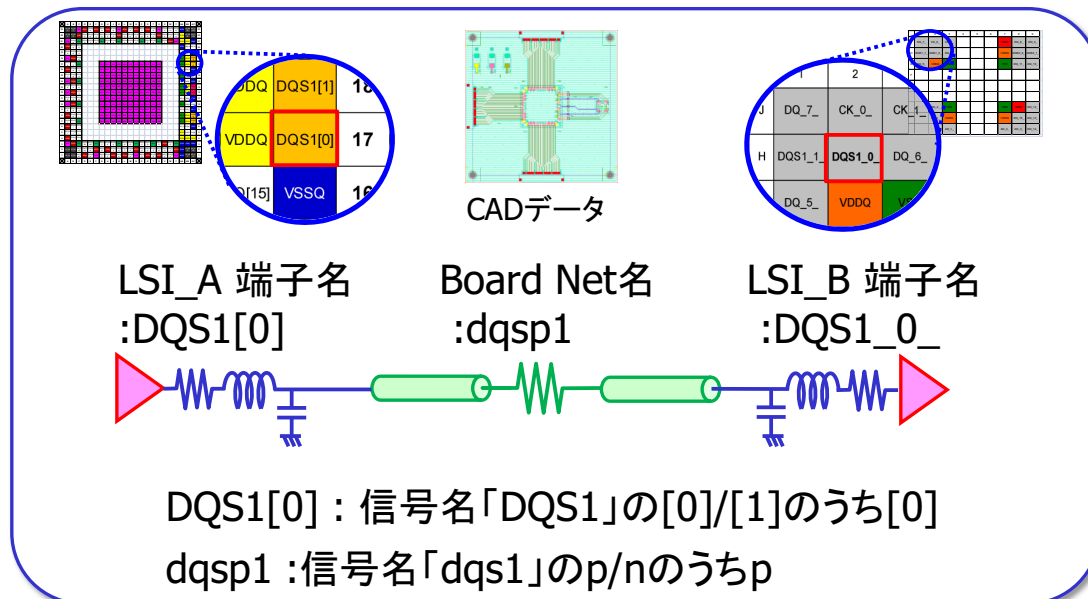


L,P,B間の接続情報が管理されれば、統合解析モデルの作成時間が短縮される

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

28

従来方式 ～課題3. 解析準備に時間がかかる 事例～



解析担当者はCADデータを見て、接続を確認しながら、統合解析モデルを作成するため、時間がかかる

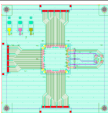
従来方式 ～まとめ～

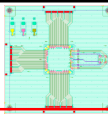
- 従来方式によって、
コモディティ版、軽薄短小版の2つのBoard設計を行いました
- 従来方式による設計における3つの課題を示しました
 - 課題1 人為的ミスの発生リスクがある
 - 課題2 全体最適が困難
 - 課題3 解析準備に時間がかかる

アジェンダ

- 背景
- 適用事例の説明
- 従来方式
- **LPB方式**
- 総括

適用事例の説明 ～役割分担～

■従来方式		Controller		Board	Memory		検証
		LSI	Package		Package	LSI	
コモディティ (100×100mm)				キヤノン			デンソー
軽薄短小 (60×60mm)				キヤノン			

■LPB方式		Controller		Board	Memory		検証
		LSI	Package		Package	LSI	
コモディティ (100×100mm)		ソニー	リコー	Panasonic	図研	東芝	デンソー
軽薄短小 (60×60mm)			富士通セミ コンダクター	トッパン NEC			

LPB方式 ～Step～

Step1. LSI担当が階層間定義、設計制約を仮決め
(担当:ソニー 濱田)



Step2. PKG担当が階層間定義、設計制約を仮決め
(担当:富士通セミコンダクター 小澤)



Step3. Board担当が階層間定義、設計制約を仮決め
(担当:トッパンNEC 金子)



Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め



Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換



Step6. シミュレーションを使った検証を実施
(担当:デンソー 市川、津田)

LPB方式 ～Step1～

Step1. LSI担当が階層間定義、設計制約を仮決め
(担当:ソニー 濱田)



Step2. PKG担当が階層間定義、設計制約を仮決め
(担当:富士通セミコンダクター 小澤)



Step3. Board担当が階層間定義、設計制約を仮決め
(担当:トッパンNEC 金子)



Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

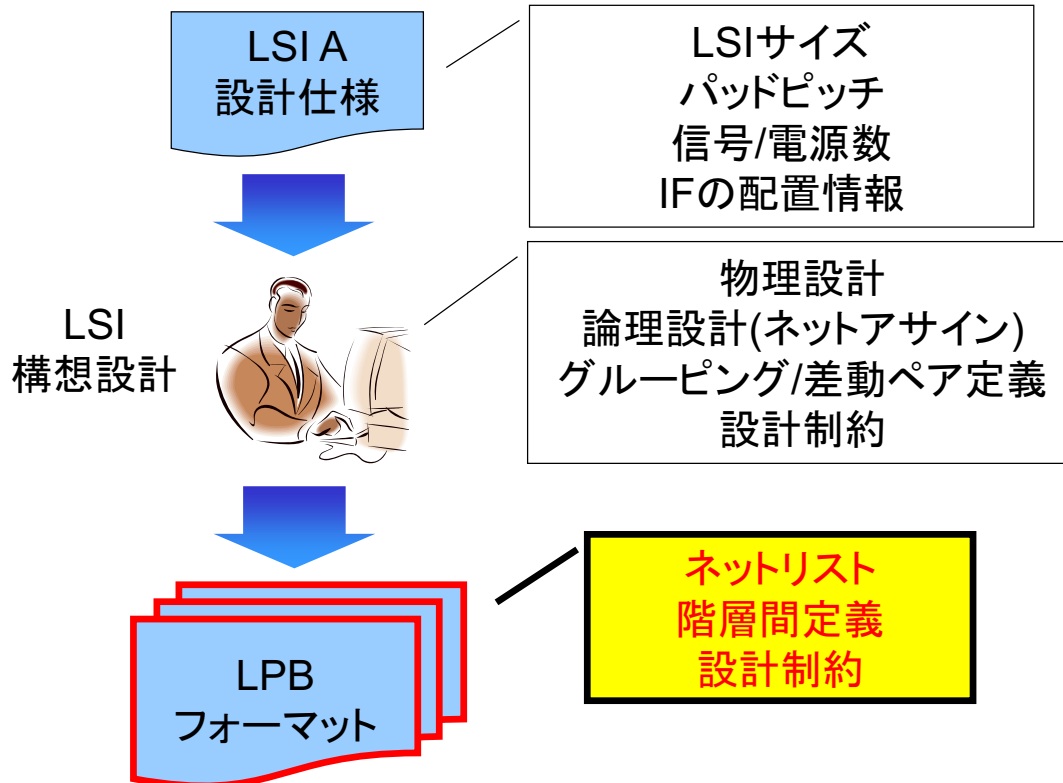


Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換



Step6. シミュレーションを使った検証を実施
(担当:デンソー 市川、津田)

LPB方式 ～Step1-①～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

35

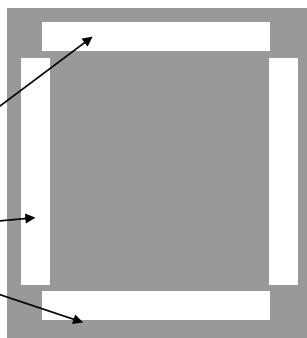
LPB方式 ～Step1-②.LSI Aの設計仕様～

<LSI情報>

- Size: 7mm□
- Pad Pitch: 110μm
- Pad数: 240パッド
(60パッド×4辺)

<GPIO>

- Data=105パッド
- V(3.3)=30パッド
- V(1.2)=15パッド
- G=30パッド



<DDR>

- Data=16パッド
- DQS=2Pair(4パッド)
- Add=4パッド
- CK=1Pair(2パッド)
- V(1.5)=13パッド
- V(1.2)=8パッド
- G=13パッド

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

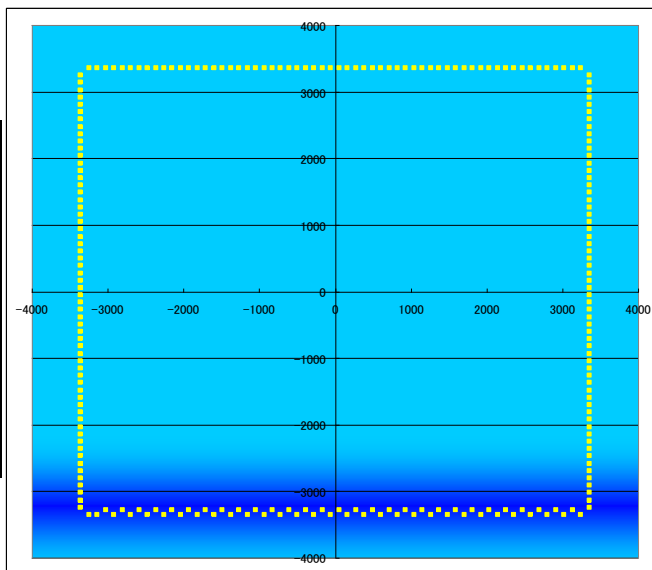
36

LPB方式 ～Step1-③. LSI構想設計～

【階層間定義】

■ 物理設計/論理設計

Pad番号	Pad名	Pad属性	I/O	X座標	Y座標
1	VDDIO1	Power	inout	-3355	3245
2	VSS1	GND	inout	-3355	3135
3	VDD1	Power	inout	-3355	3025
4	GPIO0	Signal	inout	-3355	2915
5	GPIO1	Signal	inout	-3355	2805
6	GPIO2	Signal	inout	-3355	2695
7	VDDIO2	Power	inout	-3355	2585
8	VSS2	GND	inout	-3355	2475
9	GPIO3	Signal	inout	-3355	2365
10	GPIO4	Signal	inout	-3355	2255
11	GPIO5	Signal	inout	-3355	2145
12	GPIO6	Signal	inout	-3355	2035
13	VDDIO3	Power	inout	-3355	1925
14	VSS3	GND	inout	-3355	1815
15	VDD2	Power	inout	-3355	1705

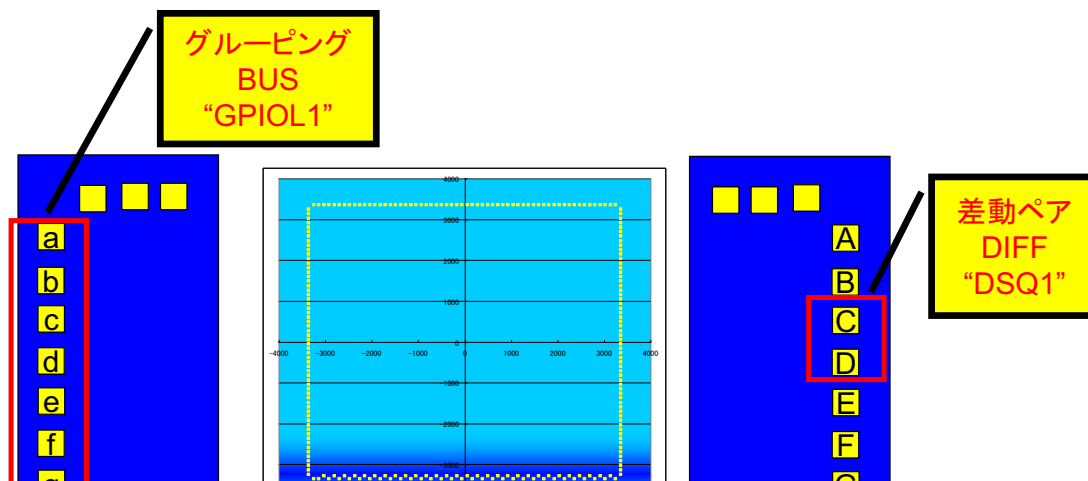


LPB方式：従来方式と大差なし。
従来方式：LPB方式と大差なし。

LPB方式 ～Step1-④. LSI構想設計～

【階層間定義】

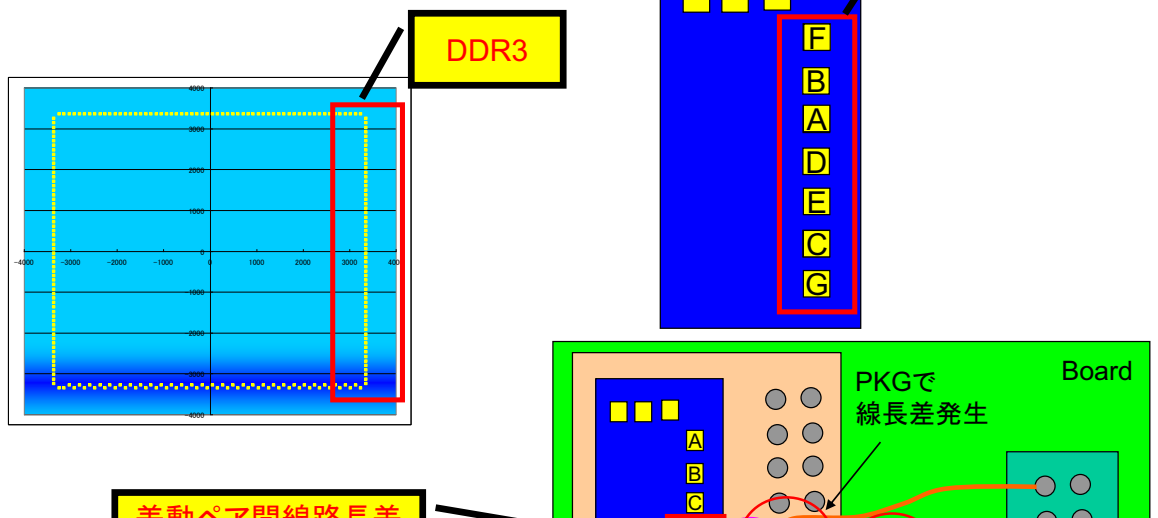
■ グループング/差動ペアの定義



LPB方式：フォーマットに情報を記載するだけ。
従来方式：資料作成や打合せによる認識合わせが必要。

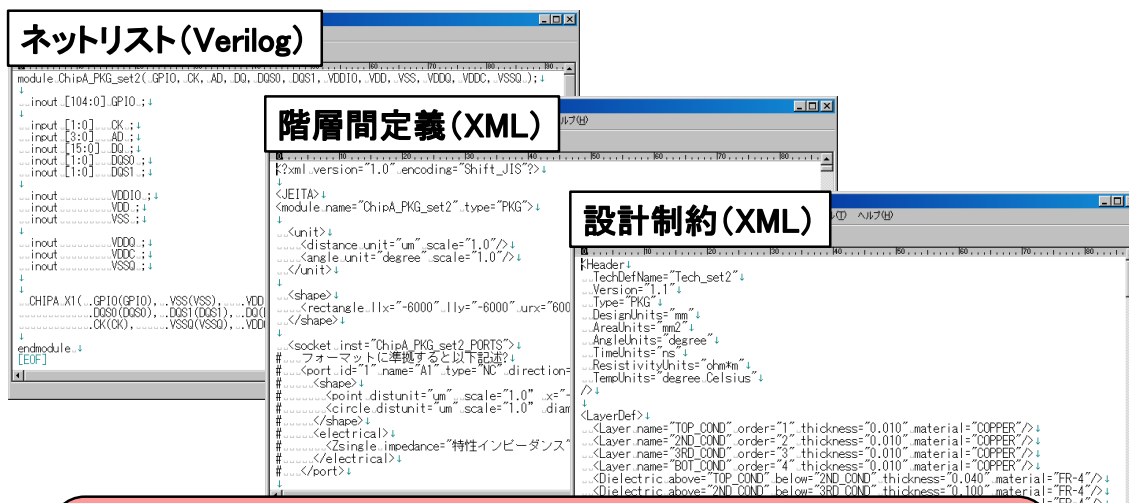
LPB方式 ～Step1-⑤. LSI構想設計～

【設計制約】



LPB方式：フォーマットに情報を記載するだけ。
定義の『あいまいさ』を排除
従来方式：資料作成や打合せによる認識合わせが必要。

LPB方式 ～Step1-⑥. LPB標準フォーマットへの出力～



LPB方式：EDAツールで出力するだけ。
人為的ミスの排除
従来方式：紙の仕様書を作成する必要あり。

LPB方式 ～Step1. まとめ～

LPB方式作成工数（EDAツールが対応した場合）

工程	作業内容	LPB方式※) [hours]
③	物理設計/論理設計	3
④	グルーピング/差動ペアを設定	0.1
⑤	設計制約を設定	0.1
⑥	LPB標準フォーマットへの出力 ・ネットリスト ・階層条件XML ・設計制約XML	0.1
	合計	3.3

仕様書作成の工数削減ができた効果
資料作成や打合せによる認識合わせが
不要となる事による効果

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

41

LPB方式 ～Step2～

Step1. LSI担当が階層間定義、設計制約を仮決め
(担当:ソニー 濱田)



Step2. PKG担当が階層間定義、設計制約を仮決め
(担当:富士通セミコンダクター 小澤)



Step3. Board担当が階層間定義、設計制約を仮決め
(担当:トッパンNEC 金子)



Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め



Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換



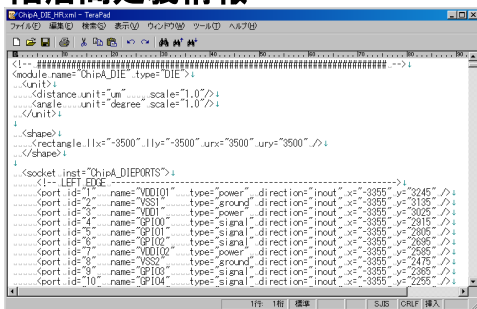
Step6. シミュレーションを使った検証を実施
(担当:デンソー 市川、津田)

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

42

LPB方式 ～Step2-①. LSI作成～

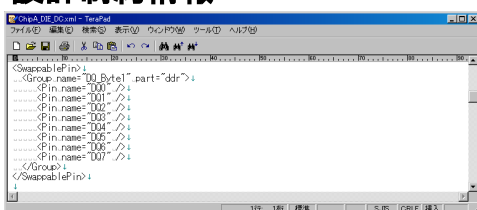
階層間定義情報



PKG設計ツール上にLSIを作成



設計制約情報



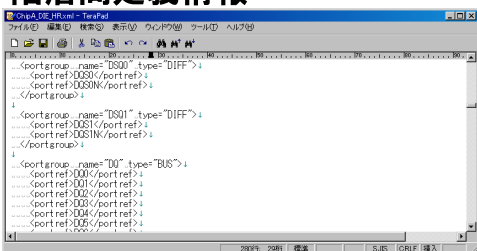
LPB方式：EDAツールで読み込むだけ
従来方式：紙の仕様書を解読する必要あり

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

43

LPB方式 ～Step2-②. 設計制約を設定～

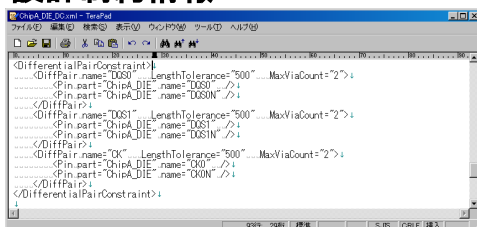
階層間定義情報



PKG設計ツールに設計制約を設定



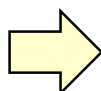
設計制約情報



		Signal Coverage			Via Coverage			Edge		
Type	Objects	Max um	Actual um	Margin um	Max um	Actual um	Margin um	Max um	Actual um	Margin um
Design	118893_JEITA_LPB_WG_ChipA_PKG									
Bus	A00									
Bus	D0									
Bus	GP001									
Bus	GP002									
Bus	GP003									
Bus	GP004									
Bus	GP005									
Bus	GP006									
Bus	GP007									
Bus	GP008									
Bus	GP009									
Bus	GP010									
Bus	GP011									
Bus	GP012									
Bus	GP013									
Bus	GP014									
Bus	GP015									
Bus	GP016									
Bus	GP017									
Bus	GP018									
Bus	GP019									
Bus	GP020									
Bus	GP021									
Bus	GP022									
Bus	GP023									
Bus	GP024									
Bus	GP025									
Bus	GP026									
Bus	GP027									
Bus	GP028									
Bus	GP029									
Bus	GP030									
Bus	GP031									
Bus	GP032									
Bus	GP033									
Bus	GP034									
Bus	GP035									
Bus	GP036									
Bus	GP037									
Bus	GP038									
Bus	GP039									
Bus	GP040									
Bus	GP041									
Bus	GP042									
Bus	GP043									
Bus	GP044									
Bus	GP045									
Bus	GP046									
Bus	GP047									
Bus	GP048									
Bus	GP049									
Bus	GP050									
Bus	GP051									
Bus	GP052									
Bus	GP053									
Bus	GP054									
Bus	GP055									
Bus	GP056									
Bus	GP057									
Bus	GP058									
Bus	GP059									
Bus	GP060									
Bus	GP061									
Bus	GP062									
Bus	GP063									
Bus	GP064									
Bus	GP065									
Bus	GP066									
Bus	GP067									
Bus	GP068									
Bus	GP069									
Bus	GP070									
Bus	GP071									
Bus	GP072									
Bus	GP073									
Bus	GP074									
Bus	GP075									
Bus	GP076									
Bus	GP077									
Bus	GP078									
Bus	GP079									
Bus	GP080									
Bus	GP081									
Bus	GP082									
Bus	GP083									
Bus	GP084									
Bus	GP085									
Bus	GP086									
Bus	GP087									
Bus	GP088									
Bus	GP089									
Bus	GP090									
Bus	GP091									
Bus	GP092									
Bus	GP093									
Bus	GP094									
Bus	GP095									
Bus	GP096									
Bus	GP097									
Bus	GP098									
Bus	GP099									
Bus	GP100									
Bus	GP101									
Bus	GP102									
Bus	GP103									
Bus	GP104									
Bus	GP105									
Bus	GP106									
Bus	GP107									
Bus	GP108									
Bus	GP109									
Bus	GP110									
Bus	GP111									
Bus	GP112									
Bus	GP113									
Bus	GP114									
Bus	GP115									
Bus	GP116									
Bus	GP117									
Bus	GP118									
Bus	GP119									
Bus	GP120									
Bus	GP121									
Bus	GP122									
Bus	GP123									
Bus	GP124									
Bus	GP125									
Bus	GP126									
Bus	GP127									
Bus	GP128									
Bus	GP129									
Bus	GP130									
Bus	GP131									
Bus	GP132									
Bus	GP133									
Bus	GP134									
Bus	GP135									
Bus	GP136									
Bus	GP137									
Bus	GP138									
Bus	GP139									
Bus	GP140									
Bus	GP141									
Bus	GP142									
Bus	GP143									
Bus	GP144									
Bus	GP145									
Bus	GP146									
Bus	GP147									
Bus	GP148									
Bus	GP149									
Bus	GP150									
Bus	GP151									
Bus	GP152									
Bus	GP153									
Bus	GP154									
Bus	GP155									
Bus	GP156									
Bus	GP157									
Bus	GP158									
Bus	GP159									
Bus	GP160									
Bus	GP161									
Bus	GP162									
Bus	GP163									
Bus	GP164									
Bus	GP165									
Bus	GP166									
Bus	GP167									
Bus	GP168									
Bus	GP169									
Bus	GP170									
Bus	GP171									
Bus	GP172									
Bus	GP173									
Bus	GP174									
Bus	GP175									
Bus	GP176									
Bus	GP177									
Bus	GP178									
Bus	GP179									
Bus	GP180									
Bus	GP181									
Bus	GP182									
Bus	GP183									
Bus	GP184									
Bus	GP185									
Bus	GP186									
Bus	GP187									
Bus	GP188									
Bus	GP189									
Bus	GP190									
Bus	GP191									
Bus	GP192									
Bus	GP193									
Bus	GP194									
Bus	GP195									
Bus	GP196									
Bus	GP197									
Bus	GP198									
Bus	GP199									
Bus	GP200									
Bus	GP201									
Bus	GP202									
Bus	GP203									
Bus	GP204									
Bus	GP205									
Bus	GP206									
Bus	GP207									
Bus	GP208									
Bus	GP209									
Bus	GP210									
Bus	GP211									
Bus	GP212									
Bus	GP213									
Bus	GP214									
Bus	GP215									
Bus	GP216									
Bus	GP217									
Bus	GP218									
Bus	GP219									
Bus	GP220									

LPB方式 ～Step2-③. PKG設計ルールを設定～

【LPB標準フォーマット】
PKG設計ルールDB

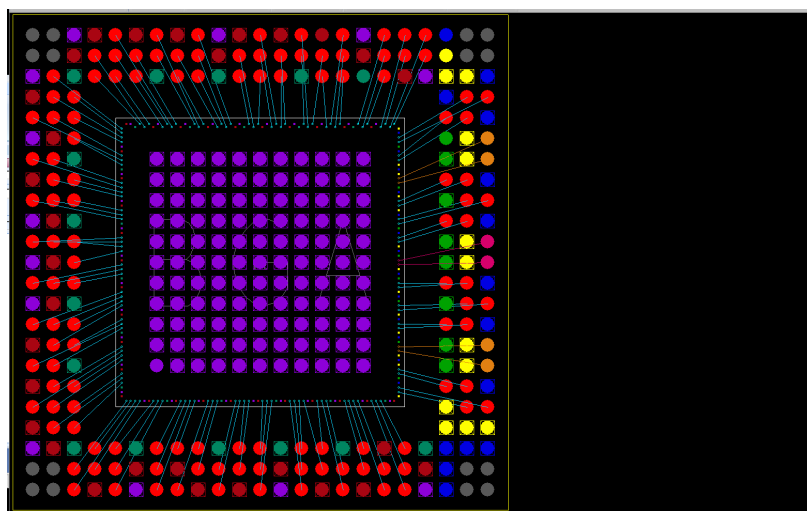


PKG設計ツールに設計ルールを設定

1)	Subclass Name	Type	Material	Thickness (μm)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Negative Allow	Shield
2	TOP_SR	SURFACE	AIR			1	0		
3	TOP_SR	DISELECTRIC	RESISTOR_INK	20	0	4.5	0.035		
4	TOP_COND	CONDUCTOR	COPPER	10	59500	4.5	0	☐	
5	DIELECTRIC-1-2	DISELECTRIC	FR-4	40	0	4.5	0.035	☐	
6	2ND_COND	PLANE	COPPER	10	59500	4.5	0	☐	☒
7	3RD_COND	PLANE	COPPER	10	59500	4.5	0	☐	☒
8	DIELECTRIC-3-4	DISELECTRIC	FR-4	40	0	4.5	0.035		
9	BOT_COND	CONDUCTOR	COPPER	10	59500	4.5	0	☐	
10	BOT_SR	DISELECTRIC	RESISTOR_INK	20	0	4.5	0.035		
11		SURFACE	AIR			1	0		

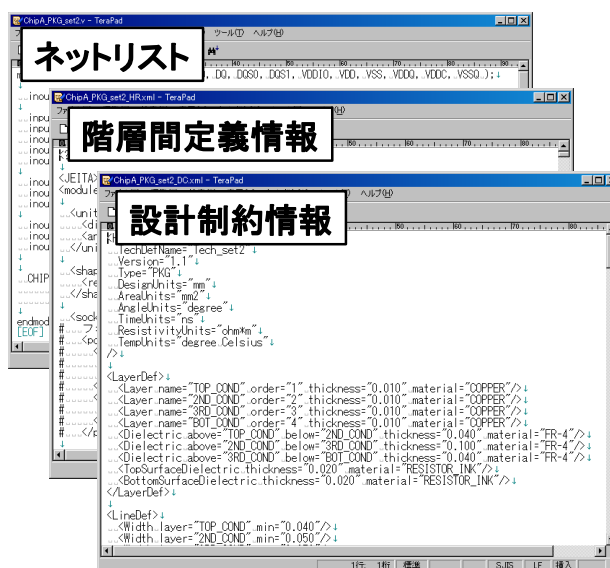
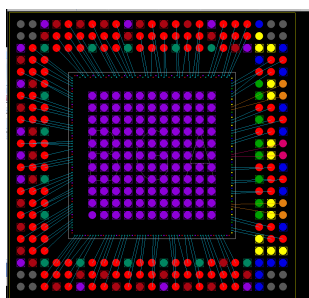
LPB方式 : EDAツールの制限を受けない(容易に変更可)
従来方式 : 容易にEDAツールを変更できない

LPB方式 ～Step2-④. ボールアサインを設定～



LPB方式 : 従来方式と差なし
従来方式 : LPB方式と差なし

LPB方式 ～Step2-⑤. 仮決めしたPKG情報の出力～



LPB方式 : JEITA LPB標準フォーマットで出力して提供
従来方式 : 紙の仕様書を作成して提供(人為的ミスの可能性)

LPB方式 ～Step2. まとめ～

LPB方式作業工数(EDAツールが対応した場合)

工程	作業内容	LPB方式 [hours]
①	LSI作成	0.1
②	設計制約を設定	0.1
③	PKG設計ルールを設定	0.1
④	ボールアサインを設定	2.0
⑤	仮決めしたPKG情報の出力 ・ネットリスト ・階層間定義情報 ・設計制約情報	0.1
	合計	2.4

LPB方式 ～Step3～

Step1. LSI担当が階層間定義、設計制約を仮決め
(担当:ソニー 濱田)

Step2. PKG担当が階層間定義、設計制約を仮決め
(担当:富士通セミコンダクター 小澤)

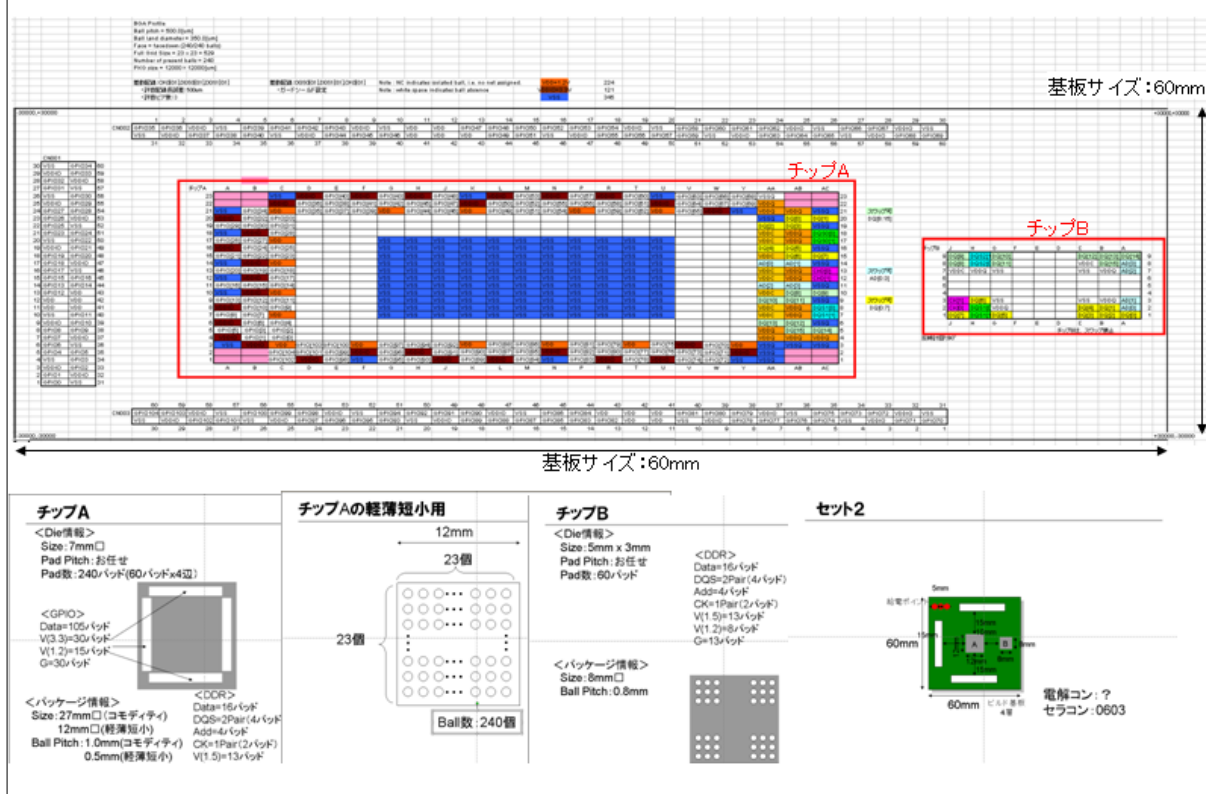
Step3. Board担当が階層間定義、設計制約を仮決め
(担当:トッパンNEC 金子)

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

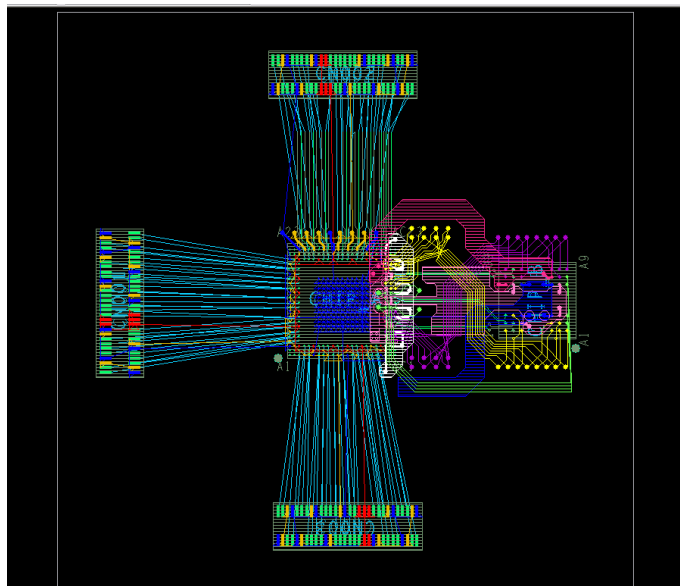
Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

Step6. シミュレーションを使った検証を実施
(担当:デンソー 市川、津田)

LPB方式 ～Step3-①. PCB仕様の概要～



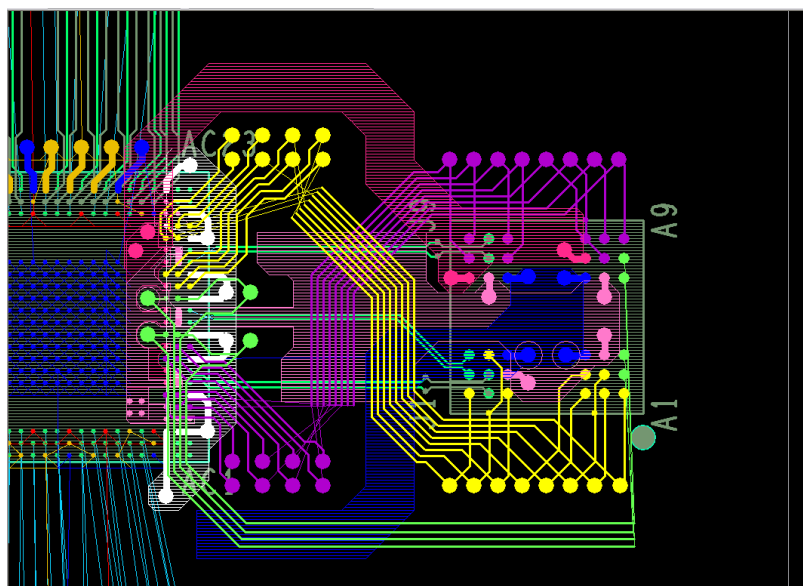
LPB方式 ～Step3-②. CADによる配置・配線検討～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

51

LPB方式 ～Step3-③. CADによる配置・配線検討～

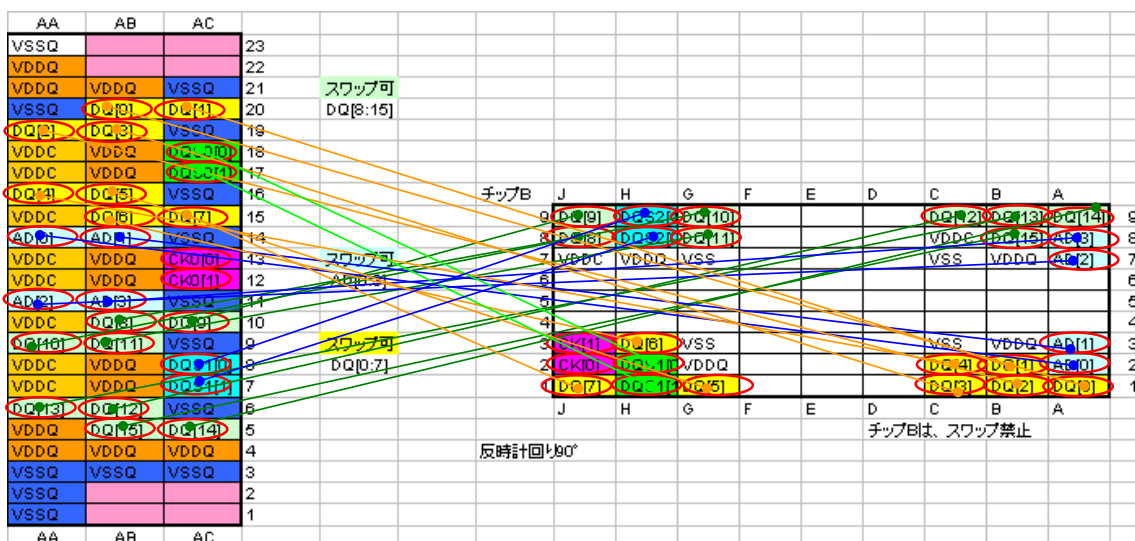


Copyright©2011 JEITA/EDA/LPB All Rights Reserved

52

LPB方式 ～Step3-④. PKG_Aピン配置の検討～

<メモリ配線部拡大:現状のピン配置>

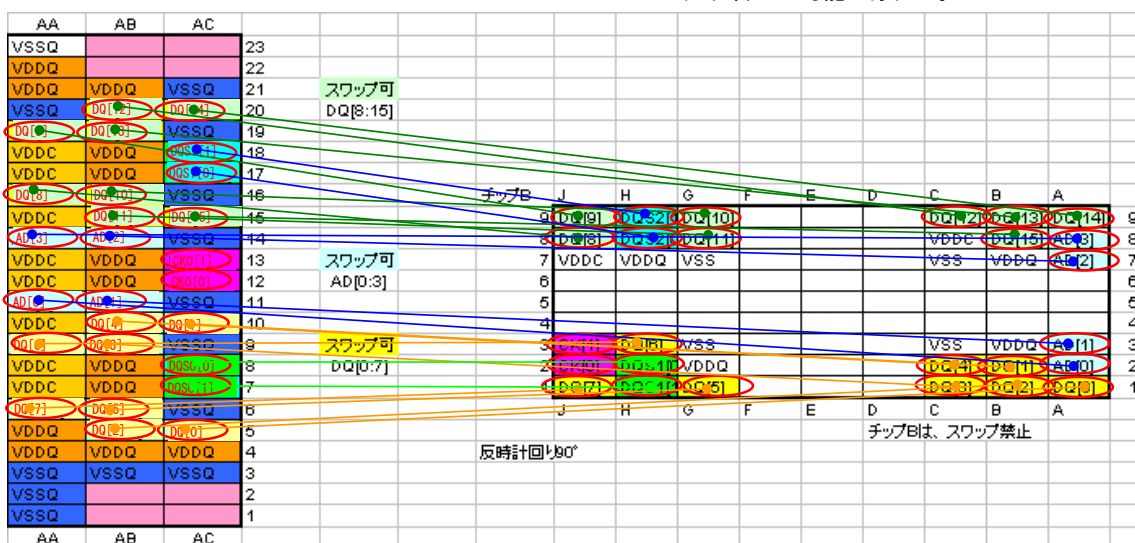


配線が交差して、基板層数の増加が予想される

LPB方式 ～Step3-⑤. PKG_Aピン配置の検討～

<メモリ配線部拡大:ピン配置の修正提案>

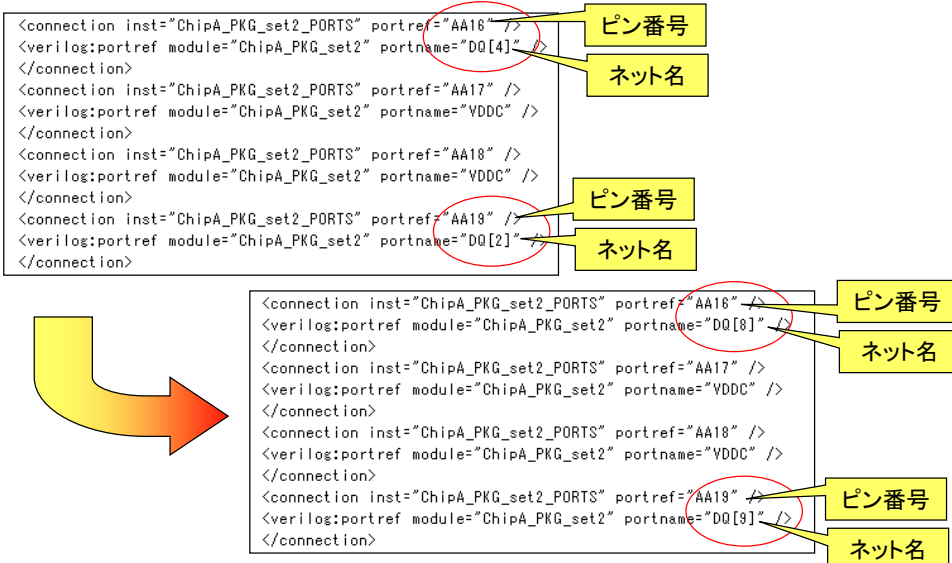
**DQ[0:7]とDQ[8:15]のグループ同士での
入れ替えが可能であれば。**



従来設計: 上記のような検討し、半導体メーカーへ提案(3者協議へ)
→資料作成に手間がかかる。
→フォーマットがバラバラなので、誤解の元となる。

LPB方式 ～Step3-⑥. PKG_Aピン配置の検討～

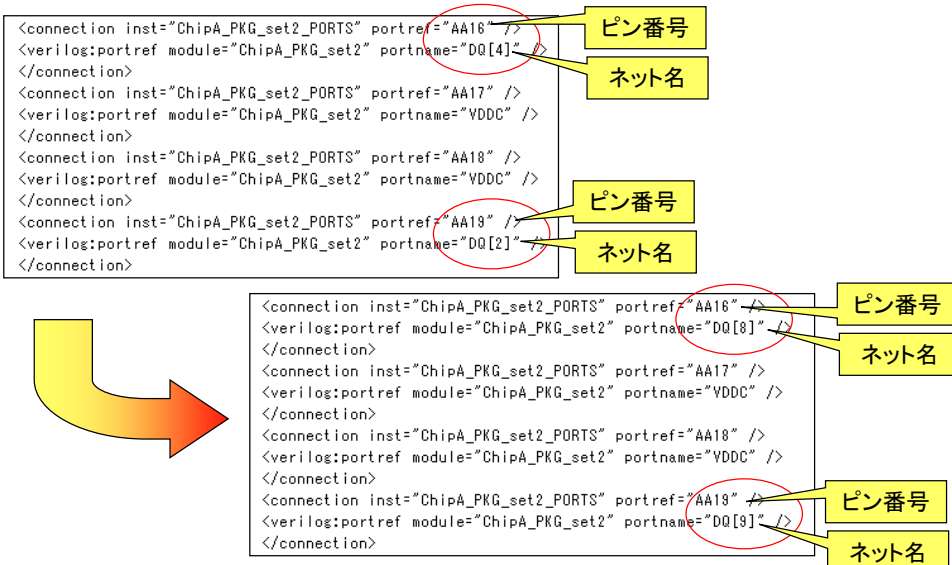
LPB標準フォーマットを使用して修正の提案実施



LPB標準フォーマット:PKGのピン名称を変更して、半導体メーカーと交渉
 →誤解がない。伝えたい内容が明確になる。
 →資料作成の手間が減る。※EDAツールでの対応が前提

LPB方式 ～Step3-⑥. PKG_Aピン配置の検討～

LPB標準フォーマットを使用して修正の提案実施



LPB標準フォーマット(現状の問題点)
 →いつ誰が記載したと言ったバージョン管理が不明確
 →プロジェクト管理の導入

LPB方式 ～Step4～

Step1. LSI担当が階層間定義、設計制約を仮決め
(担当:ソニー 濱田)



Step2. PKG担当が階層間定義、設計制約を仮決め
(担当:富士通セミコンダクター 小澤)



Step3. Board担当が階層間定義、設計制約を仮決め
(担当:トッパンNEC 金子)



Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め



Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換



Step6. シミュレーションを使った検証を実施
(担当:デンソー 市川、津田)

LPB方式 ～Step4-①. 3者での打ち合わせ～

3者でJEITA LPB 標準フォーマットを用いて、打ち合わせを実施

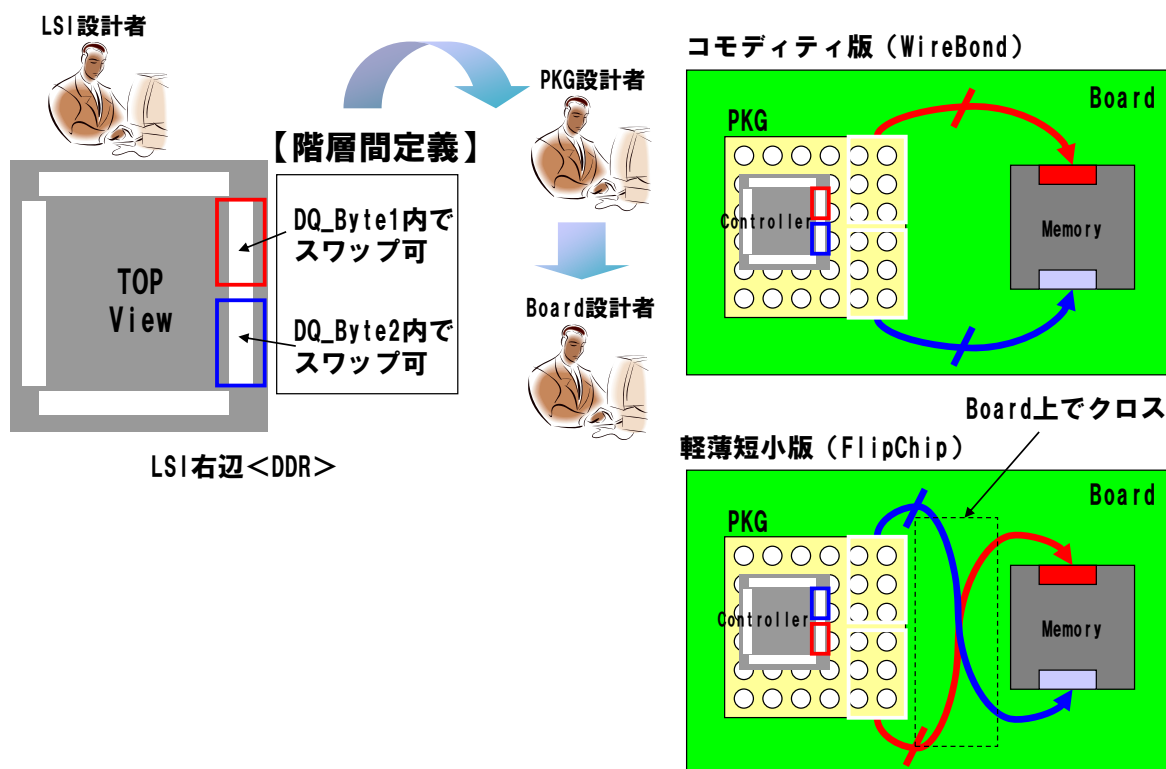
LSI担当



PKG担当

Board担当

LPB方式 ～Step4-②. 問題の確認～

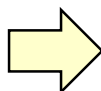
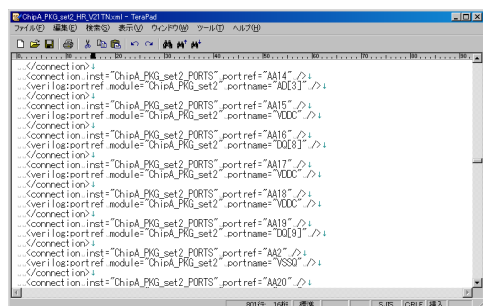


Copyright©2011 JEITA/EDA/LPB All Rights Reserved

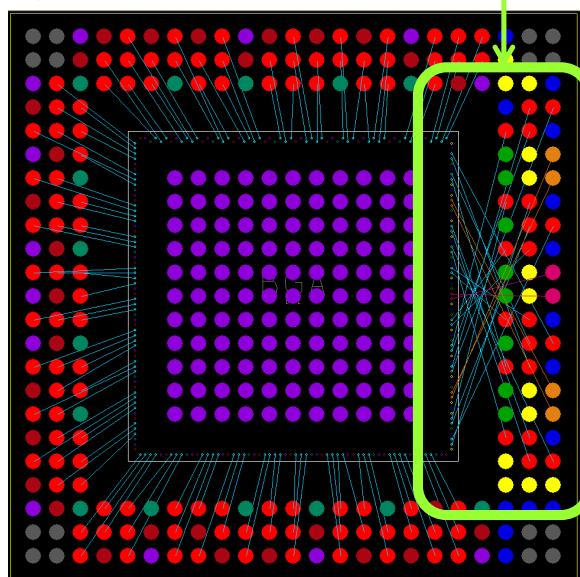
59

LPB方式 ～Step4-③. PKGボールアサインの変更～

階層間定義情報 (Board担当からFB)



ラツツネストがクロスしている

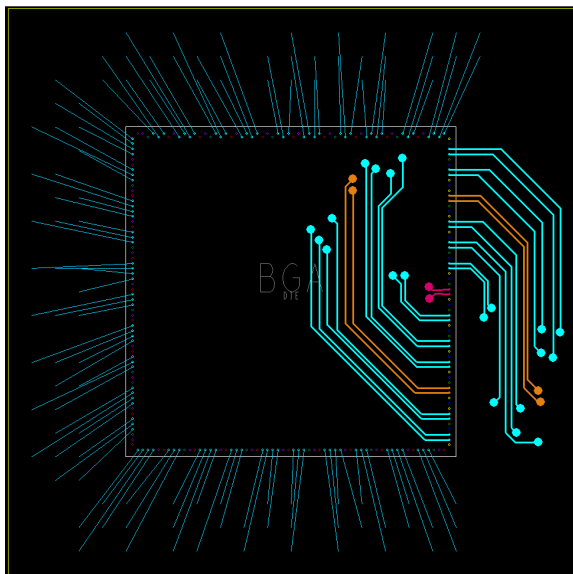


LPB方式 : EDAツールで読み込むだけ
従来方式 : 紙の仕様書を解読する必要あり

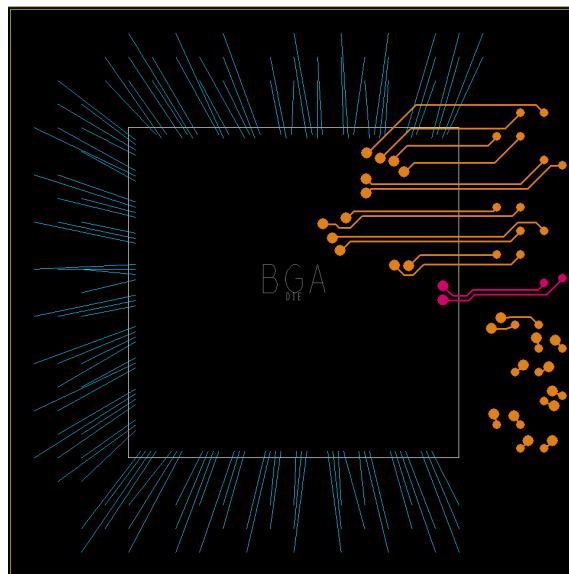
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

60

LPB方式 ～Step4-④. PKGフィージビリティスタディ～



1層目配線パターン

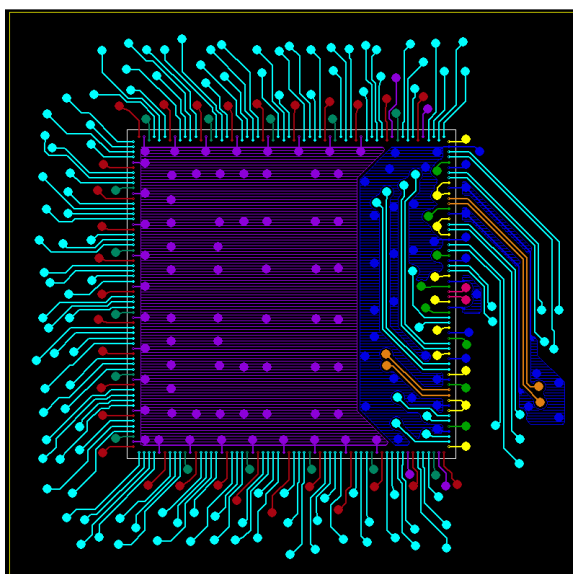


3層目配線パターン

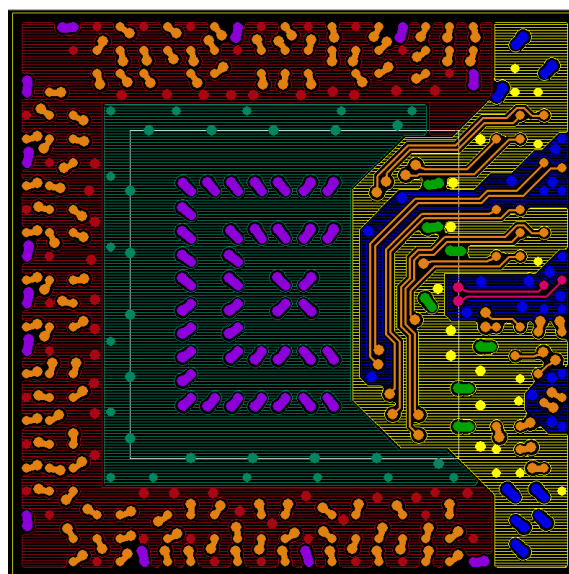
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

61

LPB方式 ～Step4-⑤. PKGレイアウト結果～



1層目配線パターン

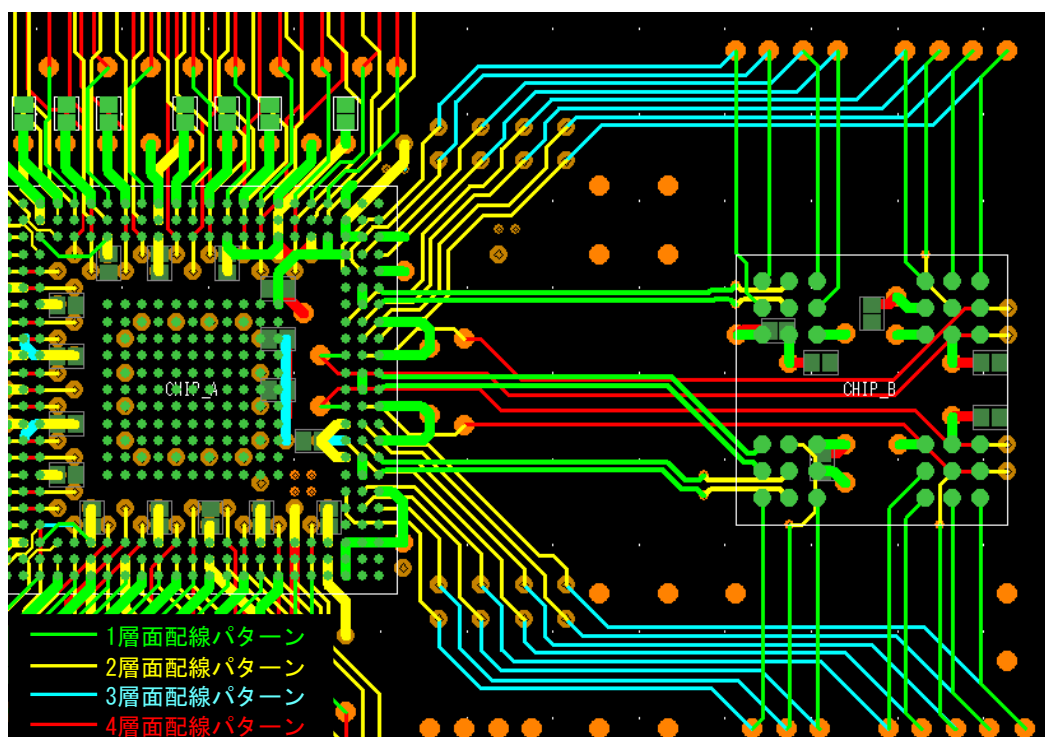


3層目配線パターン

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

62

LPB方式 ～Step4-⑥. Boardレイアウト結果～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

63

LPB方式 ～Step4. まとめ～

JEITA LPB標準フォーマットについて

メリット

- ・修正内容の伝達が容易になり、設計するまでの準備時間の大幅な短縮が期待できる。
- ・誤解によるミス防止や確認のための時間短縮が期待できる。

デメリット

- ・現時点でEDAツールが対応していない。
- ・やり取りが増えると、バージョン管理が必要。
- ・LPB標準フォーマットは、EDAツールにやさしく人に厳しい。
※LPB標準フォーマットのViewing機能が必要。

**EDAベンダー各位
御検討願います!!**

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

64

LPB方式 ～Step5～

Step1. LSI担当が階層間定義、設計制約を仮決め
(担当:ソニー 濱田)



Step2. PKG担当が階層間定義、設計制約を仮決め
(担当:富士通セミコンダクター 小澤)



Step3. Board担当が階層間定義、設計制約を仮決め
(担当:トッパンNEC 金子)



Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

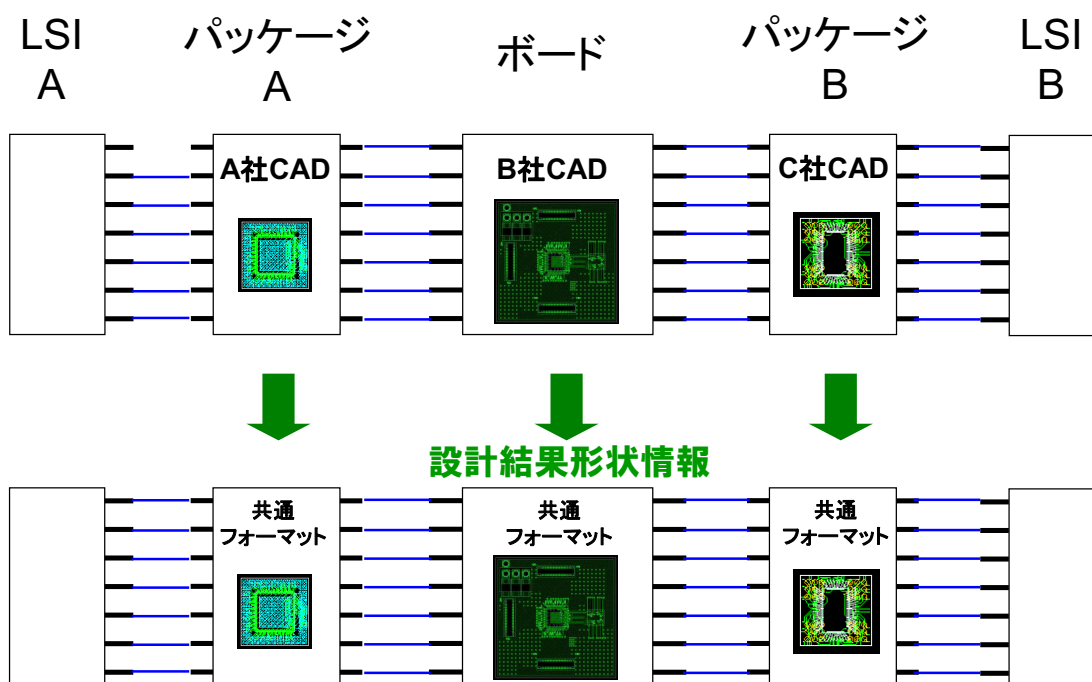


Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

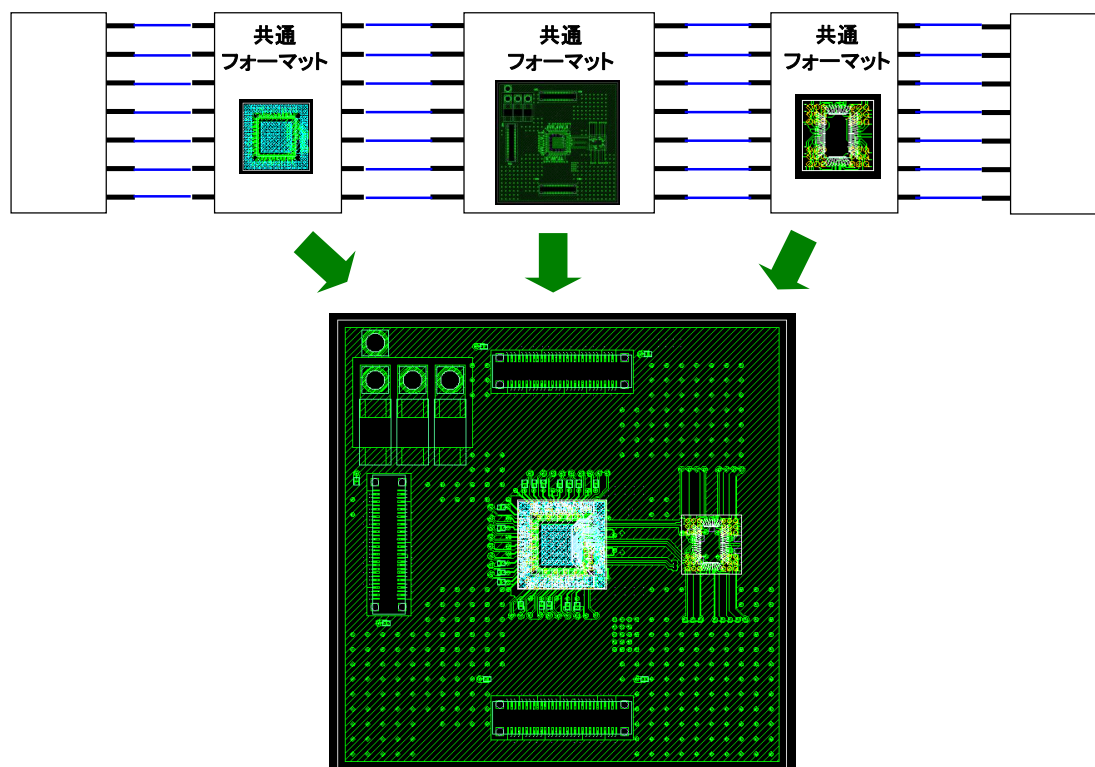


Step6. シミュレーションを使った検証を実施
(担当:デンソー 市川、津田)

LPB方式 ～Step5-①. LPB標準フォーマットに変換～



LPB方式 ～Step5-②. LPBデータの結合～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

67

LPB方式 ～Step6～

Step1. LSI担当が階層間定義、設計制約を仮決め
(担当:ソニー 濱田)



Step2. PKG担当が階層間定義、設計制約を仮決め
(担当:富士通セミコンダクター 小澤)



Step3. Board担当が階層間定義、設計制約を仮決め
(担当:トッパンNEC 金子)



Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め



Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換



Step6. シミュレーションを使った検証を実施
(担当:デンソー 市川、津田)

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

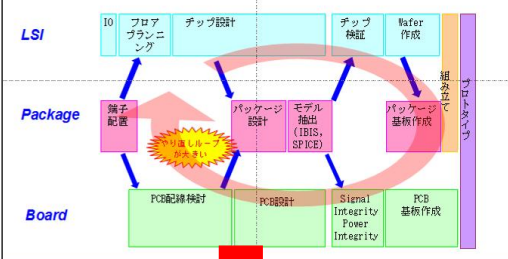
68

LPB方式 ～Step6-①.シミュレーションによる設計検証

背景

■ 現在の主な設計手法:

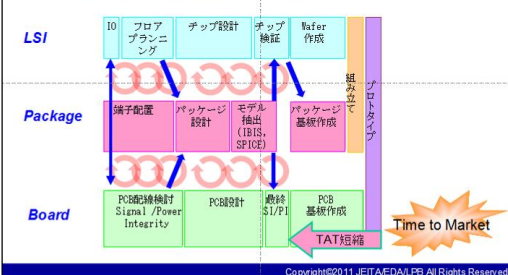
チップ、パッケージ、システムが別々に設計されて最後に全体の検証を行う。



背景

■ LPBコンカレント協調設計:

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



複雑化する設計制約(熱、EMC、SI、PI...)条件
各設計フェーズ、各階層において
シミュレーション活用による制約条件の確認

シミュレーション環境に関する課題

シミュレーションに必要な事前準備工数・時間が大

- ・LSI、Package、Boardの各CADでのデータを各シミュレータで扱うための調整
- ・LSI、Packageデータ、特性の入手、準備

十分なシミュレーション時間を確保できない
工数をかけても正確な特性を把握することが難しい

設計検証におけるLPB期待効果

LPBフォーマットによる準備工数の削減

シミュレーションに必要な設計・特性情報、
フォーマットの定義による**事前準備時間を削減**

LPB協調設計による解析精度向上

解析モデルの流通による**精度向上が可能**

協調して制約条件を最適化

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

69

LPB方式 ～Step6-②.シミュレーションについて～

【 解析する対象 】

SI解析 : ドライバ、レシーバのeyeパターン

PI解析 : LSIから見た電源インピーダンス

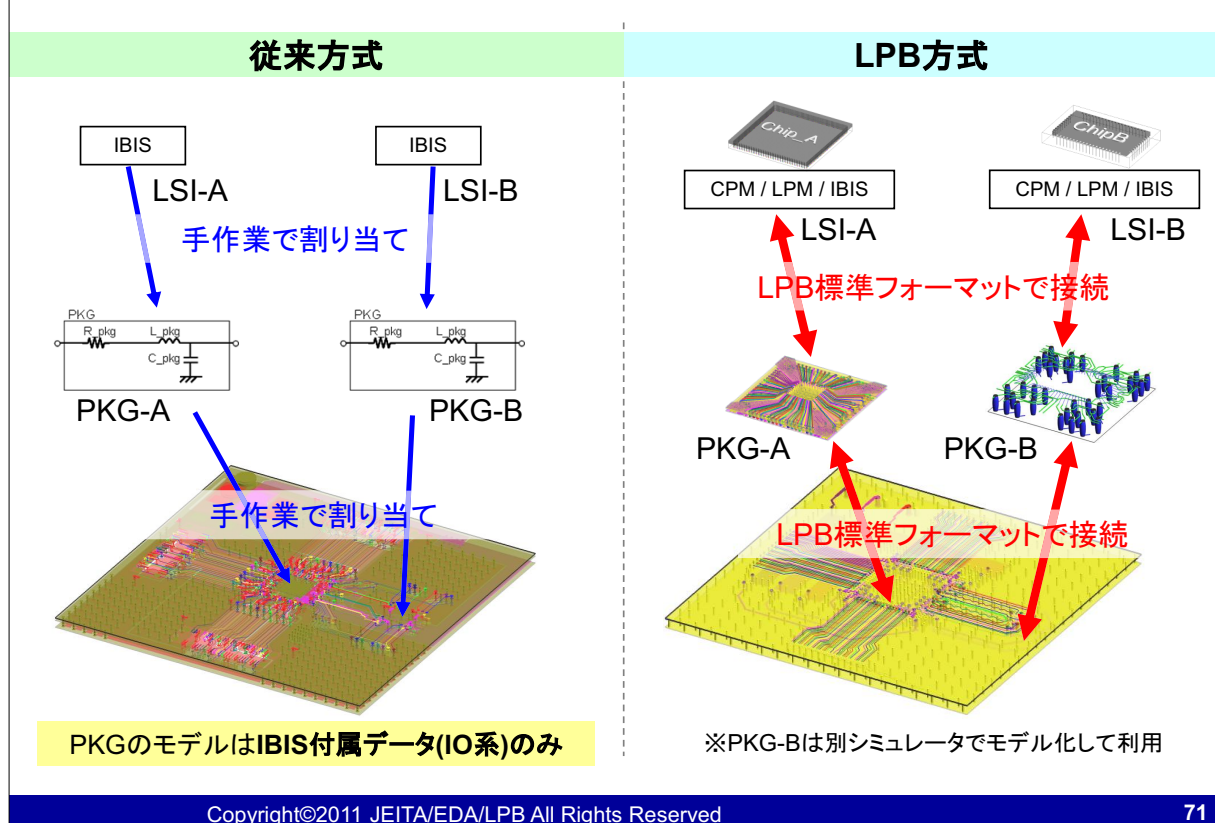
EMI解析① : 基板からの放射ノイズ (ノイズ試験ベンチ)

EMI解析② : LPB + 試験環境、複数のLPB + 車両

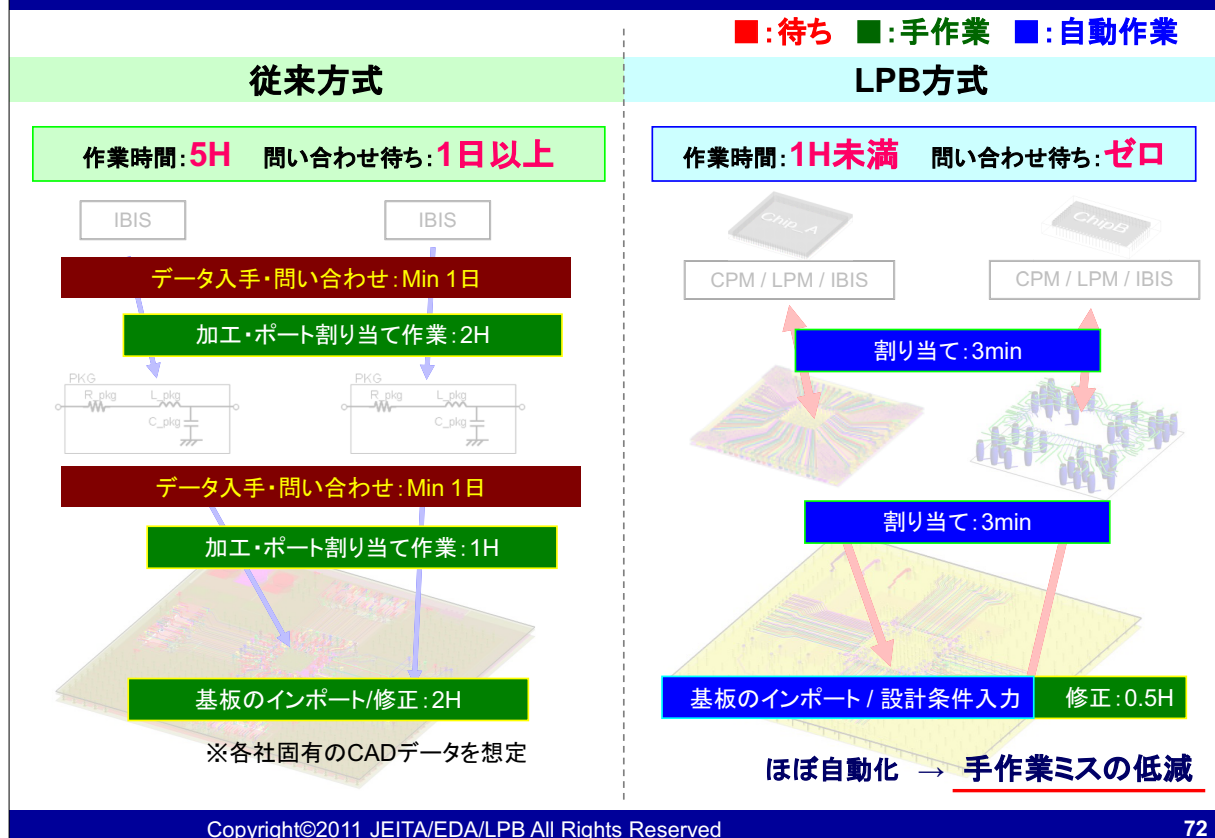
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

70

LPB方式 ～Step6-③.解析モデルの概要～



LPB方式 ～Step6-④.データ入力作業時間 比較1～



LPB方式 ～Step6-⑤.SI解析の比較 (eyeパターン)～

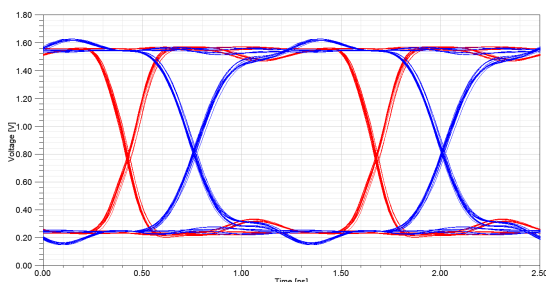
<SI解析条件> DDR2 SDRAM

対象ネット: DQ8 条件: Write時、PRBS7、400MHz

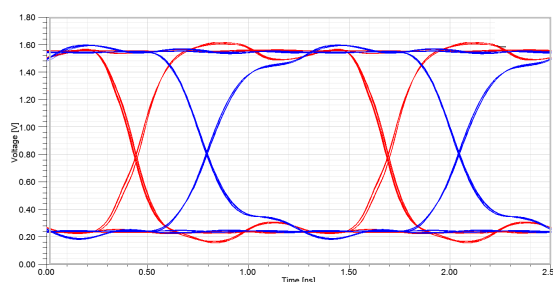
赤:コントローラ(LSI-A)



青:メモリ(LSI-B)



従来方式



LPB方式

SI解析では解析結果に差はない

LPB方式 ～Step6-⑥.PI解析の比較(インピーダンス)～

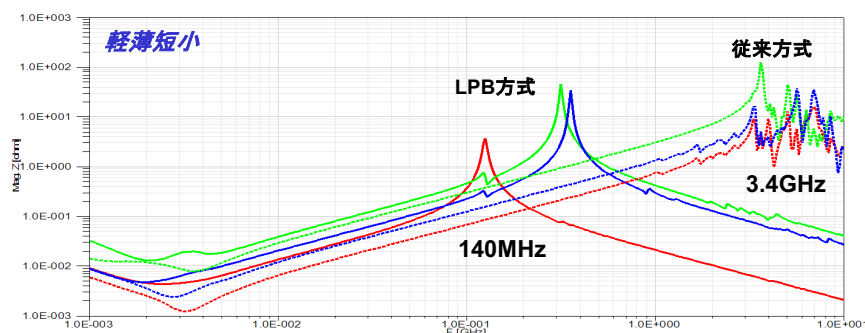
<PI解析条件> 電源系インピーダンス

対象ネット: VDD、VDDIO、VDDQ

緑: VDDQ
青: VDDIO
赤: VDD

破線: 従来方式

実線: LPB方式



LSI及びPKGのモデル有無によりインピーダンスは大きく異なる

【解析範囲と対象】

従来方式 : 対象=Board 、 Board上のPKG用PADから見たインピーダンス

LPB方式 : 対象=LSI+PKG+Board 、 ダイから見たインピーダンス

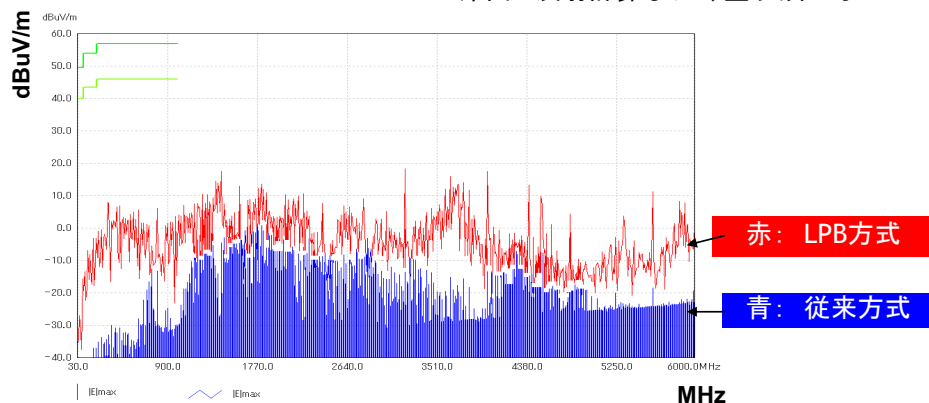
差

厳しい設計制約に応えるには、LPB方式で用意できるLSI+PKGのモデルが必要

LPB方式 ～Step6-⑦. EMI解析①の比較（放射ノイズ）～

＜EMI解析条件＞ 電源系+IO系 対象ネット: VDD、VDDIO、VDDQ、DQ8、DQS

【解析条件】 CISPR22想定環境、条件: 30MHz～6GHz、10m位置の電界強度
床面: 反射計算なし、壁/天井: オープン



【解析対象】

従来方式: 対象 = LSI(IBIS) + PKG(RLC) + Board

LPB方式: 対象 = LSI(CPM / LPM + IBIS) + PKG(CAD) + Board

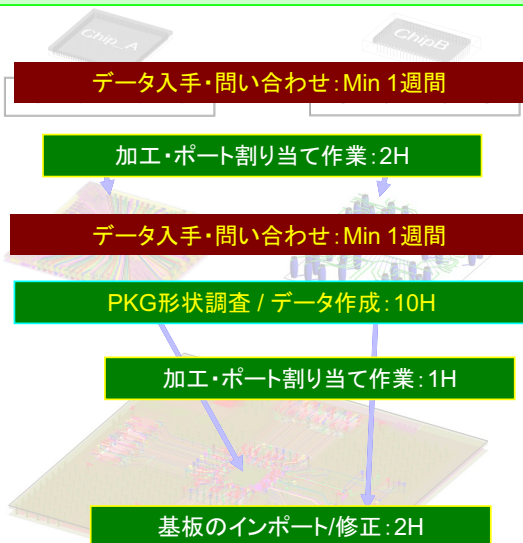
電源系LSIモデルを入れなければ放射ノイズ解析として利用できない

LPB方式 ～Step6-⑧.データ入力作業時間 比較2～

■: 待ち ■: 手作業 ■: 自動作業

従来方式 (LPB方式と同等)

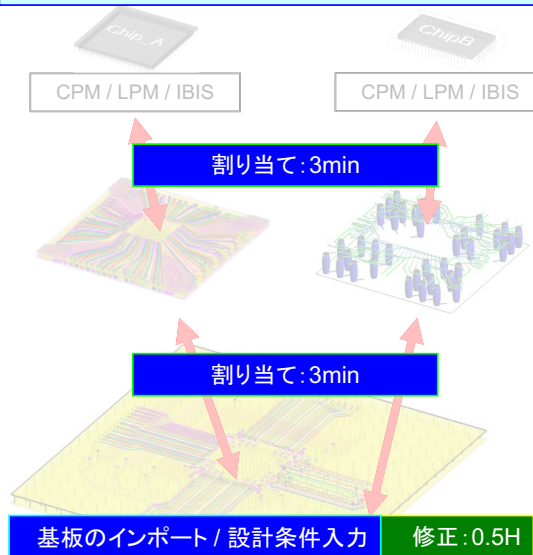
作業時間: 15H 問い合わせ待ち: 1週間以上



※各社固有のCADデータを想定

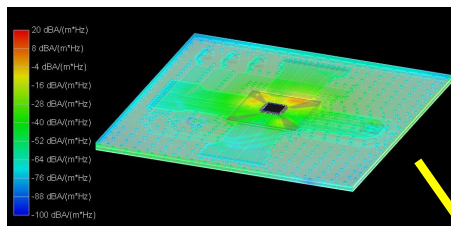
LPB方式

作業時間: 1H未満 問い合わせ待ち: ゼロ

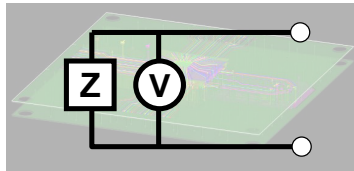


ほぼ自動化 → 手作業ミスの低減

LPB方式 ～Step6-⑨. EMI解析②【LPB+試験環境】～



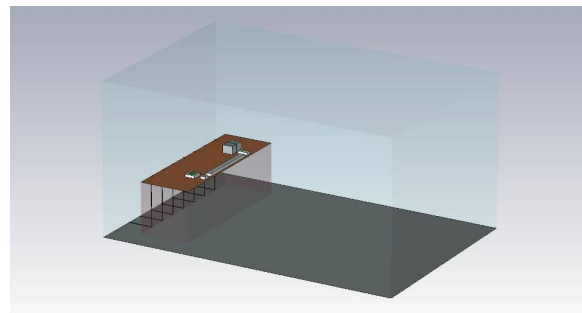
Near-Fieldデータ(基板放射源のモデル)



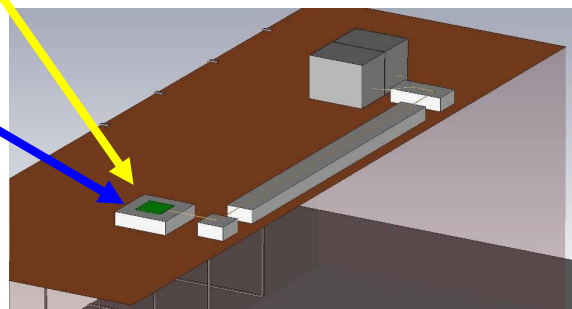
基板モデル+コネクタ間電圧値 (伝導ノイズ源のモデル)

LPBモデルをシミュレータで作成

LPBまでのシミュレーションに必要な時間を大幅に短縮できるため、さらに大きな範囲でのシミュレーションを検討する時間が作れる



CISPR25 試験環境の3Dモデル

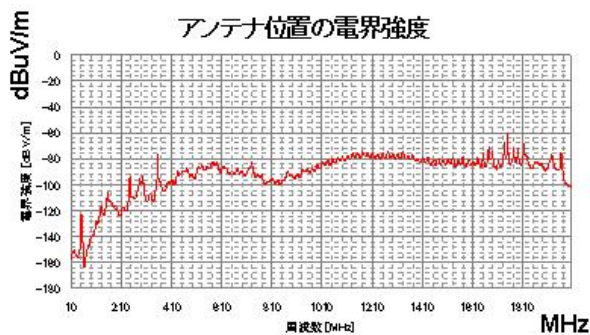


モデルとして統合し、スケール差を吸収

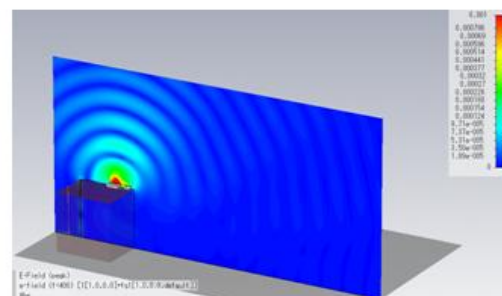
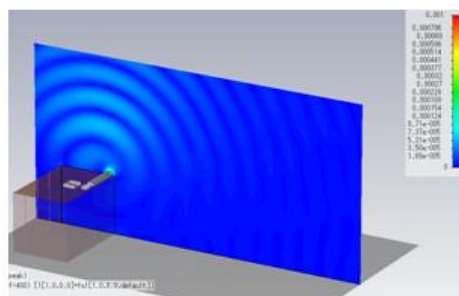
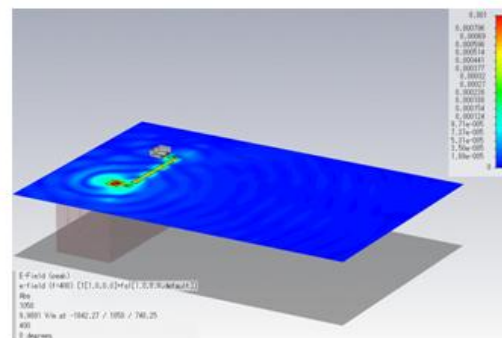
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

77

LPB方式 ～Step6-⑩. EMI解析②【LPB+試験環境】～



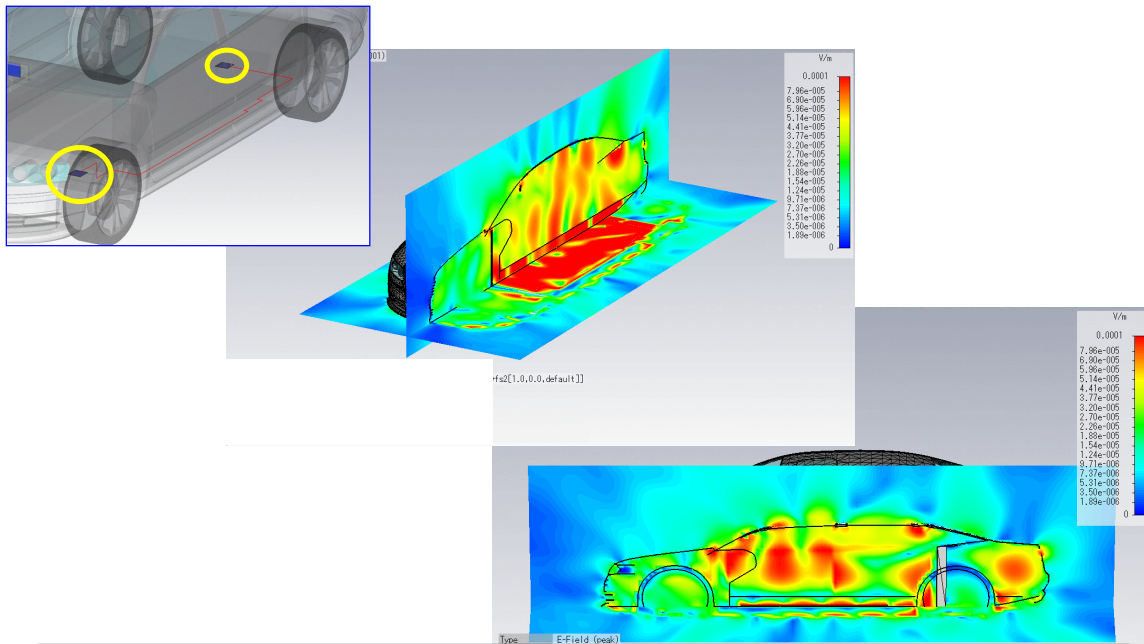
アンテナ位置の電界強度



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

78

LPB方式 ～Step6-⑪. EMI解析②【複数のLPB+車両】～



LPB方式はQCDを改善できる → シミュレーションの適用範囲が広がる

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

79

アジェンダ

- 背景
- 適用事例の説明
- 従来方式
- LPB方式
- 総括

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

80

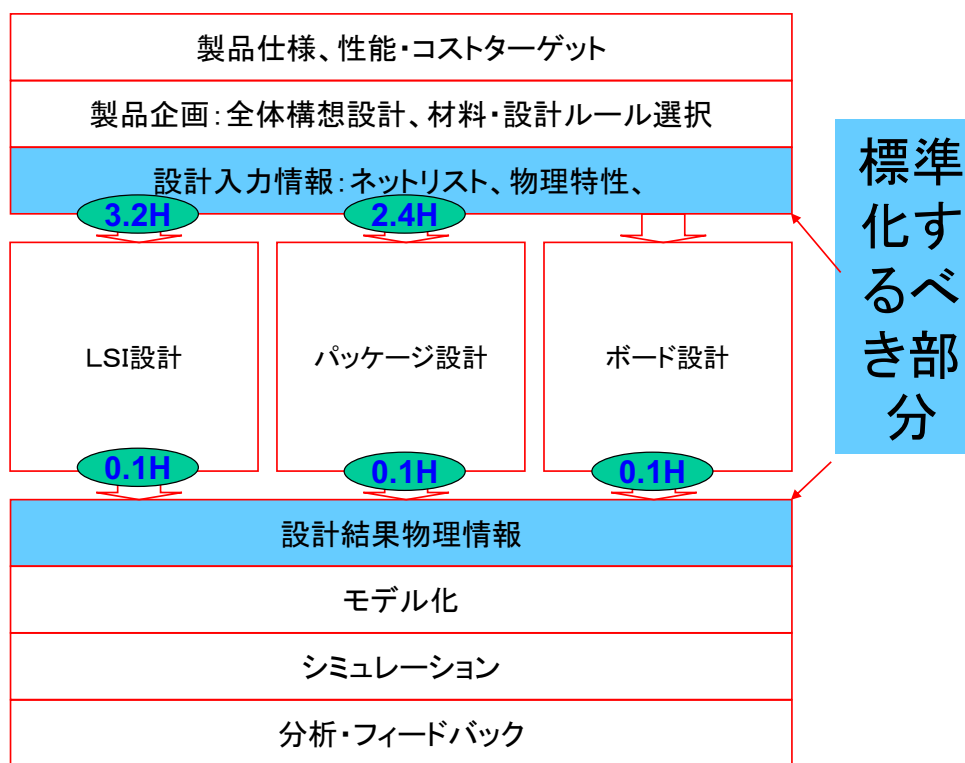
総括 ～実施内容～

- ✓開発の初期段階からLPBがコンカレントに協調し合い最適化検証を進められるように、LPB相互設計WGを行なっている。
- ✓その手段として、LPB各設計の入出力の標準化を行なった。
(4つのLPB標準フォーマットと用語集を用意)
- ✓LPB標準フォーマットの有効性を検証するため、従来型とLPB型で実際に設計をし、検証を行なった。

総括 ～検証結果～

- ✓その結果、従来型は
 - ・人為的ミスの発生リスクが高い(あいまいさが原因)
 - ・資料作成に時間を要する
 - ・設計前の全体最適化が困難
 - ・解析までに時間がかかる(LPBの接続確認が困難)ことが改めて確認された。
- 一方、LPB型は
 - ・フォーマットに記載する為、定義の「あいまいさ」が排除
 - ・EDAツールが対応すればフォーマット出力が容易
 - ・EDAツールが対応すれば構想設計検証が容易になり、設計前に全体最適しやすい
 - ・EDAツールが対応すればLPBモデルの作成が容易になることが検証できた。

総括 ～LPB標準フォーマット作成時間～ EDAツール対応が前提



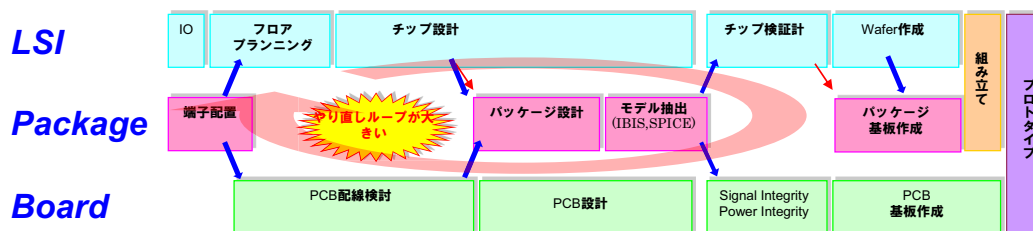
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

83

総括 ～検証結果～

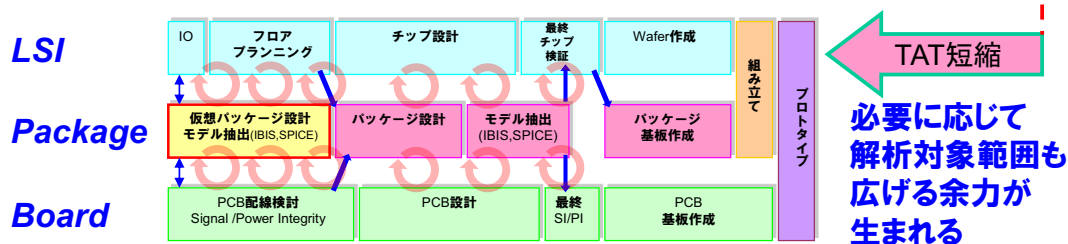
■現在の主な設計手法:

- チップ、パッケージ、システムが別々に設計されて最後に全体の検証を行う。



■LPBコンカレント協調設計:

- 開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

84

総括 ～まとめ～

Q 解析精度向上、作業ミスの防止が期待できる

C 作業工数の大幅な削減が可能

D 問い合わせ待ち時間ゼロ化による納期短縮

+α 解析対象範囲を広げる余力が生まれる

総括 ～課題～

✓EDAツールがLPB標準フォーマットに対応する必要がある。

✓LPB標準フォーマットのバージョン管理が不明確である。
→プロジェクト管理の導入が必要？

✓LPB標準フォーマットの文法チェックが必要である。

✓レビュー用に、LPB標準フォーマットの内容をViewingできる
必要がある。



LPB標準フォーマットの次バージョンで検討中。

LPB相互設計のwebページよりプレビュー版として
ver1.0が入手可能

http://www.jeita-edatc.com/wg_lpb/home/lpb.html



2部

LPB相互設計と標準フォーマットの普及について

アジェンダ

- メンバー紹介
- ASP-DAC お知らせ
- 討議
 - ・ LPB相互設計による設計スタイル変革
 - ・ LPB標準フォーマットのEDAへの採用
- 総括

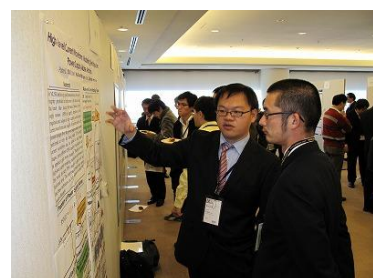
出演者氏名	会社・団体名 所属
永田 真	神戸大学大学院 システム情報学研究科 教授 ASP-DAC Designers' Forum 2011 Co-Chair)
中川 祐之	富士通VLSI(株) ASIC・COT 開発統括部 第三設計部
田中 修治	ソニー(株) プロフェッショナル・デバイス&ソリューショングループ 半導体事業本部 設計基盤技術部門 ミックスシグナルデザインソリューション部 担当部長
齊藤 義行	パナソニック(株) PE技術開発室 EMCデザイン第一チーム チームリーダー
澤田 修	メンター・グラフィックス・ジャパン(株) マーケティング部フィールド・マーケティング・マネージャー
古賀 一成	(株)図研 技術本部 ELNセクション コデザイングループ チーフエンジニア
第2部司会 吉田 敦史	(株)リコー 電子デバイスカンパニー 第一生産室 第一技術グループ スペシャリスト
総合司会 福場 義憲	JEITA EDA技術専門委員会LPB相互設計WG 主査、(株)東芝 セミコンダクター & ストレージ社アナログ・イメージングIC事業部設計技術開発部設計インフラ技術担当 参事

ASP-DACのご案内 (1/2)

米国のDAC, ICCAD, 欧州のDATEと並び, アジア・南太平洋
地区**最大のLSIの設計・設計自動化に関する国際会議**

基調講演, 一般講演, 特別セッション, デザイナーズフォーラム,
ユニバーシティLSIデザインコンテスト等,
多数の最先端設計技術に関する講演をご用意

EDSFairとの連携企画も実施(本セッション)



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

91

ASP-DACのご案内 (2/2)

今年度: ASP-DAC 2012
2012年1月30日～2月2日
シドニーコンベンションセンター
参加者募集中

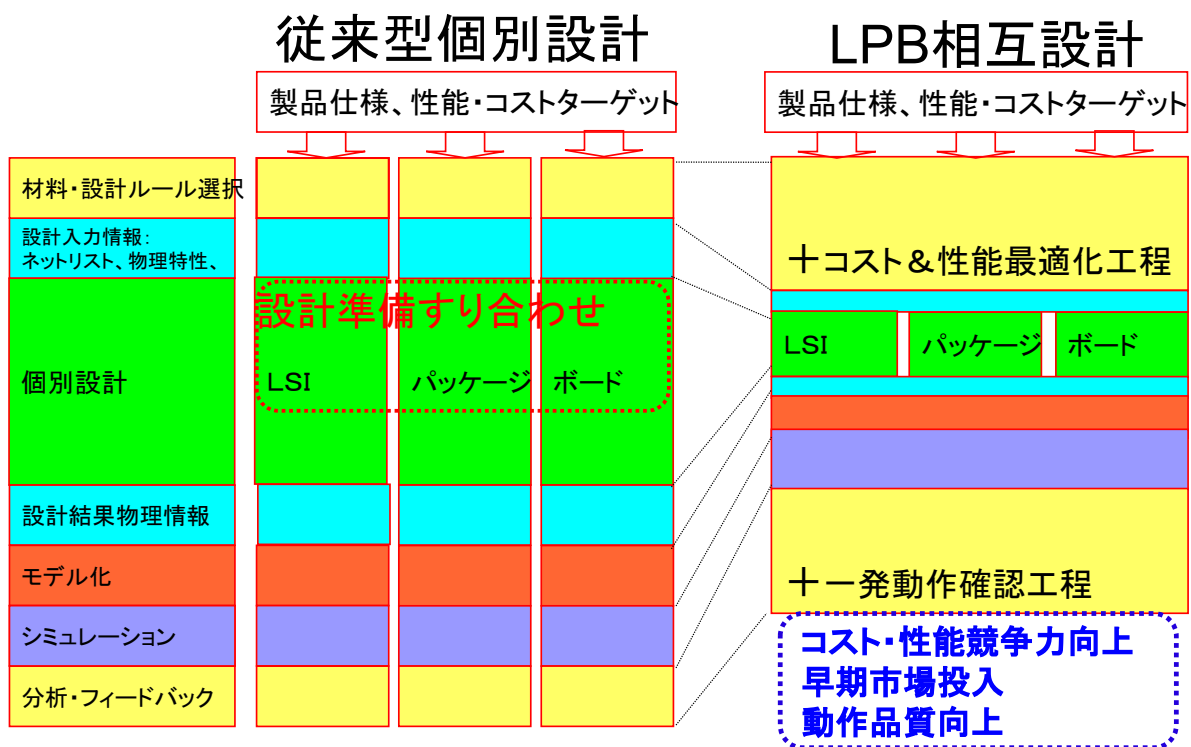
次年度: ASP-DAC 2013
2013年1月22日～25日
パシフィコ横浜(予定)

第一線の設計者の皆様にも魅力的なプログラムをご用意致しますので, **是非ともご参加をお願い致します**
詳細は, <http://www.aspdac.com> をご覧下さい

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

92

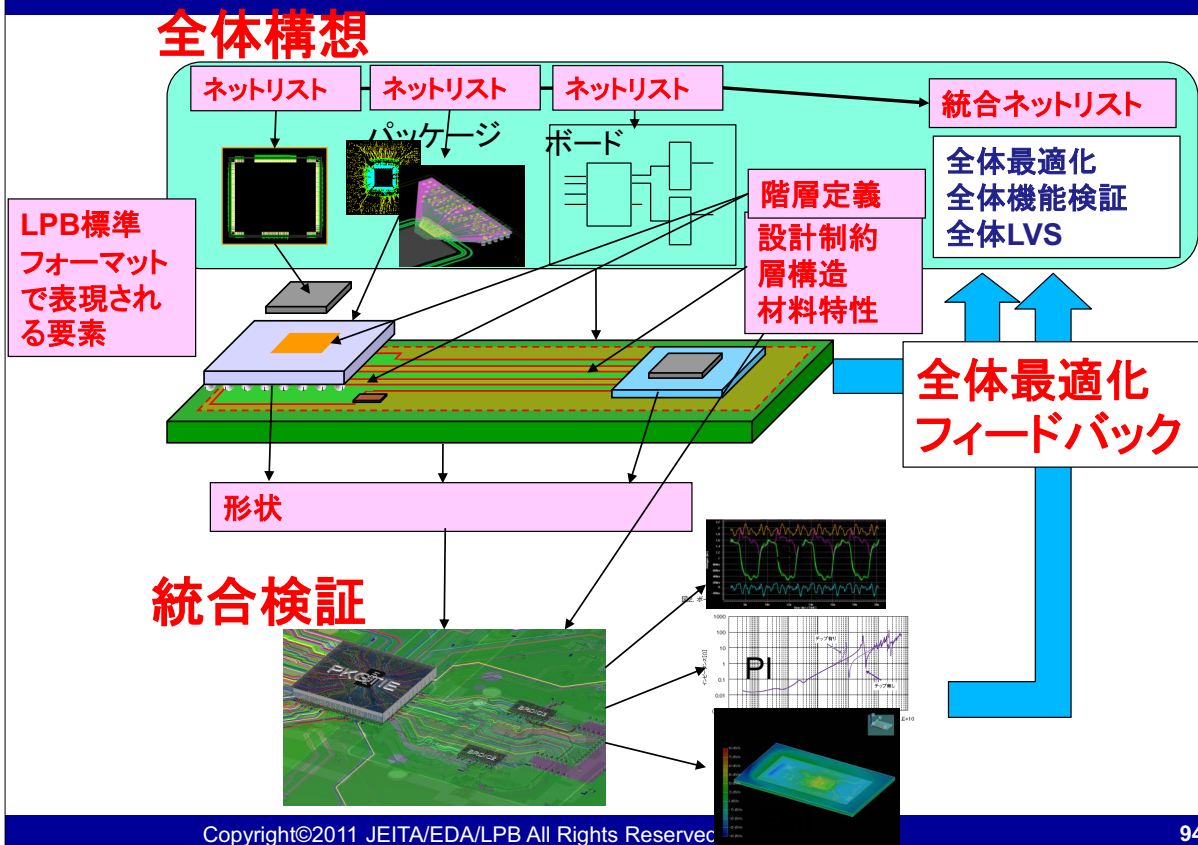
LPB相互設計の効果（縦軸：時間）



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

93

設計・検証環境とLPB標準フォーマット



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

94

■ LPB相互設計により設計の分業・連携の構造変革が進み、競争力強化につながる。

■ LPB標準フォーマットはその変革の道具となる。

■ EDAのLPB標準フォーマット採用が必須。

➤ 今後

- 正式版 LPB V2.0の策定（2012年3月LPB-WGにて）

お知らせ

LPB相互設計のwebページ LPB V1.0ダウンロード可能

LPB LSI-Package-Board

背景と目的 LPB相互設計WGについて JEITA LPB 標準フォーマット 活用メリット 適用事例

LPB相互設計セミナー
実践! これでいける! LSI・パッケージ・ボードの相互設計実例
～LPB共通フォーマットの活用方法とその効果～
11月17日(木) 15:30～17:00 EDSFair 特設ステージ (アネックスホール)

情報更新
2011-10-17 EDSFair 2011 Nov. 特設ステージ「LPB相互設計セミナー」(2011.11.17)のお知らせ
2011-10-17 EDSFair 2011 Nov. 開催(2011.11.16～11.19)のお知らせ
2011-10-17 JEITA LPB 相互設計ワーキンググループウェブサイトがオープン

JEITA LPB 標準フォーマット

① ネットリスト ⑤ 用語集
② 階層定義情報 ④ 形状情報
解析

http://www.jeita-edatc.com/wg_lpb/home/lpb.html

LSI・パッケージ・ボード相互設計における インターフェースの共通仕様化

～設計・検証フォーマットの共通化で、
全体最適化と開発時間短縮化～

LPB相互設計WG

楠本 学 (NEC)

目次

- 背景
- LPB相互設計
- JEITA LPB標準フォーマット
- まとめ

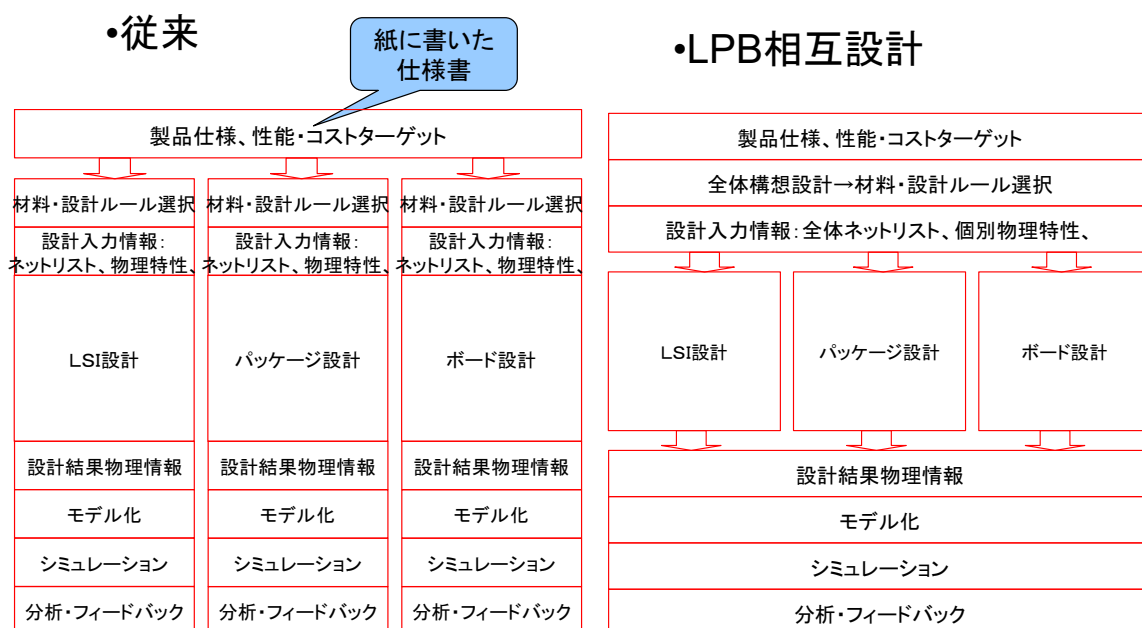
■ 国際市場における日本工業製品の競争力強化

1. 電子機器の高機能化、低価格化、
商品サイクルの短期化
2. 日本製品の差別化部分： 機能・性能・品質
 1. 2. 両面をいかに実現するか？

■ 電子機器産業界(特に日本)の現状と課題

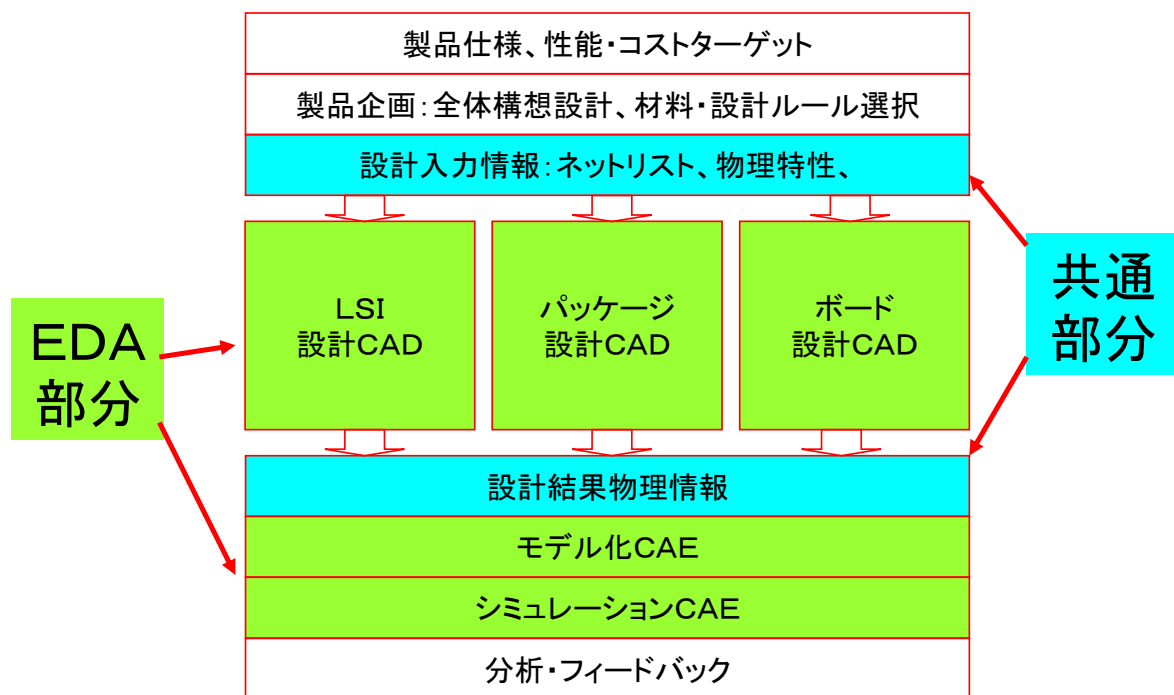
- ・ LSI・パッケージ・ボード各分野での連携がとれておらず、
全体としての最適化がすすまない。
- ・ フォーマットがばらばらでEDA技術活用の効率化が進まない

LSI・パッケージ・ボード(LPB)相互設計



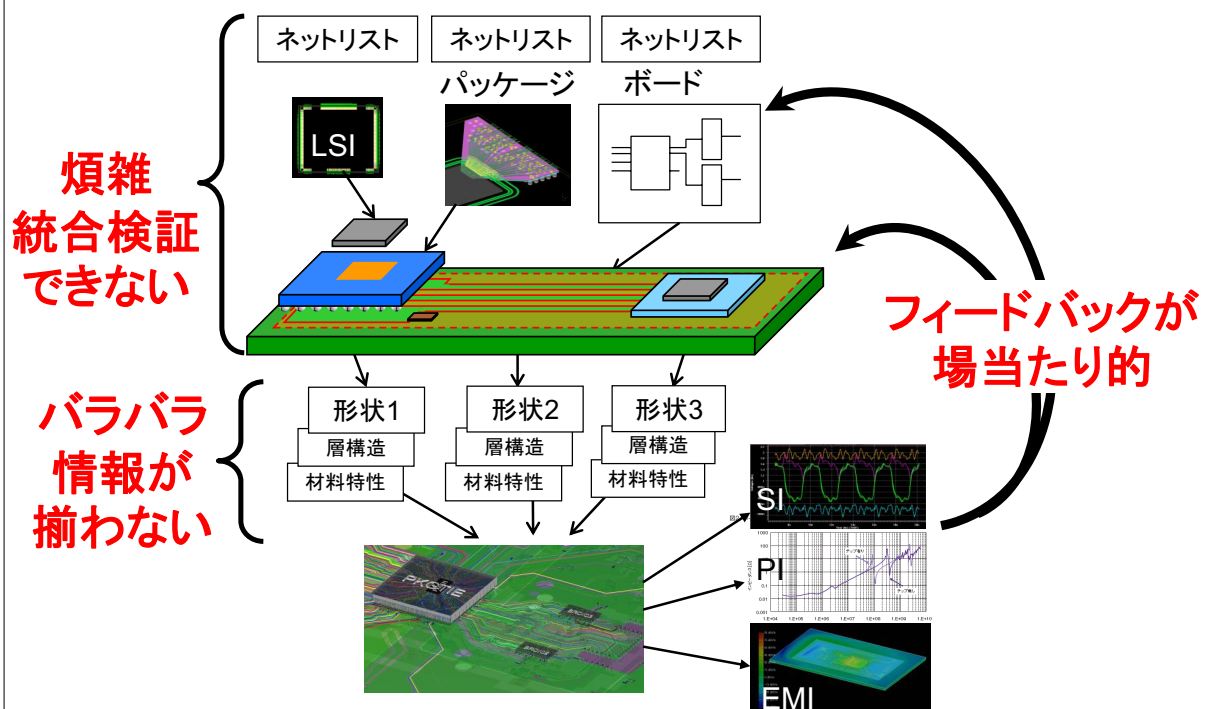
設計は個別に行うが、相互に情報を共有し、全体最適化を行う

LPB相互設計におけるEDA部分と共通部分



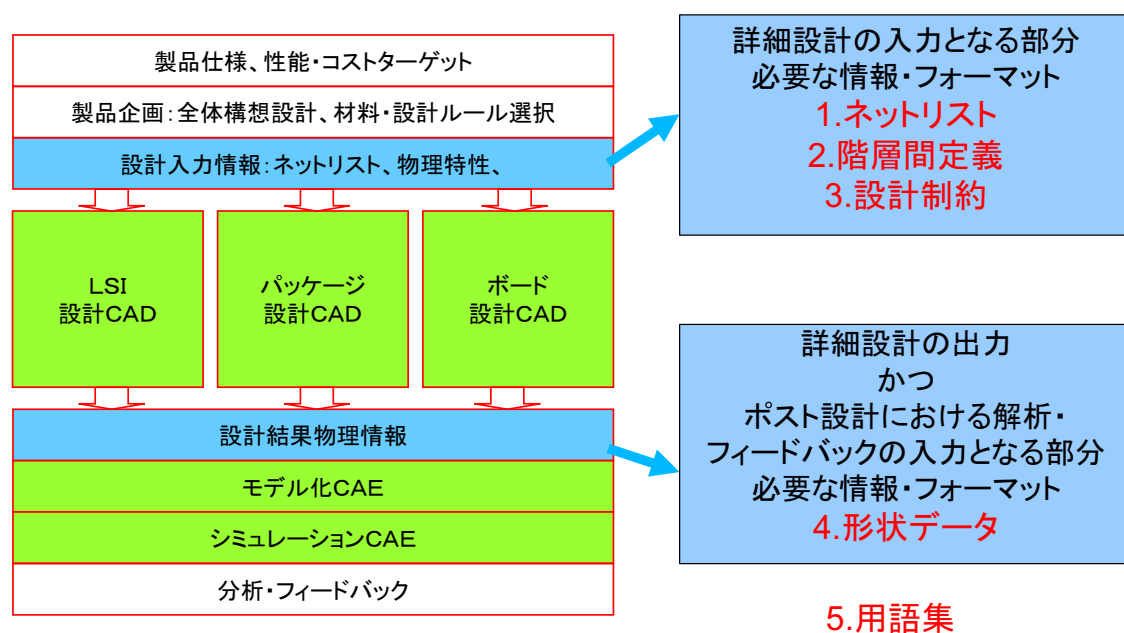
5 Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPBを今相互設計しようとする



6 Copyright©2011 JEITA/EDA/LPB All Rights Reserved

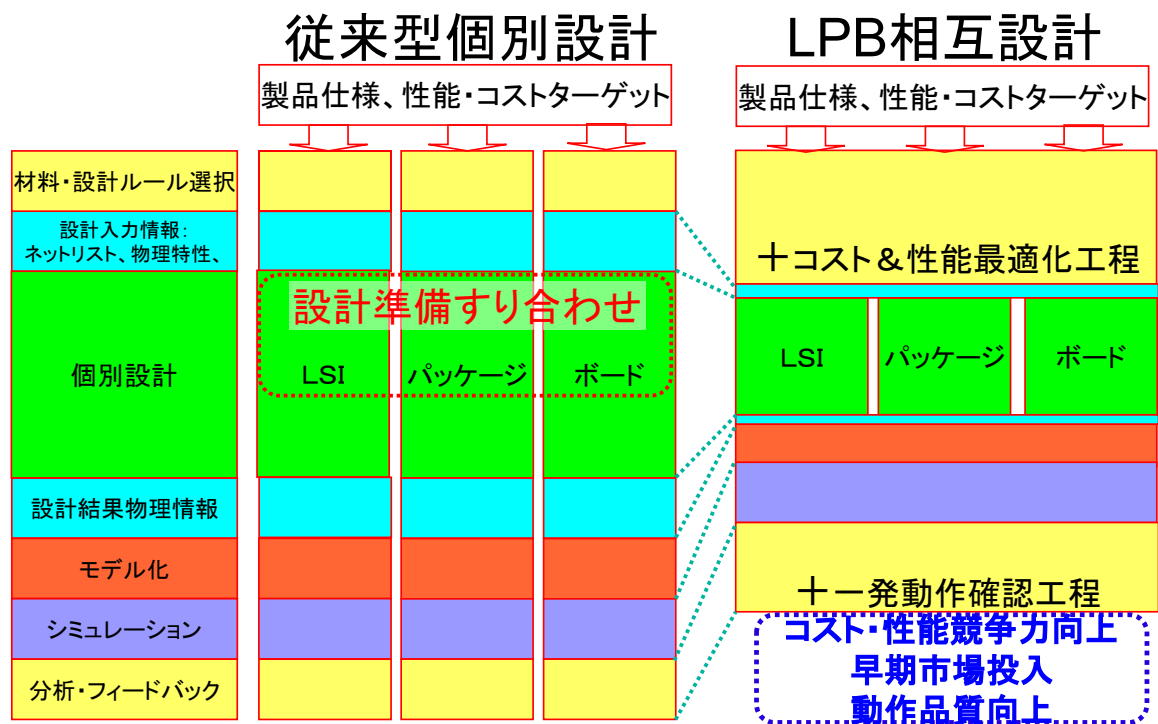
共通部分の標準フォーマット化の提案



効果

- ✓ 入力情報が整備され、詳細設計工程はすり合わせ準備がなくなるので短期化できる。
- ✓ 構想設計が促進されコスト・性能のバランス最適化が促進される。
- ✓ 形状情報が統一され、モデリングもスムーズになる。→シミュレーションでのフィードバックがLPB全体で出来るようになり、かつ初期段階から最終段階まで実施可能になり、設計品質が向上する。

LPB効果可視化



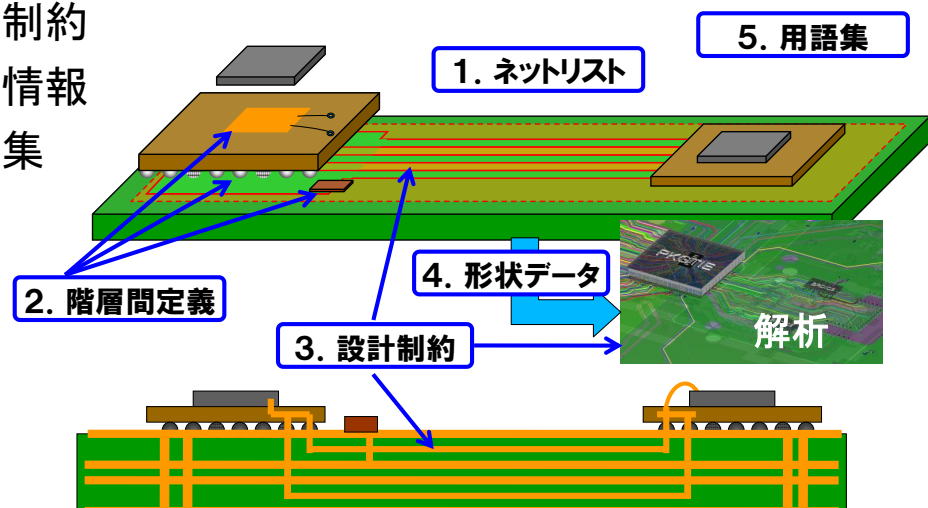
9

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット

JEITA LPB標準フォーマットとして4つのフォーマットと用語集

1. ネットリスト
2. 階層間定義
3. 設計制約
4. 形状情報
5. 用語集



10

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

■ ネットリスト

- 接続記述
- LPB全体の接続検証や機能検証を可能とする。
- Verilog-HDLを基本フォーマットとする。
- 電源端子の書式を追加
- SPICEの制約と互換性を持ち、SPICEへの変換を容易にする。(端子の並びなど)

ネットリストのサンプル

```

/* DIE */
module
DIE(SU,SD,DBUS,DQ,DN,VDDC,VSSC,VDDQ,VSSQ);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC; /* PG_NET VDDC */
inout VSSC; /* PG_NET VSS */
inout VDDQ; /* PG_NET VDDQ */
inout VSSQ; /* PG_NET VSS */
endmodule

/* パッケージ */
module
PKG(SU,DBUS,DQ,DN,VDDC1,VDDC2,VDDQ1,VDDQ2,VSS1,VSS2);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC1; /* PG_NET VDDC */
inout VDDC2; /* PG_NET VDDC */
inout VDDQ1; /* PG_NET VDDQ */
inout VDDQ2; /* PG_NET VDDQ */
inout VSS1; /* PG_NET VSS */
inout VSS2; /* PG_NET VSS */

wire VSS;
wire VDDC;
wire VDDQ;

assign VDDC1 = VDDC;
assign VDDC2 = VDDC;
assign VDDQ1 = VDDQ;
assign VDDQ2 = VDDQ;
assign VSS1 = VSS;
assign VSS2 = VSS;

DIE X1
(.SU(SU),.SD(VSS),.DBUS(DBUS),.DQ(DQ),.DN(DN),
.VDDC(VDDC),.VSSC(VSS),.VDDQ(VDDQ),
.VSSQ(VSS));
endmodule

/* ボード (最上位階層) */
module PWB(VDDC,VDDQ,VSS);
inout VDDC; /* PG_NET VDDC */
inout VDDQ; /* PG_NET VDDQ */
inout VSS; /* PG_NET VSS */

wire [3:0] DBUS;
wire [3:0] IBUS;
wire SU;
wire DQ;
wire DN;

CF1DM C1 (.A(VDDQ),.B(VSS));
CF1DM C2 (.A(VDDQ),.B(VSS));
CF1DM C3 (.A(VDDC),.B(VSS));
CF1DM C4 (.A(VDDC),.B(VSS));

RF1DM Rp (.A(VDDC),.B(SU));
RF1DM R0 (.A(DBUS[0]),.B(IBUS[0]));
RF1DM R1 (.A(DBUS[1]),.B(IBUS[1]));
RF1DM R2 (.A(DBUS[2]),.B(IBUS[2]));
RF1DM R3 (.A(DBUS[3]),.B(IBUS[3]));

PKG X1 (.SU(SU),.DBUS(DBUS),.DQ(DQ),.DN(DN),
.VDDC1(VDDC),.VDDC2(VDDC),
.VDDQ1(VDDQ),.VDDQ2(VDDQ),
.VSS1(VSS),.VSS2(VSS));

BBOX X2
(.IBUS(IBUS),.DQ(DQ),.DN(DN),.VDD(VDDC),.VSS(VSS));
endmodule

/* 受動部品:コンデンサ */
module CF1D(A,B);
inout A;
inout B;
endmodule

/* 受動部品:抵抗器 */
module RF1D(A,B);
inout A;
inout B;
endmodule

/* LSI (Black box) */
module
BBOX(IBUS,DQ,DN,VDD,VSS);
inout [3:0] IBUS;
input DQ;
input DN;
inout VDD; /* PG_NET VDDC */
inout VSS; /* PG_NET VSS */
endmodule
    
```


JEITA LPB標準フォーマット 3

■設計制約

- デザインルールの記述(ライン/スペースやビアなど)
- 層構成
- 制約事項(信号遅延の制約など)
- 解析セットアップ情報(材料物性・電気/熱)
- 独自フォーマット(流通性の高い既存フォーマットがないため)
- XML

15

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

設計制約のサンプル

<pre><SwappablePin> <Group name="PSG01" part="AAA"> <Pin name="A1" /> <Pin name="A3" /> </Group> </SwappablePin> <FixedPin> <Pin part="AAA" name="B1"/> <Pin part="BBB" name="1"/> </FixedPin> <InterfaceStandardSetting> <Pin part="AAA" name="A1" standard="ddr3" /> <Net name="DQ1" standard="xxx" voltage="1.5" waveform="666MHzRect" /> </InterfaceStandardSetting> <DifferentialPairConstraint> <DiffPair name="D101"> LengthTolerance="0.005" MaxViaCount="2" <Pin part="AAA" name="A1" /> <Pin part="AAA" name="A3" /> </DiffPair> </DifferentialPairConstraint> <ElectricalConstraint> <PinDelay part1="AAA" pin1="A1" part2="BBB" pin2="A1" delay="100" /> <SignalImpedance net="single.net" impedance="50" /> <DiffImpedance net1="diff.net1.p" net2="diff.net1.n" impedance="100" /> </ElectricalConstraint> <WiringConstraint> <Net name="DQ1"> MinWidth="0.15" MinGap="0.15" GuardShield="VSS" /> </Net> </WiringConstraint> <SpecSetting> <Spec name="ddr3"> <SignalLevel Vthao="1.2" Vthio="0.3" Vthos="1.1" Vthds="0.35" Vover="1.7" Vunder="0.9" /> <Skew clock="CLK" signal="DQS" delay="0.002" /> <Jitter up="0.2" down="0.2" /> </Spec> </SpecSetting> <MaterialSetting> <Conductor material="Copper" VolumeResistivity="1.68e-8" temperature="20" /> <Conductor material="Au" VolumeResistivity="2.21e-8" temperature="20" /> <Insulator material="FR4" Permittivity="4.2" TanDelta="0.016" frequency="1G" /> </MaterialSetting> <TemperatureDef> <Ambient temperature="25.0" /> </TemperatureDef></pre>	ピンスワップ定義 開始 スワップ可能ピングループ定義、グループ名、部品 ピン名 ピン名 スワップ可能ピングループ終了 ピンスワップ定義 終了 スワップ禁止ピン定義開始 スワップ禁止、部品、ピン スワップ禁止、部品、ピン スワップ禁止ピン定義終了 インターフェース規格設定 開始 ピン、部品、端子、規格 ネット、ネット名、規格、動作電圧、波形式 ... インターフェース規格設定 終了 差動配線定義 開始 差動配線定義、名称 最大VIA数、数 部品、ピン 部品、ピン ... 差動配線定義 終了 信号遅延制約 開始 デレイ、部品1、端子1、部品2、端子2、デレイ値 特性インピーダンス(単線)、ネット、値 特性インピーダンス(差動)、ネット1、ネット2、値 ... 信号遅延制約 終了 配線制約設定 開始 ネット名 最小配線幅 最小ギャップ シールド配線ネット ... 配線制約設定 終了 規定値、判定値設定 開始 規格名 Vthao:規定電圧値 Vthio:規定電圧値 Vthos:規定電圧値 Vthds:規定電圧値 Vover:オーバーシュート規定電圧値 Vunder:アンダシュート規定電圧値 スキュー基準信号、対象信号、規定遅延時間 ジッタ立上り規定時間、ジッタ立下り規定時間 ... 規定値、判定値設定 終了 材料設定 開始 導体名、体積抵抗率、抵抗値想定温度 導体名、体積抵抗率、抵抗値想定温度 絶縁体名、誘電率、誘電正接、想定周波数 ... 材料設定 終了 温度定義 開始 周囲温度 温度定義 終了	<pre><Header TechDefName="Tech_ref" Version="1.1" Type="PKG" DesignUnits="um" AreaUnits="um2" AngleUnits="degree" TimeUnits="ns"; ResistivityUnits="ohm*m" TempUnits="degree Celsius"/> <!-- physical design rule --> <LayerDef> <Layer name="L1" order="1" thickness="30.0" material="Copper"/> <Layer name="L2" order="2" thickness="20.0" material="Copper"/> <Layer name="L3" order="3" thickness="20.0" material="Copper"/> <Layer name="L4" order="4" thickness="30.0" material="Copper"/> <Dielectric above="L1" below="L2" thickness="100.0" material="FR4"/> <Dielectric above="L2" below="L3" thickness="200.0" material="FR4"/> <Dielectric above="L3" below="L4" thickness="100.0" material="FR4"/> <TopSurfaceDielectric thickness="40.0" material="Resist"/> <BottomSurfaceDielectric thickness="40.0" material="Resist"/> </LayerDef> <LineDef> <Width layer="L1" min="60.0" max="100.0"/> <Width layer="L2" min="100.0" max="50.0"/></pre>
---	--	---

16

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット 4

■ 形状情報

- 設計結果を解析環境に渡す際の書式を定義
- 物理情報
 - 各層ごとの2次元図形
 - VIA, Bump, Bond Wire 3次元的情報
 - 層構造
- PCB/Package Data Exchange File (XFL) Formatを使用

17 Copyright©2011 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット 5

■ 用語集

- LPBで使用される用語が各部で異なる場合がある。
- LPB間で誤解を生んだり、意思を伝えるのに時間がかかることがある。
- 共通の用語を定義する。

用語集

Rev. 1.0

No.	分類	用語・名称	定義・意味	ラベル	LPB例	PKG例	PWB例	関連図
1	ネットリスト	ポート (名)	外部とのインターフェースとなる入出力端子 同一層面では全てユニークな名前にする		ポート	ピン名 BGA、 ワイヤ	ピン名	
2	ネットリスト	リファレンス (名)	機能ブロックの定義名		リファレンス はなし			
3	ネットリスト	インスタンス (名)	機能ブロックを配置する際に付ける名前 同一層面では全てユニークな名前にする		インスタンス	RefDes	リファレンス	
4	ネットリスト	ネット (名)	端子間の接続につけるラベル 本格的には同一層面内での定義だが、層間に関連なく接続を定義する場合もある (同一層面内での定義)		ネット	ネット	ネット	
5	ネットリスト	バス	複数の信号をまとめて配線のこと 必ずしもバスで必ずしも配線の途中で全信号を表す場合もある		バス	バス	バス	
6	形状データ	DIE	SoCやメモリなどシリコンチップのこと		-	部品 コンポーネン LSI チップ	部品 コンポーネン ト	
7	形状データ	PCB	パッケージの基					
8	形状データ	PWB	プリント基板のこと (PCBとも呼ばれるが有害物質「ポリ塩化ビニル」とを識別するため避ける傾向がある)					
9	形状データ	ボンディング	ボンディングワイヤの基板側の着地点の図形		-	リード ランド ワイヤ ボンディング ランド		
10	解析条件	表面積	基板と部品との接合性を上げるために 部品表面を化学処理により潤滑状態 にする工程 (注: 配線の上には 必ずしも潤滑剤が塗布される わけではない)				センター パイプ	
11	解析条件	配線断面構造	配線断面の構造を定義する この断面構造は、 					

18 Copyright©2011 JEITA/EDA/LPB All Rights Reserved

フォーマットの入手

- LPB相互設計のwebページよりプレビュー版としてver1.0が入手可能

http://www.jeita-edatc.com/wg_lpb/home/lpb.html

LPB LSI-Package-Board

LSI・パッケージ・ボード相互設計ワーキンググループウェブサイト

背景と目的 LPB相互設計WGについて JEITA LPB 標準フォーマット 活用メリット 適用事例

LPB相互設計セミナー

実践! これでいける! LSI・パッケージ・ボードの相互設計実例
～LPB共通フォーマットの活用方法とその効果～

11月17日(木) 15:30～17:00 EDSFair 特設ステージ (アネックスホール)

■ 情報更新

2011-10-17 EDSFair 2011 Nov. 特設ステージ「LPB相互設計セミナー」(2011.11.17)のお知らせ
2011-10-17 EDSFair 2011 Nov. 開催(2011.11.16～11.19)のお知らせ
2011-10-17 JEITA LPB 相互設計ワーキンググループウェブサイトがオープン

■ JEITA LPB 標準フォーマット

① ネットリスト ⑤ 用語集

② 階層定義情報 ④ 形状情報

③ 設計制約情報

解析

19 Copyright©2011 JEITA/EDA/LPB All Rights Reserved

現在の活動と今後

- フォーマットを実際に使った模擬テストを実施
この後のEDSFair特設ステージで発表します。
- テストの結果を受け、フォーマットをブラッシュアップ、ver2を策定中

20 Copyright©2011 JEITA/EDA/LPB All Rights Reserved

まとめ

- 国際競争力を確保するため、相互に情報を共有し、設計を行なうLPB相互設計を目指す
- LSI、パッケージ、ボード間で、設計、解析に必要な情報をスムーズにやり取りをするJEITA LPB標準フォーマットを策定
- 策定しているフォーマット
 1. ネットリスト
 2. 階層間定義
 3. 設計制約
 4. 形状情報
 5. 用語集

LPB interoperable design seminar for EDA vendors

～JEITA LPB format V2.0 release～

3/14/2012 (Wed) 15:00-17:00

JEITA LPB interoperable design working group

Agenda

15:00-15:15 Opening

Satoshi Kojima (NEC System Technology Ltd.)

JEITA LPB interoperable design WG activity

Vice-Chairman Takashi Otsuki (Ricoh Corporation)

15:15-15:30 Issues and Solution on interoperable design

Interface Format SWG Takahiro Aoki (Toshiba Corporation)

15:30-16:05 Outline of the JEITA LPB format V2.0

Interface Format SWG Leader Toshiyuki Kaneko
(NEC Toppan Circuit solutions.)

16:05-16:20 Merit of applying the JEITA LPB format V2.0

PR/Promotion SWG Takehiro Tsuda (Denso)

16:20-16:35 Future support plan

Chairman Yoshinori Fukuba (Toshiba Corporation)

16:35-17:00 Free discussion

JEITA LPB interoperable design WG activity

March/14th/2012

JEITA

LPB interoperable design WG

Background : LPB interoperable WG at JEITA

Current issue of LPB design. Common in electronics industry.

Issues

- LSI, package and board are designed separately. It makes the system level design optimization more difficult.
- Each tool is interfacing with different data format. This makes less efficient of EDA tool usage.

Problem in LPB design

- The engineers are spending efforts to handle different data format of EDA tools when they design and analyze.
- It is time-consuming and engineers can not spend time for essential design and analysis.

Huge pain, but small benefit.



LPB-WG officially started in April./2010 based on the actual voice from design engineers.

■ Purpose/Goal

■ Purpose of LPB interoperable design Working Group.

- LPB WG identified design issues, analyzed them.
- Checking design data such as connection description, geometry data and analysis condition, we investigated the definition and format, then made the proposal.
- The proposal will open to public for wide public usage
- It will contribute to make Japanese electronics industry

■ Discussion and Goal

Points: Improvement of the communication and data exchange for design/analysis. Shorten LPB design lead time.

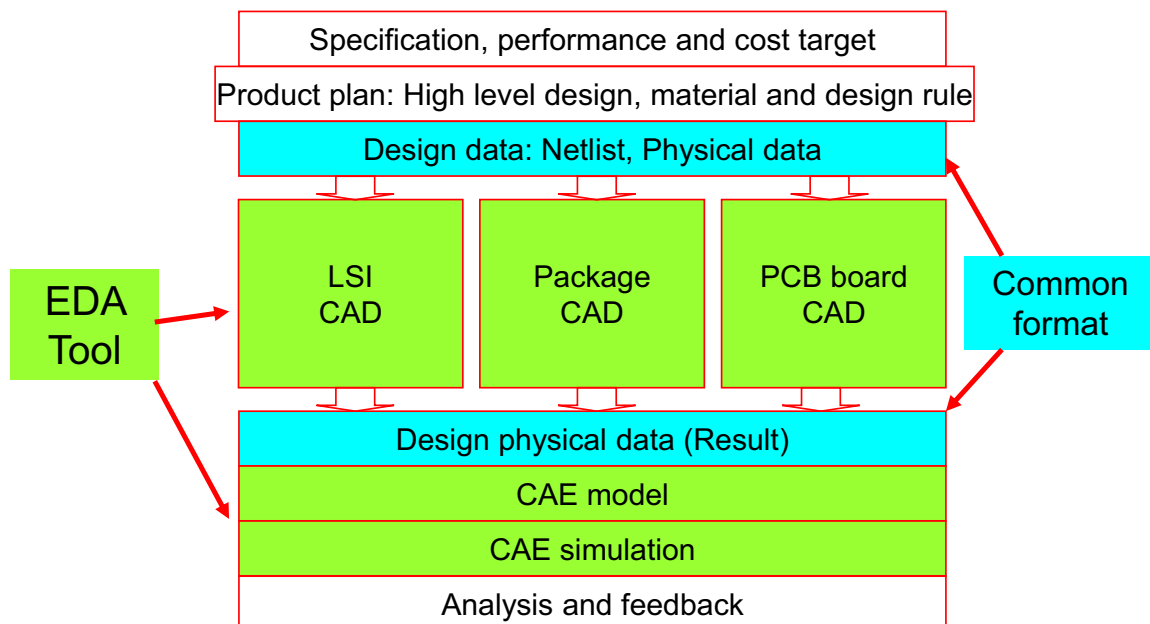
	Merits for the User	Merits for the EDA Vendor
Q	Higher Accuracy, Better Quality.	Higher function efficiency.
C	Optimize Cost and Performance	Low maintenance cost
D	Minimize preparation/design time	Shorter design time

Revitalization by interaction Users and EDA vendors.

5

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

■ Interoperability between EDA tools



LPB WG investigated efficient design method, identified competition and non-competition area, then JEITA established "common format" in non-competitive area.

6

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB interoperable design WG member

LPB WG consists of total eighteen (18) companies, twenty-two (22) members, from LSI vendors, set makers, EDA vendors and one(1) University .

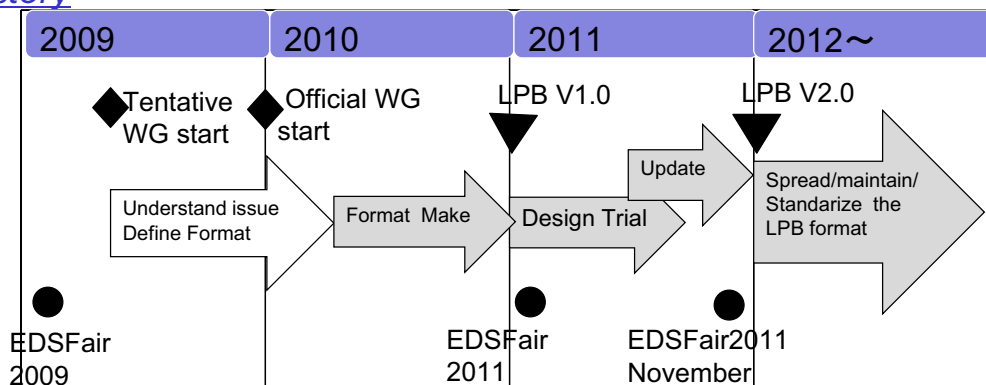
LPB WG member (Alphabetical order)

Ansys Japan, KK.
 Apache Design Solutions, KK.
 ATE SERVICE CORPORATION.
 Canon Inc.
 DENSO CORPORATION
 DSM Solutions Corporation
 FUJITSU SEMICONDUCTOR LIMITED
 FUJITSU VLSI LIMITED
 Jedat Inc.
 Mentor Graphics Japan Co, Ltd
 NEC Corporation
 NEC TOPPAN CIRCUIT SOLUTIONS, INC.
 Nokia Japan Corporation

Panasonic Corporation
 Renesas Electronics Corporation
 Ricoh Company, Ltd.
 Sony Corporation
 Toshiba Corporation
 ZUKEN Inc.
 SHIBAURA INSTITUTE OF
 TECHNOLOGY

LPB interoperable design WG activity.

History



JEITA LPB interoperable design WG history

2009/Jan. The panel discussion of the necessity and issues of LPB interoperable design at EDS Fair 2009 was held

2009/Jul. The discussion as tentative WG started.

2010/Apr. The activity as official WG started.

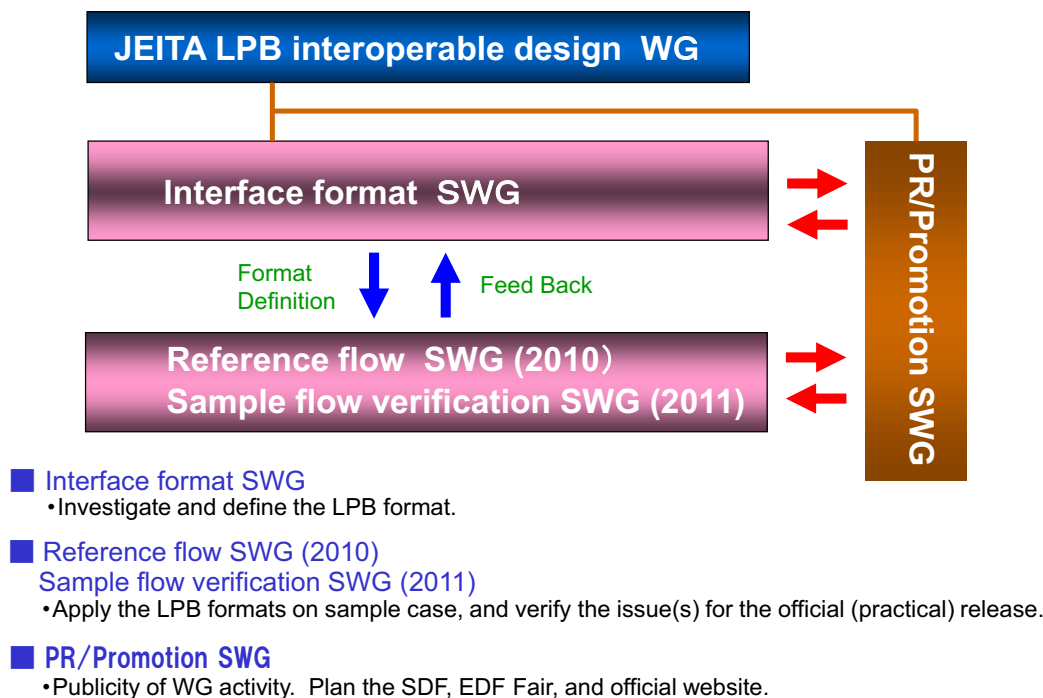
2011/Jan. The panel discussion of the necessity of LPB standard format at EDS fair 2011 was held.

2011/Mar. LPB standard format V1.0 was defined.

2011/Nov. The design example with LPB format at EDS fair 2011 November was introduced

2012/Mar. LPB standard format V2.0 will be released

■ SWG activity



 **The three SWGs collaborated in the format development**

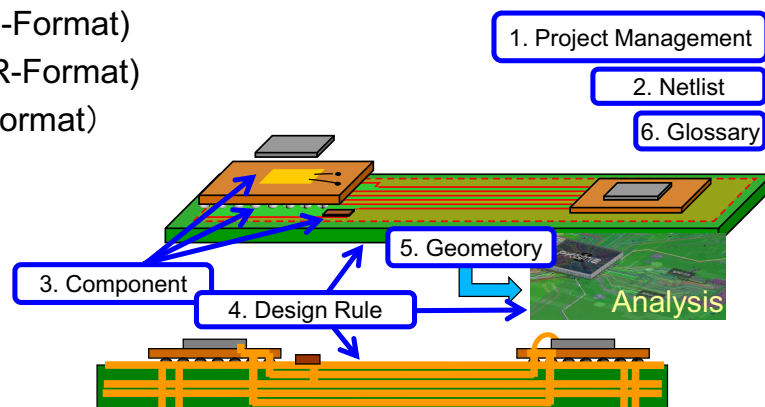
9

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

■ JEITA LPB format

JEITA LPBformat consists of five(5) formats and a glossary.

1. Project Management (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design Rule (R-Format)
5. Geometry (G-Format)
6. Glossary



N-Format is based on Verilog-HDL format, and G-Format is based on xfl format which is donated by Apache Design Solutions, Inc.
Other formats are JEITA LPB original using XML.

10

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Verification by sample design

Sample case verified by Sample flow verification SWG.

We used sample design and compare the design results between conventional and LPB method.

Conventional

CANON

LPB

Chip A

LSI : Sony
PKG : Fujitsu
Ricoh

Chip B

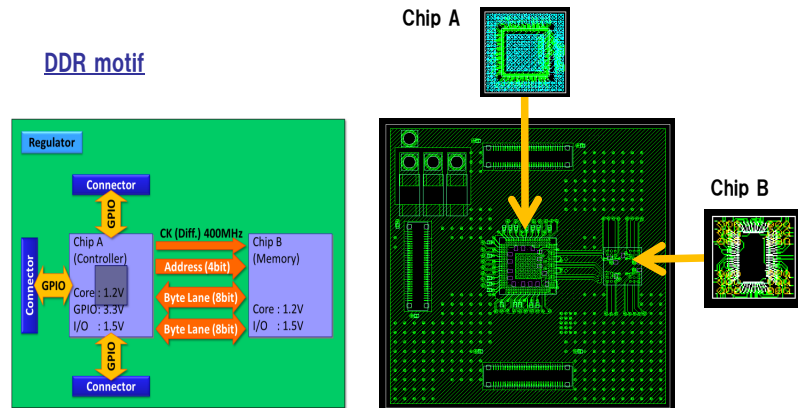
LSI : Toshiba
PKG : Zuken

Board

: TNCSI
Panasonic

Analysis

: Denso



The LPB formats are used to exchange the design specification.



Verify the merits of LPB standard format

This result was presented at EDS fair 2011 Nov. Please refer the presentation material for the detail result.

11

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB interoperable WG Website

The latest LPB standard formats (Ver2.0) will be available at LPB website on Mar/30/2012.

http://www.jeita-edatc.com/wg_lp/home/lpb.html

12

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

■ Message for EDA vendors

■ LPB WG developed and verified JEIAT LPB format with sample design to investigate and feedback issues, then reached practical and highly efficient format.



Please implement JEITA LPB format interface into your standard tool environment.

LSI-Package-Board

JEITA LPB Interoperable design seminar

Issues and Solution on interoperable design

～Why we have developed JEITA LPB format ? ～

2012/3/14

JEITA LPB interoperable design WG

- *Why we need LPB format?*
- *Working with LPB format.*



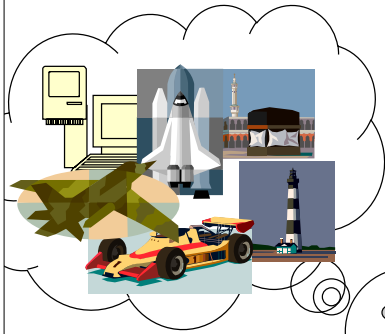
Why we need LPB format?

*We need a something for
the communication.*

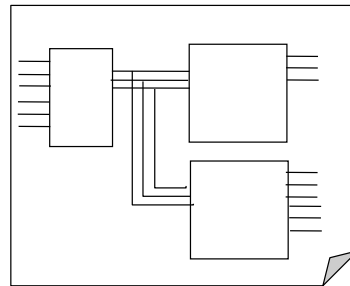
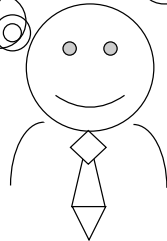


We need something for the communication.

System designer



**I need a new LSI
for my product**

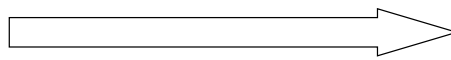
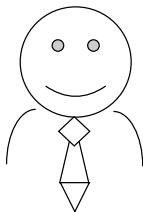


We need something for the communication.

System designer

LSI designer

**The architect of
this LSI is**



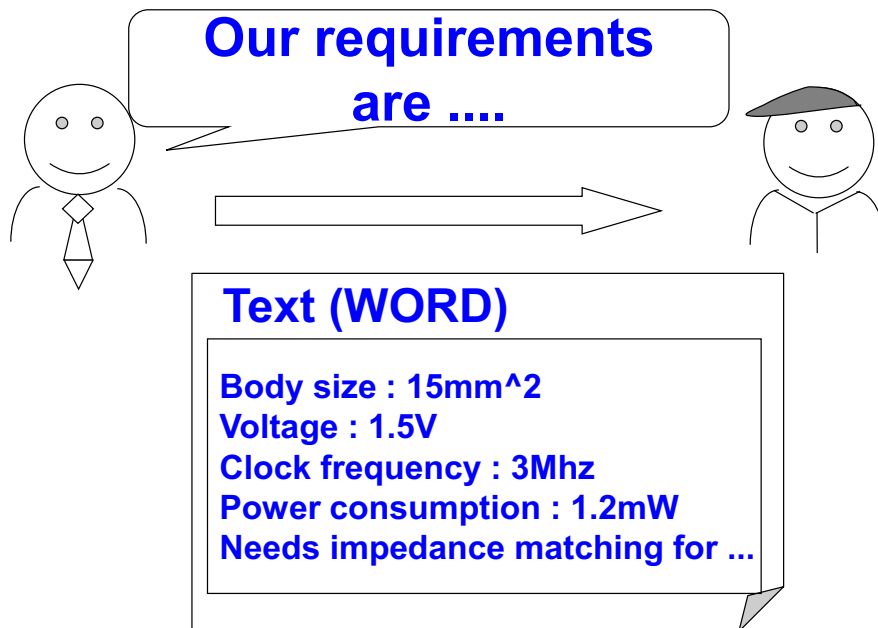
Picture(Visio)



We need something for the communication.

System designer

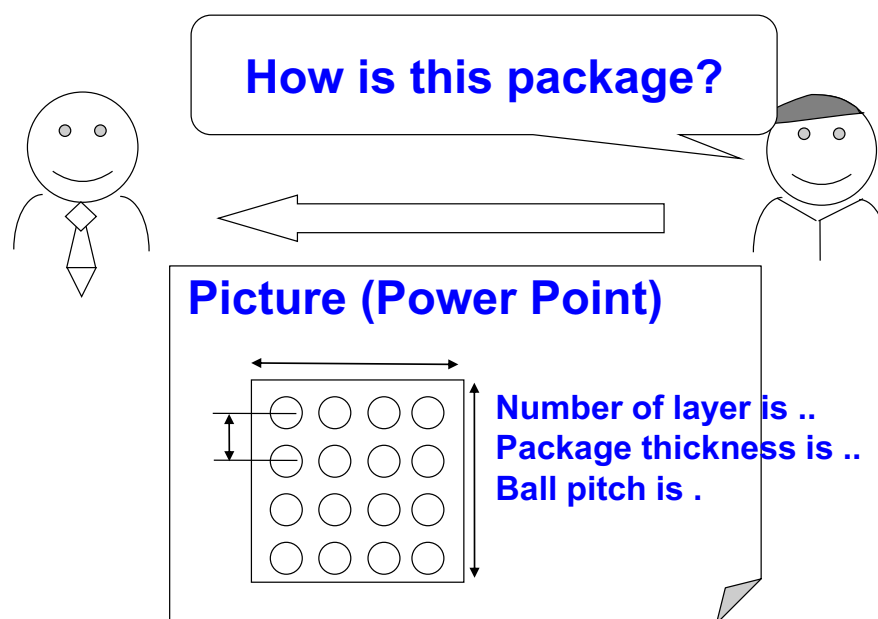
LSI designer



We need something for the communication.

System designer

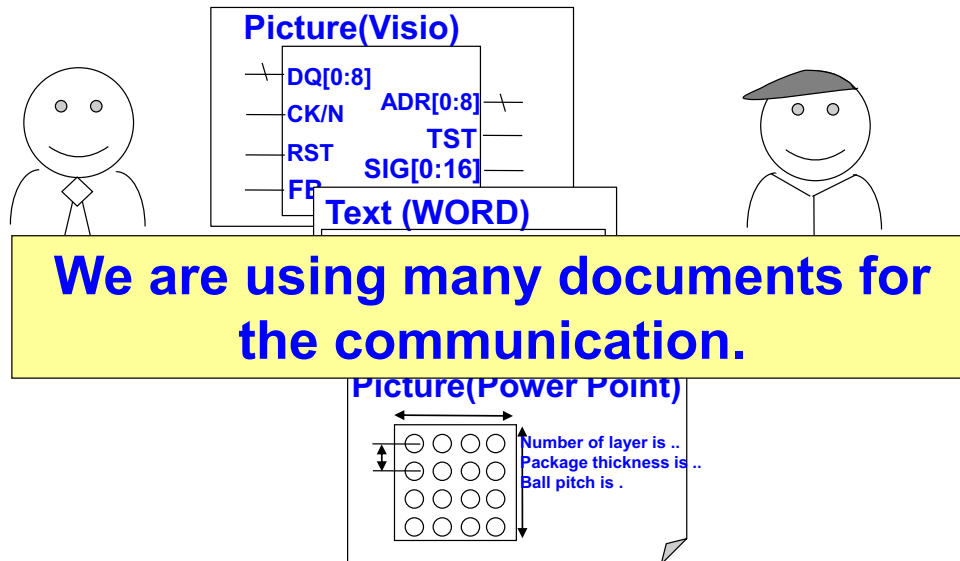
LSI designer



We need something for the communication.

System designer

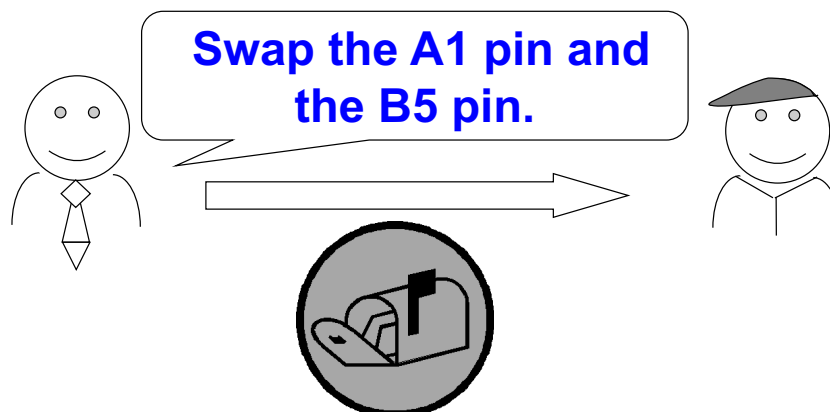
LSI designer



We need something for the communication.

System designer

LSI designer

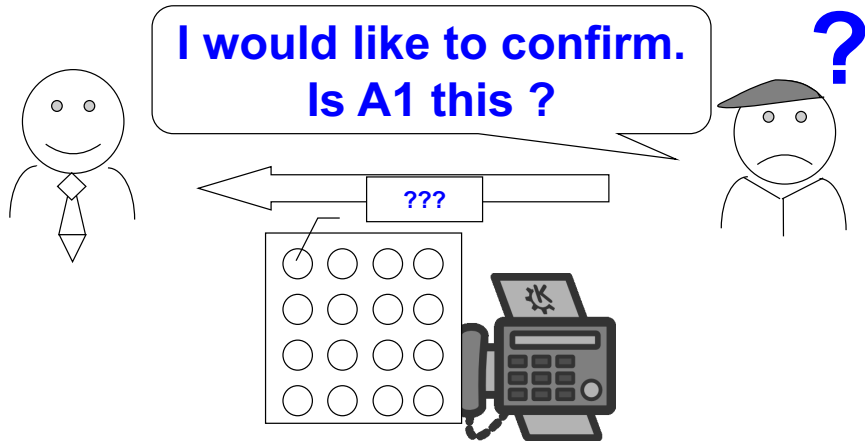


E-mail without documents maintenance.

We need something for the communication.

System designer

LSI designer



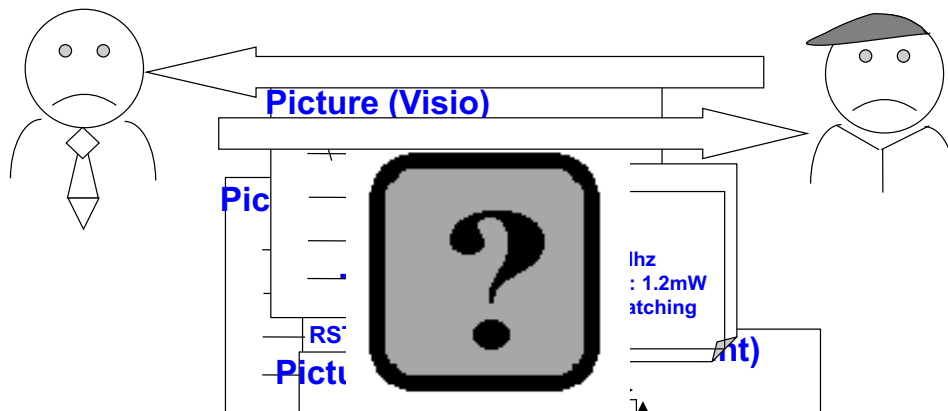
**FAX without documents
maintenance.**

23 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the communication.

System designer

LSI designer



**We spend many times for
the communication.**

24 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the communication.

System designer

LSI designer



**We were looking for the format.
But we could not find it.**

Body size : 15mm²
Voltage : 1.5V
Clock frequency : 3Mhz
Power consumption : 1.2mW
Needs impedance matching
for ...

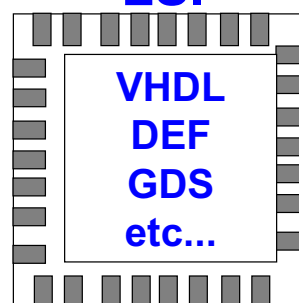
**"We have to communicate
with one document"**

We need something for the communication.

Board

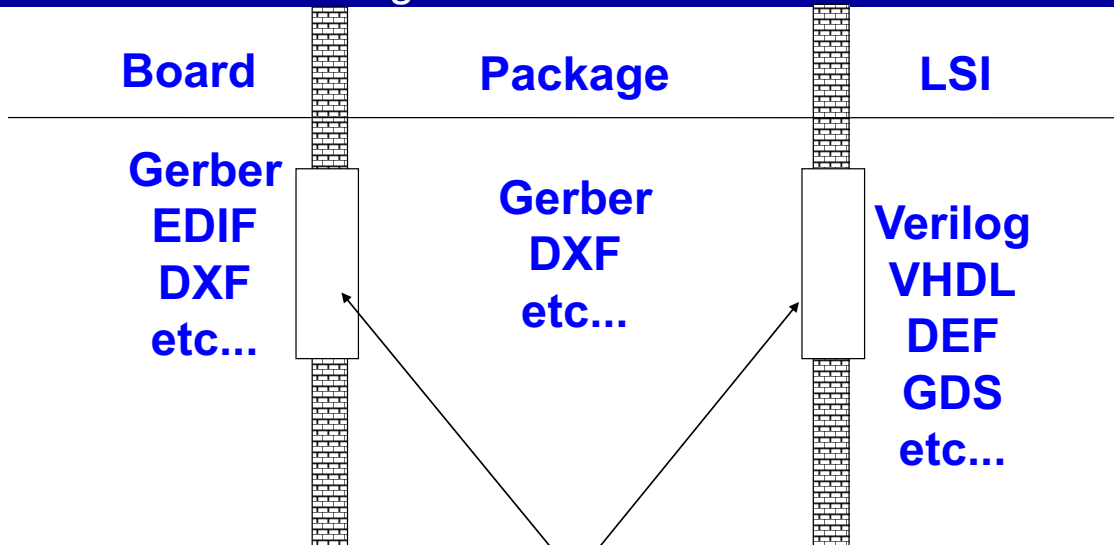


LSI



**All formats are used to define the
inside of object.**

We need something for the communication.

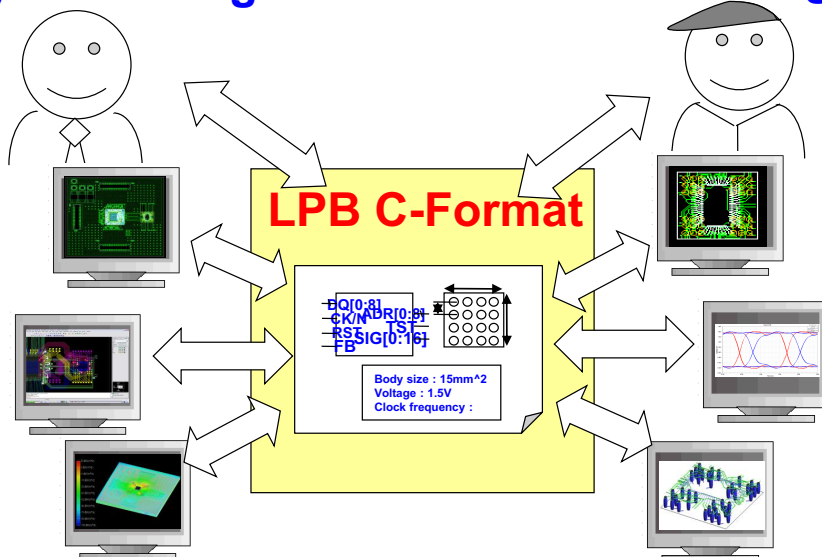


The something is LPB C-Format.
We call the boundary as a *socket*.

We need something for the communication.

System designer

LSI designer



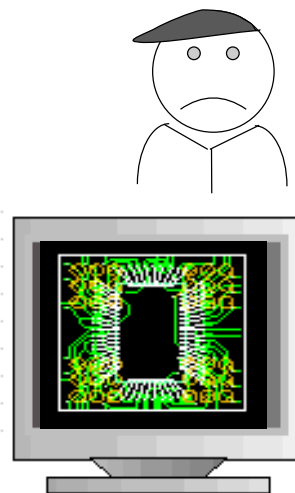
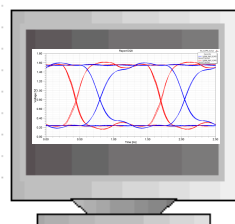
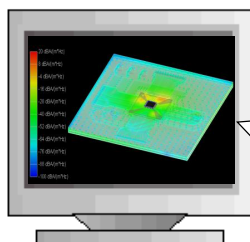
LPB C-Format
C is component or communication

*We need a something
between EDA tools.*



We need something between EDA tools.

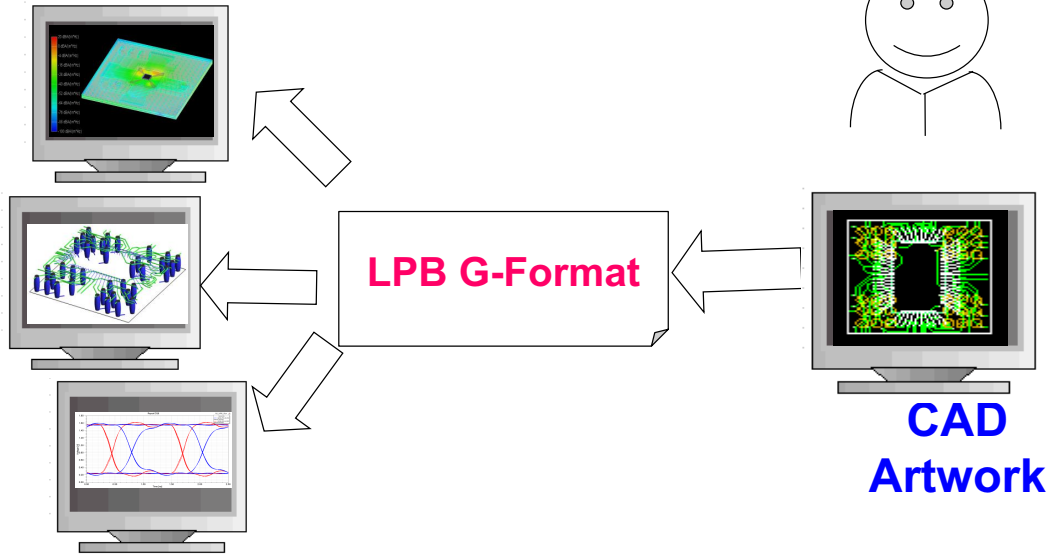
Modeling



**CAD
Artwork**

We need something between EDA tools.

Modeling



LPB G-Format
G is geometry

Why we need LPB format?

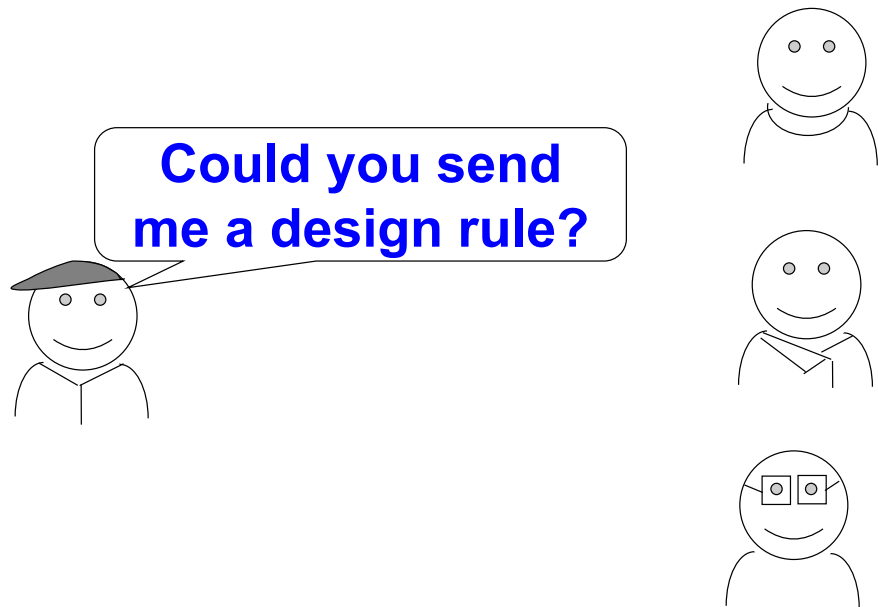
*We need a something
for the reference.*

R-Format

JEITA LPB 2012

We need something for the reference.

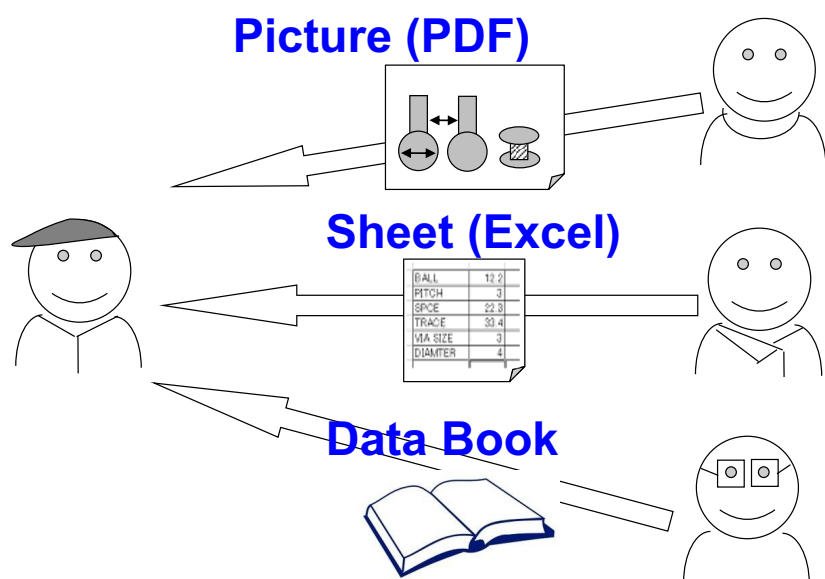
Package vendor



35 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the reference.

Package vendor

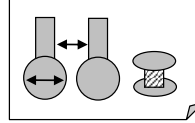


36 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the reference.

Which one is the best for my project?

Picture (PDF)



Sheet (Excel)

BALL	12.2
PITCH	3
SPACE	22.3
TRACE	33.4
VIA SIZE	3
DIAMETER	4

Data Book

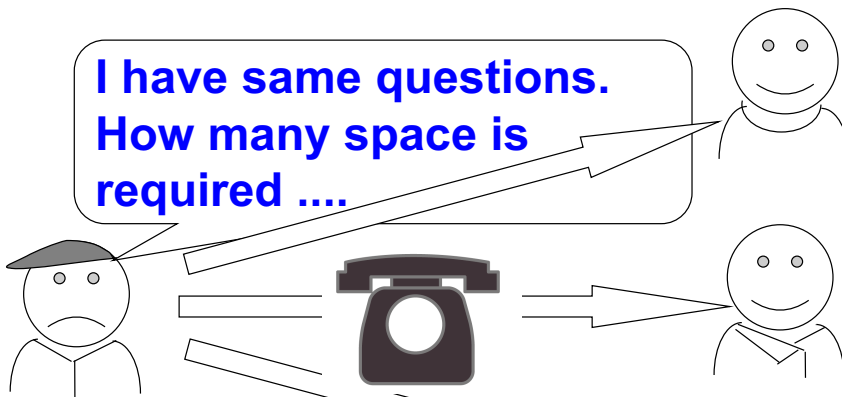


It is difficult to compare them because the rules are defined by different form.

We need something for the reference.

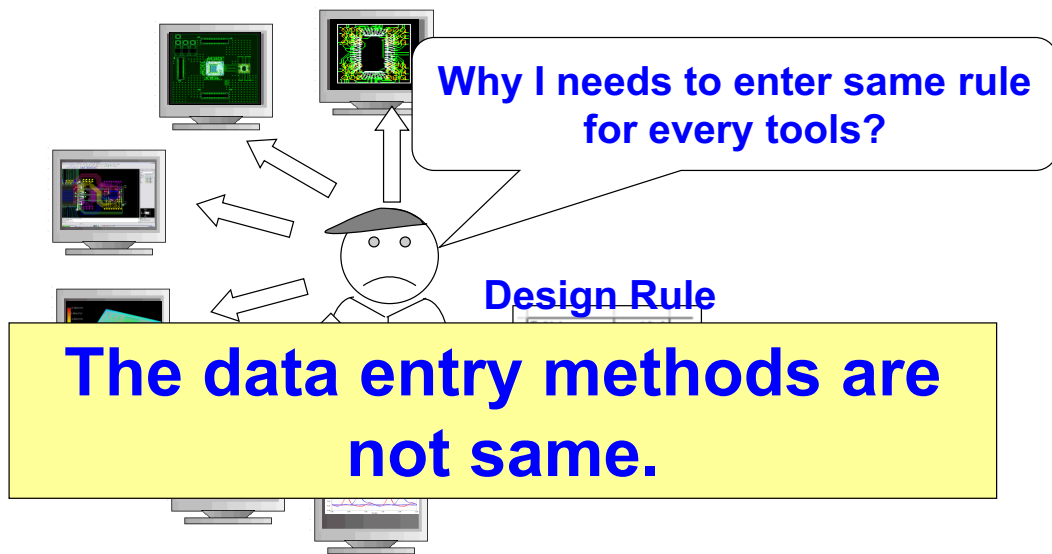
Package vendor

I have same questions.
How many space is required



We have to spend long time to understand the design rule.

We need something for the reference.



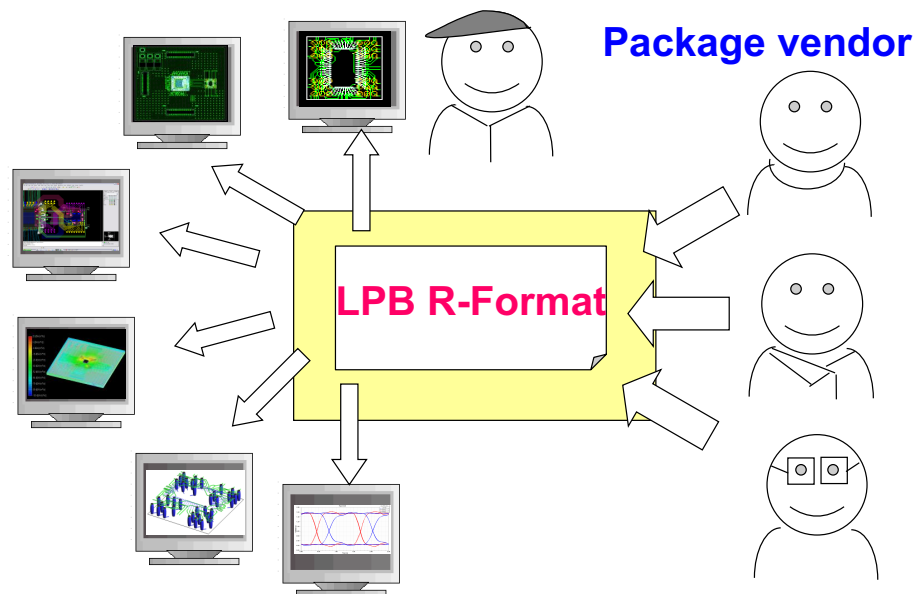
39 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the reference.



40 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the reference.



LPB R-Format
R is rule

41 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Why we need LPB format?

N-Format

N is netlist.

M-Format

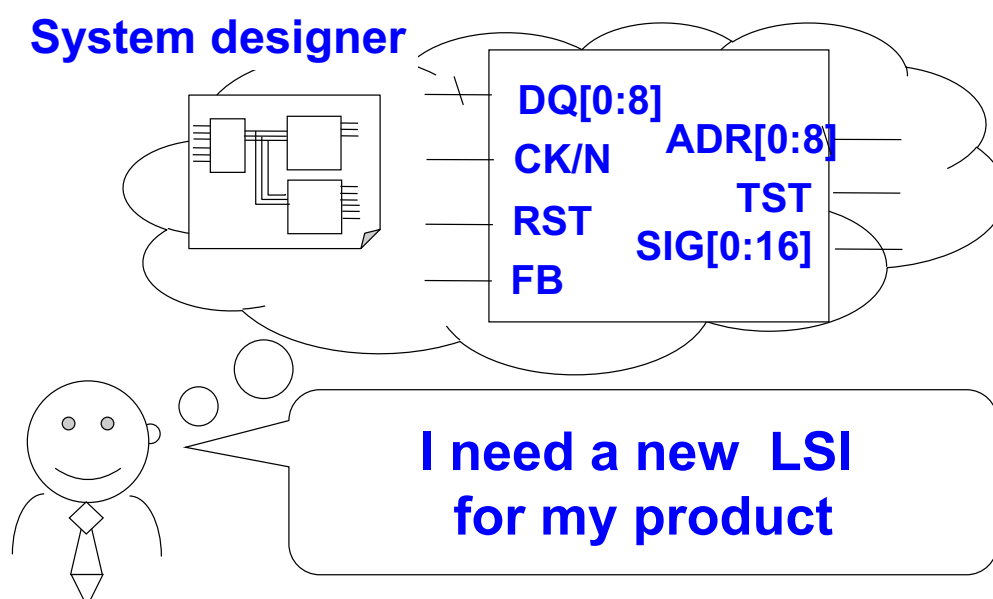
M is management.



42 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

Working with LPB Format.

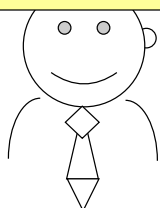


Working with LPB Format.

System designer

`<module name="NEWLSI" type="LSI">
 <socket inst="IO">
 <port name=DQ[0]/>
 <port name=DQ[1]/>
 :
 </socket>
</module>`

DQ[0:8]



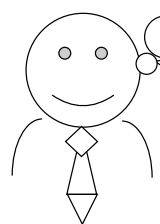
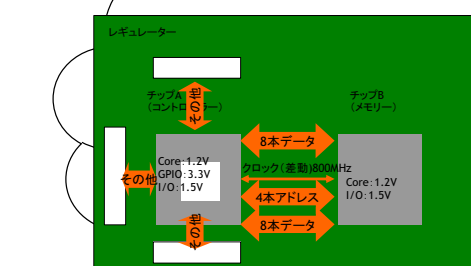
**I need a new LSI
for my product**

45

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

System designer



**Hum.. According to this
floorplan, the body size of
new LSI should be**

46

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

System designer

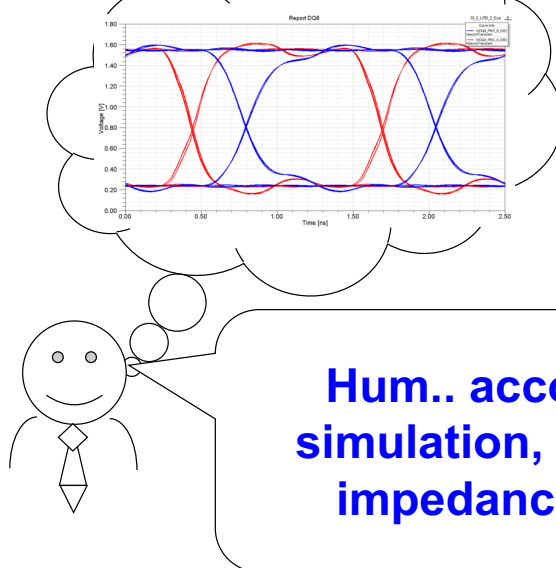
```
<shape>
  <rectangle id="BodySizeOfNEWLSI" width=".." height="..."/>
</shape>

:
<module name="NEWLSI" type="PKG"
  shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <port name=DQ[0]/>
    <port name=DQ[1]/>
    :
  </socket>
</module>
```

new LSI should be

Working with LPB Format.

System designer



Working with LPB Format.

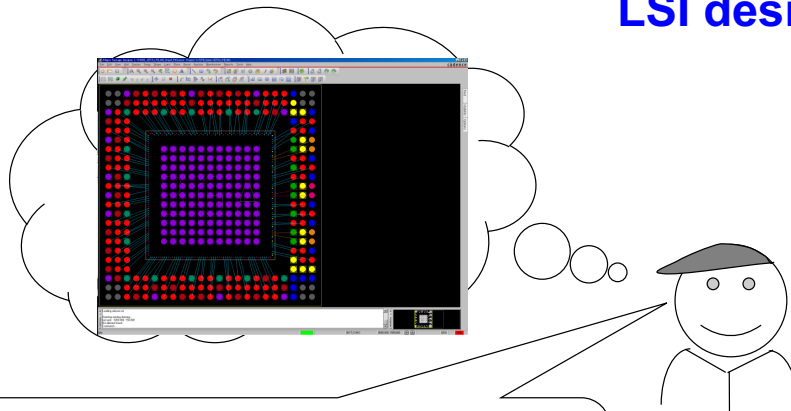
```
<shape>
  <rectangle id="BodySizeOfNEWLSI" width=".." height="..."/>
</shape>
:
<module name="NEWLSI" type="PKG"
  shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <port name=DQ[0]/>
    <port name=DQ[1]/>
    :
  </socket>
  <constraint>
    <impedance port_name="DQ[0]" type="single" typ="50"/>
    :
  </constraint>
</module>
```

Working with LPB Format.



Working with LPB Format.

LSI designer



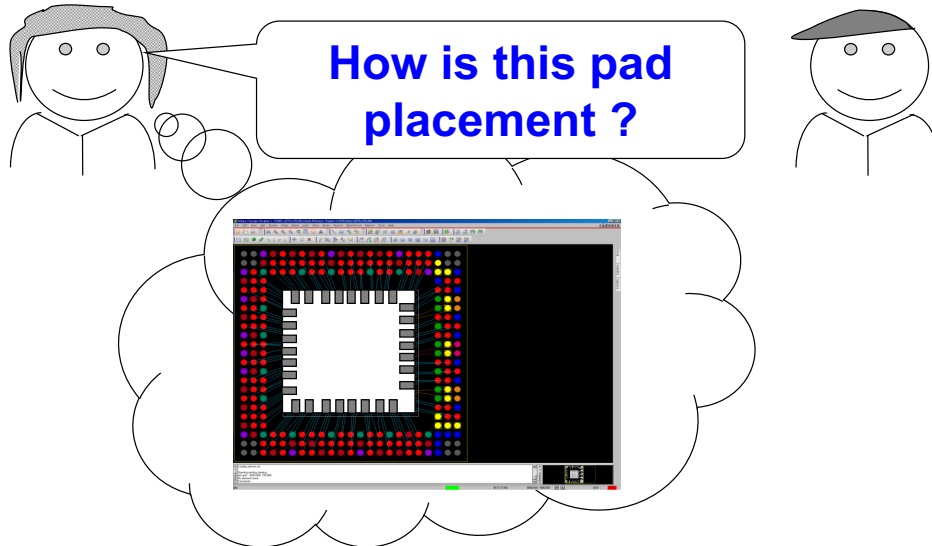
This package is the best for this project.

```
<circle id="BallSize" diameter= ... />
</shape>
<padstack_def>
  <padstack id="BallPad" type="BALL_PAD">
    <ref_shape shape_id="BallSize" layer="BOTTOM"/>
  </padstack>
</padstack_def>
:
<module name="NEWLSI" type="PKG" shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="BallPad" />
    </default>
    <port name="DQ[0]"/>
    <port name="DQ[1]"/>
    :
    <port id="A1" x=".." y=".."/>
    <port id="A2" x=".." y=".."/>
    :
  </socket>
  <constraint>
    <impedance port_name="DQ[0]" type="single" typ="50"/>
    :
  </constraint>
</module>
```

Working with LPB Format.

Chip Layout engineer

LSI designer



53 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

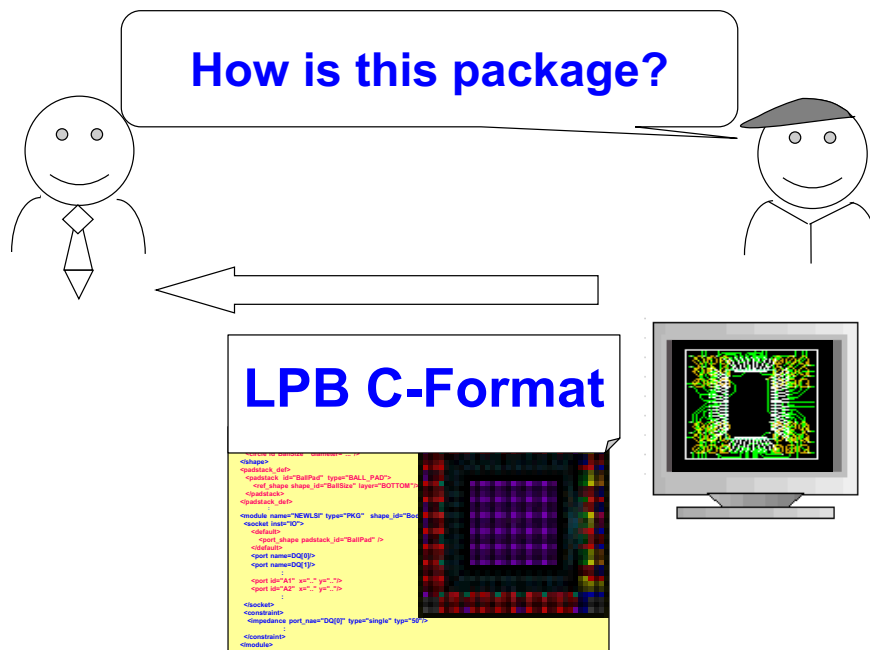
```
<shape>
:
</shape>
<padstack_def>
:
</padstack_def>
:
<module name="NEWLSI" type="LSI"
shape_id="DieSize">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="Pad" />
    </default>
    <port id="P1" name="DQ_0" x=".." y=".."/>
    <port id="P2" name="DQ_1" x=".." y=".."/>
    :
  </socket>
</module>
```

ner

54 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

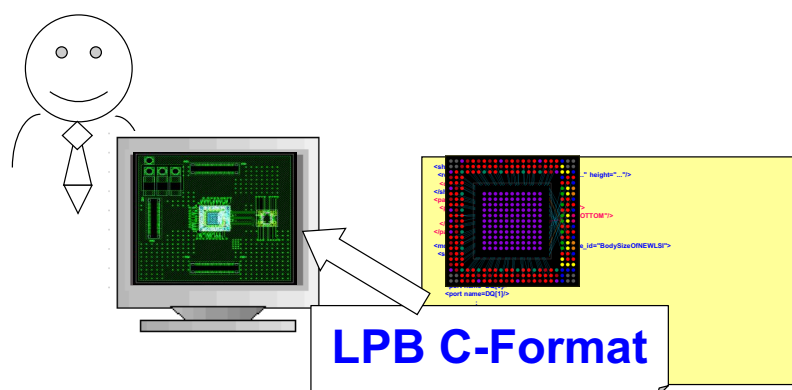
System designer



55 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

System designer

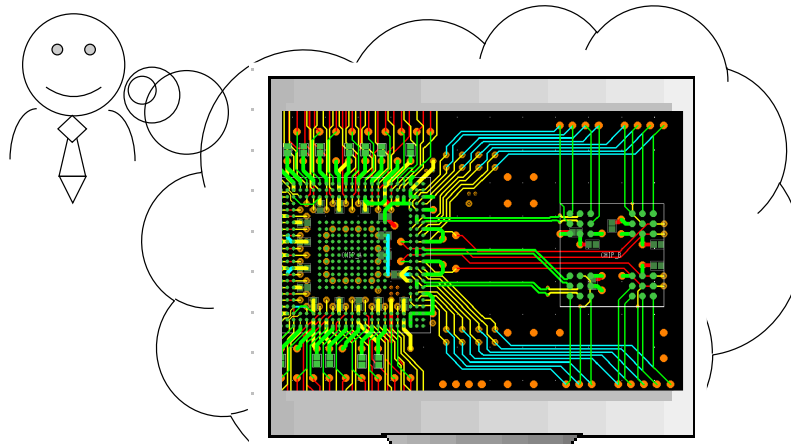


Re-build the package symbol using the C-Format.

56 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

System designer



Consider the net assignment to package pin.

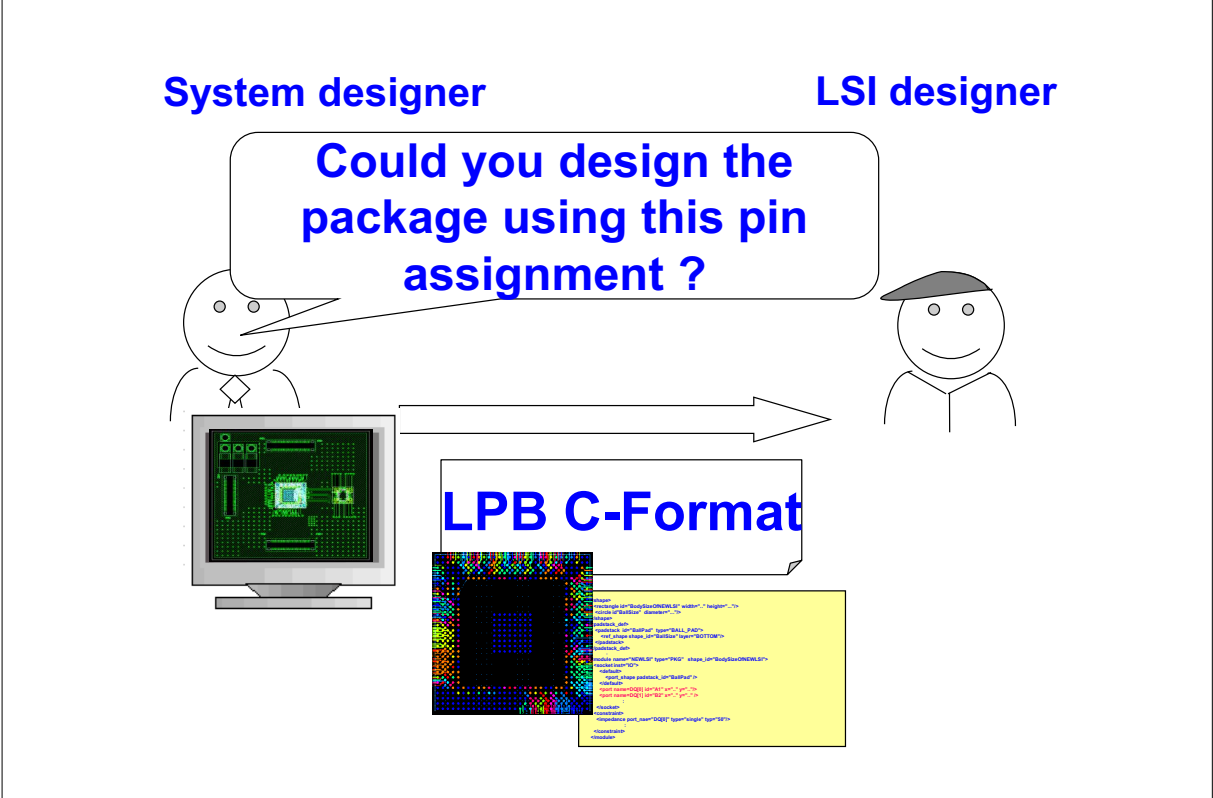
57 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

```
<rectangle id="BodySizeOfNEWLSI" width=".." height="..." />
<circle id="BallSize" diameter="..." />
</shape>
<padstack_def>
  <padstack id="BallPad" type="BALL_PAD">
    <ref_shape shape_id="BallSize" layer="BOTTOM" />
  </padstack>
</padstack_def>
:
<module name="NEWLSI" type="PKG"
shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="BallPad" />
    </default>
    <port name=DQ[0] id="A1" x=".." y=".." />
    <port name=DQ[1] id="B2" x=".." y=".." />
    :
  </socket>
  <constraint>
    <impedance port_name="DQ[0]" type="single" typ="50" />
    :
  </constraint>
  :
</module>
```

58

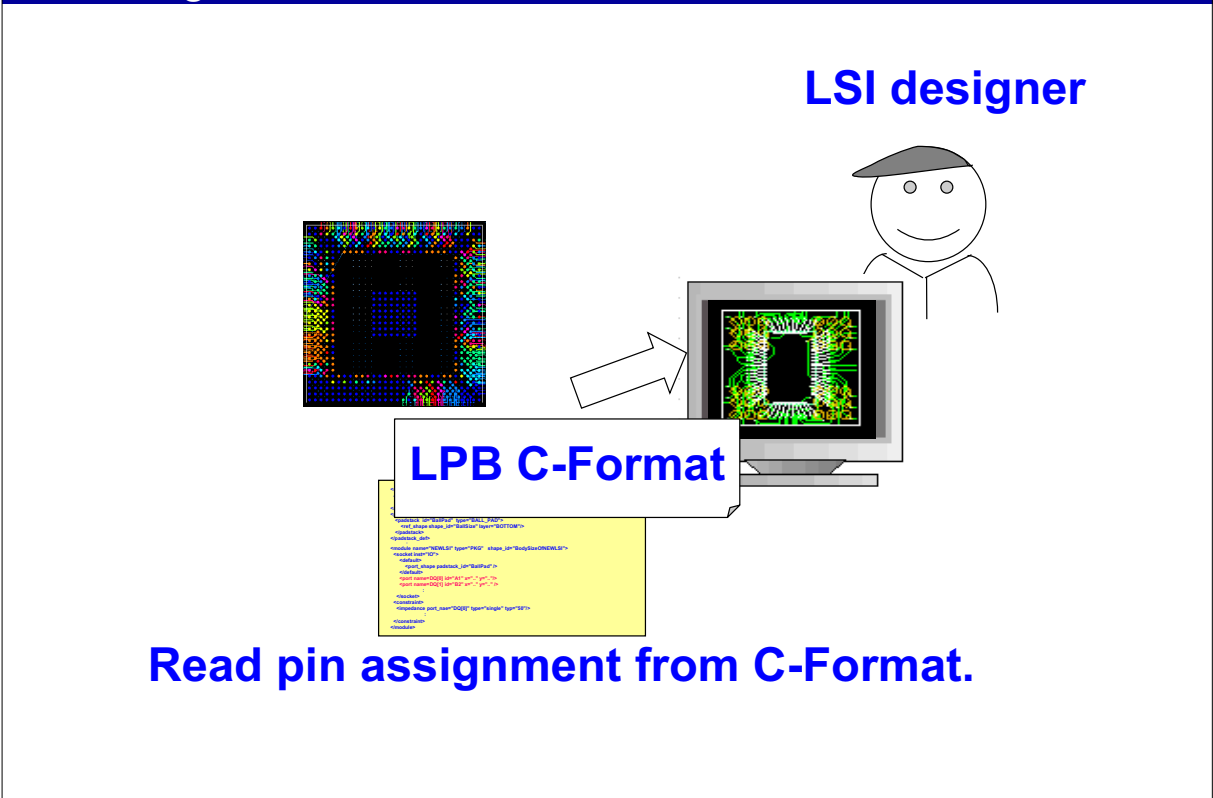
eserved

Working with LPB Format.



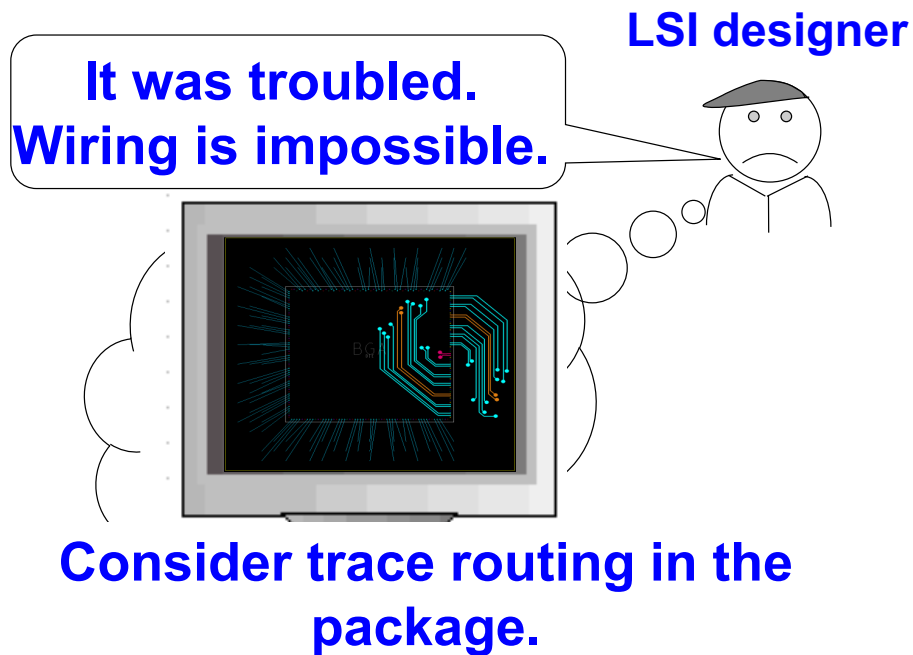
59 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.



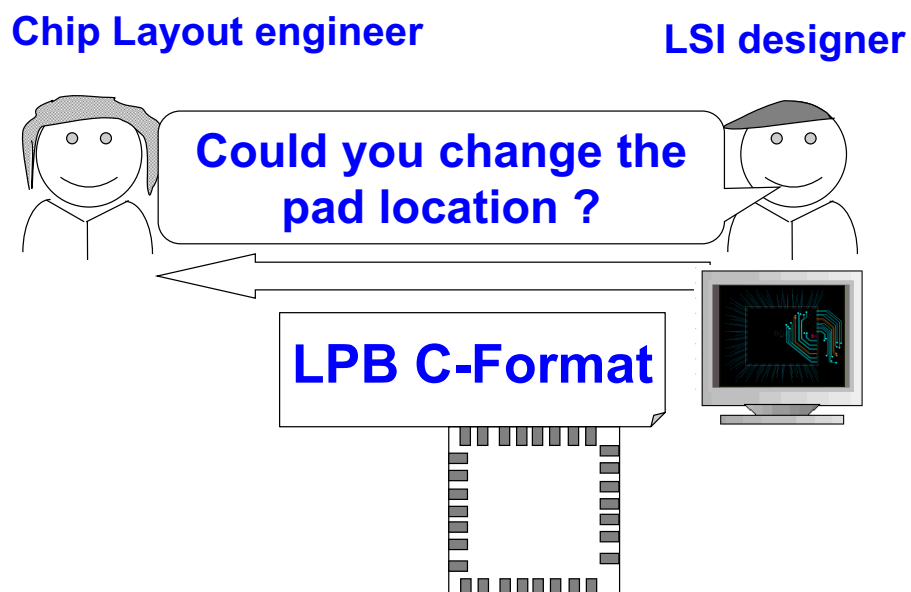
60 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.



61 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

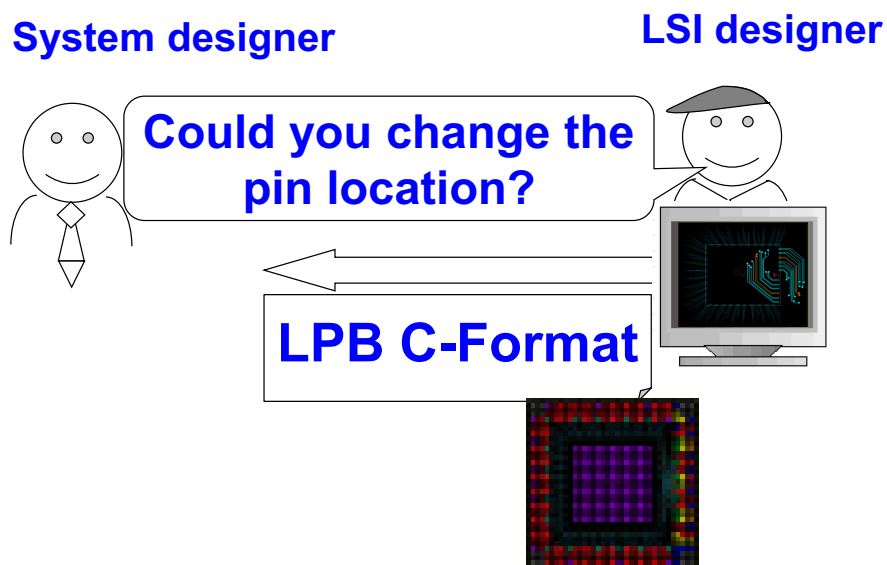


62 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

```
<shape>
:
</shape>
<padstack_def>
:
</padstack_def>
:
<module name="NEWLSI" type="LSI"
shape_id="DieSize">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="Pad" />
    </default>
    <port id="P11" name="DQ_0" x=".." y=".." />
    <port id="P22" name="DQ_1" x=".." y=".." />
    :
  </socket>
</module>
```

Working with LPB Format.



Working with LPB Format.

System designer

```
<module name="NEWLSI" type="PKG"
shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="BallPad" />
    </default>
    <port name=DQ[0] id="D1" x=".." y=".." />
    <port name=DQ[1] id="A2" x=".." y=".." />
  </socket>
</module>
```

Working with LPB Format.

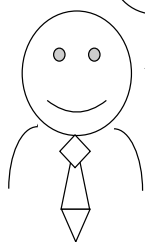


Working with LPB Format.

System designer

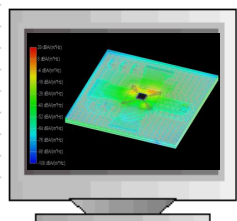
LSI designer

**Could you give
me a package
Model?**



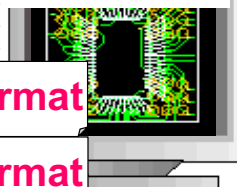
Working with LPB Format.

Modeling



LSI designer

**CAD
Artwork**



LPB G-Format

LPB C-Format

Working with LPB Format

LPB G-Format

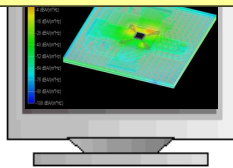
```

:
.part
BGA R -13.5 -13.5 13.5 13.5 0 S 0 {
:
A2 11.5 12.5 B 8
:
D2 -4 -5 B 4
:
}

:
.end part

.component
NEWLSIPKG BGA 0 0 4 0
NEWLSIDIE DIE 0 0 1 0
.end component
:

```



LPB C-Format

```

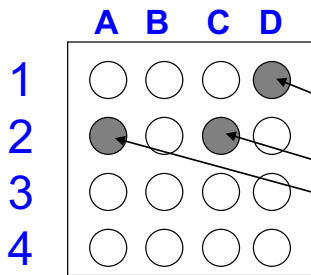
:
  <default>
    <port_shape padstack_id="BallPad" />
  </default>
  <port name=DQ[0] id="D1" x=".." y=".." />
  <port name=DQ[1] id="A2" x=".." y=".." />
:
</socket>

:
</module>

<reference reffile="NEWLSI.xfl" format="XFL">
  <connect pin_name="D1">
    <xfl:ref_port component="NEWLSIPKG"
pinname="D1">
  </connect>
  <connect pin_name="A2">
    <xref:ref_port component="NEWLSIPKG"
pinname="A2">
  </connect>
:
</reference>

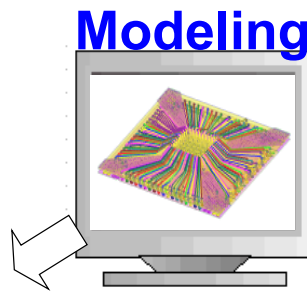
```

Working with LPB Format.



```
subckt top i1 i2 i3
R1 r1 1 5 1e6
r2 1 2 1e4
c1 1 4 0.1u
vdd 7 0 dc 5

:
```



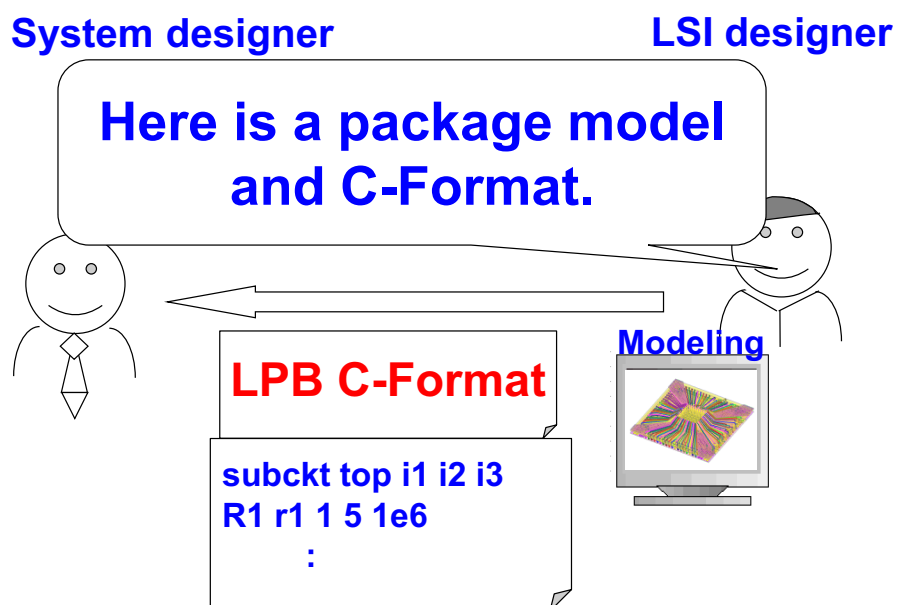
```

shape_id= BodySizeONEWLSI
<socket inst="IO">
  <default>
    <port_shape padstack_id="BallPad" />
  </default>
  <port name=DQ[0] id="D1" x=".." y=".." />
  <port name=DQ[1] id="A2" x=".." y=".." />
  :
</socket>
  :
</module>

<reference reffile="NEWLSI.sp" format="SPICE">
  <connect pirt_name="D1">
    <spice:ref_port subckt="top" portid="3"/>
  </connect>
  <connect pin_name="A2">
    <spice:ref_port subckt="top" portid="1"/>
  </connect>
  :
</reference>

```

Working with LPB Format.



まとめ / 相互設計の課題とソリューション

■ 課題

- 相互設計 : 異文化同士の交流
 - ・ コミュニケーションをもっとスムーズにしたい
- 異文化間交流には、定められたプロトコルが必要
 - ・ 意思の疎通を円滑に...
- ・ 解析・モデリングツールを設計の道具に...

■ ソリューション

- コミュニケーションのためにフォーマットを統一
LPB M/N/C/G/R-Format

皆様のご協力を願います

Conclusion

■ Issues

- Interoperable design : Different cultural exchange
- Want to make communication smooth...
- Need common protocol for the different cultural exchange.
 - ・ Establish more smooth communication.
- ・ Efficient usage of Analysis/Modeling EDA as design tool.

■ Solution

- Define the unified formats for the better communication

LPB M/N/C/G/R-Format and Glossary

We need your support.

END

Conclusion

■ Issues

- Interoperable design : Different cultural exchange
- Want to make communication smooth...
- Need common protocol for the different cultural exchange.
 - Establish more smooth communication.
- Efficient usage of Analysis/Modeling EDA as design tool.

■ Solution

- Define the unified formats for the better communication

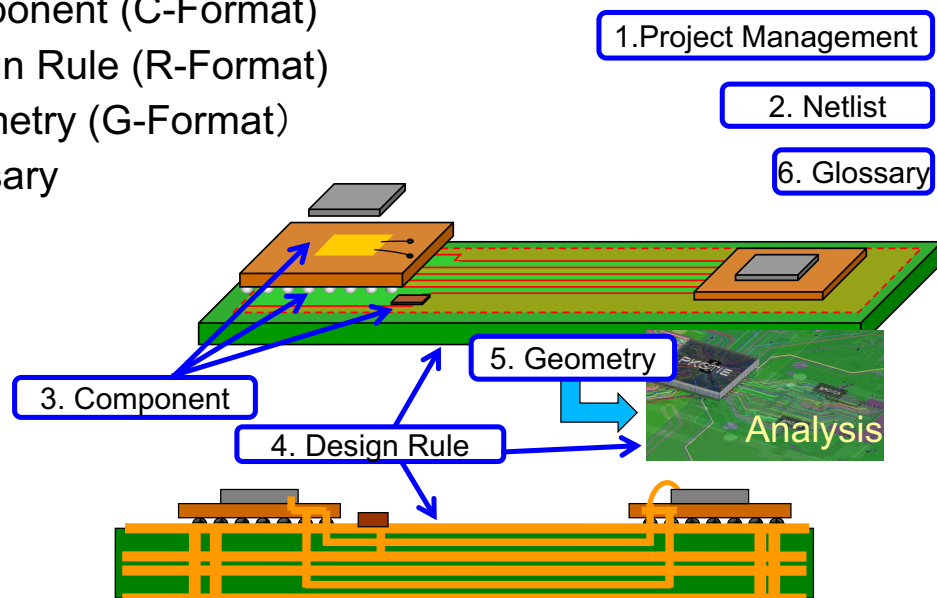
LPB M/N/C/G/R-Format and Glossary

We need your support.

JEITA LPB format

JEITA LPB format consists of five (5) formats and glossary.

1. Project Management (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design Rule (R-Format)
5. Geometry (G-Format)
6. Glossary



77 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB format overview

Format name	Contents	Description form
Project Management (M-Format)	•Format file association •Update trace •Association with related files	XML(Original) Adopted original description, because there is not a proper existing and public format on the market under our research.
Netlist (N-Format)	•connection b/w hierarchy definition •Signal, power and ground description	Verilog-HDL(Existing) With enhancing power ground port support
Component (C-Format)	•Component pin assignment •Constraint items definition •Design status information	XML(Original) Adopted original description, because there is not a proper existing and public format on the market under our research.
Design Rule (R-Format)	•Technology definition •Manufacturability rule definition •Analysis condition setup	XML(Original) Adopted original description, because there is not a proper existing and public format on the market under our research.
Geometry (G-Format)	•Geometry information for analysis tools	Apache : XFL Ver1.0(Existing) Granted as public format at this moment. Approved by Apache Design

78 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

1. Project Management File

<Objectives>

- Association of each format files used in the project
- Figuring out the update status for each format files
- Association with referenced files (ex. IBIS models)

<Advantages>

- Possible to figure out the update status when exchanging the format files between the design hierarchy as if LSI and Package design.
- Possible to figure out the design revision including constraint, even in proceeding the design inside the hierarchy.

<Description>

- The original format based on XML



Sample of Project management (M-Format)

```
<?xml version="1.0" encoding="Shift_JIS"?>
<JEITA_LPB_PROJECT version="2.0">

    <header
        project="JEITA_LPB_2011"
        design_revision="0.1"
        date="20120108"
    />

    <CFORMAT
        file_name="ChipA_PKG_set2_HR_V2.05_Rev.0.1.xml"
        design_revision="0.1"
    />

    <RFORMAT
        file_name="ChipA_PKG_set2_DC_V2.05_Rev.0.1.xml"
        design_revision="0.1"
    />

    <NFORMAT
        file_name="ChipA_PKG_set2.v"
    />

    <OtherFile
        file_name="ChipA.ibs"
    />

</JEITA_LPB_PROJECT>
```

Header
Project name definition
Revision of Project management file
Creation Date of Project management file

CFORMAT
Specify Component file
Revision management of Component file

RFORMAT
Specify Design rule file name
Revision management of Design rule file

NFORMAT
Specify Net list file name

OtherFile
Other related file list, ex. IBIS models



JEITA LPB format #2 Netlist (N-Format)

2.Netlist (N-Format)

<Objective>

- Clarifying the connection between hierarchy
- Enabling to verify the connection for entire LPB
- Clarifying the connections not only the signals but also the power and ground nets

<Advantages>

- Possible to define the connection for both signal and power/ground between LSI-Package-Board hierarchy even the designers are separated.
- This saves the time to setup the analysis tools to connect the nets across the hierarchy.

<Description>

- Basing on the Verilog-HDL format
- Added power/ground port description to Verilog-HDL



81 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Sample of Netlist (N-Format)

```
/* DIE */
module
DIE(SU,SD,DBUS,DQ,DN,VDDC,VSSC,VDDQ,VSSQ);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC; /* PG_NET VDDC */
inout VSSC; /* PG_NET VSS */
inout VDDQ; /* PG_NET VDDQ */
inout VSSQ; /* PG_NET VSS */
endmodule

/* Package */
module
PKG(SU,DBUS,DQ,DN,VDDC1,VDDC2,VDDQ1,VDDQ2,VSS1,VSS2);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC1; /* PG_NET VDDC */
inout VDDC2; /* PG_NET VDDC */
inout VDDQ1; /* PG_NET VDDQ */
inout VDDQ2; /* PG_NET VDDQ */
inout VSS1; /* PG_NET VSS */
inout VSS2; /* PG_NET VSS */

wire VSS;
wire VDDC;
wire VDDQ;

assign VDDC1 = VDDC;
assign VDDC2 = VDDC;
assign VDDQ1 = VDDQ;
assign VDDQ2 = VDDQ;
assign VSS1 = VSS;
assign VSS2 = VSS;

DIE X1
(.SU(SU),.SD(VSS),.DBUS(DBUS),.DQ(DQ),.DN(DN),
.VDDC(VDDC),.VSSC(VSS),.VDDQ(VDDQ),
.VSSQ(VSS));
endmodule

/* Board (Top level) */
module PWB(VDDC,VDDQ,VSS);
inout VDDC; /* PG_NET VDDC */
inout VDDQ; /* PG_NET VDDQ */
inout VSS; /* PG_NET VSS */

wire [3:0] DBUS;
wire [3:0] IBUS;
wire SU;
wire DQ;
wire DN;

CF1DM C1 (.A(VDDQ),.B(VSS));
CF1DM C2 (.A(VDDQ),.B(VSS));
CF1DM C3 (.A(VDDC),.B(VSS));
CF1DM C4 (.A(VDDC),.B(VSS));

RF1DM Rp (.A(VDDC),.B(SU));
RF1DM R0 (.A(DBUS[0]),.B(IBUS[0]));
RF1DM R1 (.A(DBUS[1]),.B(IBUS[1]));
RF1DM R2 (.A(DBUS[2]),.B(IBUS[2]));
RF1DM R3 (.A(DBUS[3]),.B(IBUS[3]));

PKG X1 (.SU(SU),.DBUS(DBUS),.DQ(DQ),.DN(DN),
.VDDC1(VDDC),.VDDC2(VDDC),
.VDDQ1(VDDQ),.VDDQ2(VDDQ),
.VSS1(VSS),.VSS2(VSS));

BBOX X2
(.IBUS(IBUS),.DQ(DQ),.DN(DN),.VDD(VDDC),.VSS(VSS));
endmodule

/* Passive Components */
/* Capacitor */
module CF1D(A,B);
inout A;
inout B;
endmodule

/* Resistor */
module RF1D(A,B);
inout A;
inout B;
endmodule

/* LSI (Black box) */
module
BBOX(IBUS,DQ,DN,VDD,VSS);
inout [3:0] IBUS;
input DQ;
input DN;
inout VDD; /* PG_NET VDDC */
inout VSS; /* PG_NET VSS */
endmodule
```



82 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB format #3: Component (C-Format)

3.Component(C-Format)

<Objective>

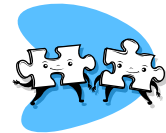
- Defining the pin attributes between LPB hierarchy
- Defining the constraints(ex. Delay)
- Exchanging the design status (ex. Current delay at pin)

<Advantages>

- Possible to keep away from human error with this unified format to connect between the hierarchy
- Possible to preliminary design verification with sharing design status to decide in which timing the designers need revision in LPB

<Description>

- The original format based on XML

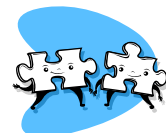


83

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Sample of component file (C-Format)

Reserved for XML	unit	type	Explanation
<pre><module name="Module Block Name" type="Module Block Type" shape_id="shape ID number" x="x coordinate" y="y coordinate" angle="Rotation angle" thickness="Thickness" ></pre>	N/A	string	Module section contains socket section, specification section and reference section.
	N/A	string	Defines the module name
	N/A	string	Specifies the module types: LSI ... semiconductor integrated circuit PKG ... package PWB ... printed wiring board.
	N/A	string	Specifies the identification number of predefined shape.
	distance	double	Specifies coordinate of origin.
	angle	double	Specifies the angle of the counterclockwise rotation with respect to the local origin.
	distance	double	Specifies thickness of module.
<pre><socket inst="Instance Name" ></pre>	N/A	string	Socket section defines the input/output ports of this module. A module can have multiple sockets. A socket is identified by a instance name. Defines the instance name of sockets. The name should be unique.
<pre><default></pre>			Defines the default shape of port.
<pre><port_shape padstack_id="padstack ID number" /></pre>	N/A	string	Specifies the default padstack for port.
<pre>0---1 </default> 0---1</pre>			
<pre><port id="port number" ></pre>	N/A	string	Defines the port shape, name and location. The notation of ports is not the same by a design language. For example, Spice does not have the definition of a clear port name. Moreover, Some languages, such as verilog, does not have the location of port. This section gives a common notation onto different design languages. All ports must have port ID as port name. Defines identification number (ID) of port. The ID should be unique in socket section. Normally, port ID is according to JEDEC's naming convention. For example, A1, A2, A3, ... in case of BGA package.



84

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Sample of component file (C-Format)

Reserved for XML	unit	type	Explanation
<pre> <module name="Module Block Name" type="Module Block Type" shape_id="shape ID number" x="x coordinate" y="y coordinate" angle="Rotation angle" thickness="Thickness" > </pre>			Module section contains socket section, specification section and reference section. Module section contains socket section, specification section and reference section. Defines the module name Specifies the module types; LSI ... semiconductor integrated circuit PKG ... package PWB ... printed wiring board. Specifies the identification number of predefined shape. Specifies coordinate of origin. Specifies the angle of the counterclockwise rotation with respect to the local origin. Specifies thickness of module.
<pre> id="port number" </pre>	N/A	string	Moreover, some languages, such as Verilog, does not have the location of port. This section gives a common notation onto different design languages. Defines identification number (ID) of port. The ID should be unique in socket section. Normally, port ID is according to JEDEC's naming convention. For example, A1, A2, A3, ... in case of BGA package.

85 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Sample of component file (C-Format)

Reserved for XML	unit	type	Explanation
<pre> <module> name="ChipA_PKG_set2" type="PKG" shape_id="PKG_FRAME" x="0" y="0" thickness="NA" <socket inst="ChipA_PKG_set2_PORTS"> <default> <port_shape padstack_id="BALL_PAD" /> </default> <port id="A1" x="-5500" y="-5500" /> <port id="A2" x="-5500" y="-5000" /> <port id="A3" x="-5500" y="-4500" /> <port id="A4" x="-5500" y="-4000" /> <port id="A5" x="-5500" y="-3500" /> <port id="A6" x="-5500" y="-3000" /> <port id="A7" x="-5500" y="-2500" /> <port id="A8" x="-5500" y="-2000" /> <port id="A9" x="-5500" y="-1500" /> <port id="A10" x="-5500" y="-1000" /> <port id="A11" x="-5500" y="-500" /> <port id="A12" x="-5500" y="0" /> <port id="A13" x="-5500" y="500" /> <port id="A14" x="-5500" y="1000" /> <port id="A15" x="-5500" y="1500" /> <port id="A16" x="-5500" y="2000" /> <port id="A17" x="-5500" y="2500" /> </socket> </pre>			Module section contains socket section, specification section and reference section. Module section contains socket section, specification section and reference section. Defines the module name Specifies the module types; LSI ... semiconductor integrated circuit PKG ... package PWB ... printed wiring board. Specifies the identification number of predefined shape. Specifies coordinate of origin. Specifies the angle of the counterclockwise rotation with respect to the local origin. Specifies thickness of module. Defines identification number (ID) of port. The ID should be unique in socket section. Normally, port ID is according to JEDEC's naming convention. For example, A1, A2, A3, ... in case of BGA package.

86 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB format #4: Design rule (R-Format)

4. Design Rule(R-Format)

<Objective>

- Defining the overall technology (ex. Layer stack-up, trace width/spacing) for LSI, package and PWB
- Rule Definition for manufacturability
- Definition of the analysis setup information(ex. Material properties, detailed stack-up information)

<Advantages>

- Enable to share the rules including analysis conditions beforehand between LPB
- Enable to share the constraints between LPB to define additional or re-structural of rules to make the most cost effective design in the early stage

<Description>

- The original format based on XML



87

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Sample of the Design rule (R-Format)

Reserved for XML	unit	type	Explanation
<Physicaldesign="Design Rule name">			Defines the following physical design rules. - material <material_def> - layer <layer_def> - space <spacing_def> - via pitch <pitch_def> - bonding wire <bondingwire_def> - solder ball <ball_def> - mold form <mold_def> - conductor structure <conductor_struct> - component <component_def>
<default>			If <default/> attribute is specified, this rule is applied to all area.
<material_def>			Defines the material.
<conductor material="Material Name" volume_resistivity="Volume resistivity of Conductor" temperature="Temperature condition" </> 0---	N/A resistivity temperature	string double double	Defines the conductor. Specifies the name of conductor. Specifies the volume resistivity of conductor. Specifies the temperature condition of the volume resistivity of conductor.
<dielectric material="Material Name" permittivity="Permittivity of Dielectric" tan_delta="Dissipation Factor of Dielectric" frequency="Frequency condition" </> 0---	N/A N/A N/A frequency	string double double double	Defines the dielectric. Defines the name of dielectric. Specifies the dielectric constant(Dk). Specifies the dissipation factor(DF). Specifies the frequency of dielectric properties(Dk and DF).
</material_def> 0--1			
<layer_def>			Defines the layer stack up from top to bottom.
<layer name="Layer name " type="dielectric or conductor" </>	N/A N/A	string string	Defines layer name. Specifies the layer types; Dielectric ... Dielectric layer



88

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Sample of the Design rule (R-Format)

Reserved for XML	unit	type	Explanation
<code><Physicaldesign="Design Rule name"></code> <code><Physicaldesign="Design Rule name"></code> <code><default/></code> <code><material_def></code> <code><conductor</code> <code> material="Material Name"</code> <code> volume_resistivity="Volume resistivity of Conductor"</code> <code> temperature="Temperature condition"</code> <code></></code>			Defines the following physical design rules. - material <material_def> - layer <layer_def> - space <spacing_def> Defines the following physical design rules. - material <material_def> - layer <layer_def> - space <spacing_def> - via pitch <pitch_def> - bonding wire <bondingwire_def> - solder ball <ball_def> - mold form <mold_def> - conductor structure <conductor_struct> - component <component_def> If <default/> attribute is specified, this rule is applied to all area. Defines the material. Defines the conductor. Specifies the name of conductor. Specifies the volume resistivity of conductor. Specifies the temperature condition of the volume resistivity of conductor.
<code><layer_def></code> <code><layer</code> <code> name="Layer name"</code> <code> type="dielectric or conductor"</code>	N/A	string	Defines the layer stack up from top to bottom. Defines layer name. Specifies the layer types; Dielectric ... Dielectric layer



Sample of the Design rule (R-Format)

Reserved for XML	unit	type	Explanation
<code><Physicaldesign="Design Rule name"></code> <code><Physicaldesign="Designrule1"></code> <code> <default/></code> <code> <material_def></code> <code> <conductor material="COPPER" volume_resistivity="1.68e-8" temperature="20" /></code> <code> <conductor material="GOLD" volume_resistivity="2.33e-8" temperature="20" /></code> <code> <conductor material="SOLDER" volume_resistivity="2.17e-7" temperature="20" /></code> <code> <dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" frequency="1G" /></code> <code> <dielectric material="RESISTOR_INK" permittivity="4.5" tan_delta="0.035" frequency="1G" /></code> <code> <dielectric material="REGIN" permittivity="4.5" tan_delta="0.035" frequency="1G" /></code> <code> </material_def></code>			Defines the following physical design rules. - material <material_def> - layer <layer_def> - space <spacing_def> Defines layer name. Specifies the layer types; Dielectric ... Dielectric layer
<code><layer</code> <code> name="Layer name"</code> <code> type="dielectric or conductor"</code>	N/A	string	Defines layer name. Specifies the layer types; Dielectric ... Dielectric layer



JEITA LPB format #5: Geometry (G-Format)

5. Geometry(G-Format)

<Objective>

- Defining the physical design for analysis environment
- Physical information
 - By-layer 2D drawing
 - 3D shape for vias, bumps and bondwires
 - Layer stack-up information

<Advantages>

- Does not depends on the analysis tools, and LPB design layer
- Enable to share the drawing information

<Description>

- Using PCB / Package Data Exchange File (XFL) Format



91 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB format #6: Glossary

■ Glossary

- The terms used in LPB might have different meaning
- Sometimes it causes design delay and mis-understanding between LPB designers
- Defines the common terms as JEITA LPB format

用語集

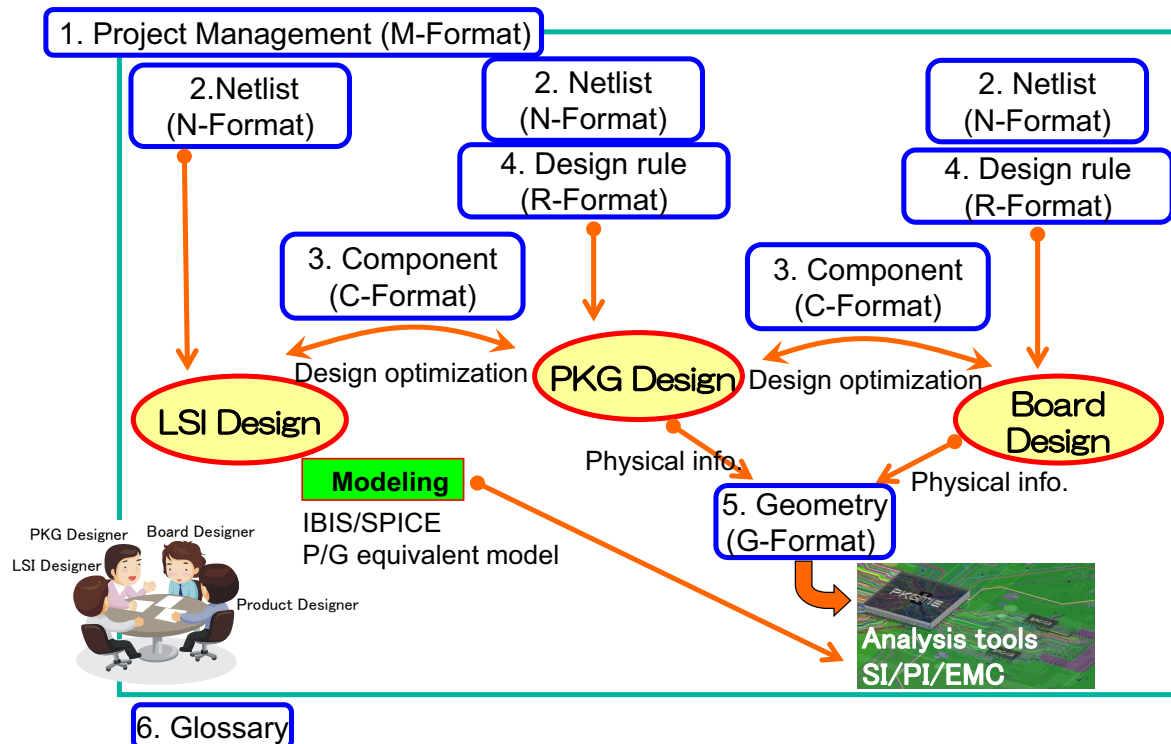
Rev.1.0

No.	分類	用語・名称	定義・意味	ラベル	LSI例	PKG例	PWB例	関連語
1	ネットリスト	ポート(名)	外部とのインターフェースとなる入出力端子 同一階層では全てユニークな名前にする		ポート	ピン名 ボール BGA リード	ピン名	
2	ネットリスト	リファレンス(名)	機能ブロックの定義名 階層にかかわらず全てユニークな名前にする		リファレンス セル名			
3	ネットリスト	インスタンス(名)	機能ブロックを配置する際に付ける名前 同一階層では全てユニークな名前にする		インスタンス	RefDes	リファレンス	
4	ネットリスト	ネット(名)	端子間の接続につけるラベル 基本的には同一階層内での定義だが、階層に関係なく接 続を表す場合もある(グローバルネット・定義)		ネット	ネット	ネット	
5	ネットリスト	バス	複数の信号を束ねた配線のひと 語(番号+数字で表す(数字の省略で全信号を表す場合も ある))		バス	バス	バス	
6	形状データ	DIE	SoCやメモリなどシリコンチップのこと		-	部品 コンポーネン ト チップ	部品 コンポーネン ト	
7	形状データ	PKG	パッケージのこと					
8	形状データ	PWB	プリント基板のこと (PCBとも呼ばれるが有害物質「ポリ塩 化ビフェニル」と区別するため避けられる傾向がある)					
9	形状データ	ボンディング	ボンディングワイヤの基板側の着地点の図形			リード 2ndバッド ワイヤボン ド バッド ボンディング バッド	-	
10	解析条件	表面粗さ	導体と絶縁体の密着性を上げるために 導体表面を化学処理により粗した状態 を指す(「サブラップ」では、配線の不要部 を除去する工法)では、配線の上部と 下部では導体の幅が異なる。 このような配線の構造を表す。					デンカー スバイク
11	解析条件	配線断面構造						



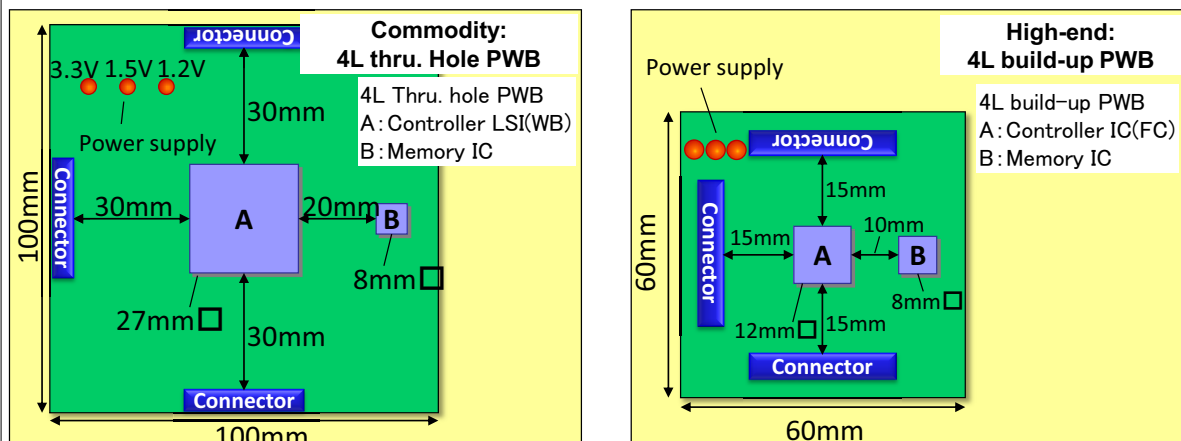
92 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Positioning of JEITA LPB format files



93 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Applied sample case (EDSF2011)

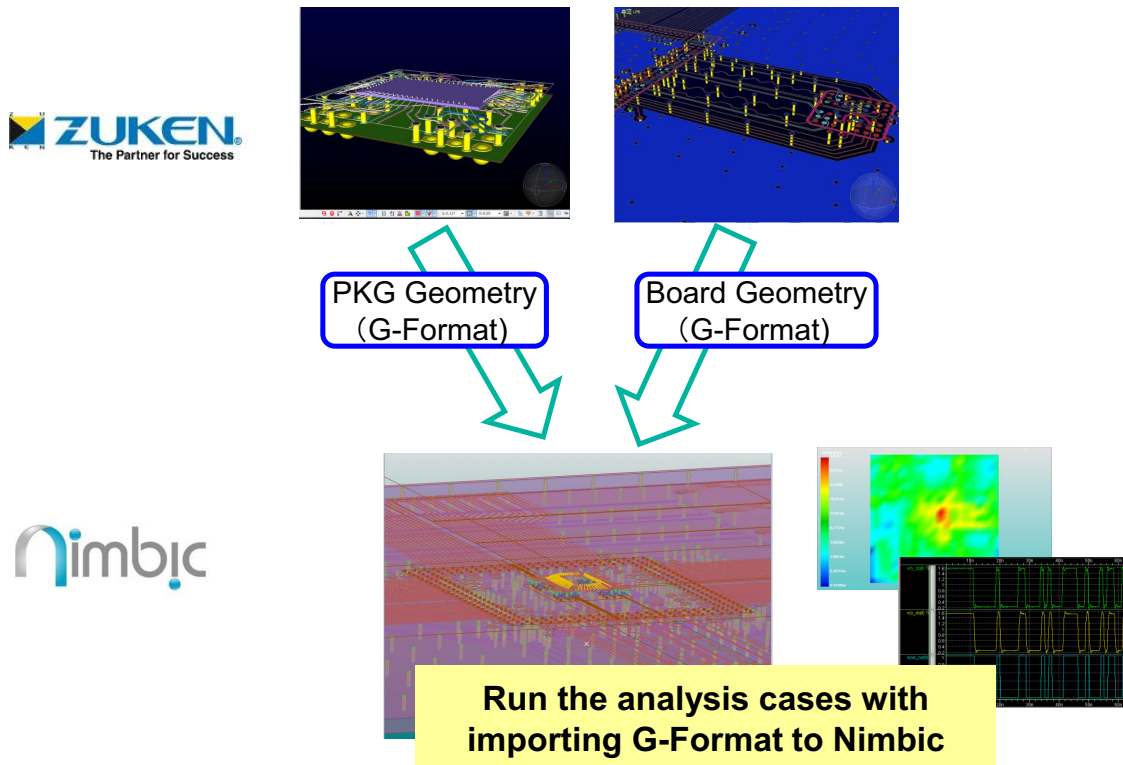


Assignment

	A: Controller		B: Memory		Board
	LSI	Package	LSI	Package	
Commodity (100 × 100mm)	Sony	Ricoh	Toshiba	Zuken	Panasonic
High-end (60 × 60mm)		Fujitsu			Toppan NEC

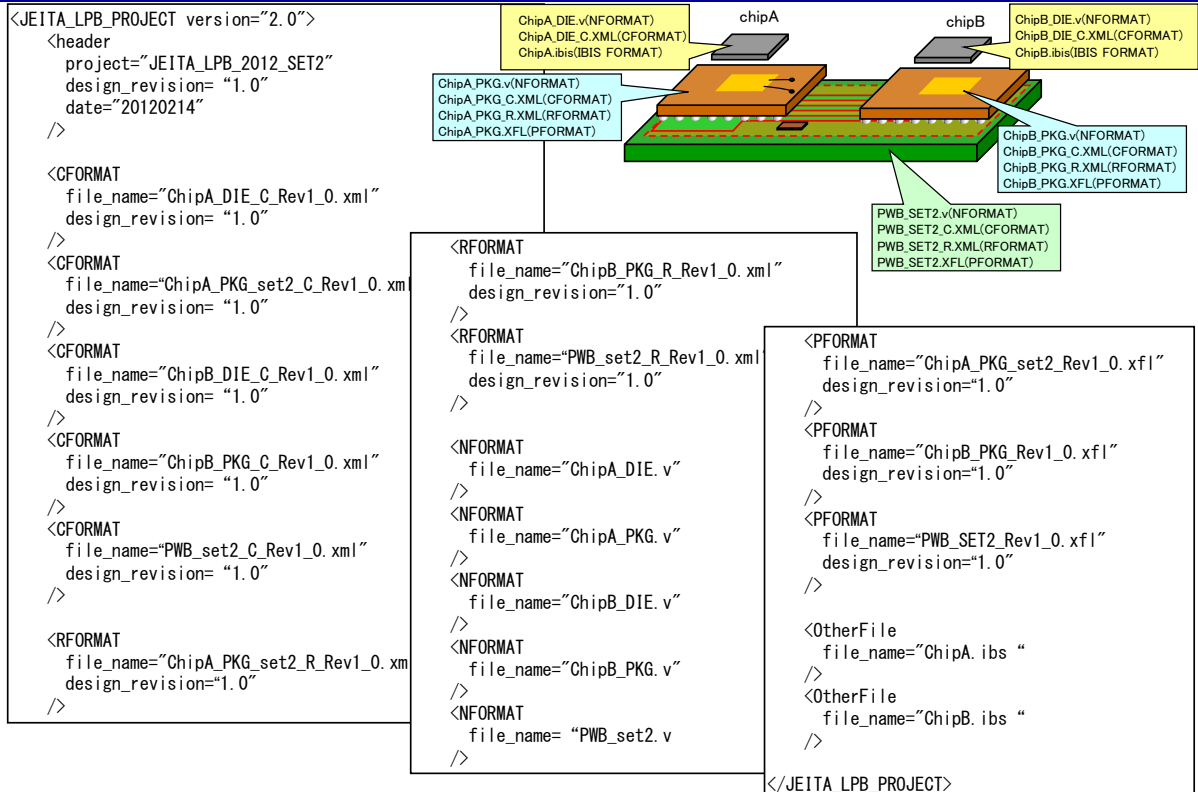
94 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Applied sample case (EDSF2011)



95 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Sample of Project management (M-Format) for high-end design



96 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Summary

Format	Advantages	
	For Designers	For analysis engineers
Project management (M-Format)	• Enable to manage the constraint rule history • Easy to figure out the verification status	• Easy to figure out the latest analysis conditions
Netlist (N-Format)	• Satisfy the low-leakage design with unified format • Reduces the human error	• Saving the trouble on LSI-PKG-Board connections
Component (C-Format)	• Enable to reduce the planning/re-spin time between the LSI-PKG-Board	• Clarifying the constraints • Enabling the optimization in early stage
Design Rule (R-Format)	• Enable the cost-effective designs with clarifying the design rules preliminary	• Clarifying the analysis conditions • Reducing the analysis setting TAT
Geometry (G-Format)	• Re-use of design properties • Enable to reuse the reference design data	• Reducing the data translation TAT • Improving and efficient analysis tool evaluation



The unified file formats for all LSI, Package and Board
 →Efficient design and analysis (especially to prevent from error of communication)
 →Enables not only the optimization inside each design, but also overall LPB designs



Request to EDA Vendors

Please utilize JEITA LPB format

- Expect to reduce the TAT with this unified format and to prevent from human errors
- Enable to overall optimize beyond LSI, Package and Board unit designs.

Please contact to JEITA LPB-WG when your tools are enhanced to support JEITA LPB Format

- LPB-WG expects to adopt from C-Format for CAD tools, and G-Format for analysis tools!!



Merits of JEITA LPB format

- Merits of captive EDA vendor formats

- Reducing the R&D resources(Reducing to maintain the interface development)
- Eliminating the influence of specification change by other vendor
- Easy to setup the environment by own enhancements to the competitors

- Merit of EDA vendors Industry.

- Development of New business opportunities
- Promoting brand-new valuable “happiness”

Expanding
the
EDA Market

Introduces here today

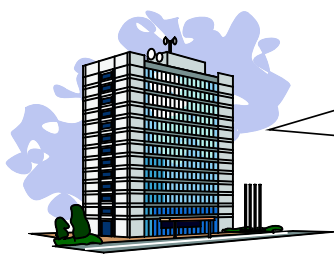
Merits of LPB standard format for EDA vendors

- Development of new business opportunities
 - Reducing EDA adoption cost
 - Reducing EDA leverage cost
 - Design cost
 - Simulation cost
 - Effective improvement of design flow
- Promoting brand-new valuable “happiness”
 - Arising new users and new needs

Merits of LPB standard format for EDA vendors

- Development of new business opportunities
 - Reducing EDA adoption cost
 - Reducing EDA leverage cost
 - Design cost
 - Simulation cost
 - Effective improvement of design flow
- Promoting brand-new valuable “happiness”
 - Arising new users and new needs

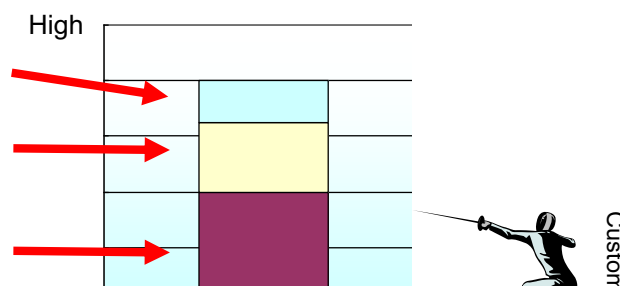
Adoption cost <Current issue>



We need a new EDA tool(s) for more efficient, rational design flow at the early stage to prevent from re-spin.

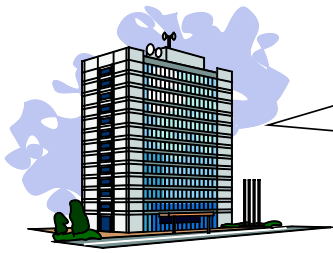
Reliability	Who will guarantee the data conversion?
Preparing the environment	What's the synergy with the existing tools?
	Do we need additional costs for existing tools?
Needs	Who will prepare the benchmark data?
	How can we compare between tools?
	Is it possible to apply the rare products?
Payment	Tool purchasing cost: OK

Barrier to adopt new EDA tools



Can not adopt EDA tools only with securing the tool budget

Adoption cost <Current issue>



We want to streamline the design flow to make it front-loading (prevent from re-spin) with EDA

Reliability	Who will guarantee the data conversion?
Preparing the environment	What's the synergy with the existing tools? Do we need additional costs for existing tools?
Needs	Who will prepare the benchmark data? How can we compare between tools? Is it possible to apply the rare products?
Payment	Tool purchasing cost: OK

The figure of EDA adoption from users.

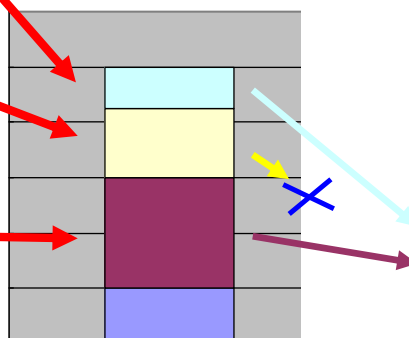
Only stable/strong companies can consume adoption benchmark cost

Negative spiral for weak companies who requires the evolutionary design flow change by EDA tools

103 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Adoption cost <after introduction of LPB format>

Reliability	Improve reliability with unified data format(monitored by all users) conversion?
Preparation	Easy to extract the effect No influence to other tools Sharing the benchmark in industry
Needs	Enable to reuse the same data Enable to compare with available data Applicable to existing rare products
Payment	Tool purchasing cost: OK



現状

▼ 47 % reduction of barrier

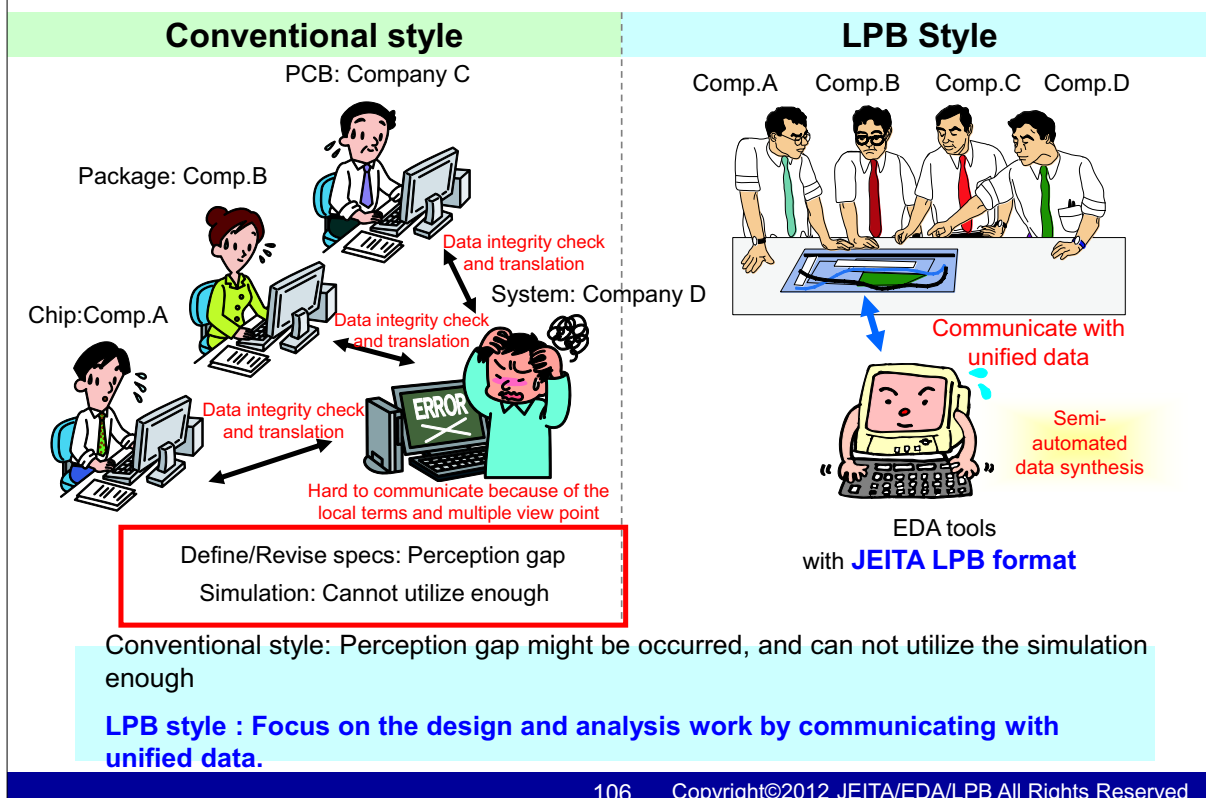
The companies can start EDA adoption regardless the company size → Expansion of the EDA Market

104 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Merits of LPB standard format for EDA vendors

- Development of new business opportunities
 - Reducing EDA adoption cost
 - Reducing EDA leverage cost
 - Design cost
 - Simulation cost
 - Effective improvement of design flow
- Promoting brand-new valuable “happiness”
 - Arising new users and new needs

EDA leverage cost (Conventional and LPB style)



Leverage cost – application example (EDSFair2011)

Conventional methode

	Controller		Board	Memory		Verification
	LSI	Package		Package	LSI	
Commodity (100 × 100mm)			Canon			
輕薄短小 (60 × 60mm)			Canon			

LPB method

	Controller		Board	Memory		Verification
	LSI	Package		Package	LSI	
Commodity (100 × 100mm)	SONY make.believe	RICOH	Panasonic	ZUKEN The Partner for Success	TOSHIBA	
輕薄短小 (60 × 60mm)		FUJITSU	TNCSI			DENSO

107 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

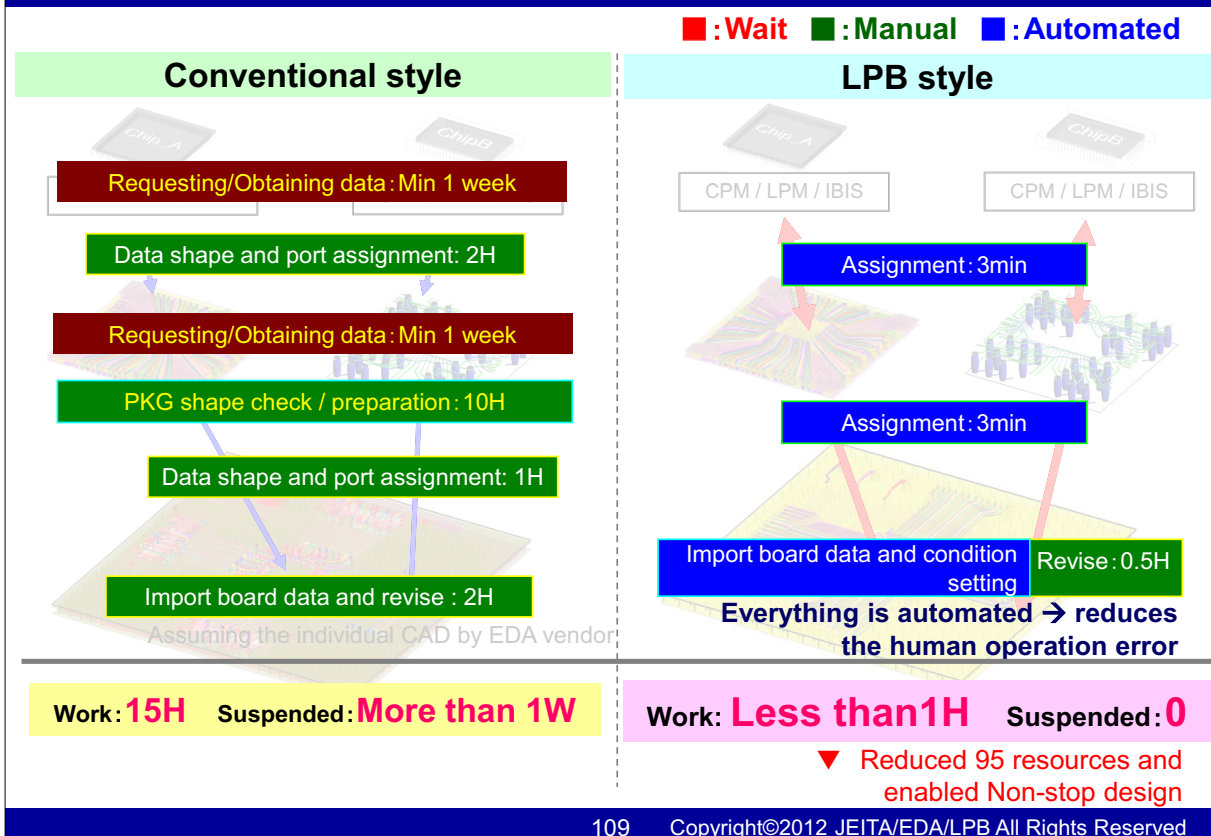
Leverage cost – comparison

	Conventional Style	LPB Style (Estimated)
1. Material to explain the spec	2.0h	
2. Explanation to designers	0.5h	0.5h
3. Definition of PCB design rules	3.5h	
4. Creating new netlist	5.0h	5.0h
5. Floor planning (CAD operation)	7.5h	7.5h
✓ • Registering macro parts		
✓ • Gathering the parts		
✓ • Place and route		
6. Design feedback	Work time 7.5h (3x re-spin, 3days)	Work Time 2.0h (One time re-spin, half-a-day)
Total 26 Hours (Suspended 3 days)		Total 15Hours (Suspended half day)

▼ reduced 42% resources, less than 1/3 suspended time

108 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Simulation cost comparison



109 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Merits of LPB standard format for EDA vendors

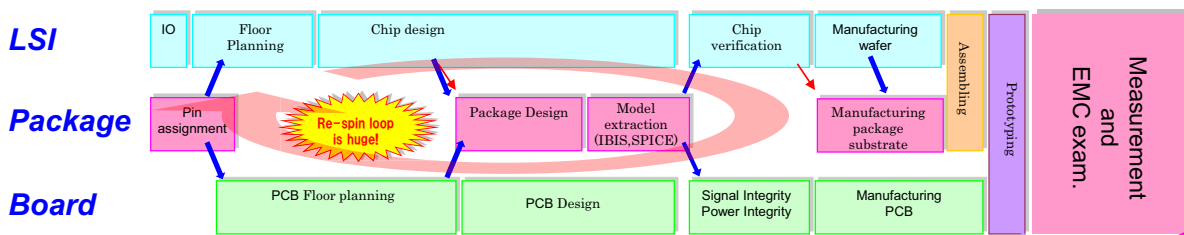
- Development of new business opportunities
 - Reducing EDA adoption cost
 - Reducing EDA leverage cost
 - Design cost
 - Simulation cost
 - Effective improvement of design flow
- Promoting brand-new valuable “happiness”
 - Arising new users and new needs

110 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

The effect of the mass-production design flow by a LPB style

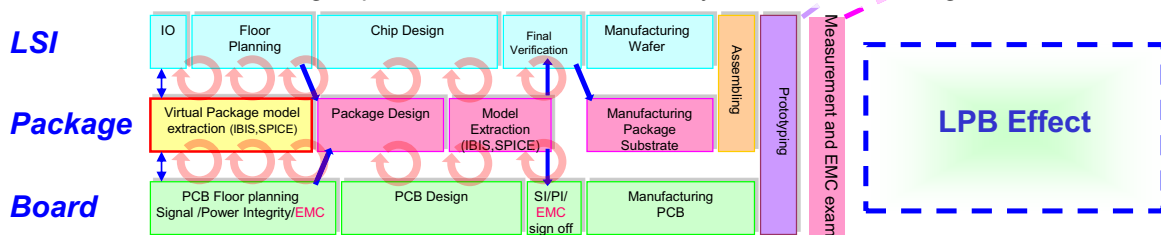
■ Traditional style : Current basic design style

The entire system verification follows the individual chip, package and board design.



■ LPB style: LPB concurrent co-design

Enables entire LPB design optimization and verification by concurrent co-design environment



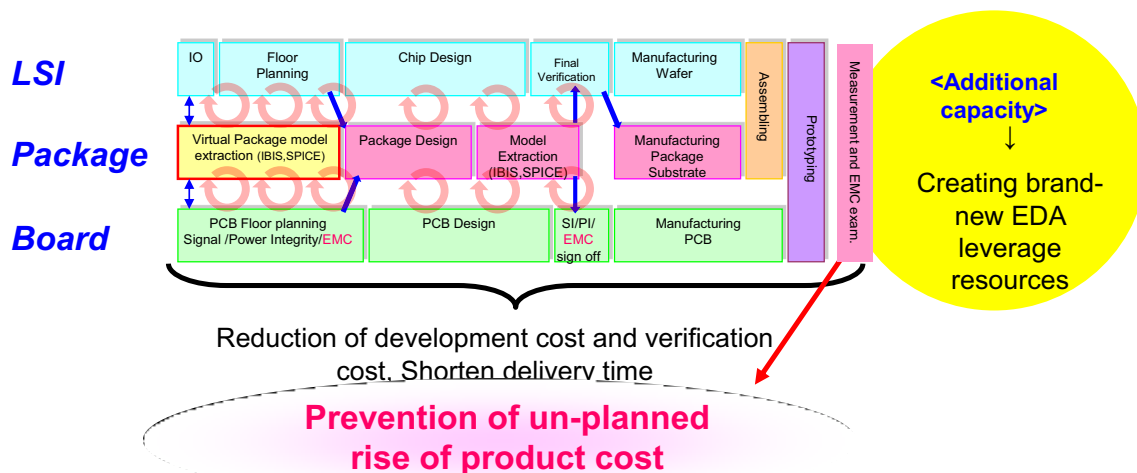
Provide an effective front-loading applicable to EMC simulation

111 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

The effect of the mass-production design flow by a LPB style

■ LPB Style : LPB concurrent co-design flow :

Enables entire LPB design optimization and verification by concurrent co-design environment



**Great advantage for both EDA vendors and customers
(ex. Mass-production division and business units)**

Recognizing the total EDA effect with combining design and simulation

112 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Merits of LPB standard format for EDA vendors

- Development of new business opportunities
 - Reducing EDA adoption cost
 - Reducing EDA leverage cost
 - Design cost
 - Simulation cost
 - Effective improvement of design flow
- Promoting brand-new valuable “happiness”
 - Arising new users and new needs

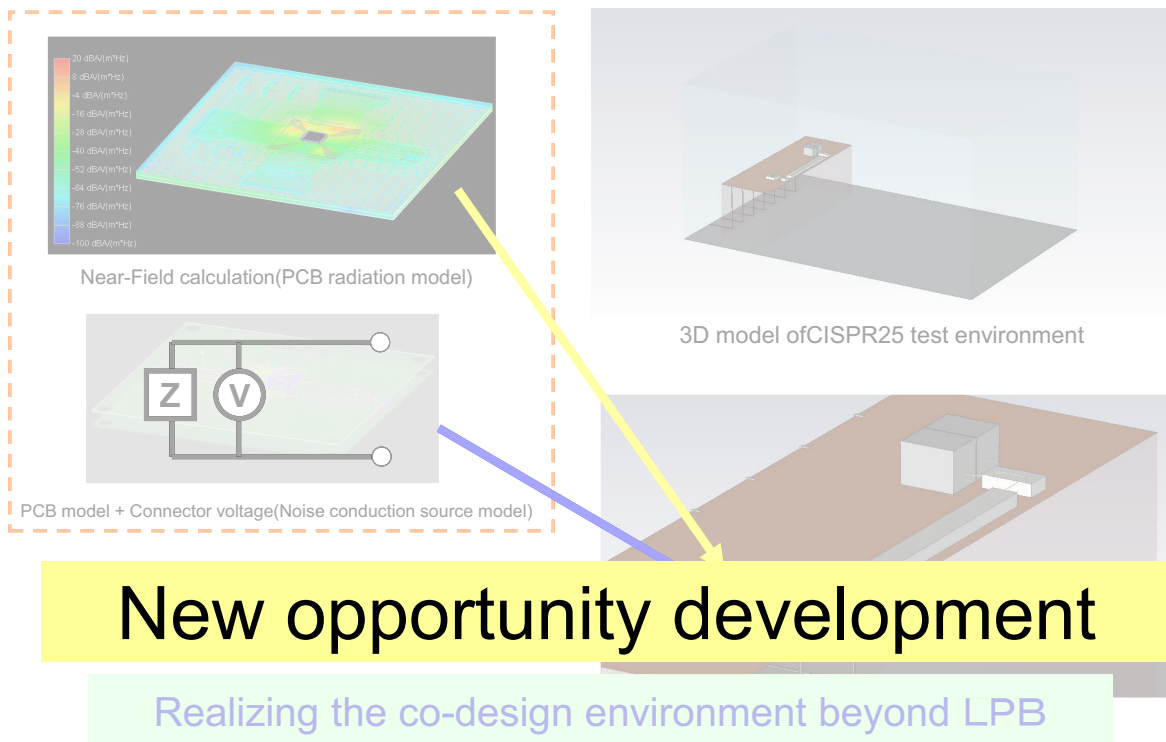
113 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Increasing number of EDA applied products



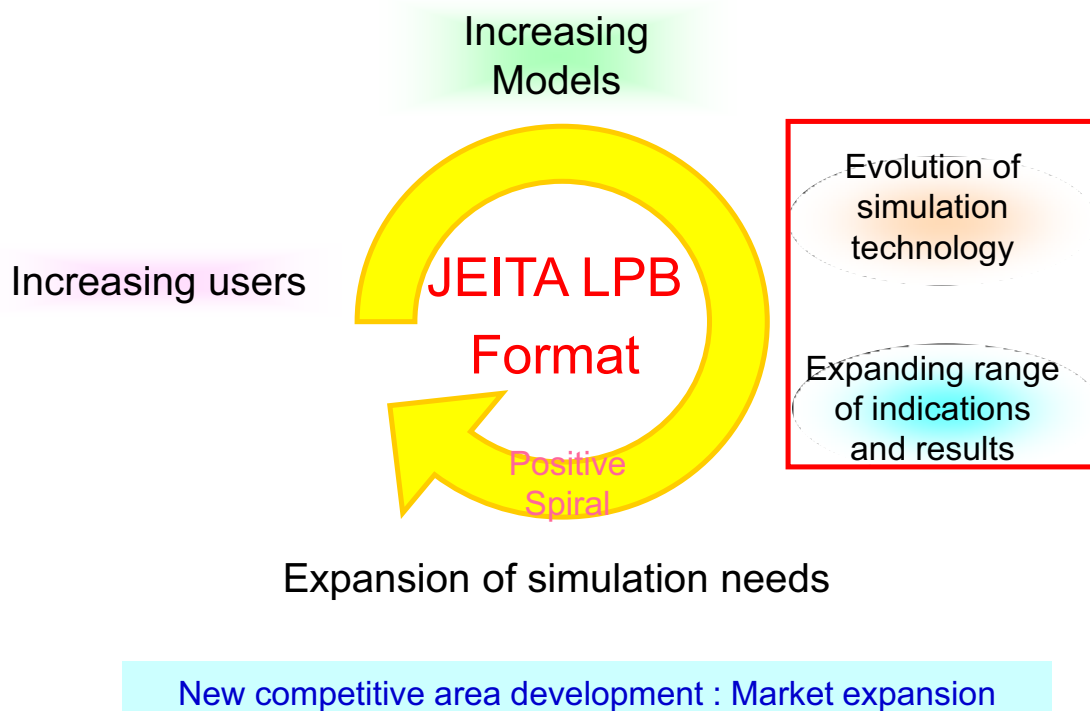
114 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Expanding the scale of EDA market



115 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Acceleration of EDA leverage



116 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Summary of advantages

Q Take full advantage of EDA strengths

C Proposal to your customers for cost and resource reduction

D Shorten design TAT
→ Improve the EDA utilization width

⇒ New market development
and new solution proposals

Diffusion of LPB standard format = More activate EDA Market

117 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Attention

- Please make EDA tools possible input and output the LPB standard format
- Please declare that “we support LPB standard format X-Format”
- Please give us the feedback for description, item and contents
- We'll report the quarterly based status for enhancements

118 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Our support

- We'll give you the sample data if you're planning to adopt LPB standard format
- Planning to build Q&A structure
- Planning to build the checking connectivity

119 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Others

- Promoting the standardization, need the cooperation from EDA side
- Planning to have user conference
- Would you like to presentation and exhibition for LPB standard format result at EDS fair (on Nov.)?

120 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

- Let's give a tremendous boost to this exciting LPB standard format under the driving force of EDA

EDAベンダー向け LPB相互設計セミナー

～LPB標準フォーマットV2.0～

平成24年3月14日(水) 15:00-17:00
JEITA LPB相互設計ワーキンググループ

Agenda

15:00-15:15 開会の挨拶

標準化担当 小島 智(NECシステムテクノロジー株式会社)

JEITA LPB相互設計WGの活動内容について

副主査 大槻 隆志(株式会社リコー)

15:15-15:30 相互設計の課題とソリューション

フォーマットSWG 青木 孝哲(株式会社東芝)

15:30-16:05 LPB標準フォーマットの概要

フォーマットSWGリーダー 金子 俊之

(株式会社トッパンNECサーキットソリューションズ)

16:05-16:20 LPB標準フォーマットのメリット

広報SWG 津田 剛宏(株式会社デンソー)

16:20-16:35 今後のサポート

主査 福場 義憲(株式会社東芝)

16:35-17:00 フリーディスカッション

JEITA LPB相互設計WG 活動内容

2012年3月14日

JEITA

LPB相互設計WG

■ LPB相互設計WG設立の背景

電子機器産業界(設計現場)の現状と課題

現状

- ・LSI・パッケージ・ボード各分野での連携がとれておらず、全体としての最適化が進まない
- ・フォーマットがばらばらでEDA技術活用の効率化が進まない

設計現場の課題

- ・ツールユーザーがツール間のデータフォーマット調整に対応
- ・作業に時間がかかり本来の設計に使うべき時間のロスが発生
- ・**苦労が大きい割にはそこから生じる恩恵は小さい**



そのような現場の声を受けて2010年4月にLPB-WGが正式に発足

■ LPB相互設計WG設立の目的・ゴール

■ LPB相互設計WG設立の目的

- ・LPBが協力しあって設計を行う為の課題を抽出し、その分析を行い、ソリューションの提案を行う。
- ・具体的にはLPB全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の検討を行い提案を作成する。
- ・提案内容は公開し普及を図る。
- ・これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

■ 議論内容・ゴール

変革ポイント：設計・検証の情報流通改善、時間の有効活用：

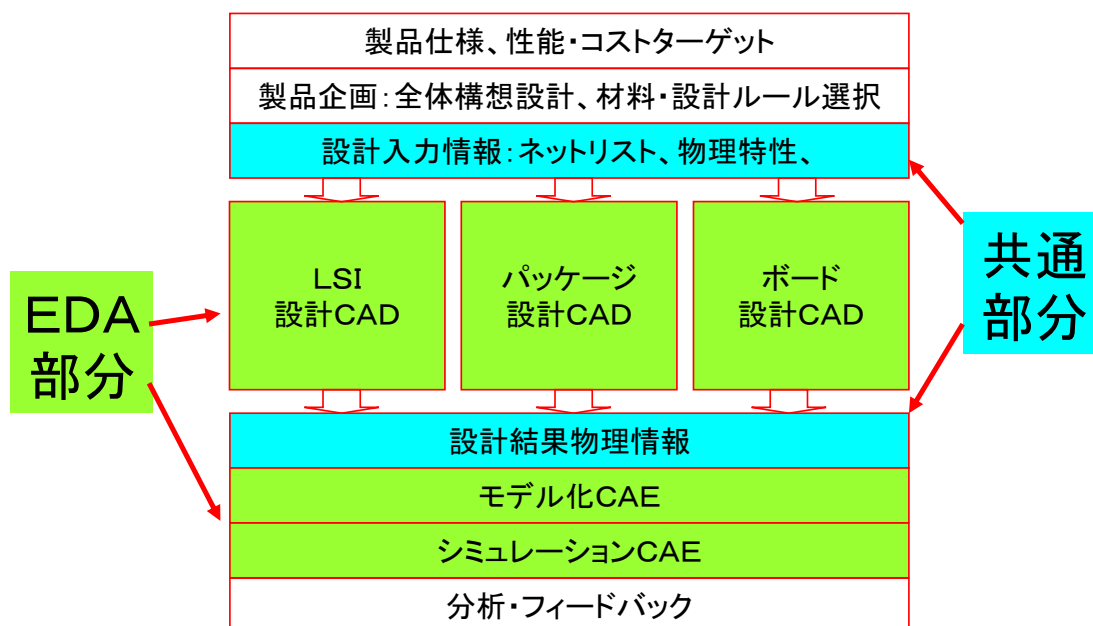
	ユーザー側のメリット	EDAベンダー側のメリット
Q	解析精度、品質向上	ツール本来の効果を発揮
C	コスト対性能の最適化	保守費低減、工数削減
D	準備、設計期間を短縮	標準利用による設計短縮

ユーザー、ベンダーの相互作用によるEDA業界の活性化

5

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

■ LPB相互設計におけるEDA部分と共通部分



設計最適化の課題を整理し、競争領域と非競争領域の区別を行い、非競争領域における標準フォーマットをJEITAで検討・策定

6

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB相互設計WG活動メンバー

LPB-WGのメンバーはWG発足から現在に至るまで、LSIベンダー、セットベンダー、EDAベンダーからの参加で、18社/22名、特別委員2名、客員1大学/1名で構成。

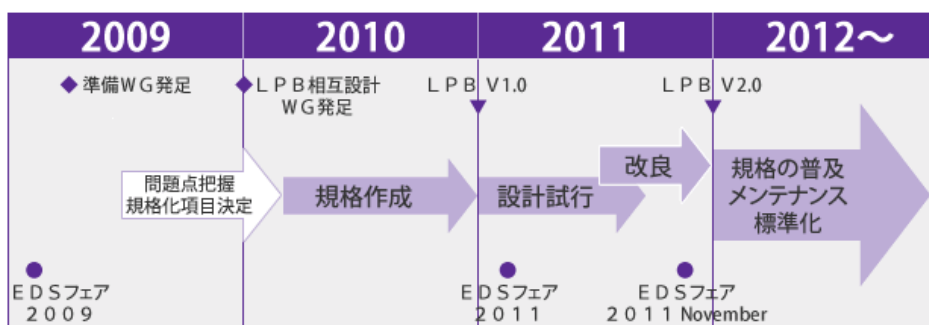
参加メンバー(敬称略、順不同)

東芝	図研
リコー	メンターグラフィックスジャパン
ソニー	ジーダット
富士通セミコンダクター	DSMソリューションズ
富士通VLSI	アンシスジャパン
ルネサスエレクトロニクス	アパッチデザイン
NEC	ATEサービス:シグリティ
デンソー	
キャノン	
パナソニック	
ノキアジャパン	
トッパンNECサーキットソリューションズ	
芝浦工業大学	

7 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB相互設計WG活動履歴

活動履歴

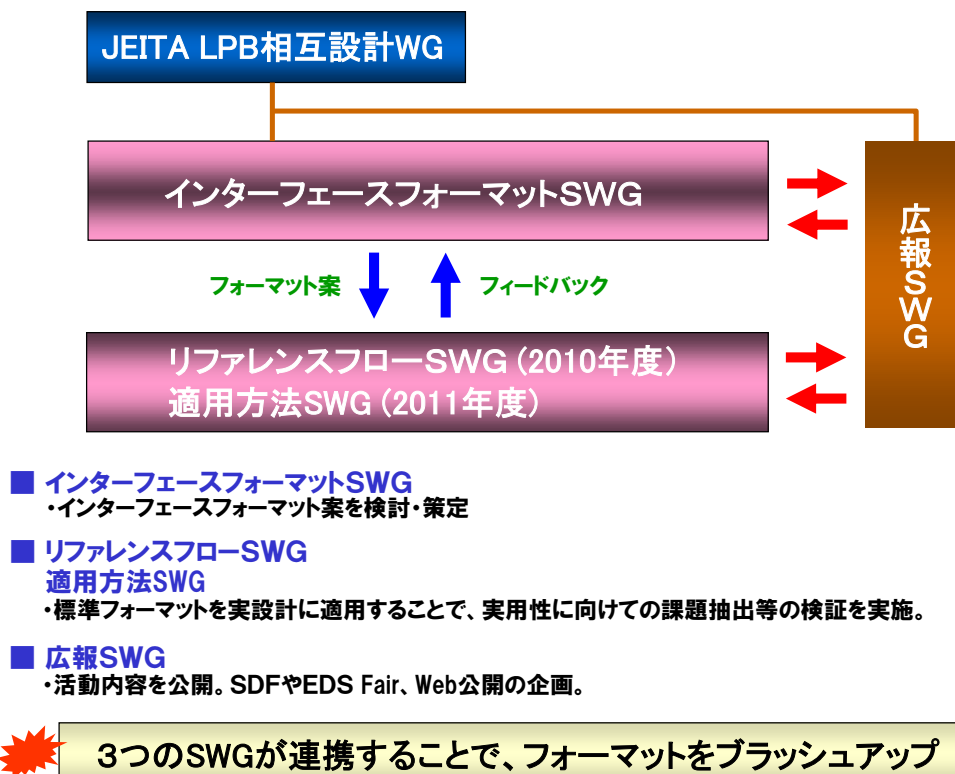


■JEITA LPB相互設計WG活動履歴(上図)

2009年 1月 EDSフェア2009パネル討議でLPBの協調必要性和問題点議論
 2009年 7月 準備WGとして発足
 2010年 4月 正式WGとして活動を開始
 2011年 1月 EDSフェア2011 パネル討議でLPB共通規格の必要性議論
 2011年 3月 最初の共通規格 LPB V1.0を策定
 2011年11月 EDSフェア2011 Novemberで共通規格を用いた設計事例を紹介
 2012年 3月 改良版共通規格 LPB V2.0をリリース予定

8 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

■ 各SWGの活動



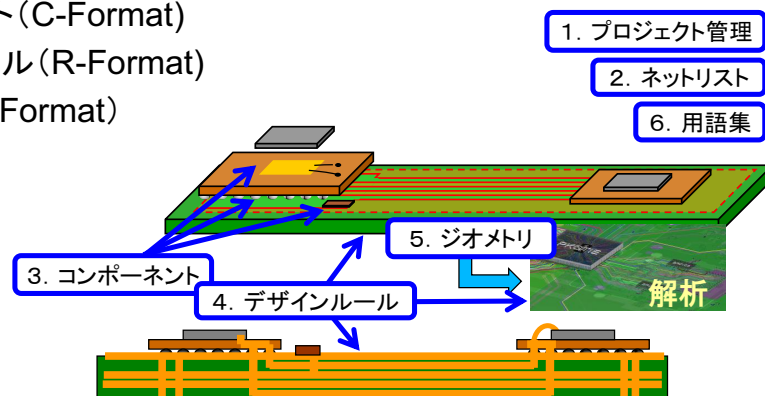
9

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

■ JEITA LPB標準フォーマット

JEITA LPB標準フォーマットとして5つのファイルと用語集を策定

1. プロジェクト管理 (M-Format)
2. ネットリスト (N-Format)
3. コンポーネント (C-Format)
4. デザインルール (R-Format)
5. ジオメトリ (G-Format)
6. 用語集



N-Format、G-FormatはそれぞれVerilog-HDL、XFLを流用し、
それ以外は独自フォーマットを作り、XMLで表現。

10

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

■ EDSフェア (2011年11月17日)で発表

LPBメンバーによる設計事例

従来方式とLPBフォーマット方式、それぞれで実際に設計することで比較

■ 従来方式担当

キヤノン

■ LPB方式担当

・Chip A

LSI : ソニー
パッケージ : 富士通
リコー

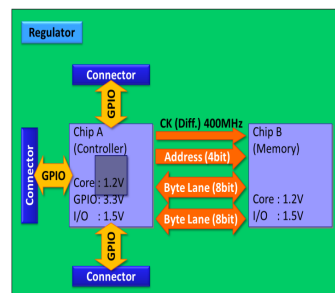
・Chip B

LSI : 東芝
パッケージ : 図研

・ボード : トッパンNEC
パナソニック

・検証 : デンソー

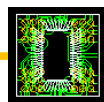
DDRをモチーフとして設計



Chip A



Chip B



LPBフォーマットで仕様書やり取り



LPB標準フォーマットを適用することのメリットを確認。

■ LPB相互設計WG Web紹介

3月30日にLPB相互設計のwebページにおいて、
LPB標準フォーマット Ver2.0を公開

http://www.jeita-edatc.com/wg_lpabinhome/lpb.html

LPB

LSI・パッケージ・ボード相互設計ワーキンググループウェブサイト

LSI-Package-Board

背景と目的 LPB相互設計WGについて JEITA LPB 標準フォーマット 活用メリット 適用事例

EDAベンダー向け
LPB相互設計セミナー

2012年3月14日(水) 15:00 - 17:00 (社) 電子情報技術産業協会 大手センタービル4F 416会議室

情報更新

2012-02-14 EDAベンダー向けLPB相互設計セミナー開催要領ダウンロード
2011-11-17 EDSFair 2011 Nov.特設ページ「LPB相互設計セミナー」開催
2011-10-17 EDSFair 2011 Nov.開催(2011.11.16~11.19)お知らせ

JEITA LPB 標準フォーマット

- 策定したフォーマットは、WGメンバーで実際に試行し、問題点を洗い出し、フィードバックすることで、実用性の高いものができあがりました。

 是非とも、JEITA LPB標準フォーマットのご採用をお願いいたします。

JEITA LPB相互設計セミナー
相互設計の課題とソリューション
～なぜ我々はLPBを始めたのか？～

2012/3/14

JEITA LPB相互設計ワーキンググループ

- *Why we need LPB format?*
- *Working with LPB format.*



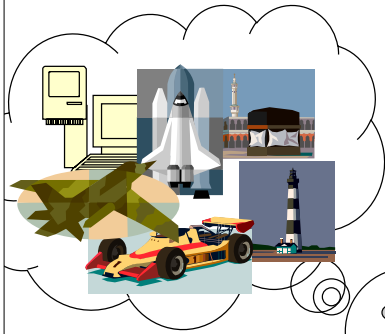
Why we need LPB format?

*We need a something for
the communication.*

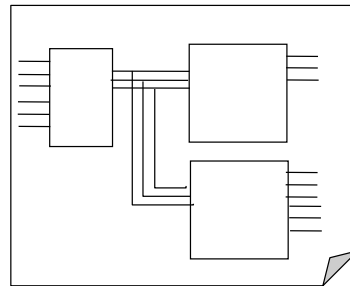
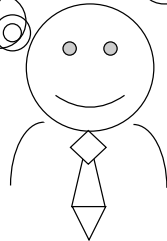


We need something for the communication.

System designer



**I need a new LSI
for my product**

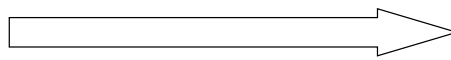
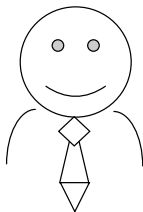


We need something for the communication.

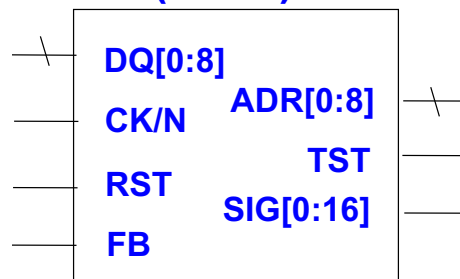
System designer

LSI designer

**The architect of
this LSI is**



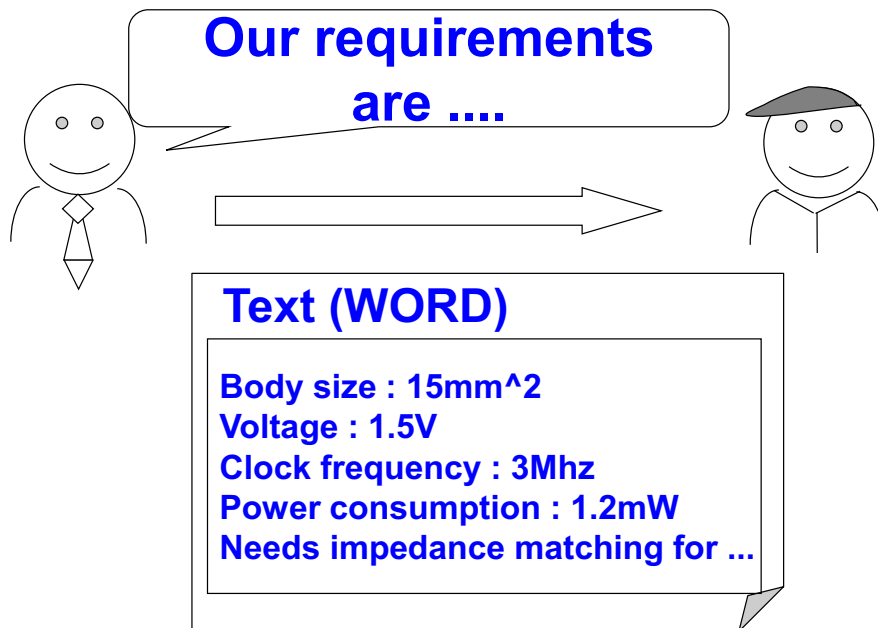
Picture(Visio)



We need something for the communication.

System designer

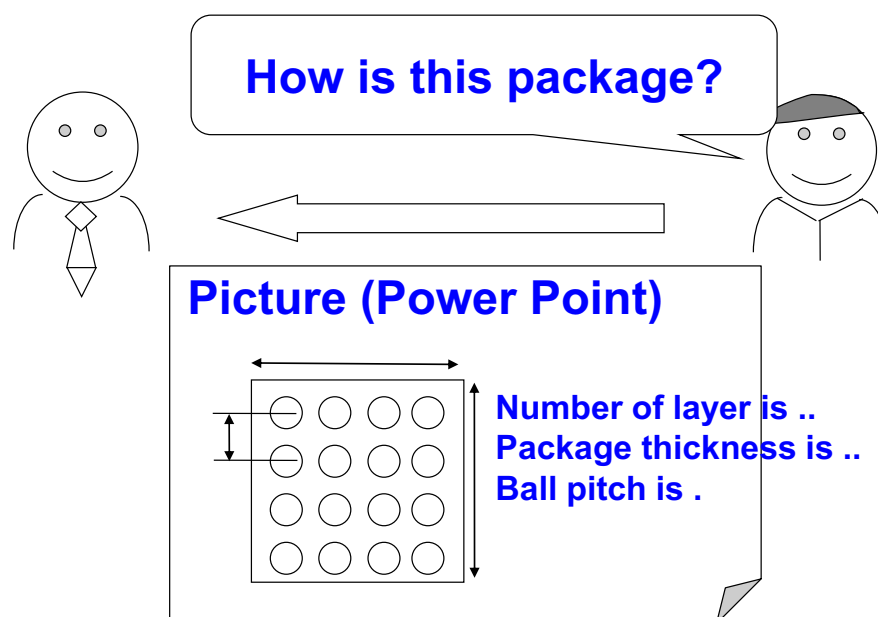
LSI designer



We need something for the communication.

System designer

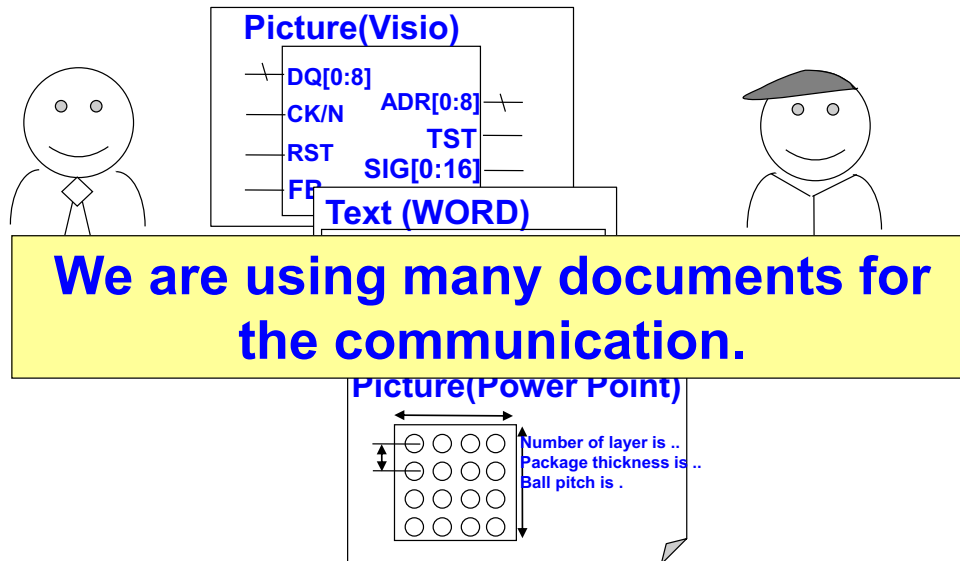
LSI designer



We need something for the communication.

System designer

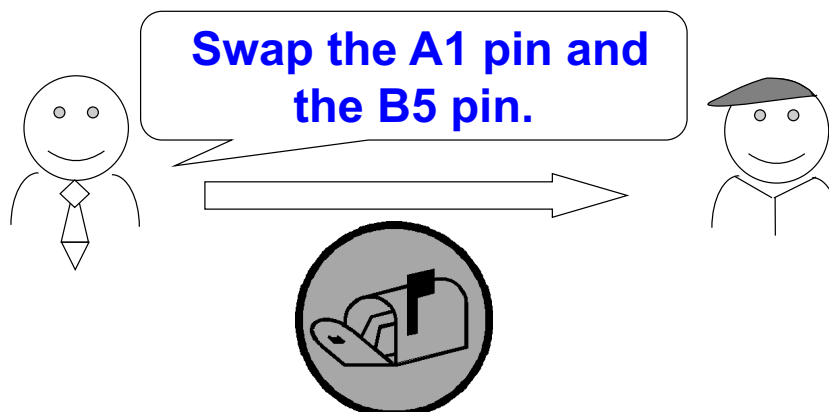
LSI designer



We need something for the communication.

System designer

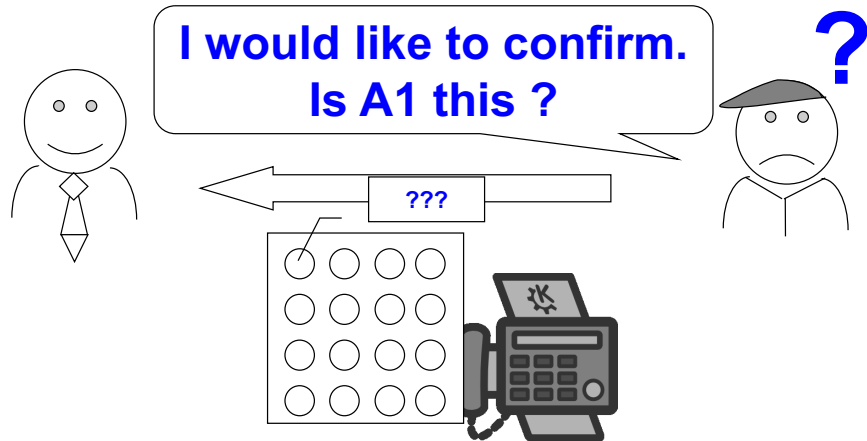
LSI designer



We need something for the communication.

System designer

LSI designer



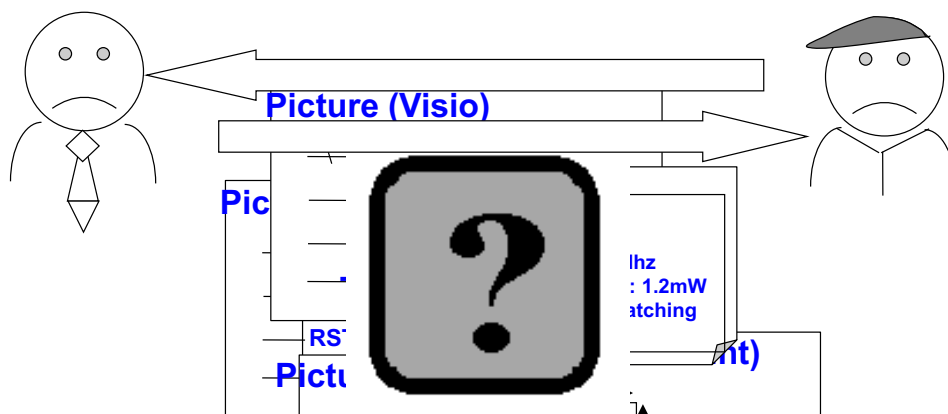
**FAX without documents
maintenance.**

23 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the communication.

System designer

LSI designer



**We spend many times for
the communication.**

24 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the communication.

System designer

LSI designer



**We were looking for the format.
But we could not find it.**

Body size : 15mm²
Voltage : 1.5V
Clock frequency : 3Mhz
Power consumption : 1.2mW
Needs impedance matching
for ...

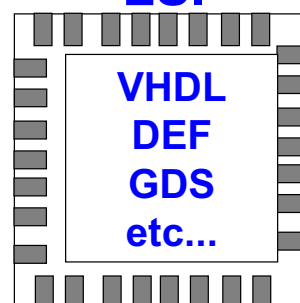
**"We have to communicate
with one document"**

We need something for the communication.

Board

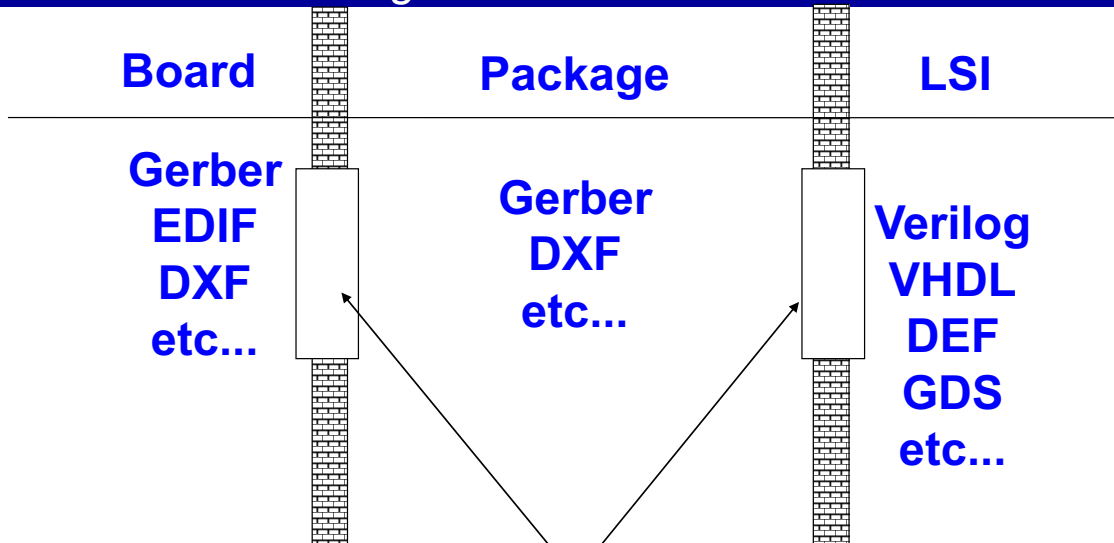


LSI



**All formats are used to define the
inside of object.**

We need something for the communication.

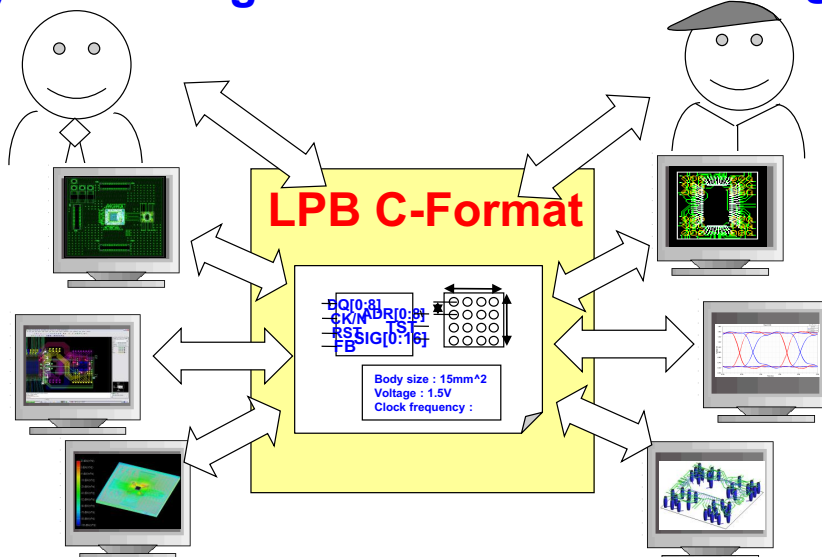


The something is LPB C-Format.
We call the boundary as a *socket*.

We need something for the communication.

System designer

LSI designer



LPB C-Format
C is component or communication

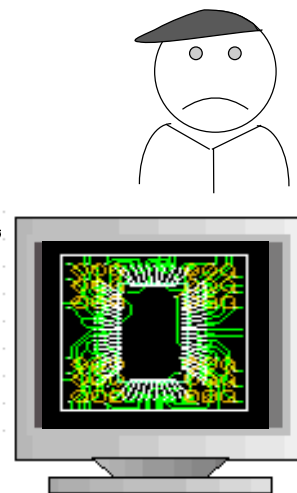
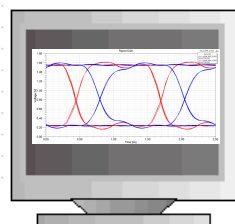
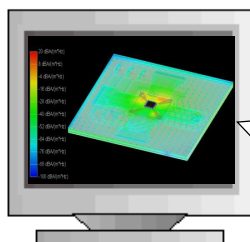
Why we need LPB format?

*We need a something
between EDA tools.*



We need something between EDA tools.

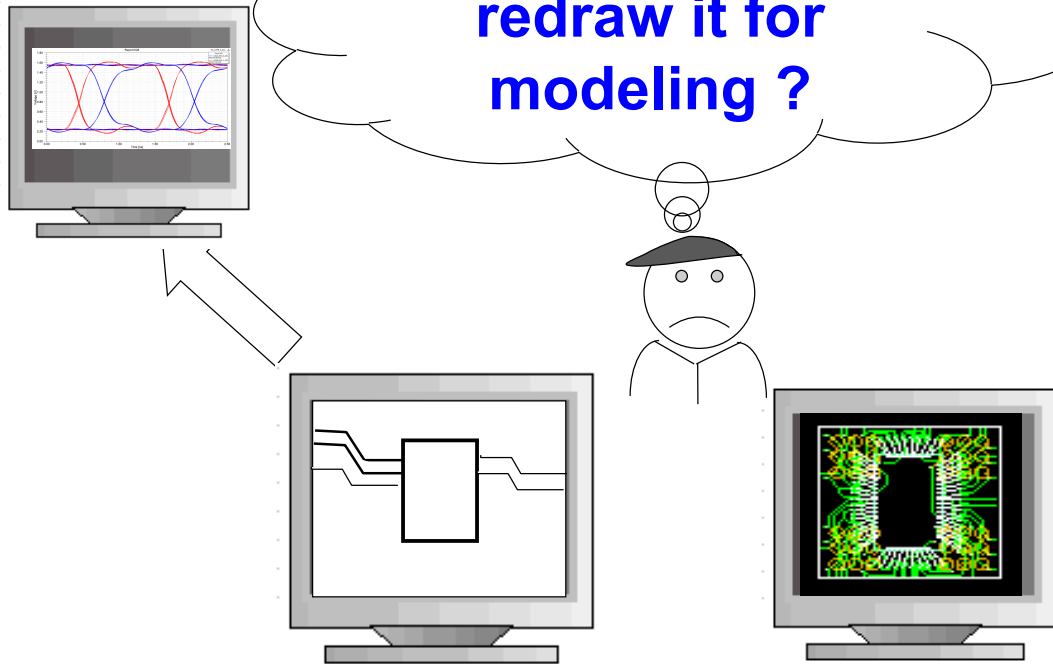
Modeling



**CAD
Artwork**

We need something between

Why we need to redraw it for modeling ?



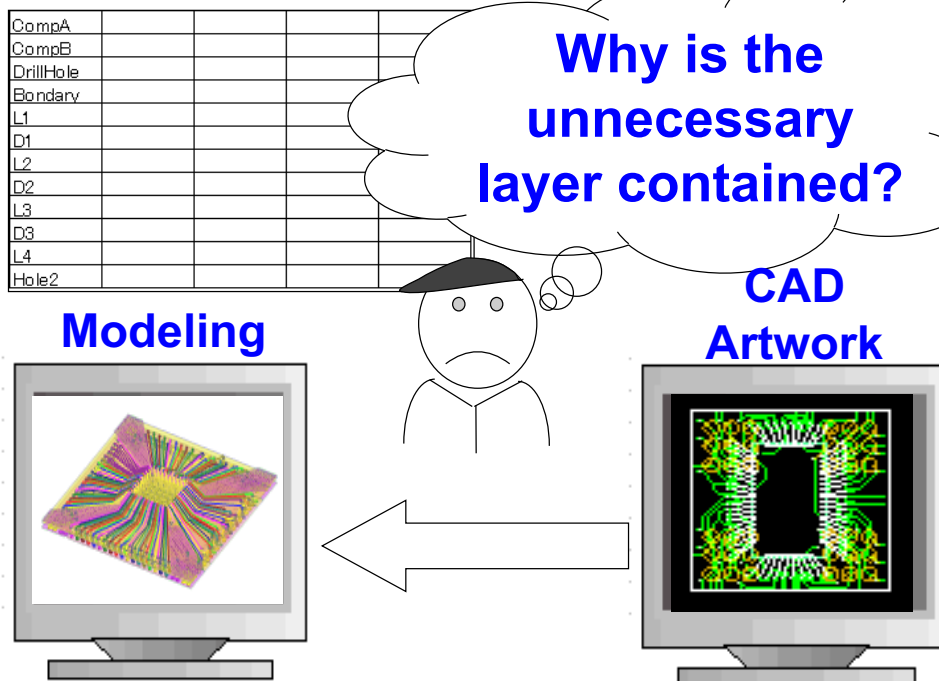
31 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something between EDA tools.

Why is the unnecessary layer contained?

CAD Artwork

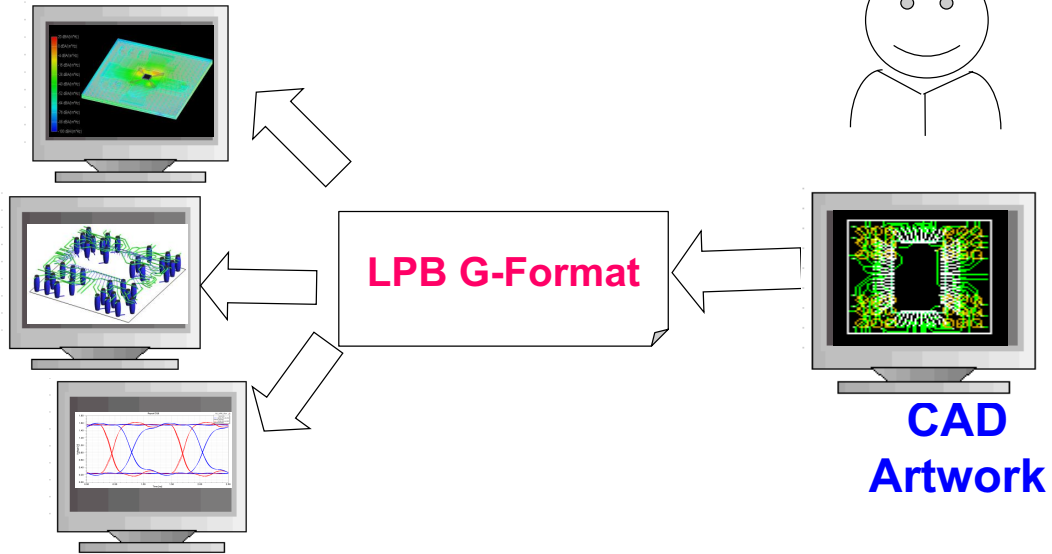
Modeling



32 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something between EDA tools.

Modeling



LPB G-Format
G is geometry

Why we need LPB format?

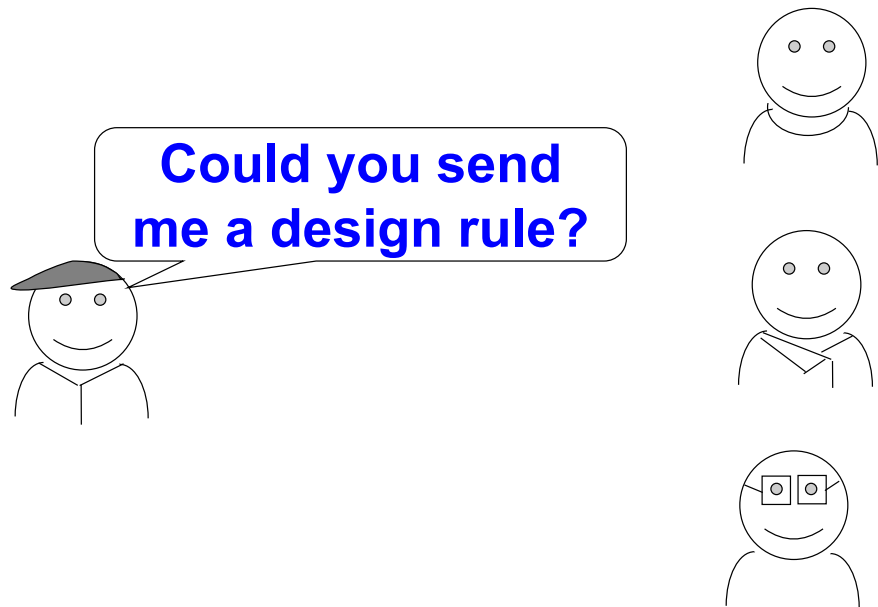
*We need a something
for the reference.*

R-Format

JEITA LPB 2012

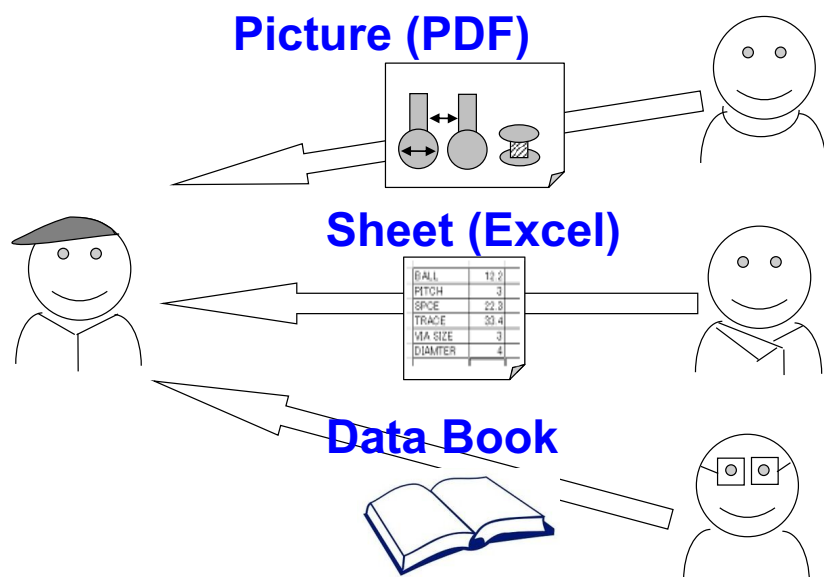
We need something for the reference.

Package vendor



We need something for the reference.

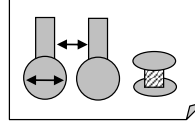
Package vendor



We need something for the reference.

Which one is the best for my project?

Picture (PDF)



Sheet (Excel)

BALL	12.2
PITCH	3
SPACE	22.3
TRACE	33.4
VIA SIZE	3
DIAMETER	4

Data Book

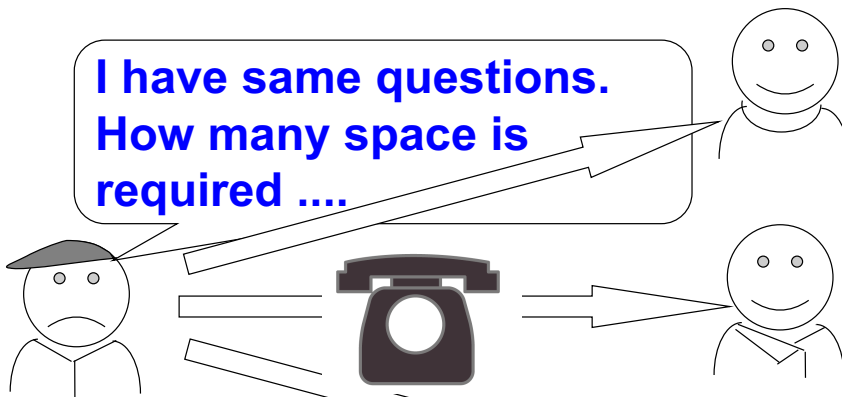


It is difficult to compare them because the rules are defined by different form.

We need something for the reference.

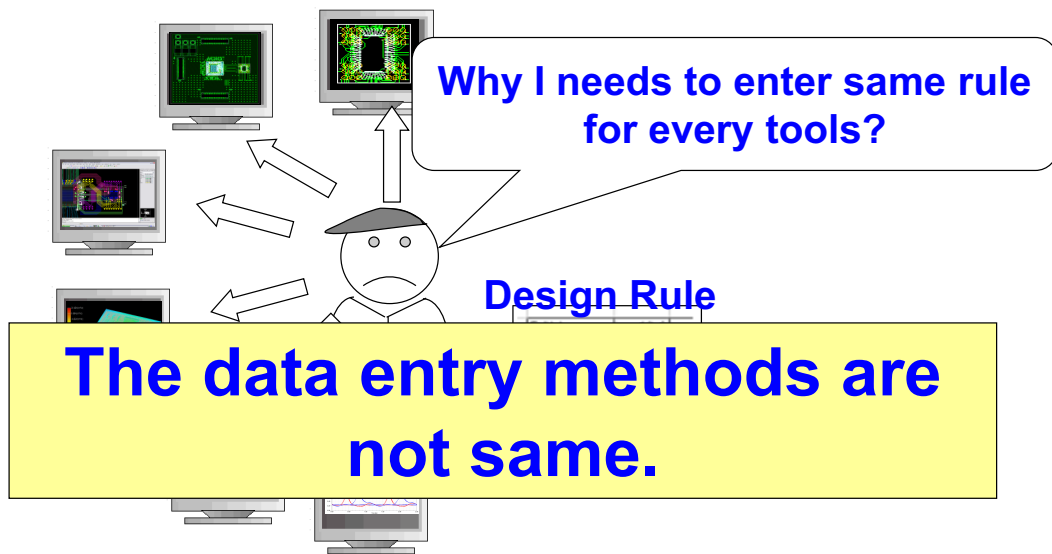
Package vendor

I have same questions.
How many space is required



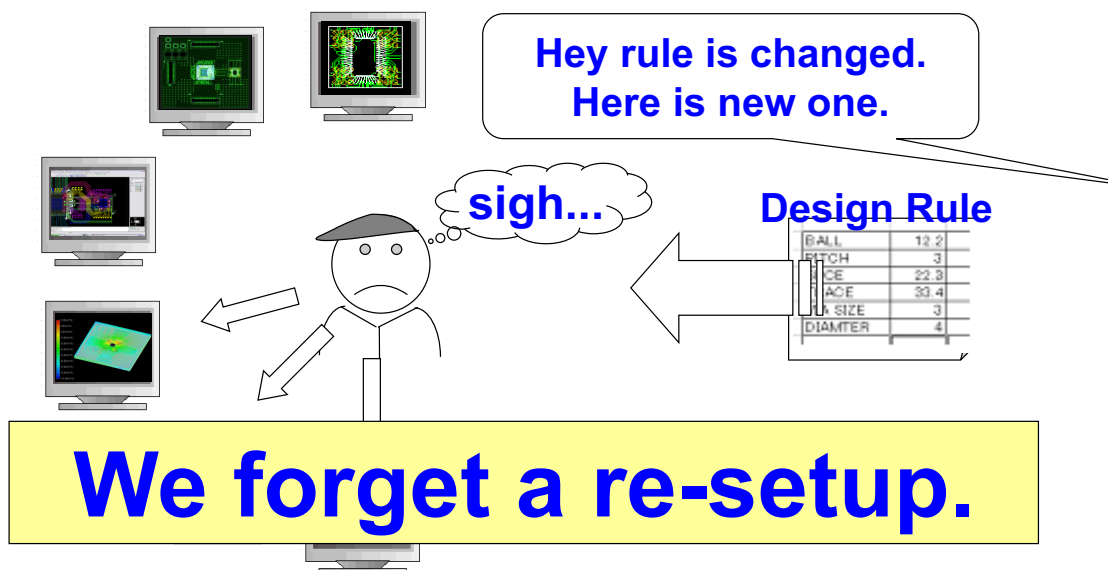
We have to spend long time to understand the design rule.

We need something for the reference.



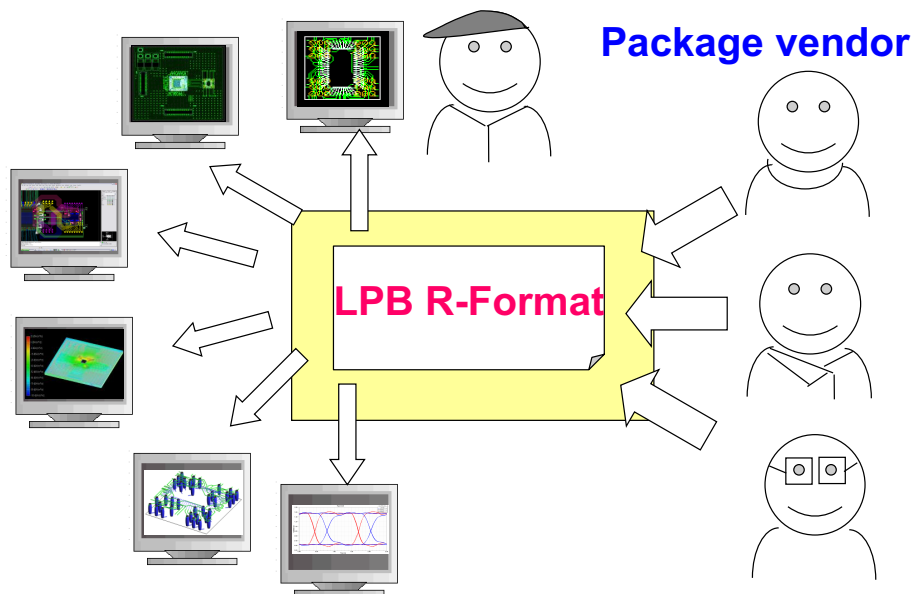
39 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the reference.



40 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

We need something for the reference.



LPB R-Format
R is rule

41 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Why we need LPB format?

N-Format

N is netlist.

M-Format

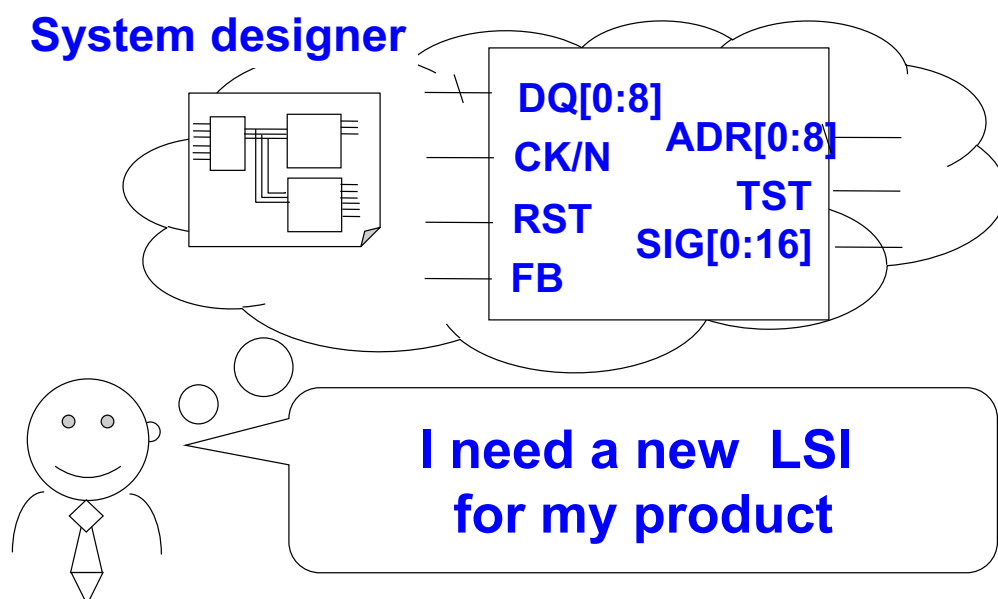
M is management.



42 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

Working with LPB Format.

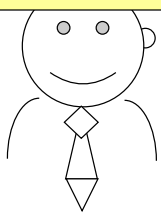


Working with LPB Format.

System designer

DQ[0:8]

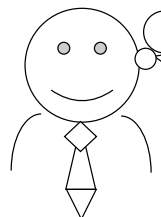
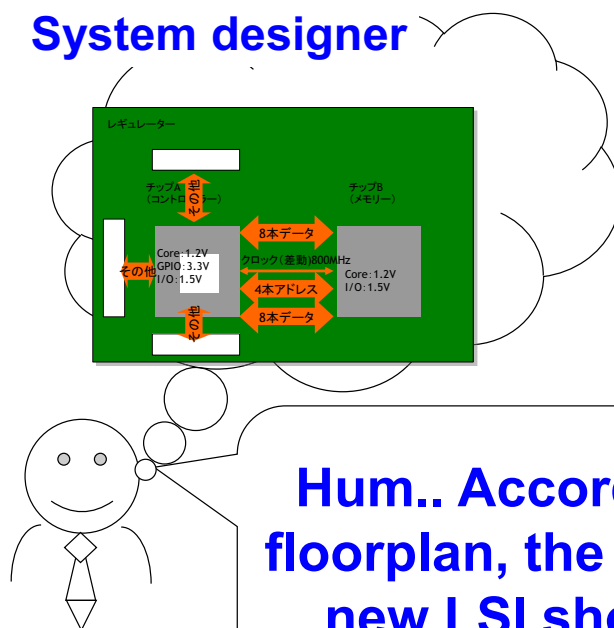
```
<module name="NEWLSI" type="LSI">
  <socket inst="IO">
    <port name=DQ[0]/>
    <port name=DQ[1]/>
    :
  </socket>
</module>
```



**I need a new LSI
for my product**

Working with LPB Format.

System designer



**Hum.. According to this
floorplan, the body size of
new LSI should be**

Working with LPB Format.

System designer

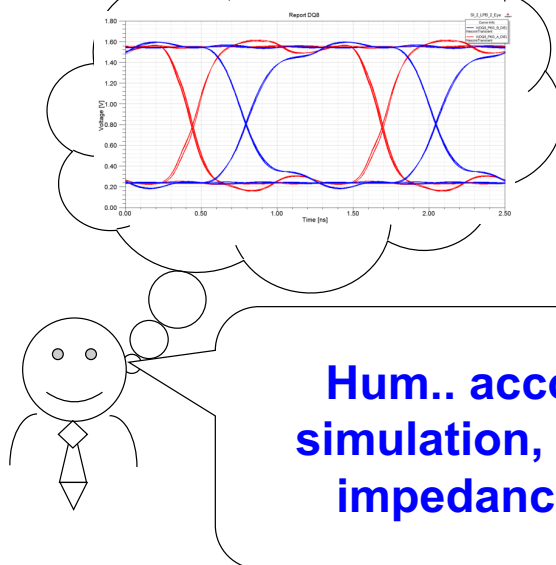
```
<shape>
  <rectangle id="BodySizeOfNEWLSI" width=".." height="..."/>
</shape>

:
<module name="NEWLSI" type="PKG"
  shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <port name=DQ[0]/>
    <port name=DQ[1]/>
    :
  </socket>
</module>
```

new LSI should be

Working with LPB Format.

System designer



Working with LPB Format.

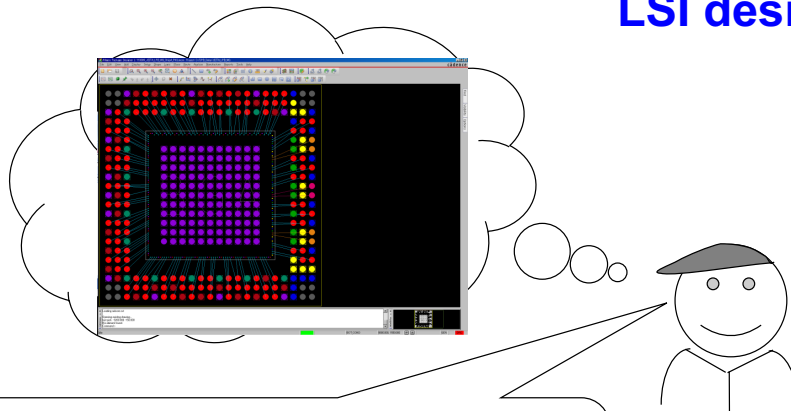
```
<shape>
  <rectangle id="BodySizeOfNEWLSI" width=".." height="..."/>
</shape>
:
<module name="NEWLSI" type="PKG"
  shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <port name=DQ[0]/>
    <port name=DQ[1]/>
    :
  </socket>
  <constraint>
    <impedance port_name="DQ[0]" type="single" typ="50"/>
    :
  </constraint>
</module>
```

Working with LPB Format.



Working with LPB Format.

LSI designer



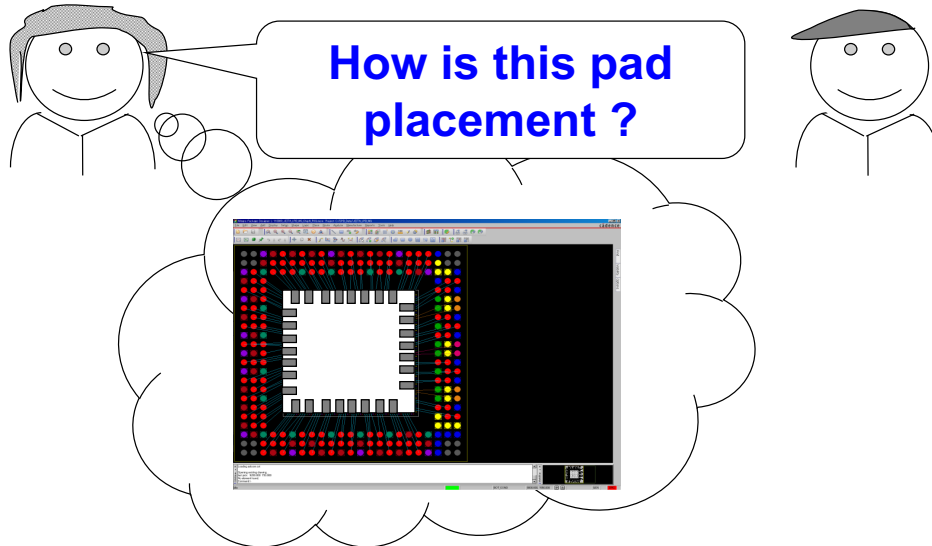
This package is the best for this project.

```
</circle id="BallSize" diameter= ... />
</shape>
<padstack_def>
  <padstack id="BallPad" type="BALL_PAD">
    <ref_shape shape_id="BallSize" layer="BOTTOM"/>
  </padstack>
</padstack_def>
:
<module name="NEWLSI" type="PKG" shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="BallPad" />
    </default>
    <port name="DQ[0]"/>
    <port name="DQ[1]"/>
    :
    <port id="A1" x=".." y=".."/>
    <port id="A2" x=".." y=".."/>
    :
  </socket>
  <constraint>
    <impedance port_name="DQ[0]" type="single" typ="50"/>
    :
  </constraint>
</module>
```

Working with LPB Format.

Chip Layout engineer

LSI designer



53 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

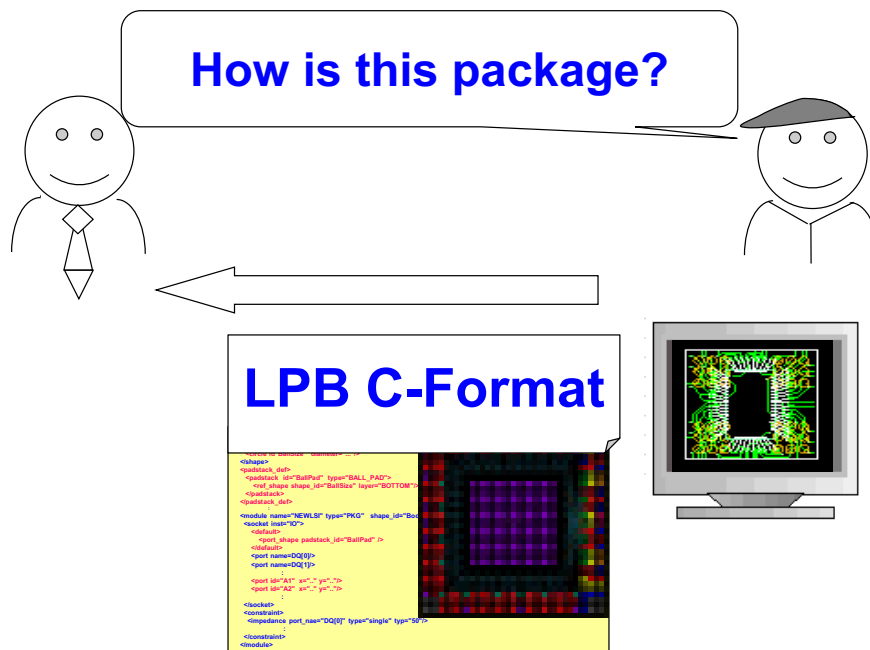
```
<shape>
:
</shape>
<padstack_def>
:
</padstack_def>
:
<module name="NEWLSI" type="LSI"
shape_id="DieSize">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="Pad" />
    </default>
    <port id="P1" name="DQ_0" x=".." y=".."/>
    <port id="P2" name="DQ_1" x=".." y=".."/>
    :
  </socket>
</module>
```

ner

54 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

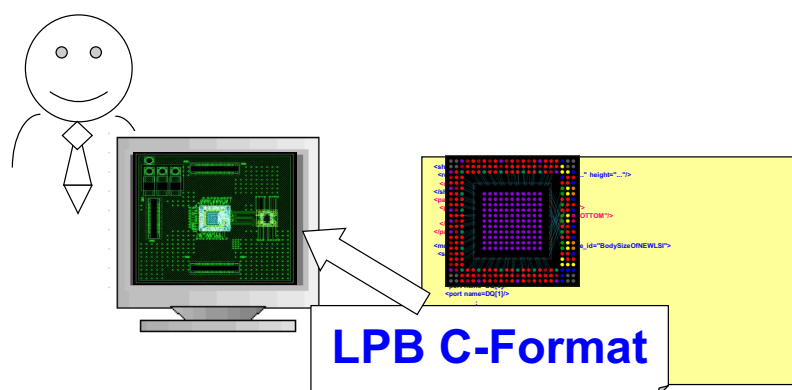
Working with LPB Format.

System designer



Working with LPB Format.

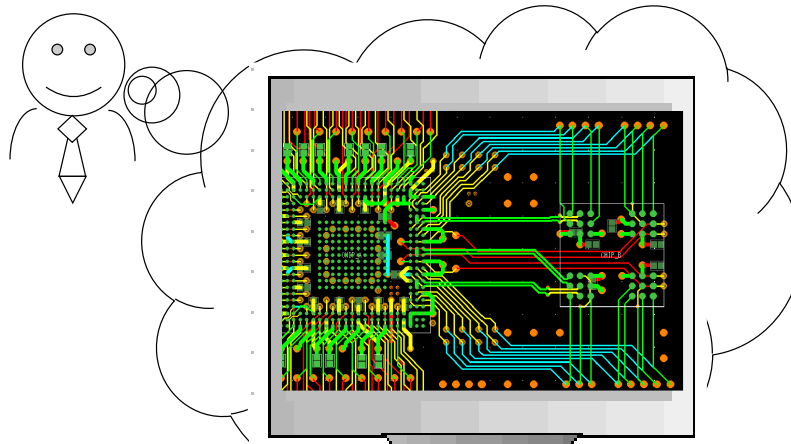
System designer



Re-build the package symbol using the C-Format.

Working with LPB Format.

System designer



Consider the net assignment to package pin.

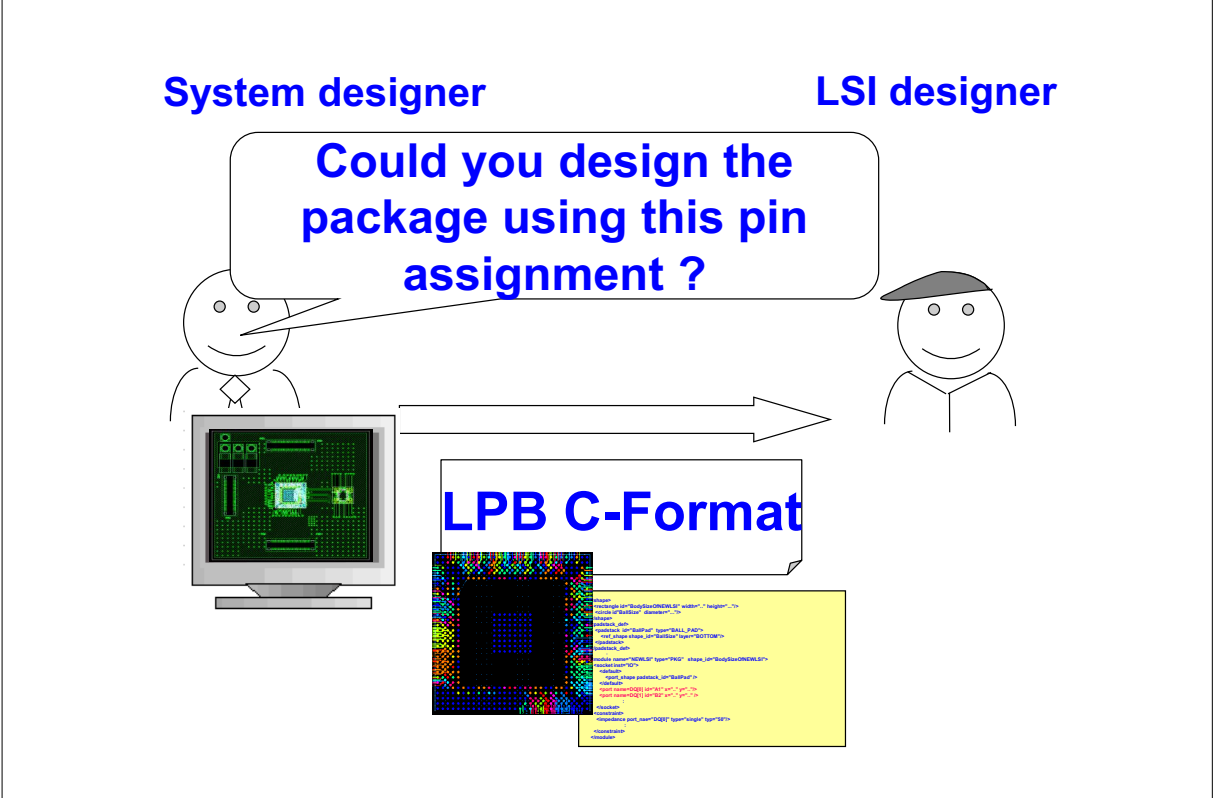
57 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

```
<rectangle id="BodySizeOfNEWLSI" width=".." height="..." />
<circle id="BallSize" diameter="..." />
</shape>
<padstack_def>
  <padstack id="BallPad" type="BALL_PAD">
    <ref_shape shape_id="BallSize" layer="BOTTOM" />
  </padstack>
</padstack_def>
:
<module name="NEWLSI" type="PKG"
shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="BallPad" />
    </default>
    <port name=DQ[0] id="A1" x=".." y=".." />
    <port name=DQ[1] id="B2" x=".." y=".." />
    :
  </socket>
  <constraint>
    <impedance port_name="DQ[0]" type="single" typ="50" />
    :
  </constraint>
  :
</module>
```

58

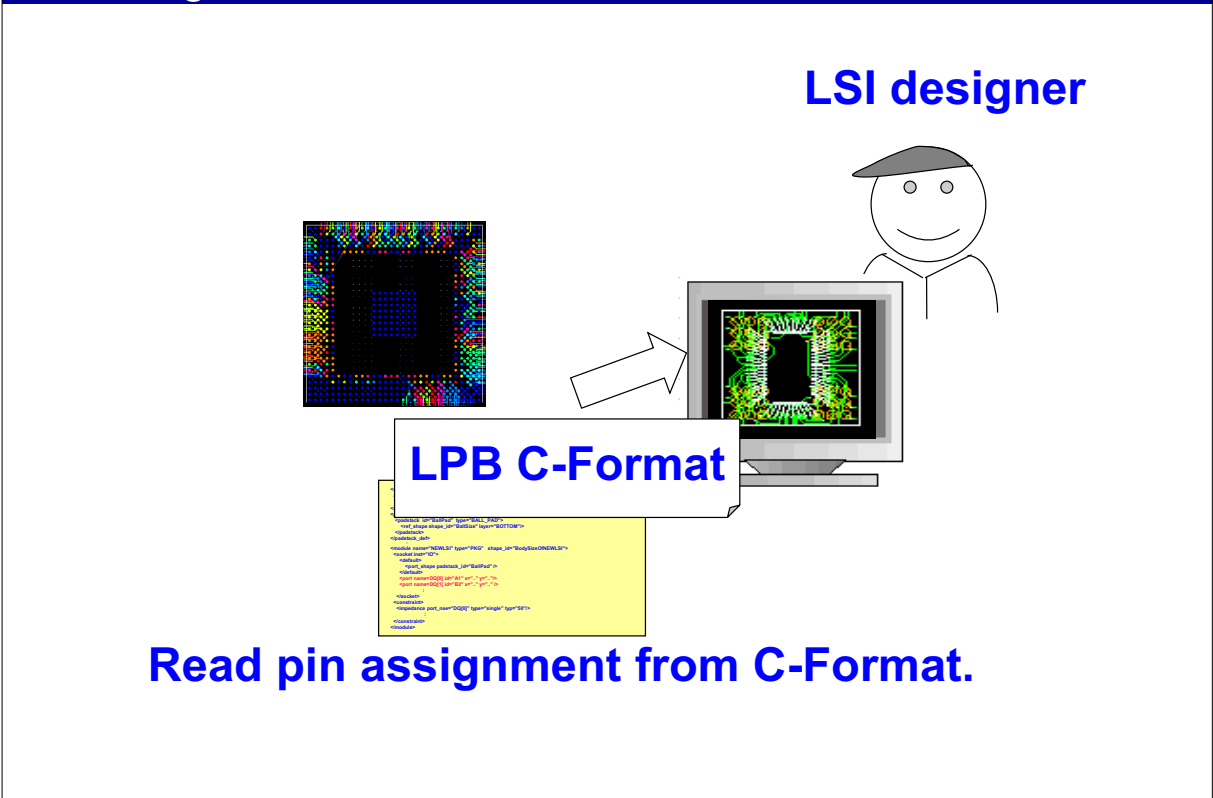
eserved

Working with LPB Format.



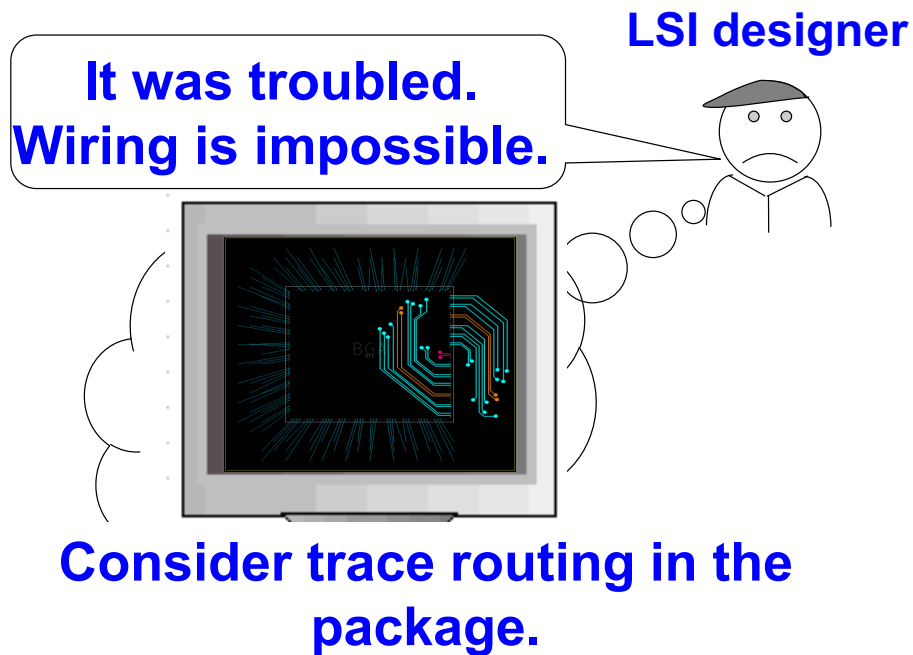
59 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.



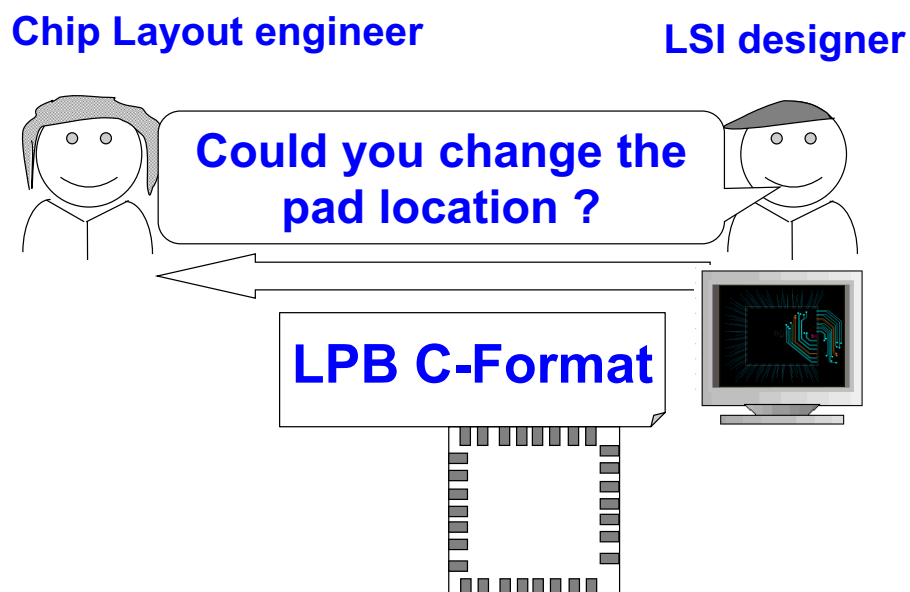
60 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.



61 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

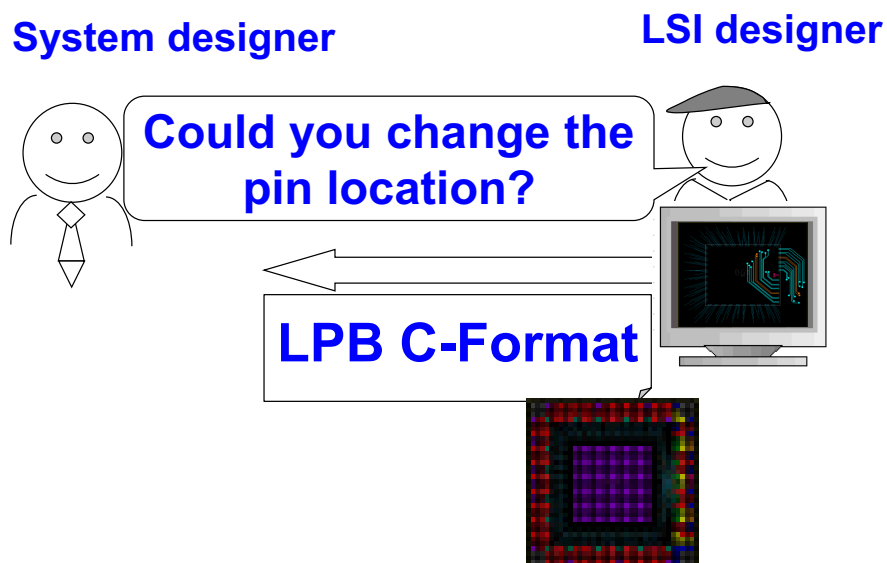


62 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

Working with LPB Format.

```
<shape>
:
</shape>
<padstack_def>
:
</padstack_def>
:
<module name="NEWLSI" type="LSI"
shape_id="DieSize">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="Pad" />
    </default>
    <port id="P11" name="DQ_0" x=".." y=".." />
    <port id="P22" name="DQ_1" x=".." y=".." />
    :
  </socket>
</module>
```

Working with LPB Format.



Working with LPB Format.

System designer

```
<module name="NEWLSI" type="PKG"
shape_id="BodySizeOfNEWLSI">
  <socket inst="IO">
    <default>
      <port_shape padstack_id="BallPad" />
    </default>
    <port name=DQ[0] id="D1" x=".." y=".." />
    <port name=DQ[1] id="A2" x=".." y=".." />
  </socket>
</module>
```

Working with LPB Format.

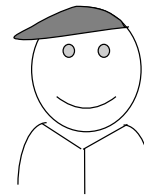
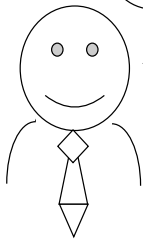


Working with LPB Format.

System designer

LSI designer

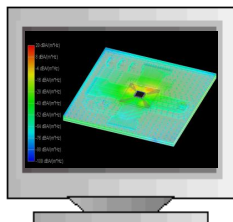
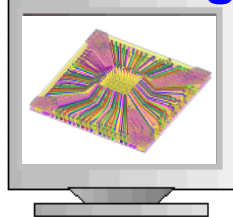
**Could you give
me a package
Model?**



Working with LPB Format.

LSI designer

Modeling



**CAD
Artwork**



LPB G-Format

LPB C-Format

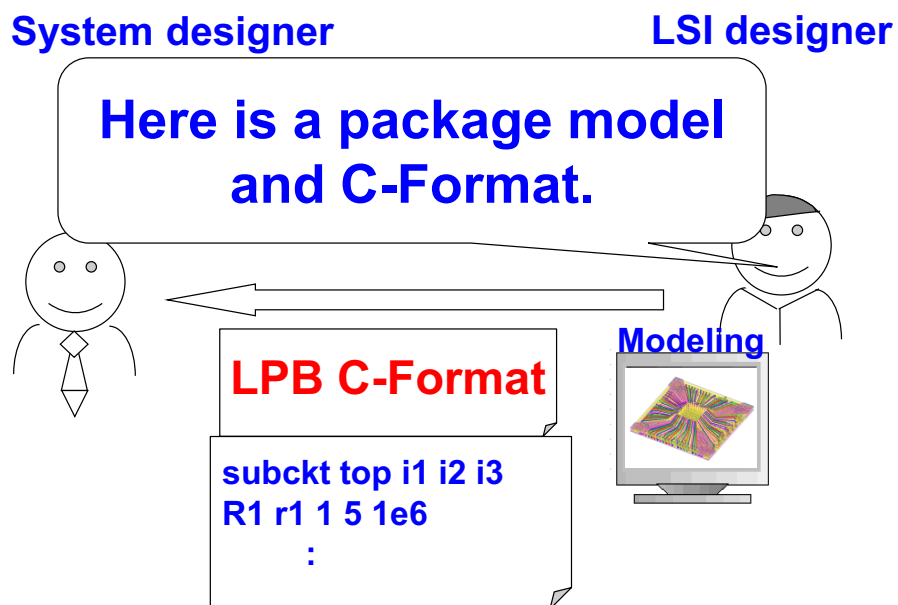

```

shape_id= BodySizeONNEWLSI
<socket inst="IO">
  <default>
    <port_shape padstack_id="BallPad" />
  </default>
  <port name=DQ[0] id="D1" x=".." y=".." />
  <port name=DQ[1] id="A2" x=".." y=".." />
  :
</socket>
  :
</module>

<reference reffile="NEWLSI.sp" format="SPICE">
  <connect pirt_name="D1">
    <spice:ref_port subckt="top" portid="3"/>
  </connect>
  <connect pin_name="A2">
    <spice:ref_port subckt="top" portid="1"/>
  </connect>
  :
</reference>

```

Working with LPB Format.



END

まとめ / 相互設計の課題とソリューション

■ 課題

- 相互設計 : 異文化同士の交流
 - ・ コミュニケーションをもっとスムーズにしたい
- 異文化間交流には、定められたプロトコルが必要
 - ・ 意思の疎通を円滑に...
- ・ 解析・モデリングツールを設計の道具に...

■ ソリューション

- コミュニケーションのためにフォーマットを統一
LPB M/N/C/G/R-Format

皆様のご協力を願います

JEITA LPB標準フォーマット

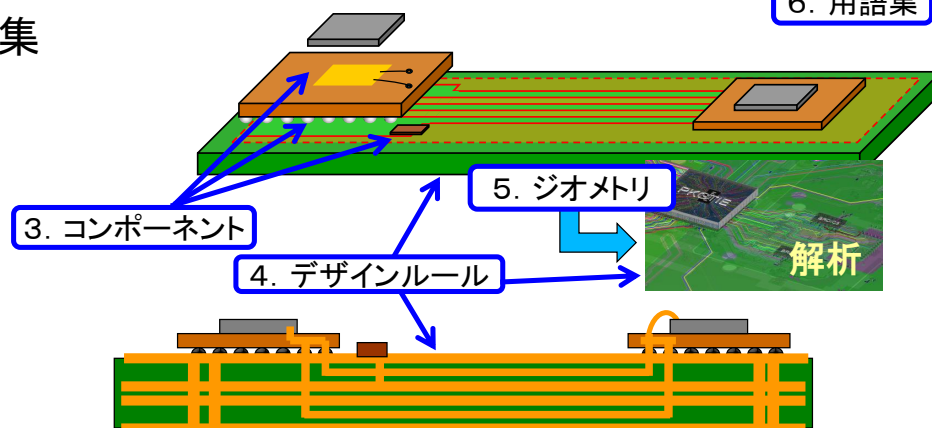
JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理 (M-Format)
2. ネットリスト (N-Format)
3. コンポーネント (C-Format)
4. デザインルール (R-Format)
5. ジオメトリ (G-Format)
6. 用語集

1. プロジェクト管理

2. ネットリスト

6. 用語集



75 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット概要

フォーマット名	概要	フォーマットの書式
プロジェクト管理 (M-Format)	- 各フォーマットの対応付け - 更新状況の把握 - 関連ファイルとの対応付け	XML (独自) 流通している既存フォーマットを調査した結果、独自とした
ネットリスト (N-Format)	- 接続状況を明確にする - 信号、電源GNDを表現する	Verilog-HDL (既存) 電源GND端子を追加
コンポーネント (C-Format)	- 端子情報の定義 - 制約事項の定義 - 設計状況の提示	XML (独自) 流通している既存フォーマットを調査した結果、独自とした
デザインルール (R-Format)	- テクノロジーの定義 - 製造製ルールの定義 - 解析条件セットアップ	XML (独自) 流通している既存フォーマットを調査した結果、独自とした
ジオメトリ (G-Format)	設計結果を解析に渡す物理情報	アパッチ: XFL Ver1.0 (既存) 現時点で公開を認められたフォーマット アパッチ殿からドネーション頂いています。

76 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット 1:プロジェクト管理ファイル(M-Format)

1. プロジェクト管理ファイル

<目的>

- ・本プロジェクトで使用している各フォーマットファイルの対応付け
- ・各フォーマットファイルの更新状況の把握
- ・参照ファイル(IBISモデル等)との関連付け

<使用メリット>

- ・LSIとPKG等のように階層間で統一された各フォーマットファイルをやり取りする場合に、更新履歴の把握ができる。
- ・階層内で設計を進める場合でも、制約内容等の変更履歴を把握できる。

<フォーマット>

- ・XMLベース
- ・独自フォーマット



77 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

プロジェクト管理ファイルのサンプル

```
<?xml version="1.0" encoding="Shift_JIS"?>
```

```
<JEITA_LPB_PROJECT version="2.0">
```

```
  <header
```

```
    project="JEITA_LPB_2011"
    design_revision="0.1"
    date="20120108"
```

```
  />
```

```
  <CFORMAT
```

```
    file_name="ChipA_PKG_set2_HR_V2.05_Rev.0.1.xml"
    design_revision="0.1"
```

```
  />
```

```
  <RFORMAT
```

```
    file_name="ChipA_PKG_set2_DC_V2.05_Rev.0.1.xml"
    design_revision="0.1"
```

```
  />
```

```
  <NFORMAT
```

```
    file_name="ChipA_PKG_set2.v"
```

```
  />
```

```
  <OtherFile
```

```
    file_name="ChipA.ibs"
```

```
  />
```

```
</JEITA_LPB_PROJECT>
```

Header

プロジェクト名の定義、
プロジェクト管理ファイルのリビジョン管理、
プロジェクト管理ファイルの作成日管理

CFORMAT

コンポーネントファイル名の定義、
コンポーネントファイルのリビジョン管理

RFORMAT

デザインルールファイル名の定義、
デザインルールファイルのリビジョン管理

NFORMAT

ネットリストファイル名の定義

OtherFile

IBISファイル等の関連ファイル名の定義



78 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット 2: ネットリスト(N-Format)

2. ネットリスト(N-Format)

<目的>

- ・階層内の接続関係を明確にする
- ・LPB全体の接続検証を可能とする
- ・信号だけでなく、電源GND端子の接続関係も明確にする

<使用メリット>

- ・LSI、PKG、PWBの各階層で別々の設計データを持っていると各端子の接続が明確にならないが、ネットリストにて階層間の端子接続関係を明確に定義する。これにより、階層間をまたぐネットに対して、解析ツールで個別に設定していた手間を省く。

<フォーマット>

- ・Verilog-HDLを基本フォーマットとする
- ・電源端子の書式を追加



79 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

ネットリストのサンプル

```
/* DIE */
module
DIE(SU,SD,DBUS,DQ,DN,VDDC,VSSC,VDDQ,VSSQ);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC; /* PG_NET VDDC */
inout VSSC; /* PG_NET VSS */
inout VDDQ; /* PG_NET VDDQ */
inout VSSQ; /* PG_NET VSS */
endmodule

/* パッケージ */
module
PKG(SU,DBUS,DQ,DN,VDDC1,VDDC2,VDDQ1,VDDQ2,VSS1,VSS2);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC1; /* PG_NET VDDC */
inout VDDC2; /* PG_NET VDDC */
inout VDDQ1; /* PG_NET VDDQ */
inout VDDQ2; /* PG_NET VDDQ */
inout VSS1; /* PG_NET VSS */
inout VSS2; /* PG_NET VSS */

wire VSS;
wire VDDC;
wire VDDQ;

assign VDDC1 = VDDC;
assign VDDC2 = VDDC;
assign VDDQ1 = VDDQ;
assign VDDQ2 = VDDQ;
assign VSS1 = VSS;
assign VSS2 = VSS;

DIE X1
(.SU(SU),.SD(VSS),.DBUS(DBUS),.DQ(DQ),.DN(DN),
.VDDC(VDDC),.VSSC(VSS),.VDDQ(VDDQ),
.VSSQ(VSS));
endmodule

/* ボード(最上位階層) */
module PWB(VDDC,VDDQ,VSS);
inout VDDC; /* PG_NET VDDC */
inout VDDQ; /* PG_NET VDDQ */
inout VSS; /* PG_NET VSS */

wire [3:0] DBUS;
wire [3:0] IBUS;
wire SU;
wire DQ;
wire DN;

CF1DM C1 (.A(VDDQ),.B(VSS));
CF1DM C2 (.A(VDDQ),.B(VSS));
CF1DM C3 (.A(VDDC),.B(VSS));
CF1DM C4 (.A(VDDC),.B(VSS));

RF1DM Rp (.A(VDDC),.B(SU));
RF1DM R0 (.A(DBUS[0]),.B(IBUS[0]));
RF1DM R1 (.A(DBUS[1]),.B(IBUS[1]));
RF1DM R2 (.A(DBUS[2]),.B(IBUS[2]));
RF1DM R3 (.A(DBUS[3]),.B(IBUS[3]));

PKG X1 (.SU(SU),.DBUS(DBUS),.DQ(DQ),.DN(DN),
.VDDC1(VDDC),.VDDC2(VDDC),
.VDDQ1(VDDQ),.VDDQ2(VDDQ),
.VSS1(VSS),.VSS2(VSS));
BBOX X2
(.IBUS(IBUS),.DQ(DQ),.DN(DN),.VDD(VDDC),.VSS(VSS));
endmodule

/* 受動部品:コンデンサ */
module CF1D(A,B);
inout A;
inout B;
endmodule

/* 受動部品:抵抗器 */
module RF1D(A,B);
inout A;
inout B;
endmodule

/* LSI (Black box) */
module
BBOX(IBUS,DQ,DN,VDD,VSS);
inout [3:0] IBUS;
input DQ;
input DN;
inout VDD; /* PG_NET VDDC */
inout VSS; /* PG_NET VSS */
endmodule
```



80 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

コンポーネントファイルのサンプル

XMLベースの予約語	unit type	説明
<pre> <module name="機能ブロック名" type="機能ブロック属性" shape_id="参照shape識別番号" x="x座標" y="y座標" angle="回転角度" thickness="厚み" /> </pre>		モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(<socket>)と、機能ブロックの仕様を定義する仕様セクション(<specification>)と、上位階層と下位階層の接続手続きを定義する参照セクション(<reference>)で構成される。 モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(<socket>)と、機能ブロックの仕様を定義する仕様セクション(<specification>)と、上位階層と下位階層の接続手続きを定義する参照セクション(<reference>)で構成される。 上位階層は、ここで定義した機能ブロック名で、この機能ブロックを参照する。 機能ブロックの属性。LSI,PKG,PWBのキーワードで属性を区別する 機能ブロックの外郭形状。参照shapeの原点と機能ブロックの原点を一致させる。 機能ブロックのshapeの配置座標を指定する。shapeの原点を、ここで指定した座標に配置する。省略時は(0, 0)に配置する。 回転角度。機能ブロックの原点を中心とした反時計回りの回転角度。 機能ブロックの厚み。
<pre> id="端子番号" padstack_id="参照padstack識別番号" </pre>	N/A string	端子番号。<socket>内の個々の端子番号はユニークであること。 一般的にはJEDECのネーミングルールに従って番号を与える。 端子形状。 未定義の場合は、<default>で定義されているデフォルト形状が使用される。 デフォルト形状も定義されていない場合は形状未定義(点)を意味する。 端子形状は、端子番号と共に定義すること。単独では定義できない。

83 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

コンポーネントファイルのサンプル

XMLベースの予約語	unit type	説明
<pre> <module> name="ChipA_PKG_set2" type="PKG" shape_id="PKG_FRAME" x="0" y="0" angle="0" thickness="NA" <socket inst="ChipA_PKG_set2_PORTS"> <default> <port_shape padstack_id="BALL_PAD" /> </default> <port id="A1" x="-5500" y="-5500" /> <port id="A2" x="-5500" y="-5000" /> <port id="A3" x="-5500" y="-4500" /> <port id="A4" x="-5500" y="-4000" /> <port id="A5" x="-5500" y="-3500" /> <port id="A6" x="-5500" y="-3000" /> <port id="A7" x="-5500" y="-2500" /> <port id="A8" x="-5500" y="-2000" /> <port id="A9" x="-5500" y="-1500" /> <port id="A10" x="-5500" y="-1000" /> <port id="A11" x="-5500" y="-500" /> <port id="A12" x="-5500" y="0" /> <port id="A13" x="-5500" y="500" /> <port id="A14" x="-5500" y="1000" /> <port id="A15" x="-5500" y="1500" /> <port id="A16" x="-5500" y="2000" /> <port id="A17" x="-5500" y="2500" /> </socket> </pre>		モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(<socket>)と、機能ブロックの仕様を定義する仕様セクション(<specification>)と、上位階層と下位階層の接続手続きを定義する参照セクション(<reference>)で構成される。 機能ブロック名で、この機能ブロックを参照する。 機能ブロックの属性。LSI,PKG,PWBのキーワードで属性を区別する 機能ブロックの外郭形状。参照shapeの原点と機能ブロックの原点を一致させる。 機能ブロックのshapeの配置座標を指定する。shapeの原点を、ここで指定した座標に配置する。省略時は(0, 0)に配置する。 回転角度。機能ブロックの原点を中心とした反時計回りの回転角度。 機能ブロックの厚み。 ソケットは信号の入出力端子の集合である。 個々のソケットは、其々に与えたインスタンス名でソケットを参照する。 デフォルト値を設定する は、<port>定義内の padstack_id を使用する を、ここで吸収する。 座標を持たない言語の端子に座標を与える。 端子名)を定義すること。idとnameの両方を定義しても良い。 はユニークであること。 って番号を与える。 ているデフォルト形状が使用される 場合は形状未定義(点)を意味する。 すること。単独では定義できない。

84 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット 4: デザインルール (R-Format)

4. デザインルール (R-Format)

<目的>

- ・LSI-PKG-PWB全体のテクノロジー(層構成、ライン/スペース等)の定義
- ・製造性のルールの定義
- ・解析セットアップ情報(物性値、詳細断面構造)の定義

<使用メリット>

- ・解析条件などをLPB間で事前検討を行うことが可能となる。
- ・デザインルールの条件緩和検討など、LPB間で制約事項の必要性と緩和によるメリットとのトレードオフを事前検討することが可能となる。

<フォーマット>

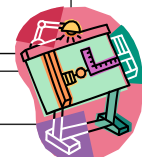
- ・XMLベース
- ・独自フォーマット



85 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

デザインルールのサンプル

XMLベースの予約語	unit	type	説明
<Physicaldesign name="デザインルール名">			Physicaldesign nameセクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ホール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。
<material_def>			材料定義 本デザインで使われる材料を定義する。
<conductor material="材料名" volume_resistivity="体積抵抗率" temperature="抵抗値想定温度" >	N/A	string double double	導体 材料名: Copperなどの導体名 体積抵抗率。Volume_resistivity="1.68e-8" 抵抗値想定温度。temperature="20"
<insulator material="材料名" permittivity="誘電率" tan_delta="誘電正接" frequency="想定周波数" >	N/A	string double double double	絶縁体 材料名: FR-4などの絶縁体名 誘電率。Permittivity="4.2" 誘電正接。Tan_delta="0.016" 想定周波数。frequency="1 G"
</material_def>			
<layer_def>			レイヤ定義。レイヤは上層から下層に向かって定義する。 一番最初に定義された層はTOP、一番最後がBOTTOM
<layer name="配線層名" type="dielectric もしくは conductor" thickness="厚み" plate_thickness="メッキ膜厚" conductor_material="導体材料" dielectric_material="絶縁材料" >	N/A	string string double double string string	このTypeで絶縁層か導体層かを識別する conductorの場合は導体膜厚。Dielectricの場合は層間厚 conductorの場合はメッキ膜厚。Dielectricの場合は定義しない 導体材料名 絶縁材料名
<line_width min="最小配線幅" max="最大配線幅" >		double double	配線幅に関する制限 最大幅は定義しなくてもよい
<area_limit min="最小面積" >	area	double	面積に関する制限。これ以下の面積のshapeは作れない



86 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

デザインルールのサンプル

XMLベースの予約語	unit	type	説明
<Physicaldesign name="デザインルール名">			Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。
<Physicaldesign="デザインルール名"> Physicaldesignセクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。			
<default/>			<default> キーワードが定義されると、このルールはエリア全体に及ぶ
<material_def>			材料定義 本デザインで使われる材料を定義する。
<conductor material="材料名" volume_resistivity="体積抵抗率" temperature="抵抗値想定温度" />			導体 材料名:COPPERなどの導体名
</>			
<line_width min="最小配線幅" max="最大配線幅" />		dist double dist double	配線幅に関する制限 最大幅は定義しなくてもよい
<area_limit min="最小面積" />		area double	面積に関する制限、これ以下の面積のshapeは作れない

87 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

デザインルールのサンプル

XMLベースの予約語	unit	type	説明
<Physicaldesign name="デザインルール名">			Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。
<material_def> <Physicaldesign="Designrule1"> <default/> <material_def> <conductor material="COPPER" volume_resistivity="1.68e-8" temperature="20" /> <conductor material="GOLD" volume_resistivity="2.33e-8" temperature="20" /> <conductor material="SOLDER" volume_resistivity="2.17e-7" temperature="20" /> <dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" frequency="1G" /> <dielectric material="RESISTOR_INK" permittivity="4.5" tan_delta="0.035" frequency="1G" /> <dielectric material="REGIN" permittivity="4.5" tan_delta="0.035" frequency="1G" /> </material_def>			
<clear_width min="最小配線幅" max="最大配線幅" />	distal	double	配線幅に関する制限 最大幅は定義しなくてもよい
<area_limit min="最小面積" />	area	double	面積に関する制限、これ以下の面積のshapeは作れない

88 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット 5:ジオメトリ(G-Format)

5. ジオメトリ(G-Format)

<目的>

- ・設計結果を解析環境に渡す際の書式を定義
- ・物理情報
 - 各層ごとの2次元図形
 - VIA, Bump, Bond Wire 3次元的情報
 - 層構造

<使用メリット>

- ・LPBの階層、ツールに依存しない。
- ・形状データの共有化が可能となる。

<フォーマット>

- ・PCB / Package Data Exchange File (XFL) Fromat を使用



89 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

JEITA LPB標準フォーマット 6:用語集

■ 用語集

- LPBで使用される用語が各部で異なる場合がある。
- LPB間で誤解を生んだり、意思を伝えるのに時間がかかることがある。
- 共通の用語を定義する。

用語集

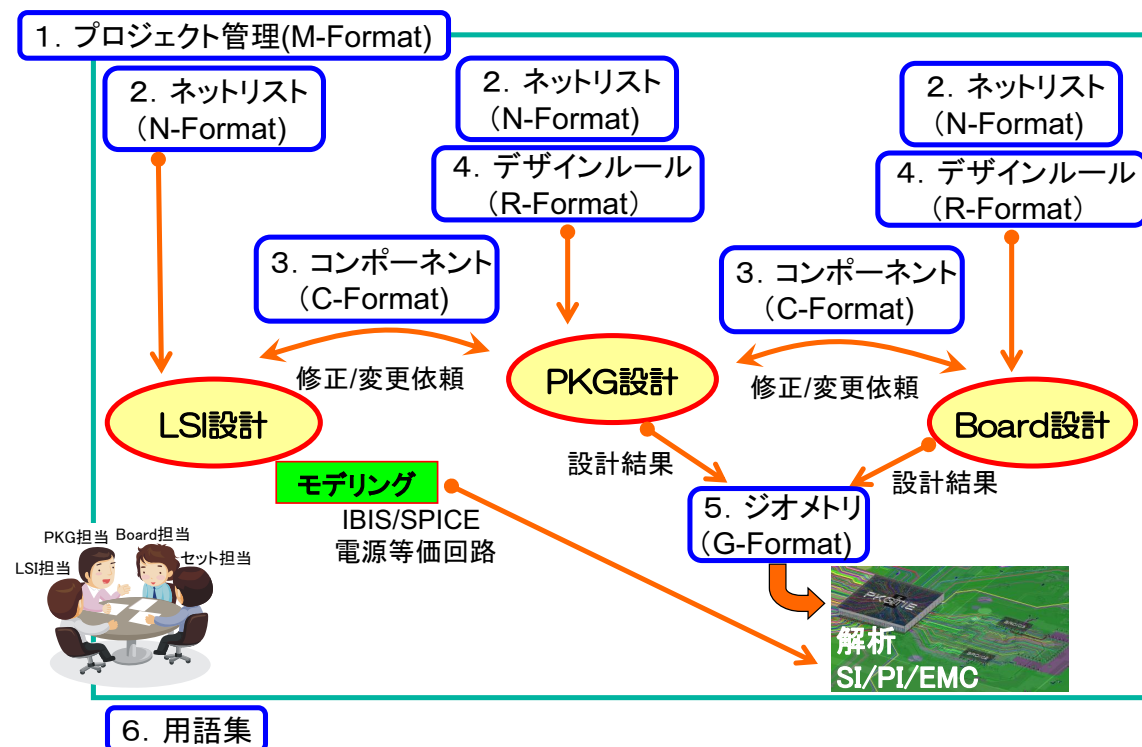
Rev.1.0

No.	分類	用語・名称	定義・意味	ラベル	LSI例	PKG例	PWB例	関連語
1	ネットリスト	ポート(名)	外部とのインターフェースとなる入出力端子 同一階層では全てユニークな名前にする		ポート	ピン名 ボール BGA リード	ピン名	
2	ネットリスト	リファレンス(名)	機能ブロックの定義名 階層にかかわらず全てユニークな名前にする		リファレンス セル名			
3	ネットリスト	インスタンス(名)	機能ブロックを配置する際に付ける名前 同一階層では全てユニークな名前にする		インスタンス	RefDes	リファレンス	
4	ネットリスト	ネット(名)	端子間の接続につけるラベル 基本的には同一階層内での定義だが、階層に関係なく接 続を表す場合もある(グローバルネット・定義)		ネット	ネット	ネット	
5	ネットリスト	バス	複数の信号を束ねた配線のひと 語番号+数字で表す(数字の省略で全信号を表す場合も ある)		バス	バス	バス	
6	形状データ	DIE	SoCやメモリなどシリコンチップのこと		-	部品 コンポーネン ト チップ	部品 コンポーネン ト	
7	形状データ	PKG	パッケージのこと					
8	形状データ	PWB	プリント基板のこと (PCBとも呼ばれるが有害物質「ポリ塩 化ビフェニル」と区別するため避けられる傾向がある)					
9	形状データ	ボンディング	ボンディングワイヤの基板側の着地点の図形			リード 2ndバッド ワイヤボン ド バッド ボンディング バッド	-	
10	解析条件	表面粗さ	導体と絶縁体の密着性を上げるために 導体表面を化学処理により粗した状態 を指す(工法)では、配線の上部と 下部では導体の幅が異なる。 このような配線の構造を表す。					デンカー スバイク
11	解析条件	配線断面構造						



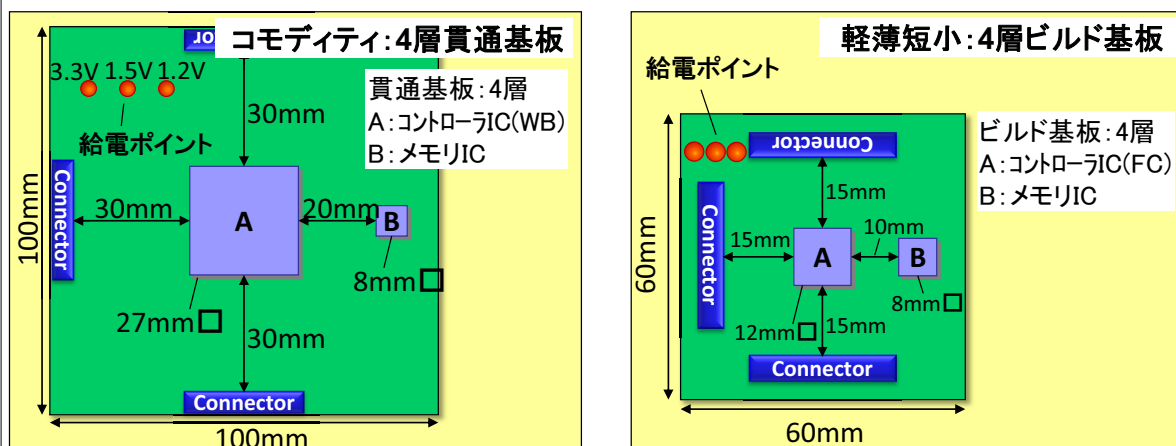
90 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB標準フォーマットの位置づけ



91 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

適用事例(EDSF2011)

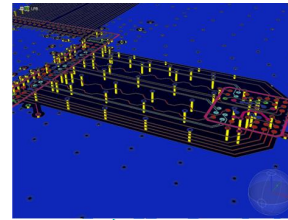
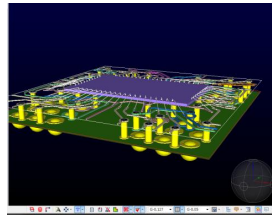


■事例の設計担当

	A: Controller		B: Memory		Board
	LSI	Package	LSI	Package	
コモディティ (100×100mm)	SONY	リコー	東芝	図研	パナソニック
軽薄短小 (60×60mm)		富士通			TNCSi

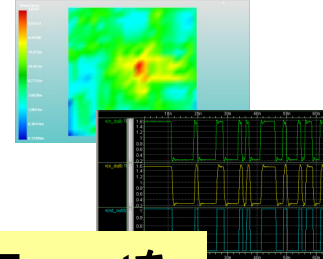
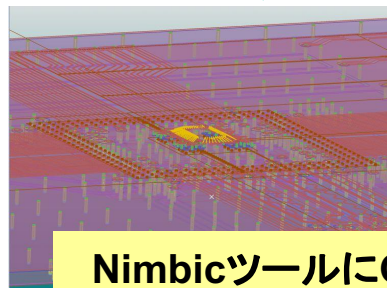
92 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

適用事例 (EDSF2011)



PKGジオメトリ
(G-Format)

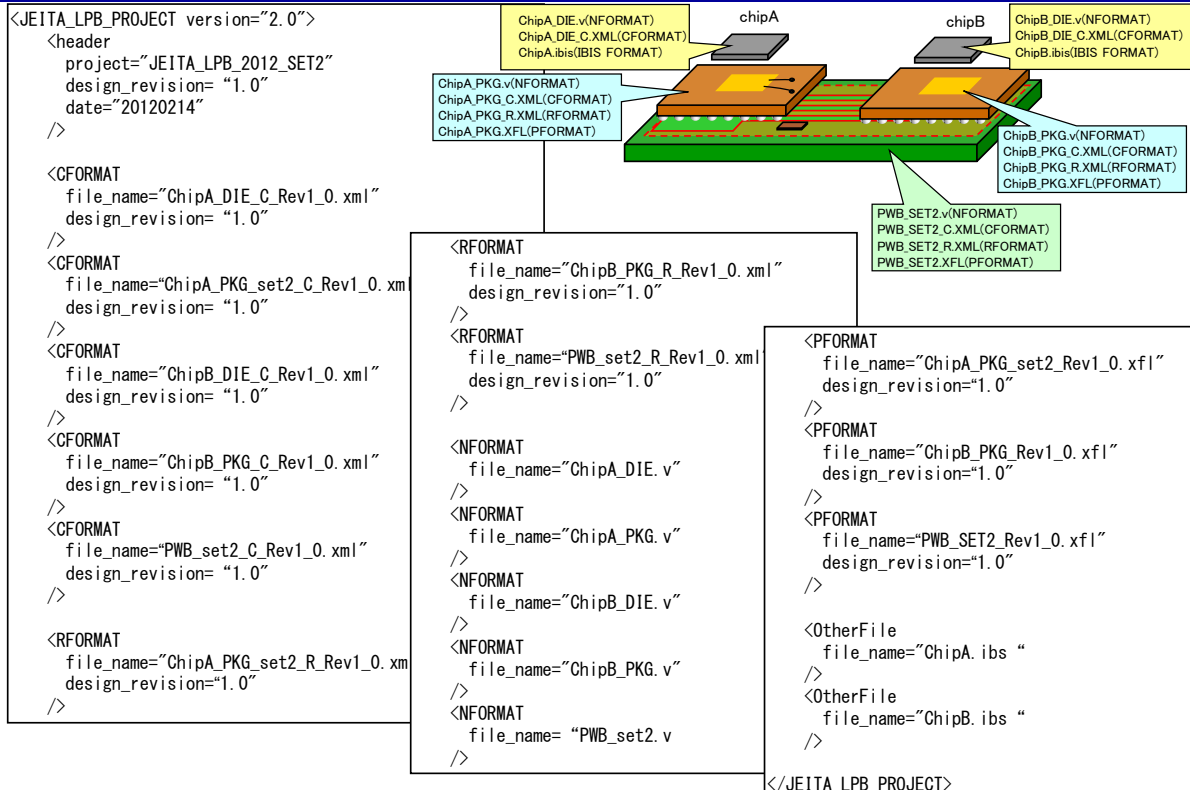
Boardジオメトリ
(G-Format)



**NimbicツールにG-Formatを
インポートして、解析を実行**

93 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

軽薄短小セット2のプロジェクト管理ファイルのサンプル



94 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

まとめ

フォーマット名	メリット	
	設計	解析
プロジェクト管理 (M-Format)	・制約ルールの履歴管理が容易 ・検証状況の把握が容易	・最新の解析条件の把握が容易
ネットリスト (N-Format)	・統一フォーマットなので、漏れ防止・ミス低減	・LSI-PKG-Boardの接続設定が省ける
コンポーネント (C-Format)	・LSI-PKG-Boardの検討がスムーズに行える	・制約条件が明確になる ・最適化検証が容易に行える
デザインルール (R-Format)	・事前に設計ルールを明確にし、効率的な設計が行える	・解析条件が明確になる ・解析設定の効率がUPする
ジオメトリ (G-Format)	・設計資産の活用 ・リファレンス設計の流用が可能	・データ変換作業の効率化・簡素化 ・ツール評価の効率化がはかれる



LSI-PKG-Boardで共通に使える統一されたフォーマット
 →設計・解析の効率化(特に、お互いの意思疎通ミスの防止)
 →階層内の最適化だけではなく、階層間の最適化が可能



EDAベンダー様へのお願い

是非、LPB標準フォーマットを御活用ください。

- ・統一フォーマットによる作業ミスの低減が期待できます。
- ・LSI-PKG-Board間の最適化作業が可能になります。

御社のツールが対応できましたら、JEITA LPB-WGまで御連絡をお願い致します。

- ・CADツールはC-Formatからの適用に、
- 解析ツールはG-Formatからの適用に期待します!!



LPB標準フォーマットがもたらすメリット

●EDAベンダー各社に閉じるメリット

- ・ 開発リソースの低減(IF保守対象の削減)
- ・ 他社ツールの仕様変更で受ける影響を排除
- ・ 機能で勝負しやすい環境が整う

●EDA業界が受け取るメリット

- ・ 潜在顧客の発掘
 - ・ 新たな“うれしさ”の創出
- } マーケット拡大

本日はこちらを紹介します

LPB標準フォーマットがもたらすEDA業界のメリット

- 潜在顧客の発掘
 - EDA導入コストの低減
 - EDA活用コストの低減
 - 設計コスト
 - シミュレーションコスト
 - 設計フローの効果的な改善
- 新たな“うれしさ”の創出
 - 新たなユーザ、新たなニーズが生まれる

LPB標準フォーマットがもたらすEDA業界のメリット

- 潜在顧客の発掘
 - EDA導入コストの低減
 - EDA活用コストの低減
 - 設計コスト
 - シミュレーションコスト
 - 設計フローの効果的な改善
- 新たな“うれしさ”の創出
 - 新たなユーザ、新たなニーズが生まれる

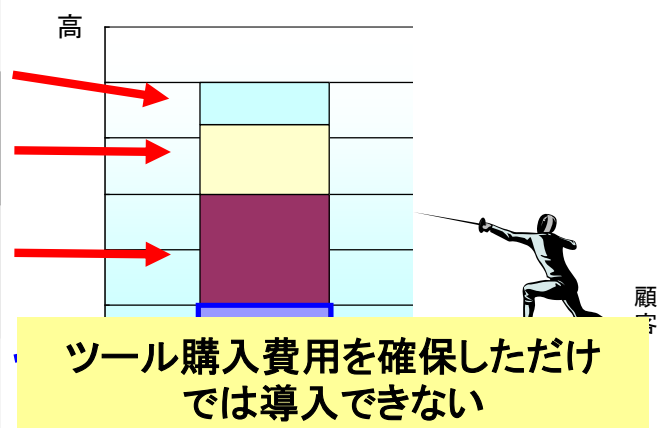
導入コスト <現状の問題>



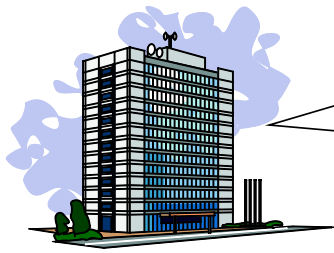
EDAを導入して設計のフロントローディング化(後戻り防止)、効率化、合理化を進めたい！

信頼性	データ変換は誰が保証する？
環境準備	既存ツールとのシナジーは？ 既存ツールにも追加費用が必要？
必要性	BM用データの準備はどうする？ 他社ツールとの比較はどうやる？ 流動製品への適用は確認できる？
支払い	ツール代の確保 [OK]

購入するまでの障壁



導入コスト <現状>



EDAを導入して設計のフロントローディング化(後戻り防止)、効率化、合理化を進めたい！

信頼性	データ変換は誰が保証する？
環境準備	既存ツールとのシナジーは？ 既存ツールにも追加費用が必要？
必要性	BM用データの準備はどうする？ 他社ツールとの比較はどうやる？ 流動製品への適用は確認できる？
支払い	ツール代の確保 [OK]

企業から見たEDA導入の姿

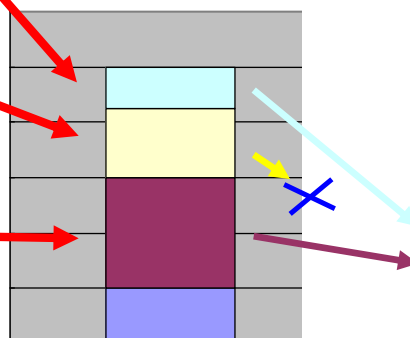
体力のある会社でなければ、導入検討は重荷

EDAによる改革が必要な企業ほど導入できない悪循環

101 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

導入コスト <LPB標準フォーマット普及後>

信頼性	データ変換統一で品質向上 (利用者全員が監視してる)
環境準備	効果を分離しやすい 他ツールに影響与えない ベンチマーク評価の業界共有
必要性	全EDAで同じデータを流用可能 入手可能なデータで比較可能 既存の流動製品へ適用可能
支払い	ツール代の確保 [OK]



現状

▼ 障壁 47%低減

大小問わず、企業がEDA導入検討を始められる → マーケット拡大

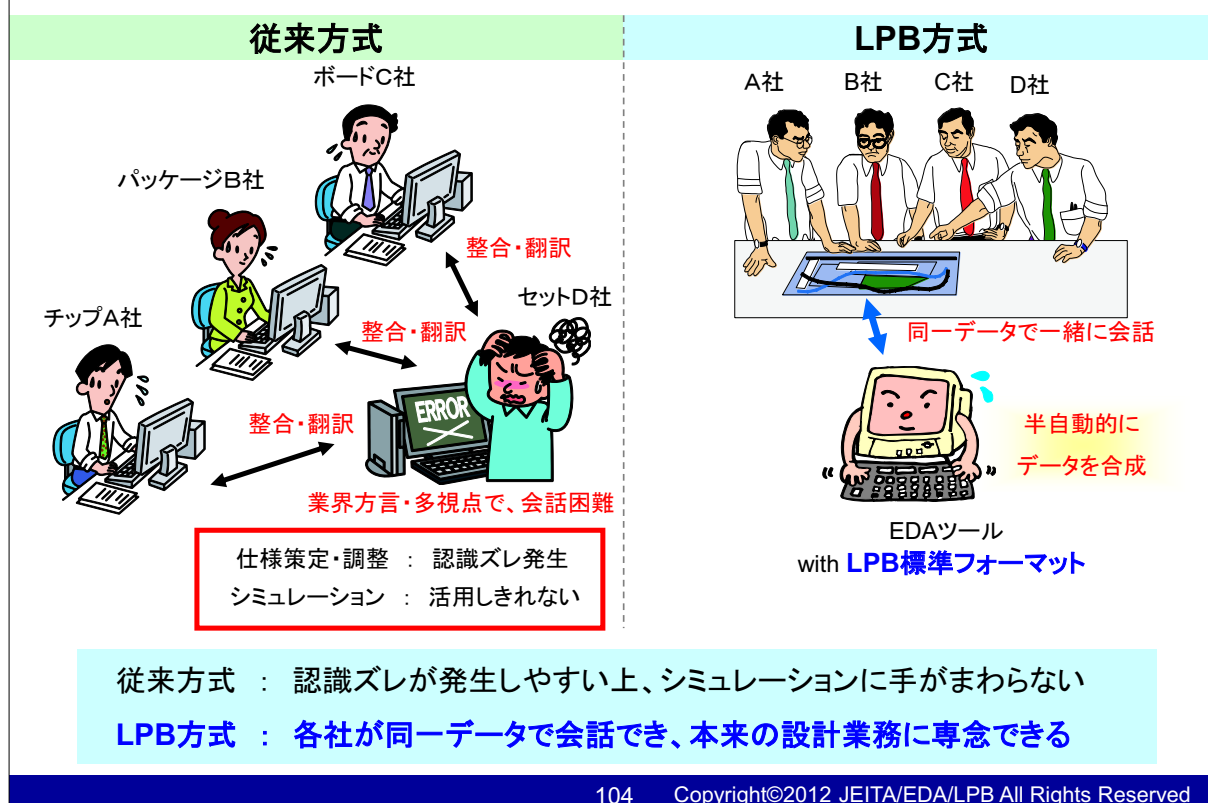
102 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB標準フォーマットがもたらすEDA業界のメリット

- 潜在顧客の発掘
 - EDA導入コストの低減
 - EDA活用コストの低減
 - 設計コスト
 - シミュレーションコスト
 - 設計フローの効果的な改善
- 新たな“うれしさ”の創出
 - 新たなユーザ、新たなニーズが生まれる

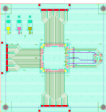
103 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

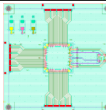
活用コスト（従来方式とLPB方式のおさらい）



104 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

活用コスト - 適用事例(EDSFair2011)

■従来方式	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ (100×100mm)			Canon			
軽薄短小 (60×60mm)			Canon			

■LPB方式	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ (100×100mm)		RICOH	Panasonic			DENSO
軽薄短小 (60×60mm)		SONY make.believe			TOSHIBA	
		FUJITSU	TNCSI			

105 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

設計コスト 比較

	従来方式	LPB方式(推定)
1. 仕様説明資料作成	2.0h	
2. 設計者への説明	0.5h	0.5h
3. 基板デザインルール決定	3.5h	
4. 新規ネットリスト作成	5.0h	5.0h
5. フロアプラン(CAD作業)	7.5h	7.5h
✓ ・部品マクロ登録		
✓ ・部品収集		
✓ ・配置配線		
6. 修正デバッグ	作業時間7.5h (修正3回、3日)	作業時間2.0h (修正1回、半日)
合計	26 H、停滞3日	15H、停滞半日

▼ 工数42%低減 停滞 1/3以下

106 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

シミュレーションコスト 比較



107

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB標準フォーマットがもたらすEDA業界のメリット

- 潜在顧客の発掘
 - EDA導入コストの低減
 - EDA活用コストの低減
 - 設計コスト
 - シミュレーションコスト
 - 設計フローの効果的な改善
- 新たな“うれしさ”の創出
 - 新たなユーザ、新たなニーズが生まれる

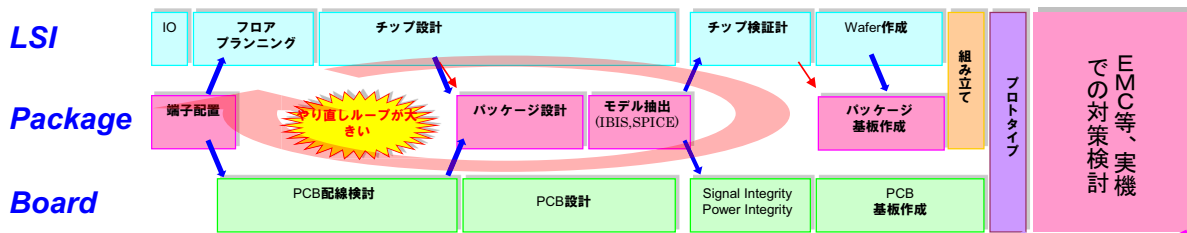
108

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB方式による量産設計フローの改善効果

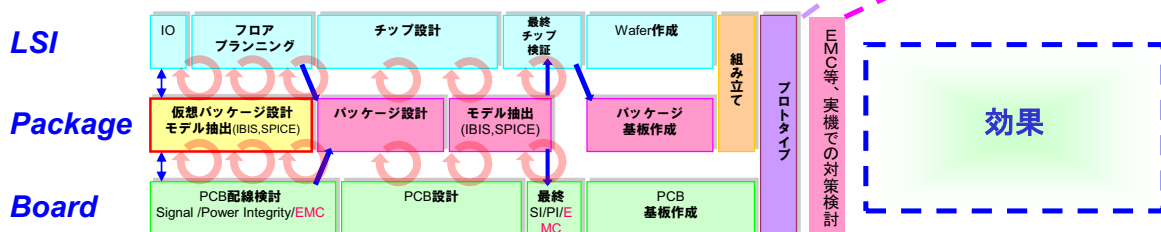
■従来方式：現在の主な設計手法

チップ、パッケージ、システムが別々に設計されて最後に全体の検証を行う。



■LPB方式：LPBコンカレント協調設計：

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



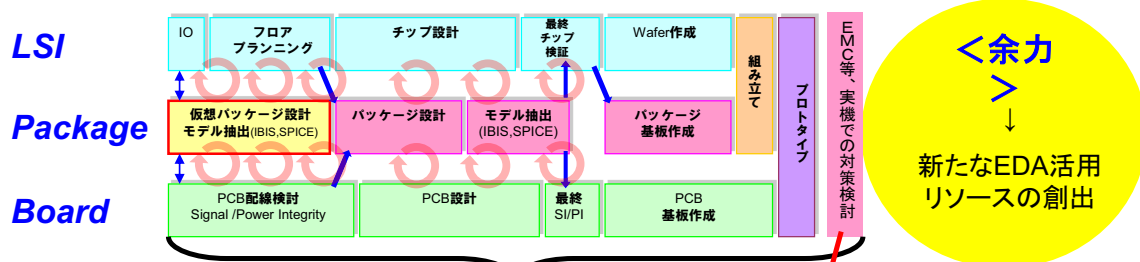
EMCまで対応可能な効果的なフロントローディングを実現

109 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB方式による量産設計フローの改善効果

■LPB方式：LPBコンカレント協調設計：

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



開発コスト、納期短縮、対策コストの削減

製品原価の計画外上昇の未然防止

ユーザー企業の事業部 / 量産設計部署への訴求力が大幅に高くなる

設計+シミュレーションのトータルなEDAの効果が認知される

110 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

LPB標準フォーマットがもたらすEDA業界のメリット

- 潜在顧客の発掘
 - EDA導入コストの低減
 - EDA活用コストの低減
 - 設計コスト
 - シミュレーションコスト
 - 設計フローの効果的な改善
- 新たな“うれしさ”の創出
 - 新たなユーザ、新たなニーズが生まれる

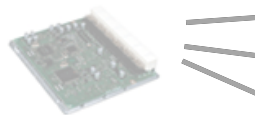
111 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

トータルEDA適用製品数の拡大

新規製品開発

使用
者

専門家
(本社R&D)



リファレンス設計

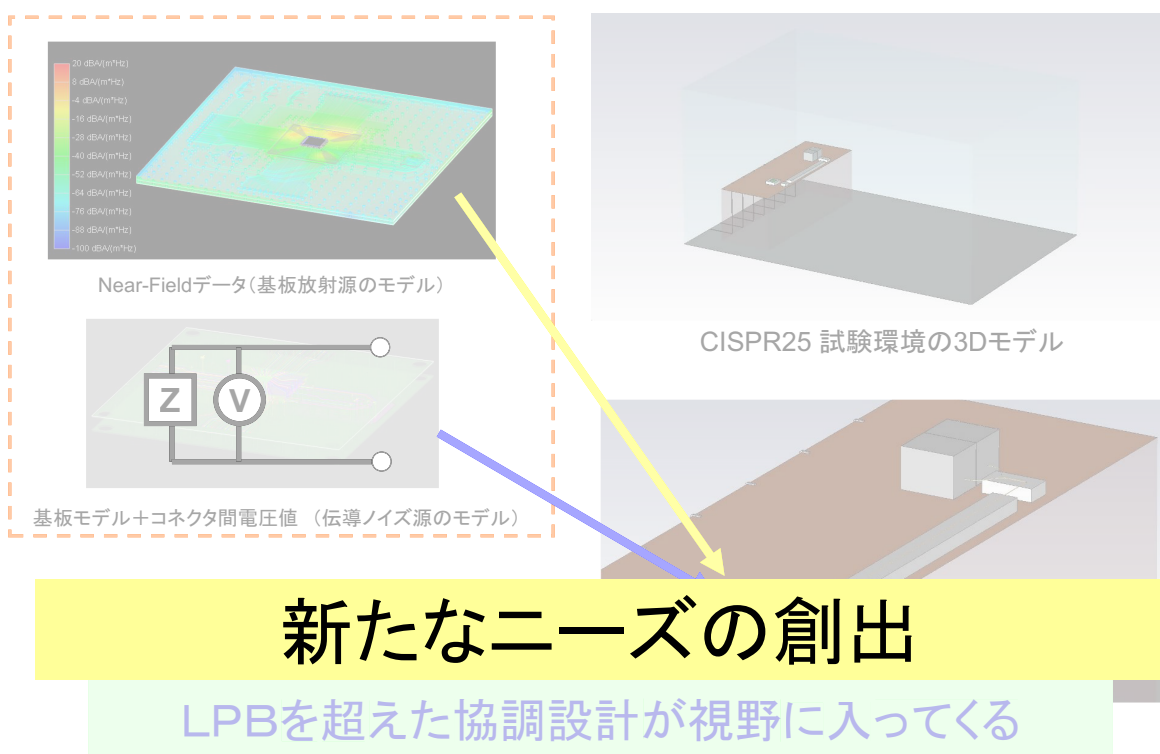
製品数

少

新たなユーザーの創出

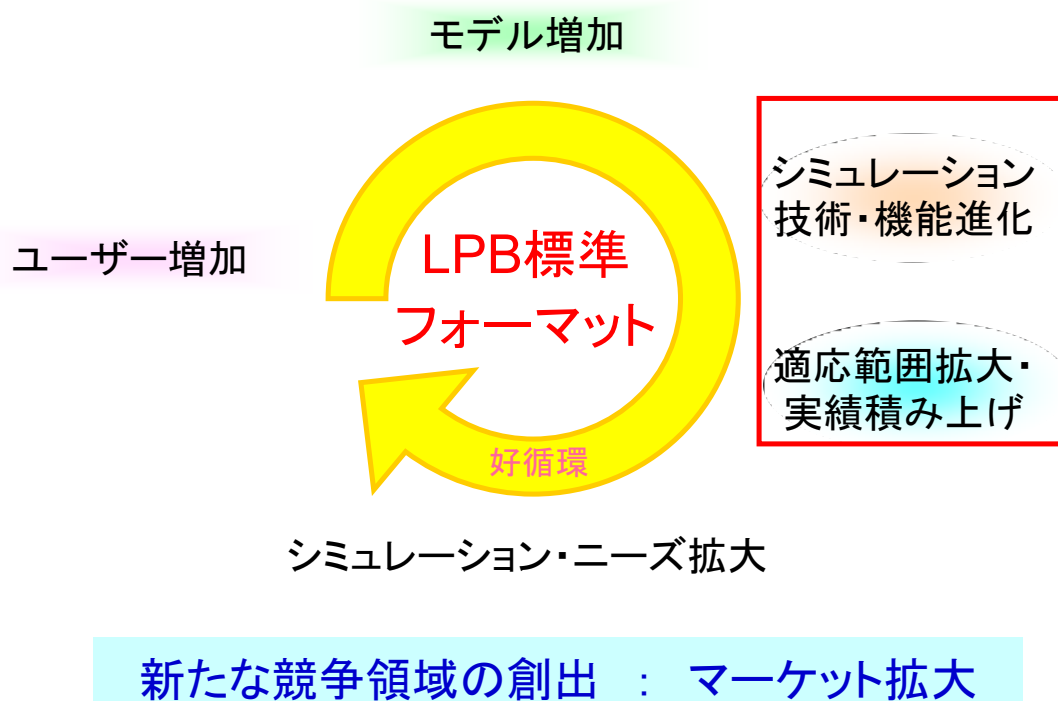
112 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

トータルEDA 対象規模の拡大



113 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

EDA活用の活発化



114 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

メリットまとめ

Q EDA(ツール)本来の効果を発揮

C 保守費低減、工数削減効果を顧客に提示可能

D 設計短縮 → 設計の標準利用を拡大

⇒ マーケット拡大、新たなソリューションの創出

LPB標準フォーマットの普及 = EDA業界の活性化

115 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

お願い

- LPB標準フォーマットを入力・出力可能に。
- LPB標準フォーマット X-Format 対応と宣言。
- 書式・項目・内容に対するフィードバック。
- 四半期ごとに対応状況をご報告。

116

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

サポート

- 導入を実施していただける会社にはサンプルを提供します。
- 疑問点にお答えするしくみを作ります。
- 相互接続確認のしくみをつくりま
す。

117

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

その他

- 標準化(規格化)を推進します。
EDAの協力も必要です。
- ユーザー会を企画します。
- EDSフェア(11月)で成果の発表・
展示をしませんか？

118

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

- EDAがけん引役となって盛り立てましょう。

4.4 システム・デザイン・フォーラム 2011 の講演資料

4.4.1 EDA 技術専門委員会委員長挨拶

EDA技術専門委員会紹介

2011年11月17日@SDF
EDA技術専門委員会 委員長 今井

Copyright© JEITA EDA-TC All Rights Reserved 2011

組織構造



目的

EDA(Electronic Design Automation)に関連する技術およびその標準化の動向を調査し、その発展、推進を図り、もって国内外の関係業界の発展に寄与すること

ミッション

- 業界全体のEDA技術レベルの向上
- 国際EDA標準化への意向・意見反映、提案
- 最新EDA技術・情報の普及促進

Copyright© JEITA EDA-TC All Rights Reserved 2011

委員会の活動

EDA技術専門委員会

標準化

国際標準化団体
(IEC, IEEE)へ
➤ 日本意見の
反映
➤ 標準化案提案

EDA技術 レベル向上

➤ 技術・課題
調査
➤ 課題解決への
提案

EDA技術の 普及促進

➤ EDSFair
➤ SDF

Copyright© JEITA EDA-TC All Rights Reserved 2011

委員会の構成

EDA技術専門委員会

ナノ世代物理設計WG

SystemVerilog WG

LSI-パッケージ-PCB相互設計WG

標準化担当

EDSF実行委員会

システム・デザイン・フォーラム実行委員会

Copyright© JEITA EDA-TC All Rights Reserved 2011

委員会のメンバー

半導体ベンダー(5社)

- ☐ ソニー(株)
- ☐ (株)東芝
- ☐ パナソニック(株)
- ☐ 富士通セミコンダクター(株)
- ☐ ルネサスエレクトロニクス(株)

EDAベンダー/代理店/システムベンダー(10社)

- ☐ キヤノン(株)
- ☐ (株)ジーダット
- ☐ 図研エルミック(株)
- ☐ (株)デンソー
- ☐ (株)トッパンNECサーキットソリューションズ
- ☐ 日本シノプシス合同会社
- ☐ 日本電気(株)
- ☐ ノキア・ジャパン(株)
- ☐ メンター・グラフィックス・ジャパン(株)
- ☐ リコー(株)

客員:大学(2校)

- ☐ 大阪大学
- ☐ 近畿大学

Copyright© JEITA EDA-TC All Rights Reserved 2011

本日の発表

半導体技術委員会

EDA技術専門委員会

➡標準化状況・WG活動内容の紹介

半導体技術ロードマップ専門委員会

➡ロードマップから見たLSI設計技術・
テストの課題・解決策・要望の紹介

Copyright© JEITA EDA-TC All Rights Reserved 2011

JEITA EDA技術専門委員会 EDA技術の進展に向けて

Japanese English

お問い合わせ サイトマップ

HOME 委員会の紹介 委員会活動 公開資料ライブラリ イベント・関連機関

HOME

EDA技術専門委員会の活動

国際標準化団体 IEC/TC93 日本意見の反映 標準化審議会

標準化活動の推進

- ・提案
- ・レビュー
- ・投票

日本電子機器業界のEDA技術レベル向上

- ・技術・課題調査
- ・課題解決への提案

論文発表 企画支援

国内学会 ASP-DAG 等

STRI

IEC/TC93: 国際電気標準会議/設計自動化
IEEE/DASC: 米国電気電子技術者協会

ASP-DAG: Asia South Pacific-Design Automation Conference
STRJ: 半導体技術ロードマップ委員会
STARC: 半導体理工学研究センター

更新情報

2011.10.31	LBP WGのHPを新規作成しました。(LBP WGのページからリンク)
2011.09.10	委員会の紹介、委員会活動を2011年版に更新しました。
2011.07.09	EDSFair実行委員会のページを更新しました。(EDSFair2011 Novの紹介)
2011.03.31	公開資料ライブラリのEDA技術専門委員会に2009年度 EDA アニュアルレポートを掲載しました。
2010.11.01	委員会の紹介、委員会活動を2010年版に更新しました。

Copyright© JEITA EDA-TC All Rights Reserved 2011

4.4.2 EDA標準化の状況と今後の見通し

～設計言語だけではなく、設計手法も標準化する時代に！～

「EDA標準の状況 と 今後の見通し」

～設計言語だけではなく、設計手法も標準化する時代に！～

System Design Forum 2011
2011年11月17日

JEITA EDA技術専門委員会 特別委員(標準化担当)
NECシステムテクノロジー(株)

小島 智

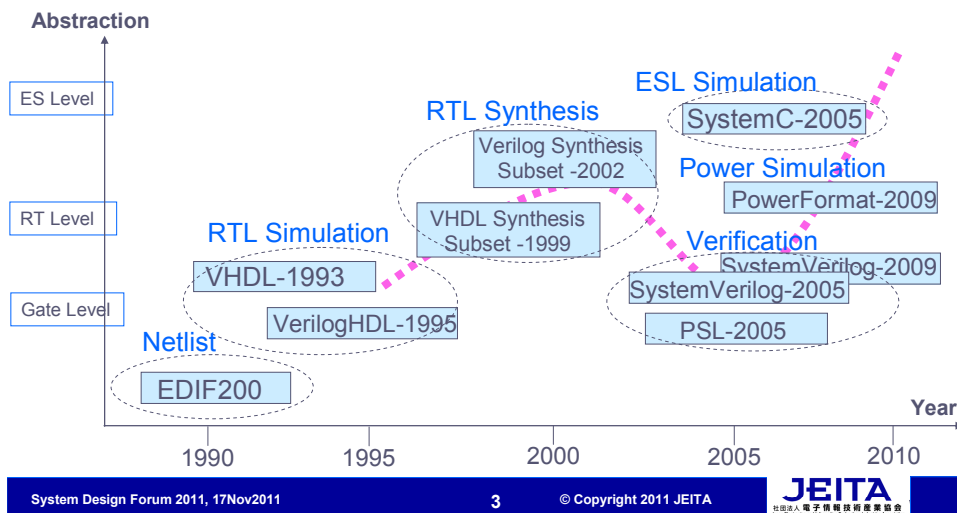
JEITA
社団法人 電子情報技術産業協会

- アジェンダ -

- EDA標準(設計言語)の歴史
- エレクトロニクス業界の最新トレンド
- EDA標準へのインパクト
- EDA標準(設計言語)の最新トレンド
- 設計手法の標準化
 - SystemC TLM2.0
 - SystemVerilog UVM1.0
- まとめ と 今後の見通し
- 参考文献

EDA標準(設計言語)の歴史

- 1990年JEITA EDA標準化活動開始、EDA標準化に貢献
- IEEE標準規格成立が、設計技術普及と実用化の目安



エレクトロニクス業界の最新トレンド

- 国際学会・展示会での業界リーダ発言に見える業界潮流
 - DVCon2011 (Design & Verification Conference)
2011.2.28 – 3.03 @ San Jose Doubletree Hotel
 - DAC2011 (Design Automation Conference)
2011.6.05 – 6.09 @ San Diego Convention Center
- アナリスト: Gary Smith氏
- キャピタリスト: Jim Hogan氏、Lucio Lanza氏
- 業界リーダ: NetLogic社Behrooz Abdi氏、
Qualcomm社Charles Matar、FreeScale社Lisa Su氏
Intel社Gadi Singer氏、XtremeEDA社David Black氏

EDA標準へのインパクト

■ 標準化作業の加速

- 標準化コンソーシアムへの寄贈 (Donation)
- フォーラム標準のIEEEへのHand-off
- IEEE団体投票 (Entity-based)によるエキスパート参画
- IEC-IEEE Dual Logo協定によるIEC規格化

■ 設計言語から設計手法(モデル化)の標準化へ

- 高度化複雑化する設計言語の普及拡大...TLM2.0/SystemC

■ EDAユーザ主導の標準化推進

- 設計手法・利用技術の標準化...UVM1.0/SystemVerilog

System Design Forum 2011, 17Nov2011

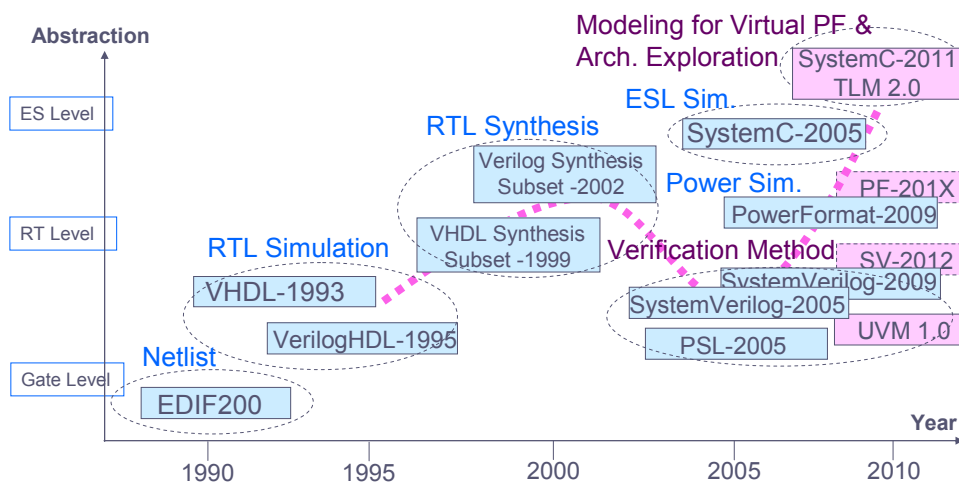
5

© Copyright 2011 JEITA

JEITA
社団法人電子情報技術産業協会

EDA標準(設計言語)の最新トレンド

- 再利用による設計生産性向上...半導体IP、検証IP、PF-based設計
- HW-SW協調による設計期間短縮...ESL仮想PF、アーキテクチャ探索
- 高速・低電力 (GHz、mW/MIPS、mW/GFLOPS) 設計の実現



System Design Forum 2011, 17Nov2011

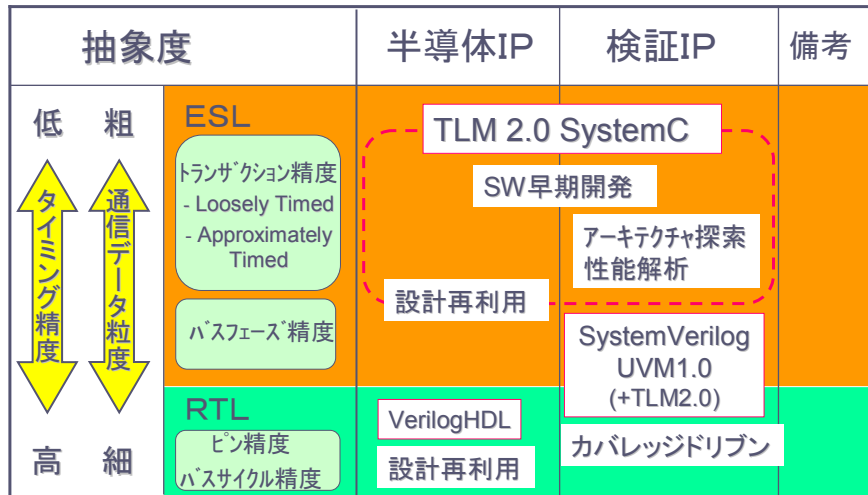
6

© Copyright 2011 JEITA

JEITA
社団法人電子情報技術産業協会

標準言語による設計手法のモデル化

- 半導体IPと検証IPのグローバル流通に拍車



System Design Forum 2011, 17Nov2011

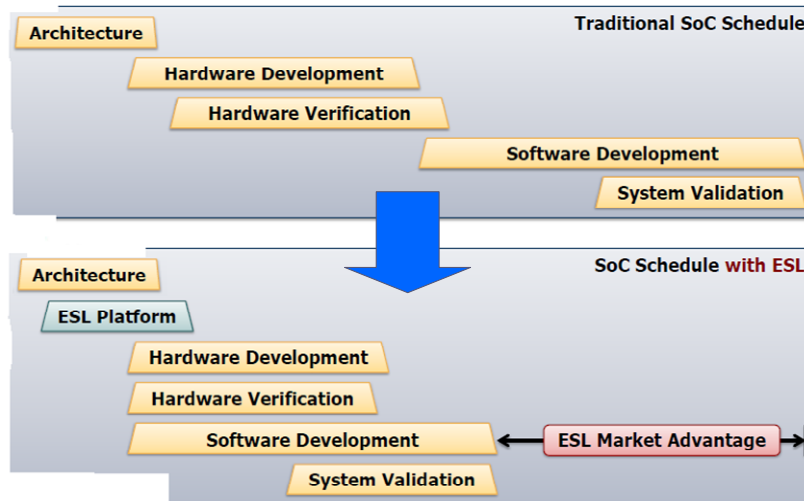
7

© Copyright 2011 JEITA

JEITA
社団法人電子情報技術産業協会

ESL仮想プラットフォーム

- HW設計・HW検証・SW設計の同時並行



(出展: DVCon2011 Tutorial)

System Design Forum 2011, 17Nov2011

8

© Copyright 2011 JEITA

JEITA
社団法人電子情報技術産業協会

TLM2.0/SystemCとは

■目的は

- ソフトウェア先行開発(ESL仮想プラットフォーム)
- アーキテクチャー探索とパフォーマンス解析
- RTLベリフィケーション環境構築

■ Signalレベルのハンドシェイクを排除し、データ、アドレスを転送するだけのモデリングに簡略化

- データ、アドレス等をトランザクションにカプセル化してその転送を行うことだけに注目したモデリング手法

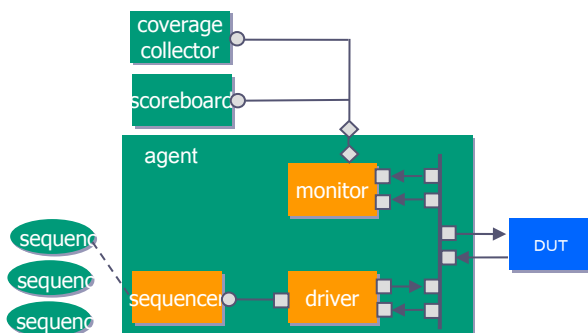
■ 目的に応じたタイミング精度

- システムの全体パフォーマンス解析に最低限必要なタイミング精度(AT)
- ソフトウェア先行開発に必要なタイミング精度(LT)



UVM1.0/SystemVerilogとは

- 検証環境構築に必須のクラスライブラリ と 作り方のガイドライン
- 自社内再利用と業界内VIP普及のための首尾一貫した部品と手法



■ 課題

- 検証環境構築は、HW検証のためのSW開発...クラス概念、SystemVerilog
- CDV(Coverage Driven Verification)手法...条件付きランダム、機能カバレッジ

まとめ

- 業界の最新トレンドを概観し、EDA標準へのインパクトを述べた。設計生産性の飛躍的向上への期待が、標準化プロセスを加速し、先端設計手法の普及を促進している。
- EDA標準は、設計言語からこれを使用した設計手法のモデル化に深化している。EDAユーザの参画と意見反映が益々重要になる。具体例として、TLM2.0/SystemCとUVM1.0/SystemVerilogを紹介した。

今後の見通し

- 産業間協力と連携により全体システム（SoC、ソフトウェア、ボード、メカトロニクス）最適化の方法論が検討され、標準の役割が益々重要になる。

参考文献

- 日経BP社EDA Onlineへの投稿記事
 - [DAC 2010] SystemC、SystemVerilog、UVM最新状況
 - [DVCon 2011] 標準化されたUVMでパネル討論会
 - [DAC 2010 続報] 標準化編 他



JEITA : Japan Electronics and Information Technology Industries Association
(URL <http://www.jeita.or.jp>)

EDA-TC : EDA Technical Committee
(URL <http://www.jeita-edatc.com>)

4.4.3 4) ナノ世代における物理設計モデリングとは ～配線ばらつきと信頼性モデル～

「JEITA ナノ世代物理設計WG」活動報告

ナノ世代における物理設計モデリングとは ～配線ばらつきと信頼性モデル～

田中 正和
EDA技術専門委員会
ナノ世代物理設計WG主査

JEITA Nano Scale Physical Design Working Group

1

ナノ世代物理設計WG活動目的

- ・ 次世代テクノロジー・ノードにおける、LSIの物理設計・検証に関する課題の抽出、および解決手法の提案
- ・ 上記設計手法、あるいは上記設計手法を実現するためのライブラリ・設計データフォーマットの標準化

本活動の成果は、無償で一般に公開する

- ・ アニュアルレポート
- ・ 関連学会における発表/論文誌への投稿

JEITA Nano Scale Physical Design Working Group

2

ナノ世代物理設計WGメンバー

主査	田中	正和	(パナソニック)
副主査	山中	俊輝	(リコー)
委員	古川	且洋	(ジーダット)
	城間	誠	(パナソニックシステムテクノ)
	奥村	隆昌	(富士通セミコンダクター)
	成木	保文	(メンター・グラフィックス)
	小笠原	泰弘	(ルネサスエレクトロニクス)
	金本	俊幾	(ルネサスエレクトロニクス)
客員	橋本	昌宜	(大阪大学)
	佐藤	高史	(京都大学)
	黒川	敦	(弘前大学)
	増田	弘生	(千弘技術士事務所)

JEITA Nano Scale Physical Design Working Group

3

主な報告文献

- [1] JEITA EDA技術専門委員会 アニュアルレポート
- [2] 「CMOSドライバ回路遅延のNBTI劣化ばらつき特性解析」, 情報処理学会 DAシンポジウム, 2011年8月.
- [3] 「RTNを考慮した回路特性ばらつき解析方法の検討」, 情報処理学会 DAシンポジウム, 2010年9月.
- [4] “An Approach for Reducing Leakage Current Variation due to Manufacturing Variability,” IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E92-A, No.12, Dec. 2009.
- [5] “Impact of Self-heating in Wire Interconnection on Timing,” IEICE Trans. on Electronics, Vol.E93-C, No.3, Mar. 2010.
- [6] “「製造ばらつきに起因するリーク電流変動の低減アプローチ」, 回路とシステム 軽井沢ワークショップ, 2009年4月.

(2009/4~)

JEITA Nano Scale Physical Design Working Group

4

本日の報告内容

- 配線ばらつき統計的表現手法 / Sensitivity
SPEFフォーマットの課題検討
 - 精度評価、設計適用時の課題検討
- プロセスばらつきを考慮した信頼性(NBTI)モデルの課題検討
 - 影響度調査、分布モデルの評価、設計適用時の課題検討

JEITA Nano Scale Physical Design Working Group

5

配線ばらつき統計的表現手法 SSPEFフォーマットの課題検討

JEITA Nano Scale Physical Design Working Group

6

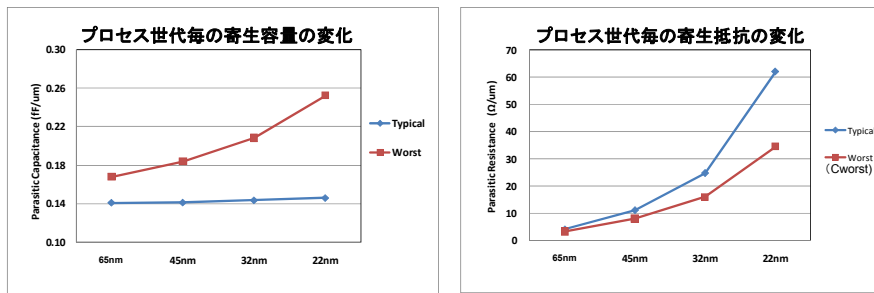
背景と目的

- 背景
 - 配線ばらつき量増大
 - Trのみならず配線コーナー増大
 - 配線コーナー数増大
 - 配線GlobalばらつきをSTAで扱った場合、温度未考慮としても配線だけで4コーナー必要(Cworst, RCworst, Cbest, RCbest)
 - SSTAで統一的に扱うことの期待
 - SSTA対応Sensitivity - SPEF: 線型感度モデルがIEEE1481 - 2009で規定
 - 適用範囲、制約の検証必要
- 目的
 - 22nmプロセスを想定し、現実的な配線、回路構造で線型感度モデルの精度検証を行い、信号伝播遅延精度への影響を評価
 - 上記結果に基づき、SSTAにおける設計に必要な配線RCのばらつき感度モデル化手法の提案

JEITA Nano Scale Physical Design Working Group

7

プロセスノード毎の容量・抵抗トレンド結果



※ITRS2007に基づき算出

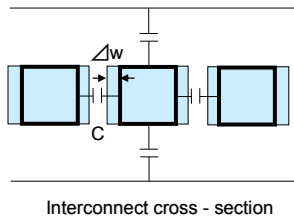
1. プロセス・ノードの微細化につれ、単位長さ当たりの寄生容量および抵抗増加
2. 配線RCのばらつき削減のためには、配線ばらつき量の削減が必要

JEITA Nano Scale Physical Design Working Group

8

Sensitivity SPEF (IEEE1481)とは

- ばらつきパラメータの変動に対するRLC感度情報を付加した
SPEF(Standard Parasitic Exchange Format)ネットリスト



Interconnect cross - section

$$\begin{aligned}
 C(p) &= C_0 \times \left(\left(1 + \sum_j (cn_j \Delta v_j) \right) / \left(1 + \sum_i (cd_i \Delta v_i) \right) \right) \\
 L(p) &= L_0 \times \left(\left(1 + \sum_j (ln_j \Delta v_j) \right) / \left(1 + \sum_i (ld_i \Delta v_i) \right) \right) \\
 R(p, T) &= R_0 \times \left((1 + a \times \Delta T + b \times \Delta T^2) \times \left(\left(1 + \sum_j (m_j \Delta v_j) \right) / \left(1 + \sum_i (rd_i \Delta v_i) \right) \right) \right) \\
 cn_j &= ((\partial C(p) / \partial p_j) / C_0) \times NF(p_j) & cd_i &= ((\partial C^{-1}(p) / \partial p_i) / (1/C_0)) \times NF(p_i) \\
 ln_j &= ((\partial L(p) / \partial p_j) / L_0) \times NF(p_j) & ld_i &= ((\partial L^{-1}(p) / \partial p_i) / (1/L_0)) \times NF(p_i) \\
 m_j &= ((\partial R(p) / \partial p_j) / R_0) \times NF(p_j) & rd_i &= ((\partial R^{-1}(p) / \partial p_i) / (1/R_0)) \times NF(p_i) \\
 \Delta v_i &= VC(p_i) \times VM(p_i) \\
 VC(p_i) &= \sigma(p_i) / NF(p_i) \\
 a &= (\partial R / \partial T) / R_0 \\
 b &= (\partial^2 R / \partial T^2) / R_0 \\
 \Delta T &= T - T_0
 \end{aligned}$$

- 複数の感度パラメータの併用が可能
- 各感度パラメータは、RLCに対して比例もしくは反比例として定義され、比例 / 反比例毎の線形和として表現される(1次式)
- RLCモデル近似精度が課題と考えられる

JEITA Nano Scale Physical Design Working Group

9

SSPEFモデル精度評価

Wmt, Tmt, Tox等、通常の配線ばらつきパラメータ、前記パラメータより算出される中間パラメータ、それぞれをSSPEF適用した場合を評価対象とする。

・容量変動量：

(3項モデル) $C = C_{typ}(1 + \alpha Wmt + \beta Tmt + \gamma Tox)$ …従来モデル

(2項モデル) $C = C_{typ}(1 + \delta Wmt / Tox + \varepsilon Tmt / S)$ …提案モデル

・抵抗変動量：

(2項モデル) $R = R_{typ}(1 + \phi / Wmt + \lambda / Tmt)$ …従来モデル

(1項モデル) $R = R_{typ}(1 + \mu / Wmt Tmt)$ …提案モデル

(Wmt：配線幅, Tmt：配線膜厚, Tox：配線層間絶縁膜厚, S：配線間隔)

感度算出方法：

容量はWmt, Tox, -Tmt、抵抗は-Wmt, -Tmtを変数として、

+1σ、+2σ、+3σ 3水準のL9直交表の試行を行い、応答曲面を求める。

上記で得られた応答曲面(=SSPEFモデル)の精度評価を行う。

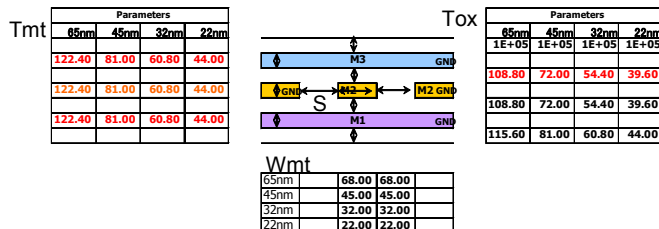
JEITA Nano Scale Physical Design Working Group

10

評価条件

断面構造

- ITRS2007各プロセス世代の構造パラメタを使用



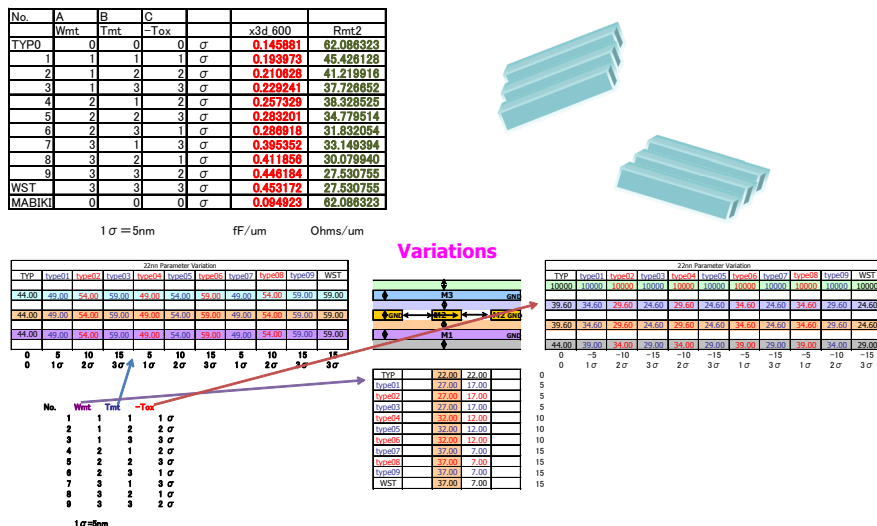
抽出環境

- プロセス・パラメタ校正: Calibre xCalibrate v.2011.1_15.11
- RC抽出: Calibre xACT 3D v.2011.1_15.11 (Field-Solver based)
- OS: Red Hat Enterprise Linux 5 64bit
- Workstation 6.5 - 7,x 仮想マシン

JEITA Nano Scale Physical Design Working Group

11

配線RC抽出条件と抽出結果



配線RC応答曲面算出

- 各パラメータのばらつき量と、対応するRC抽出結果から、RCばらつきモデル式を算出
- モデル式の算出は、RSMaker for Excel(東京工業大学大学院 理工学研究科 機械物理工学専攻 轟研究室)を使用

配線容量モデル算出結果

Wmt, Tmt, Tox, S : [nm]
C : [fF/um]

■ 3変数(3項)モデル (SSPEF対応可)

$$C = -0.261 + 0.0177 * Wmt + 0.000919 * Tmt - 1.16 / Tox$$

■ 2変数(2項)モデル (SSPEF対応可)

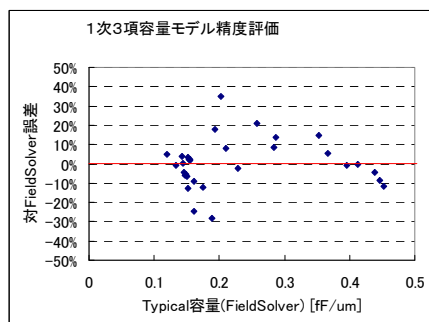
$$C = 0.0395 + 0.0391 * Wmt / Tox + 0.0425 * Tmt / S$$

■ 2次式2変数(2次2項)モデル (参考)

$$C = 0.0347 + 0.0371 * Wmt / Tox + 0.0467 * Tmt / S + 0.00481 * (Wmt / Tox)^2 - 0.00270 * (Wmt / Tox) * (Tmt / S) - 0.0000914 * (Tmt / S)^2$$

容量モデル精度評価結果

・3項モデル(W,Tmt,Tox)の場合、30%以上のモデル誤差

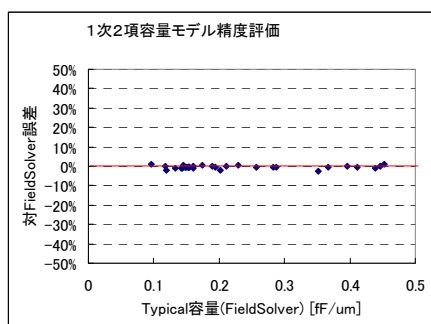


JEITA Nano Scale Physical Design Working Group

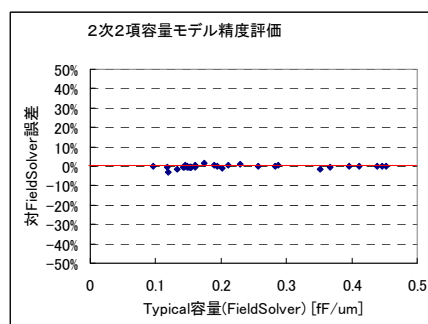
15

容量モデル精度評価結果

・2項モデル(W / Tox, Tmt / S)を用いることにより、平均誤差1%以下に削減
 ・また2項モデルを用いることにより、1次式モデルでも十分2次式モデルと同等の精度



最大誤差	2.6%
平均誤差	0.9%



最大誤差	3.0%
平均誤差	0.8%

※平均誤差は自乗平均で定義

JEITA Nano Scale Physical Design Working Group

16

容量モデル精度評価考察

- 配線幅(W)、配線膜厚(Tmt)、絶縁膜厚(Tox)の3変数をパラメータとした場合、22nmプロセスを想定すると、30%を超える容量誤差が発生
- 配線幅 / 配線間膜厚(Wmt / Tox)、配線膜厚 / 配線間隔(Tmt / S)の2変数をパラメータとすることにより、容量誤差を最大3%に抑えることが可能
- 1次式モデルでも上記モデルを用いることにより、2次式モデルと同精度のモデル化が可能

JEITA Nano Scale Physical Design Working Group

17

配線抵抗モデル算出結果

Wmt, Tmt, Tox, S : [nm]
R : [$\Omega/\mu\text{m}$]

■ 1次式2変数(2項)モデル (SSPEF対応可)

$$R = -44.6 + 1242.0259 / Wmt + 2200 / Tmt$$

■ 1次式1変数(1項)モデル (SSPEF対応可)

$$R = -0.000376 + 60100 / (Wmt \cdot Tmt)$$

■ 2次式2変数(2次2項)モデル (参考)

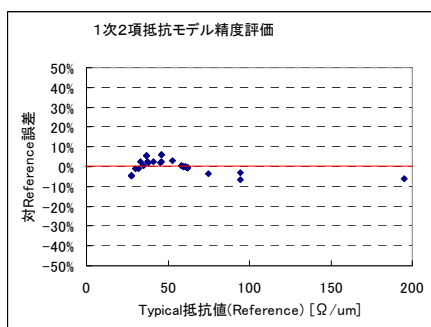
$$\begin{aligned} R = & -0.000495 + 0.0562 / Wmt - 0.0522 / Tmt \\ & - 1.978 / Wmt^2 + 60100 / (Wmt \cdot Tmt) \\ & - 1.93 / Tmt^2 \end{aligned}$$

JEITA Nano Scale Physical Design Working Group

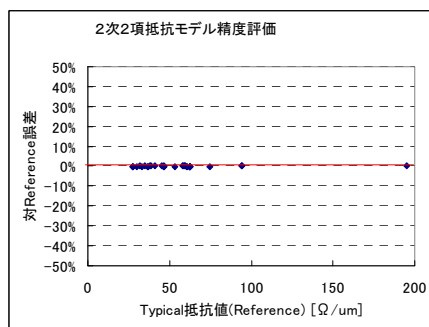
18

抵抗モデル精度評価結果

- ・2項モデルであれば、最大7%程度の誤差
- ・2次式モデルを用いれば、誤差はほぼゼロ



最大誤差	6.8%
平均誤差	3.3%



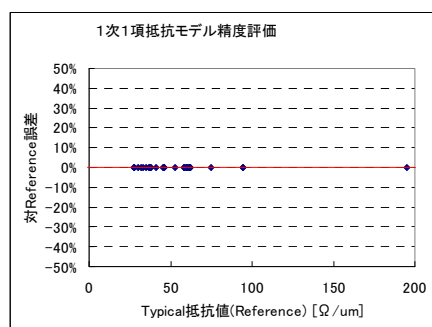
最大誤差	0.002%
平均誤差	0.001%

JEITA Nano Scale Physical Design Working Group

19

抵抗モデル精度評価結果

- ・1項モデル($1 / Wmt Tmt$)を用いることにより、1次式モデルであっても、モデル誤差をほぼゼロにすることが可能



最大誤差	0.012%
平均誤差	0.002%

JEITA Nano Scale Physical Design Working Group

20

抵抗モデル精度評価考察

- $1 / \text{配線幅}$ ($1 / W_{mt}$)、 $1 / \text{配線膜厚}$ ($1 / T_{mt}$)の2変数をパラメータとした場合(2項モデル)、22nmプロセスを想定すると、最大7%の抵抗誤差が発生
- ただし、 $1 / \text{配線幅} \cdot \text{配線膜厚}$ ($1 / W_{mt} T_{mt}$)をパラメータとした場合(1項モデル)は、ほぼモデル誤差をゼロにすることが可能
- 1次式モデルでも上記モデルを用いることにより、2次式モデルと同精度のモデル化が可能

遅延に対するインパクト評価

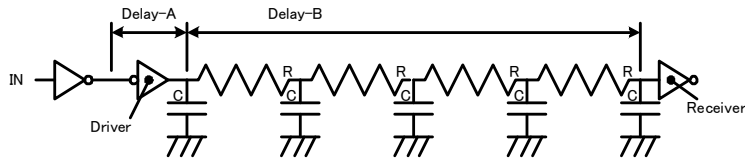
- 先に評価した、Sensitivity - SPEFによる配線RCばらつきモデル精度評価結果を用いて、遅延誤差へのインパクトを評価
- 実験計画表に基づき、ばらつき成分(W, T_{mt}, T_{ox})を変動させ、シミュレーション実施
- 配線長は、Typical条件で 配線遅延=セル遅延 となる配線長(L_w)とし、前記配線長(L_w)から配線RC値を決定

遅延評価条件

SPICEモデル : PTM 22nm LP (Bulk)
 SPICE電流モデル : BSIM4
 電源電圧(VDD) : 0.95V
 基本INV(INV - X32) : PMOS (W=135nm * 22 / 45, L=22nm)
 : NMOS (W=90nm * 22 / 45, L=22nm)
 ~Nangate社45nmライブラリの基本INVを使用

下図の等価回路を用いて、RCのばらつき成分が遅延時間に及ぼす影響について調査

Delay - A : セル遅延(Driver)
 Delay - B : 配線遅延(Line)

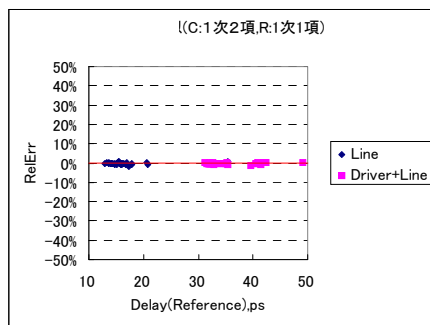


JEITA Nano Scale Physical Design Working Group

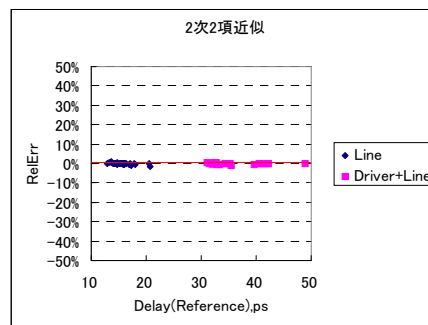
23

遅延精度評価

・容量2項モデル(Wmt / Tox, Tmt / S)および抵抗1項(1 / Wmt Tmt)モデルを用いた場合、遅延平均誤差は約1%であり、2次式モデル(容量:Wmt / Tox, Tmt / S; 抵抗:1 / Wmt, 1 / Tmt)とほぼ同等の精度を得ることが可能である。



最大誤差	1.4%
平均誤差	0.4%



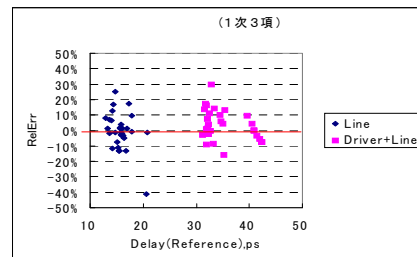
最大誤差	0.9%
平均誤差	0.3%

JEITA Nano Scale Physical Design Working Group

24

遅延精度評価(3項モデル)

•容量3項モデル(Wmt, Tmt, Tox)、抵抗2項モデル($1/Wmt, 1/Tmt$)を用いた場合、20%を超える遅延モデル誤差



最大誤差	29.7%
平均誤差	9.5%

JEITA Nano Scale Physical Design Working Group

25

配線ばらつきモデル課題検討まとめ

- 22nmプロセスを想定し、配線ばらつき込みネットリストフォーマットSensitivity - SPEF (IEEE1394 - 2009)の誤差評価を実施
- 配線幅、配線膜厚、絶縁膜厚をパラメータとしてSSPEFモデル適用した場合、30%を超える容量誤差、20%の遅延誤差が発生
- Sensitivity-SPEF (SSPEF)モデルを使用する場合であっても、配線幅 / 配線間膜厚 (W / Tox)、配線膜厚 / 配線間隔 (Tmt / S)、配線膜厚 × 配線間隔 ($Tmt \times W$)等ばらつき変数から演算される変数をパラメータとすることで、容量誤差を3%、遅延誤差を1%に抑制可能

JEITA Nano Scale Physical Design Working Group

26

プロセスばらつきを考慮した集積回路 のNBTI故障率解析モデル検討

JEITA Nano Scale Physical Design Working Group

27

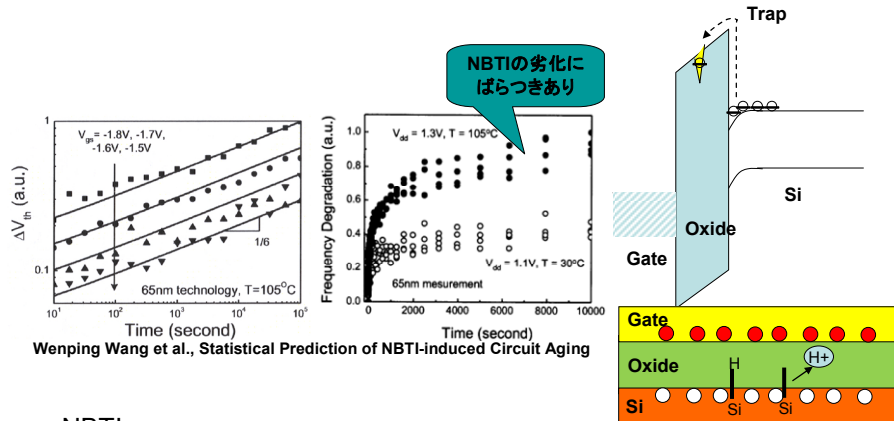
背景と目的

- 背景:
 - 車載用SOCの信頼性設計では1FIT ($=10^{-9}$ 回/時
 $\div 10^{-5}$ 回/年)レベルの品質保証が要求される。
 - さらに、NBTIのしきい値電圧劣化にはばらつきがあり、
1FITレベルの品質を議論するには、そのばらつきの
影響も考慮する必要がある。
- 目的:
 - NBTI劣化特性のばらつきを表現すること
 - 22nmCMOSでのNBTI劣化特性を予測すること

JEITA Nano Scale Physical Design Working Group

28

NBTI



• NBTI

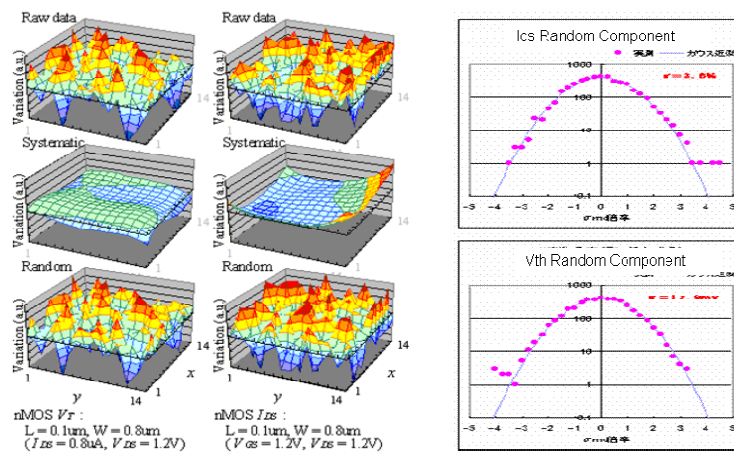
- PMOSに負のバイアスが印加されることにより、PMOSのしきい値が変動・劣化する現象。
 - Si-H結合の破壊により界面準位が増加
 - ゲート電極から基板に電子がトンネルし、正孔のトラップが起きる

JEITA Nano Scale Physical Design Working Group

29

RDF variation

RDF (Random Doping Fluctuation)は、正規分布に従ってばらつくことが知られている。



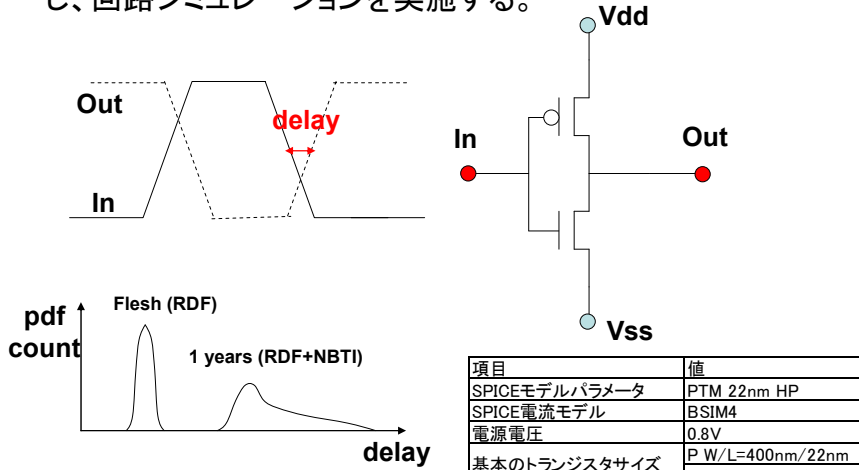
H. Masuda et al. "Challenge: Variability Characterization and Modeling for 65- to 90-nm Processes", CICC'05 Abstract, pp.594-600, Oct., 2005.

JEITA Nano Scale Physical Design Working Group

30

遅延劣化解析用回路(インバータ)

- 立ち上がり遅延時間のばらつきを、RDF + NBTI劣化を考慮し、回路シミュレーションを実施する。

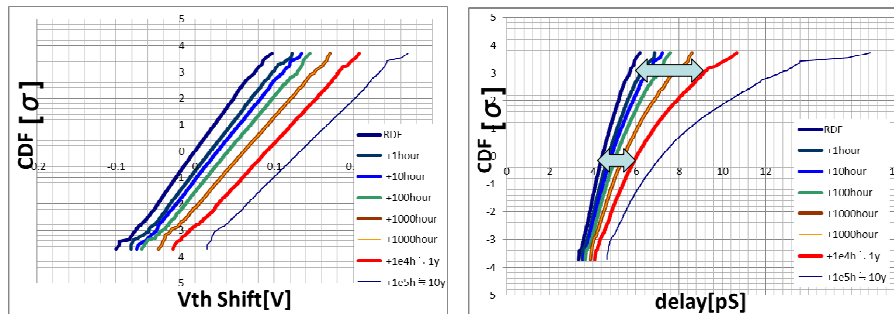


2011.03.20

JEITA Nano Scale Physical Design Working Group

31

遅延劣化解析



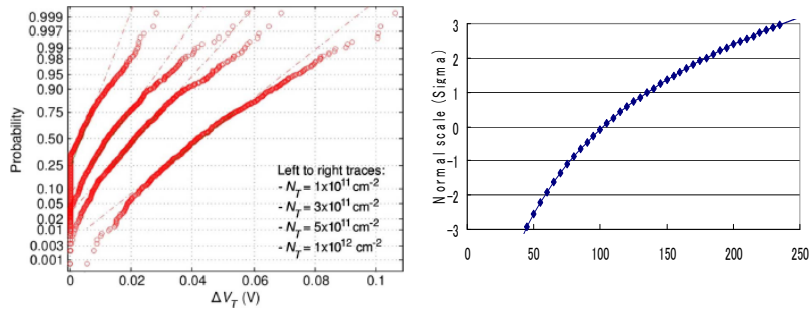
- NBTIのばらつきを正規分布で仮定し、遅延シミュレーションした結果
- 1万時間後の劣化量
 - Vth Shift: 約90mV
 - Delay:
 - +36% (typical)
 - +60% (+3σ)
- NBTIのばらつきの影響は無視できない。

JEITA Nano Scale Physical Design Working Group

32

NBTIしきい値電圧シフト量の分布

- 左図: NBTIシフト量分布の3次元デバイスシミュレーションの累積分布
- 右図: 対数正規確率分布の正規確率紙上の累積分布
 - 両者はよく形状が一致しており、対数正規分布で近似できるとした。



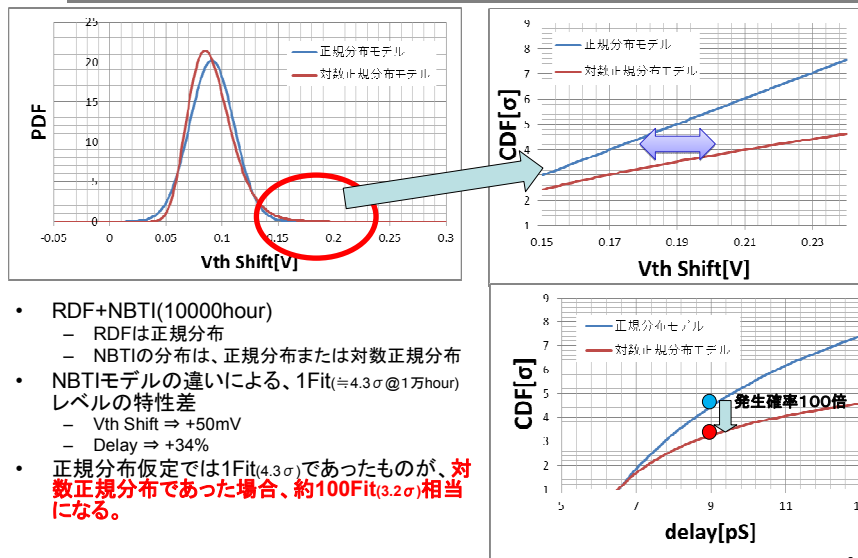
Asenov et al.: 45nm
IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 57, NO. 4, APRIL 2010

2011.03.20

JEITA Nano Scale Physical Design Working Group

33

NBTIモデルの違いと1Fitレベルの解析



- RDF+NBTI(10000hour)
 - RDFは正規分布
 - NBTIの分布は、正規分布または対数正規分布
- NBTIモデルの違いによる、1Fit($\approx 4.3\sigma$ @ 1万hour)レベルの特性差
 - Vth Shift $\Rightarrow +50\text{mV}$
 - Delay $\Rightarrow +34\%$
- 正規分布仮定では1Fit(4.3σ)であったものが、**対数正規分布であった場合、約100Fit(3.2σ)相当になる。**

JEITA Nano Scale Physical Design Working Group

34

信頼性(NBTI)モデル調査まとめ

- 信頼性が求められるSOCにおいて議論されるような1Fitレベルのばらつきの影響度に着目し、NBTIのばらつきが遅延に与える影響を考察した。
 - NBTIのばらつき現象
 - NBTI劣化が素子ごとにばらつく影響
 - NBTIのばらつきの分布形状
 - ばらつきの確率密度分布の形状の影響(対数正規分布近似)
- 信頼性の統計的解析を、22nm CMOSインバータ回路遅延特性劣化で評価した。
 - 従来のNBTI分布解析で1FITレベルの劣化が、本提案の解析では100FITとなることを示した
 - 劣化分布の微小確率を議論する場合、NBTI劣化特性分布形状を正しく見た解析技術が大切である

JEITA Nano Scale Physical Design Working Group

35

結言

- 微細プロセスにおけるLSI設計においては、配線ばらつきや信頼性をはじめとする、さまざまな課題が健在化しており、単独での解決が困難になってきています
- JEITAナノ世代物理設計WGでは、引き続き、各企業、大学等関係機関の協力のもと、新規課題の調査、および、解決手法の提案活動を行っていきます
- 今後とも関係各位のご協力をお願い致します

JEITA Nano Scale Physical Design Working Group

36

4.4.4 ITRS(国際半導体技術ロードマップ)の紹介(その1)
～LSI 設計技術のロードマップ(課題と解決策)～

ITRS(国際半導体技術ロードマップ)の紹介



LSI設計技術のロードマップ ～課題と解決策～

2011年 11月17日

JEITA半導体技術ロードマップ専門委員会(STRJ)
設計ワーキンググループ(WG1) 中山 勝敏

(ルネサス エレクトロニクス)

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 1

目次



- ◆ ITRS 概要紹介
- ◆ ITRS System Drivers章紹介
- ◆ ITRS Design章紹介
- ◆ ITRS Design章のメッセージ
- ◆ STRJ 設計WGの活動内容
- ◆ ITRS/STRJ Webサイト紹介

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 2

目次



- ◆ ITRS 概要紹介
- ◆ ITRS System Drivers章紹介
- ◆ ITRS Design章紹介
- ◆ ITRS Design章のメッセージ
- ◆ STRJ 設計WGの活動内容
- ◆ ITRS/STRJ Webサイト紹介

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 3

ITRS 概要



国際半導体技術ロードマップ

(International Technology Roadmap for Semiconductors)

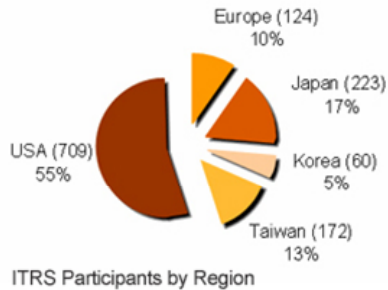
世界5極(米国、日本、欧州、韓国、台湾)の専門家が作成・編集

- ・15年後までの産業界の研究開発のニーズに関する「現時点での最良の予測」をロードマップとして提示(毎年改訂)
- ・ワールドワイドの半導体技術開発に対する協力および素材材料/製造装置における協調の指針
- ・研究開発投資判断の質を向上させ、研究の成果が最大になるように支援

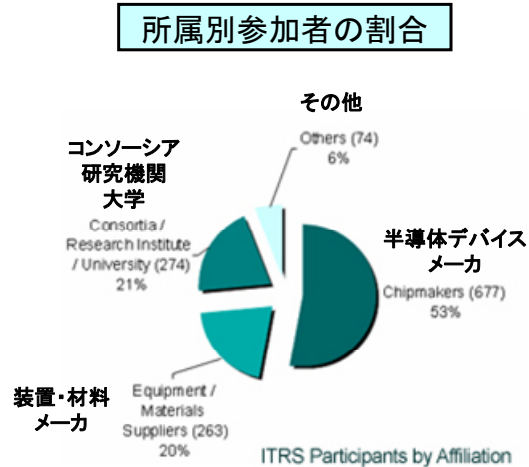
Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 4

ITRSの委員構成



世界5極からの参加者の割合



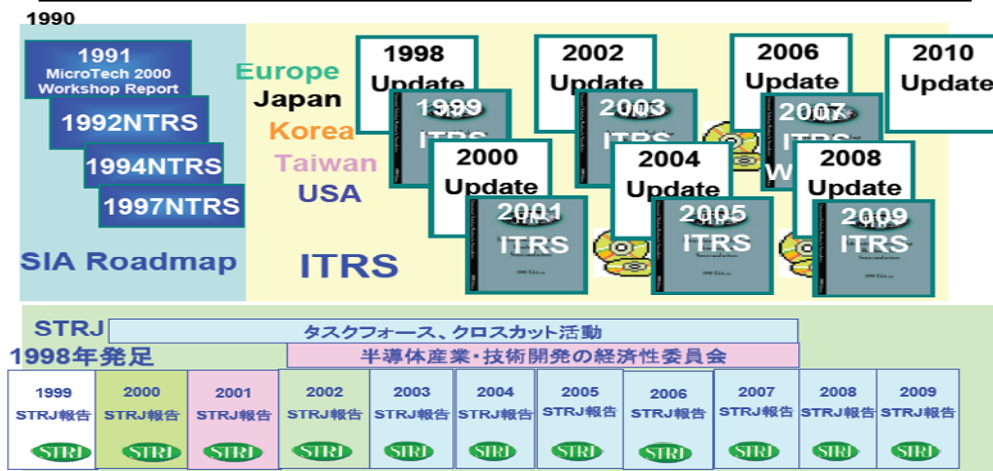
Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 5

ITRSとSTRJの協力体制



- ・ITRSは1998年からスタート、STRJも同年に発足
- ・奇数年に大改定、偶数年は小変更。今年は大改定の年
- ・STRJは、国内独自活動も行い、それを報告書としてまとめている



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 6

ITRSの章構成



エグゼクティブ・サマリー
システム・ドライバ
デザイン
テストとテスト装置
プロセスインテグレーション、デバイス、および構造
無線通信のための高周波およびアナログ・ミックスド・シグナル技術
新探究素子
新探究材料
フロントエンドプロセス
リソグラフィ
配線
ファクトリインテグレーション
アセンブリ&パッケージング
環境、安全と健康(E S & H)
歩留り改善
計測
モデリング&シミュレーション

技術要求とその
解決策を提示
(Requirements
and Solutions)

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 7

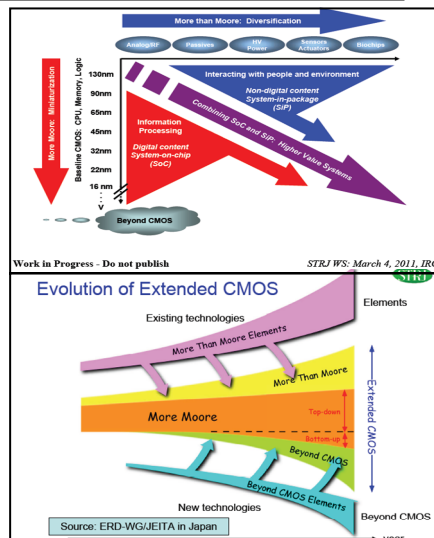
ITRSの扱う対象



・More Moore(微細化)とMore than Moore(実装での工夫)を扱う

ITRSでの定義

- More Moore
 - Geometrical Scaling: 幾何学的(寸法の)スケーリング
 - Equivalent Scaling: 等価的(実効的)スケーリング
 - Design Equivalent Scaling: 設計による等価的微細化
- More than Moore
 - 必ずしも微細化のみによらない多様化
 - SiP(System in Package)技術による異種のチップの集積化
- Beyond CMOS
 - シリコンCMOS技術に代わる新技術



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 8

ITRSのお作法(その1)

STRJ

- ・達成すべき目標(Requirement)を数値でテーブル化
- ・また、その数値の達成の可能性を色分けで表現

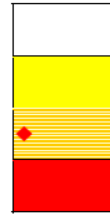
Year of Production	2009	2010	2011	2012	2013	2014	2015	2016
DRAM Pitch (nm) (contacted)	52	45	40	36	32	28	25	22.5
Design Reuse								
Design block reuse [1]								
% to all logic size	38%	40%	41%	42%	44%	46%	48%	49%
Platform Based Design								
Available platforms [2]								
Normalised to 100% in the start year [3]	75%	70%	60%	55%	52%	48%	45%	43%
Platforms supported [4]								
% of platforms fully supported by tools [5]	35%	50%	57%	64%	75%	80%	85%	90%
High Level Synthesis								
Accuracy of high level estimates (performance, area, power, costs) [6]	66%	70%	73%	76%	80%	83%	86%	90%
Reconfigurability								
SOC reconfigurability [7]								
% of SOC functionality reconfigurable	30%	35%	38%	40%	42%	45%	48%	50%

生産可能な解決策があり、最適化が進行中
(Manufacturable solutions exist, and are being optimized)

生産可能な解決策が知られている
(Manufacturable solutions are known)

暫定的な解決策が知られている
(Interim solutions are known)

生産可能な解決策が知られていない
(Manufacturable solutions are NOT known)



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 9

ITRSのお作法(その2)

STRJ

- ・達成のための課題解決策(Solution)の実現時期を色分けで予想
- ・2社が実現したら達成とみなす

First Year of IC Production	2008	2010	2011	2012	2013	2014	2016	2017	2018	2019	2020	2021	2022	2023	2024
System-level component reuse															
Chip-package co-design methods															
Improved system-level power estimation techniques															
On-chip network design methods															
Mixed-Signal/RF verification															
Automated interface synthesis															
HW-SW co-design and verification															
Multi-fabric implementation planning (AMS, RF, MEMS, ...)															

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 10

MPU/ASICのテクノロジトレンド

STRJ

・2016年に18.9nm、2024年に7.5nmまで微細化すると予想

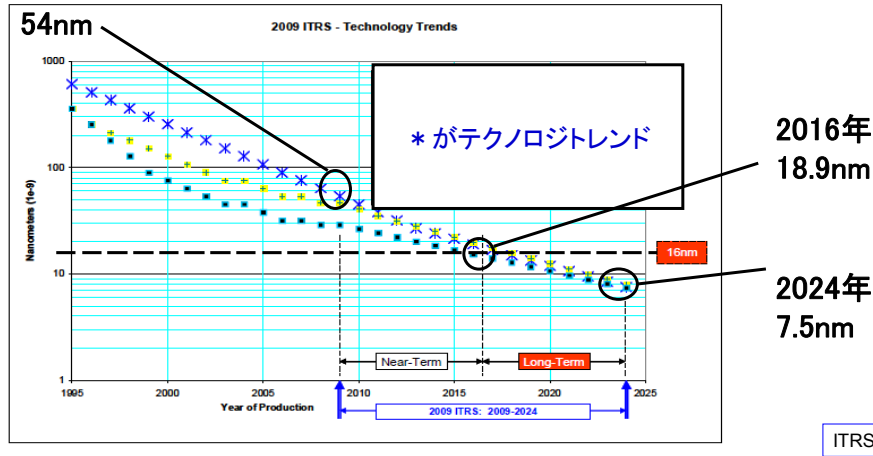


Figure 5b MPU/high-performance ASIC Half Pitch and Gate Length Trends

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 11

テクノロジの定義

STRJ

・MPU/ASICでは、M1(メタル1層)のハーフピッチから算出

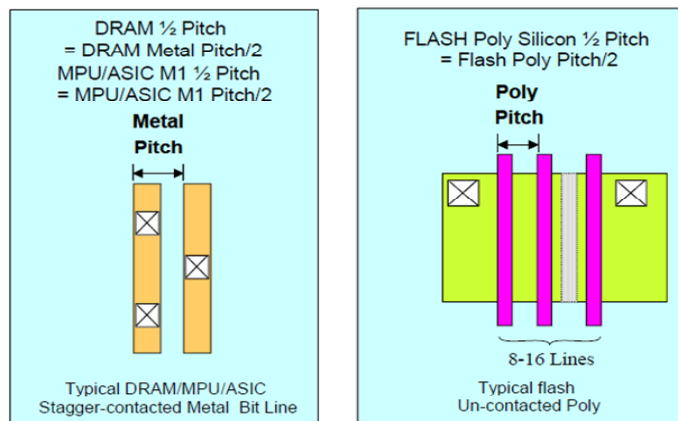


Figure 1 2009 Definition of Pitches

(注) 統一した値ではなくデバイス毎に異なる値が使われる

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 12

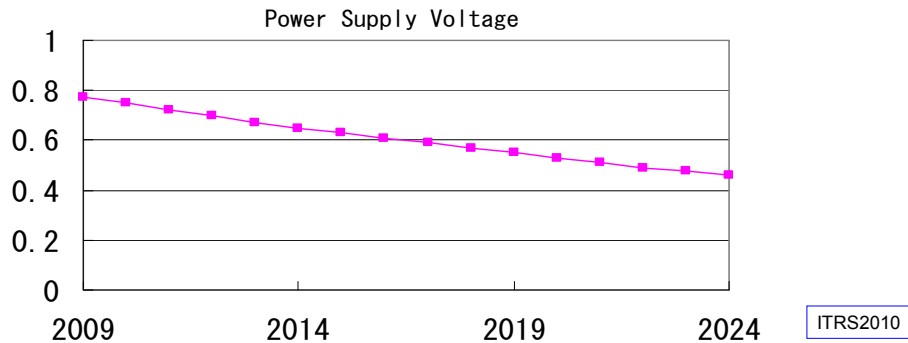
電圧値のトレンド



・LOPプロセスでは、電圧値が、2024年に0.46Vになると予想

Table PIDS3B Low Operating Power Technology Requirements

Year of Production	2009	2010	2011	2012	2013	2014	2015	2016
V_{dd} : Power Supply Voltage (V) [9]								
Bulk/UTB FD/MG	0.77	0.75	0.72	0.7	0.67	0.65	0.63	0.61



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 13

ITRS章構成とSTRJでの担当WG



章構成	STRJ WG
エグゼクティブ・サマリー	
システム・ドライバ(System Drivers)	WG1 設計
デザイン(Design)	WG1 設計
テストとテスト装置	WG2 テスト
プロセスインテグレーション、デバイス、および構造	WG6 PIDS
無線通信のための高周波およびアナログ・ミックスド・シグナル技術	WG6 (SWG) RF
新探究素子	WG12 ERD
新探究材料	WG13 ERM
フロントエンドプロセス	WG3 FEP
リソグラフィ	WG5 リソグラフィ
配線	WG4 配線
ファクトリインテグレーション	WG8 FI
アセンブリ&パッケージング	WG7 実装
環境、安全と健康(E S & H)	WG9 ES&H
歩留り改善	WG11 歩留向上
計測	WG14 メトロロジ
モデリング&シミュレーション	WG10 モデリング/シミュレーション

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 14

目次

STRJ

- ◆ ITRS 概要紹介
- ◆ ITRS System Drivers章紹介
- ◆ ITRS Design章紹介
- ◆ ITRS Design章のメッセージ
- ◆ STRJ 設計WGの活動内容
- ◆ ITRS/STRJ Webサイト紹介

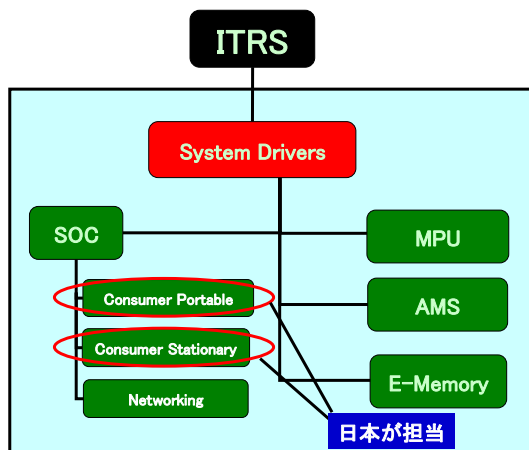
Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 15

System Drivers章

STRJ

ITRSの製造技術および設計技術をドライブする製品分野と
分野毎の仕様や要求を定義



【System Drivers章の目的】

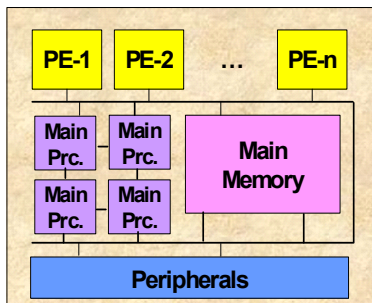
- ・新しい技術の導入は各ドライバ
(SOC/MPU/AMS/E-Memoryなど)
に依存する。
- ・これらのドライバが ITRSすべての章の
技術ロードマップを牽引。

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 16

Consumer Portable SOCモデル(以降CP-SOC) STRJ

- 携帯電子機器向けのSOCを想定
- 特徴: 特定用途向けProcessing Engine(PE)を複数搭載
- 構造: Main Processor(マルチコア) + PE + Peripherals + Main Memory
- Processing Engine (PE):
 - 特定機能にカスタマイズした回路ブロック(規模の大きい機能は複数のPEで実装)



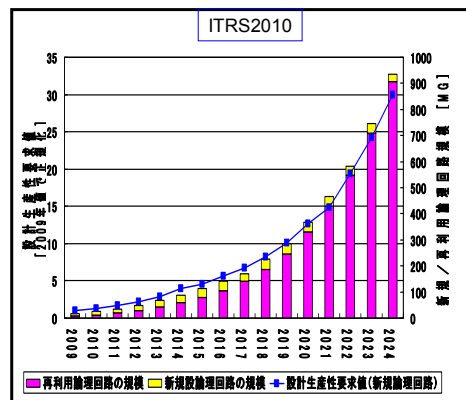
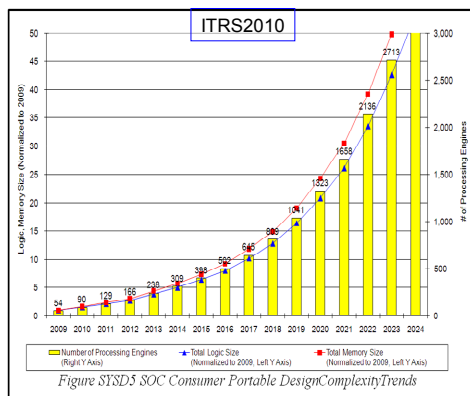
- Die Size: 49mm²(2008)から44mm²(2023)へ縮小
- Main Processor: 搭載数は4(2008)から14(2023)へ増加
ロジック = 1MG (一定)、メモリ = 512kbit (一定)
- Processing Engine
 - ▲ 回路規模: ロジック = 250kG (一定)
メモリ = 64kbit (一定)
 - ▲ 動作周波数: デバイス性能に比例し高速化
 - ▲ 搭載PE数: チップ面積に搭載可能な最大個数
- Main Memory: 搭載PE数 X 1Mbit
- Peripherals
回路規模: 1.5MG (一定)
動作周波数: PEの25%

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 17

CP-SOCの複雑度と設計生産性要求値 STRJ

- 複雑度: 論理回路規模: **53倍に増加**(2009年⇒2024年)
(PE数: 54個 ⇒ 3404個に増加(2009年⇒2024年))
- 設計生産性の要求値: **30倍に増加**(2009年⇒2024年)



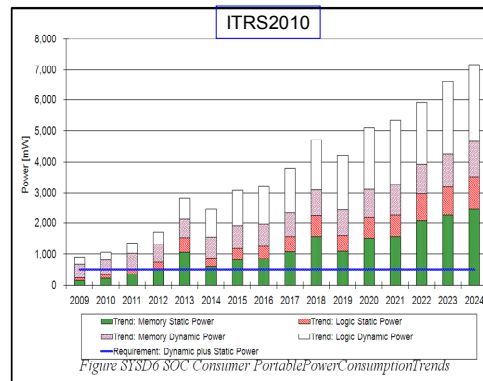
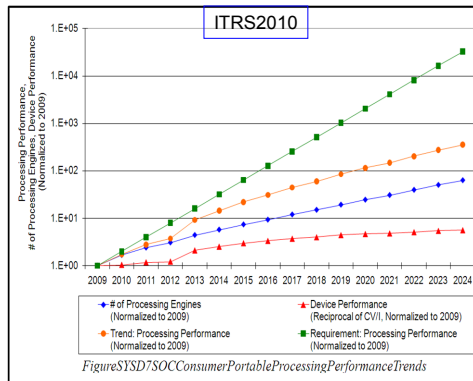
Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 18

CP-SOCのPerformanceとPower



- 総演算能力(∞ <デバイス性能> × <PE数>) :
356倍に増加 (2009年 ⇒ 2024年)
- 消費電力: 0.9Wから7.2Wへ8倍に増加 (2009年⇒2024年)



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 19

目次



- ◆ ITRS 概要紹介
- ◆ ITRS System Drivers章紹介
- ◆ ITRS Design章紹介
- ◆ ITRS Design章のメッセージ
- ◆ STRJ 設計WGの活動内容
- ◆ ITRS/STRJ Webサイト紹介

Work in Progress - Do not publish

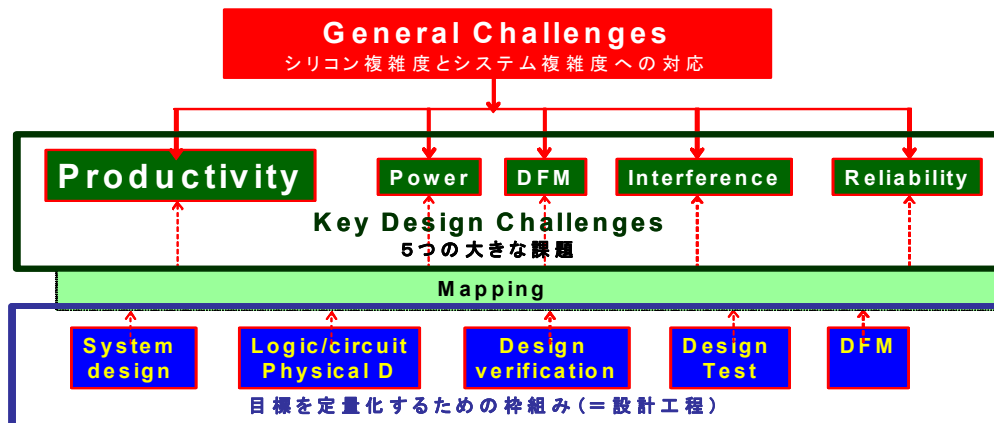
System Design Forum: November 17, 2011, STRJ WG1 Design 20

Design章の構成

STRJ

～設計技術のロードマップ～

- ・設計生産性や消費電力など5つの設計課題を設定
- ・その解決策を5つの設計工程で検討し、ロードマップ化



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 21

目次

STRJ

- ◆ ITRS 概要紹介
- ◆ ITRS System Drivers章紹介
- ◆ ITRS Design章紹介
- ◆ ITRS Design章のメッセージ
- ◆ STRJ 設計WGの活動内容
- ◆ ITRS/STRJ Webサイト紹介

Work in Progress - Do not publish

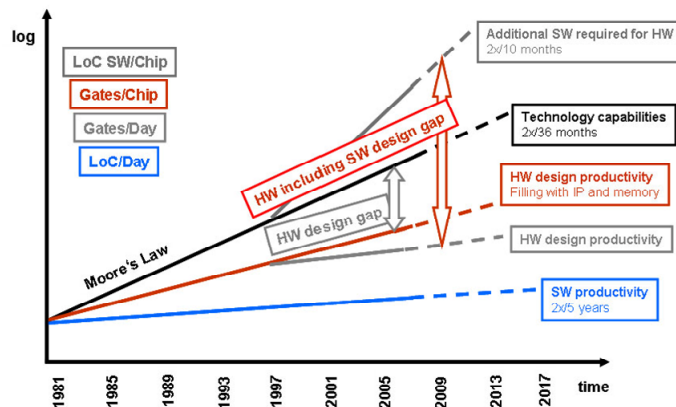
System Design Forum: November 17, 2011, STRJ WG1 Design 22

SLDのメッセージ

STRJ

～RTLよりも上位の新しい抽象レベルが必要～

- SYSTEM-LEVEL DESIGN
RTLでの記述に限界



DESIGN 3

Hardware and Software Design Gaps Versus Time

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 23

L/C/Pのメッセージ

STRJ

～複数の設計パラメータを同時に考慮して最適化する～

- Asynchronous global signaling
 - 非同期クロックのハンドシェイクを用いたモジュールを増やし、GALS(globally asynchronous locally synchronous)設計を促進する。
- Parameter uncertainty
 - 論理/回路設計でのプロセスばらつきの正確な考慮が必要
- Simultaneous analysis objectives
 - タイミング、消費電力、面積、SI/PI、ばらつき など同時に解析。統計的手法も本流化。
- Number of circuit families in a single design
- Analog content synthesized
- Adaptive/self-repairing circuits
- Full-chip leakage power
- 'Native' 3D design technology

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 24

Verificationのメッセージ

～「場当たりの」から「構造的でフォーマル」な検証へ～

- ・ **検証効率**: 10人の設計チームが1年で検証すべきゲートサイズ
 - 2005年→2020年 約60倍
- ・ **メソドロジー**
 - フォーマル検証、SW/HW協調検証、フォーマル仕様記述の普及
- ・ **再利用**
 - 検証環境の再利用促進、検証IPの普及
- ・ **検証の評価指標(メトリックス)**
 - ファンクションカバレッジの適用率向上
- ・ **検証容易化設計 / 検証容易化のための仕様表現**
- ・ **高位抽象レベル**
- ・ **アナログ/ミックスドシグナル**

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 25

DFMのメッセージ

～ばらつきとリソグラフィへの対応～

22nm以降では、プロセスばらつきにより、LatchやInverterの故障率がSRAMと同程度になるとの記載もあり。

- ・ **設計課題としての歩留り予測と最適化**
 - レイアウト(またはより上位設計)でのDFM対策
 - 歩留りモデル
- ・ **ばらつきを補償する設計技術**
 - 性能と消費電力の両方のばらつき
 - システマティックとランダムばらつきによる統計的な歩留り損失
 - プロセスの様々な要因(電源供給、温度、閾値電圧含む)ばらつきを引き起こす環境の最適化
- ・ **リソグラフィ制約に対応した設計フロー**

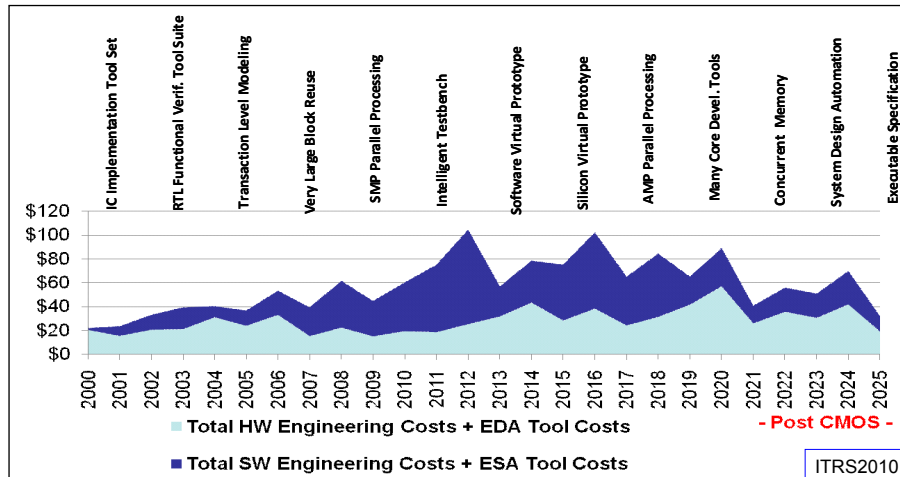
Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 26

Design Costチャート



- ・ハードだけではなく、ソフトウェアも含めた設計コストチャートを掲載
- ・ソフトウェアの設計コストの増大も大きな課題



Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 27

まとめ



・ System Driver章

- ITRSの製造技術および設計技術をドライブする製品分野と分野毎の仕様や要求を定義
- これらのドライバが ITRSすべての章の技術ロードマップを牽引
- 今後、MoreThanMooreを牽引するドライバーの検討なども必要

・ Design章

- 設計生産性や消費電力など5つの設計課題を設定
- その解決策を5つの設計工程で検討し、ロードマップ化
- 低消費電力技術のロードマップ化やソフトウェア設計課題をITRSとしてどこまで扱うかなどが課題

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 28

目次



- ◆ ITRS 概要紹介
- ◆ ITRS System Drivers章紹介
- ◆ ITRS Design章紹介
- ◆ ITRS Design章のメッセージ
- ◆ STRJ 設計WGの活動内容
- ◆ ITRS/STRJ Webサイト紹介

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 29

設計WGの活動内容(2006～2010年度)



2006年度	設計遅れ要因変化の分析と提言 ・要因変化(3年間)の分析と課題解決策 DFMのSOC設計への影響考察 ・ばらつきの影響の考察
2007年度	SOC設計技術ロードマップの詳細化/定量化 ・論理検証と物理設計で「設計生産性向上」の ロードマップを定量化
2008年度	SOCの低消費電力設計技術の課題と解決策 ・消費電力トレンド/低消費電力設計技術のロードマップ作成
2009年度	SOC大規模化に向けての検証阻害要因分析 ・検証課題の深耕
2010年度	機能検証の解決策の深耕 ・SOC機能検証技術の進展と今後の取り組み

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 30

目次



- ◆ ITRS 概要紹介
- ◆ ITRS Drivers章紹介
- ◆ ITRS Design章紹介
- ◆ ITRS Design章のメッセージ
- ◆ STRJ 設計WGの活動内容
- ◆ ITRS/STRJ Webサイト紹介

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 31

参考文献： 関連webサイトのURL



- ・ ITRSの公式ホームページ
 - <http://public.itrs.net/>
 - ITRS 2010update はじめ、ITRSの最新情報
- ・ JEITAのロードマップのホームページ
 - <http://strj-jeita.elisasp.net/strj/index.htm>
 - ITRS 2009の日本語訳
 - その他 STRJ(半導体技術ロードマップ専門委員会)の活動情報など

Work in Progress - Do not publish

System Design Forum: November 17, 2011, STRJ WG1 Design 32

4.4.5 ITRS (国際半導体技術ロードマップ) の紹介 (その2)

～ITRS から見る SoC テストの課題とシステム設計への要望～

STRJ

SoCテストのロードマップから見る 課題と解決策

2011.11.17

STRJ(半導体技術ロードマップ専門委員会)

WG2(テストWG)

小林 拓也(パナソニック)

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

STRJ

Agenda

- はじめに
 - SoCのテスト, ITRS, STRJ, WG2活動内容
- ITRS テスト章から見る課題
 - 品質とコストのトレードオフ
- テストの課題と解決策案
 1. EDAツールの機能/処理能力不足
 2. 実動作経路のテスト
 3. 実使用状態考慮のテスト
 4. 上流設計とテスト
- まとめ
 - 用語集

1

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

はじめに

「SoCのテスト」とは
ITRSとは
STRJとは
STRJ-WG2(テストWG)

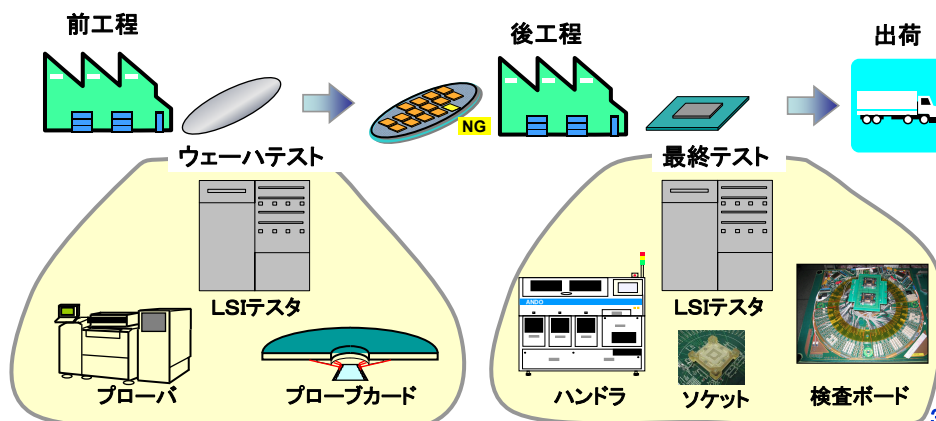
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

「SoCのテスト」とは 本講演では【テスト ≠ 検証】

- 製造工程にて良品/不良品を選別するための手段
- LSIテストを用いることが一般的
- SoCとLSIテストの接続のために、様々な検査治具を用いる
プローブカード、ハンドラー、ソケット、検査ボード...



Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

ITRSとは

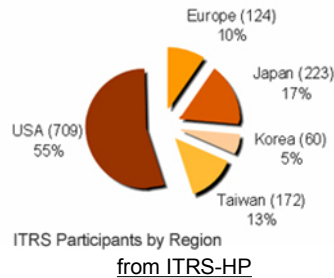


International Technology Roadmap for Semiconductors

国際半導体技術ロードマップ

<http://www.itrs.net>

- USA, 欧州, アジア(日韓台)から集う
- 技術分野ごとにITWGに分かれて、「技術要件, ポテンシャルソリューション」を明示する
System Drivers, Design, **Test**, Front End Processes, Assembly & Packaging ...
- 年3回 Conference を開催
◆春: 欧州 / 夏: US / 冬: アジア
- 2年に一度(奇数年)に改訂、偶数年は小アップデート



ITRS2011は12月に公開予定。本日はITRS2009の内容が中心

4

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

STRJとは



Semiconductor Technology Roadmap Committee of Japan

半導体技術ロードマップ専門委員会

<http://strj-jeita.elisasp.net/strj/index.htm>

●JEITA 半導体部会の組織

●活動概要

半導体技術の15年先までの姿を、ITRSと連携し、詳細技術項目にブレークダウンして予測する。

●ITRSの各WG(ITWG)に対応するWGにて活動

ITRSの章(ITWG)	STRJのWG
1. Executive Summary	
2. System Drivers	WG1 設計
3. Design	WG1 設計
4. Test & Test Equipment	WG2 テスト
5. Process Integration, Devices & Structures	WG6 PIDS
6. RF and A/MS Technologies for Wireless Communications	WG6(SWG) RF
7. Emerging Research Devices	WG12 ERD
8. Emerging Research Materials	WG13 ERM
9. Front End Processes	WG3 フロントエンドプロセス
10. Lithography	WG5 リソグラフィ
11. Interconnect	WG4 配線
12. Factory Integration	WG8 ファクトリインテグレーション
13. Assembly & Packaging	WG7 実装
14. Environment, Safety & Health	WG9 ES&H
15. Yield Enhancement	WG11 歩留向上
16. Metrology	WG14 メトロロジ
17. Modeling & Simulation	WG10 モデリング/シミュレーション

ITRSとSTRJの関係@ITRS2009

5

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

STRJ-WG2(テストWG)



◆活動内容

- 1) ITRS テスト章の作成(他極と分担して)
SoCのDFT(テスト容易化設計), プローバー, プローブカード,
ハンドラー, ソケットを担当
- 2) STRJ独自活動 (ITRSを意識しながら)
SoCのテストの課題と解決策等について,
DFT/テスト装置・治具の両面から検討
→STRJワークショップ(毎年3月)や活動報告書にて発信

◆参加企業 全25名

※五十音順

半導体デバイス メーカー	ソニーLSIデザイン, 東芝, パナソニック, 富士通セミコンダクター, ルネサスエレクトロニクス, ローム
テスト装置・治具 メーカー (主に「日本半導体製 造装置協会」から)	アドバンテスト, シバソク, 太陽誘電, 東京エレクトロン, 東京カソード研究所, 日本エンジニアリング, 日本マイクロニクス, 浜松ホトニクス, 横河テストソリューションズ
大学(研究)	九州工業大学, 徳島文理大学, 奈良先端科学技術大学院大学

テストの課題を様々な角度から検討

6

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test



ITRS テスト章から見る課題 ～品質とコストのバランス～

不良率とテストコスト
テストコスト増の分析
コスト削減技術
スキャンテストパタンの増大
高速I/O
More Moore と More than Moore

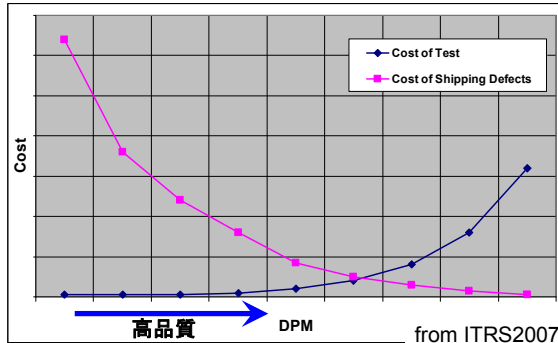
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

不良率とテストコスト

STRJ



青線

→高品質を実現するには
膨大なコストがかかる

ピンク

→テストコストをかけないで
(=DPMが高いと)
市場不良コスト(=市場不良
の後始末コスト)が上がる

青+ピンク = 品質維持の
ためのコスト

品質とコストはトレードオフ

微細化、複雑化により、品質を維持するためのテストコストは増大
⇒抑制のための技術が必要

8

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

テストコスト増の分析

STRJ

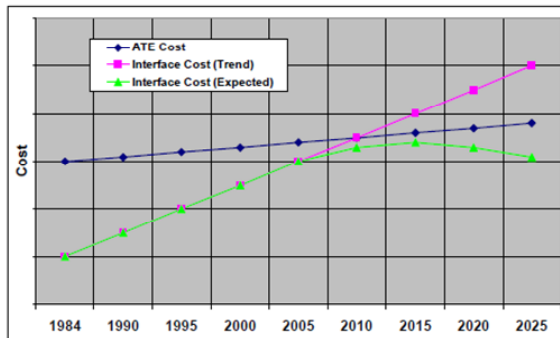


Figure TST2 Test Cell Cost / Unit versus Interface Cost Trend from ITRS2009

青線

=ATE (LSIテスト)の
コスト

ピンク

=周辺治具のコスト
(トレンド)

緑線

=周辺治具のコスト
(要求)

ATEのコストアップより、周辺(プローブカード、ハンドラ...)のコスト増が、
テストコスト増に対して支配的
⇒周辺のコスト増を抑制する技術開発が必要

9

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

コスト削減技術

STRJ

WEB調査による

from ITRS2009

現在のコスト削減技術

1. 同時測定テストとピン数削減
2. 構造化テストおよびスキャンテスト
3. パターン圧縮／BIST／DFT
4. 歩留り習熟
5. コンカレントテスト

将来期待されるコスト削減技術

1. ウェーハレベルの実速度テスト
2. 高度な埋込み測定機器
3. アダプティブテスト
4. 新しいコンタクト技術
5. 組込みのフォールトトレラント技術

従来より実施されている技術に加え、
新たな技術の立ち上げで更なるコスト削減に挑む！

10

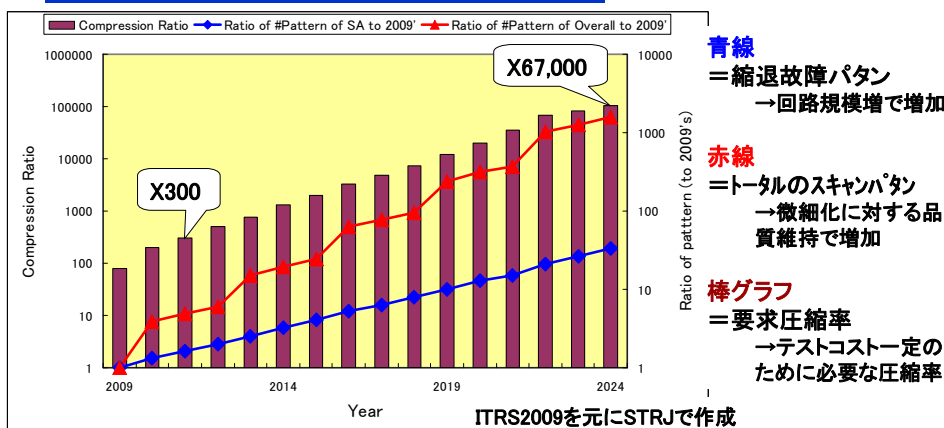
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

スキャンテストパタンの増大

STRJ



- 回路規模(=テスト対象)の増大
→ ロジックのテストパターン(スキャンテストパターン)はますます長大化
- 更なる微細化の進展
→ 品質維持のため、新たな故障モデルに対応したパターンが必要
⇒ テストパターン長大化を抑制するため、更なる圧縮率の向上が必要！

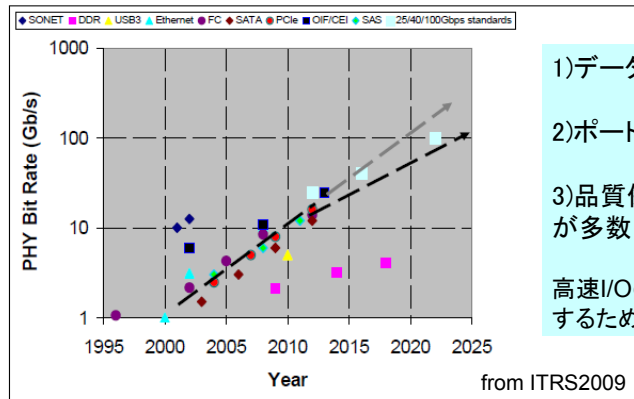
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

高速I/O

STRJ



- 1) データ転送速度の増加
(左グラフ)
- 2) ポート数の増加
- 3) 品質保証のための測定項目
が多数(ジッタ、BER など)

高速I/Oのテストにはそれをテスト
するための、高価なテストが必要

● 内部ループバックによるBISTなど、安価で実現できる
テスト手法を具備したIPの流通・使用が望ましい
※ 高速IO向けDFT技術の進展が必要

12

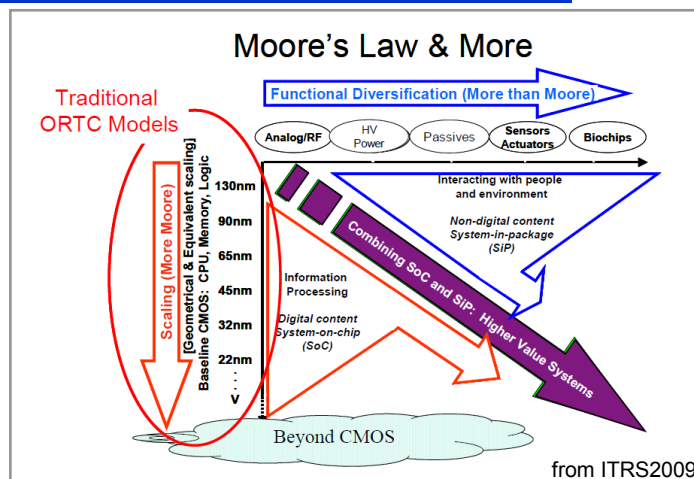
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

More Moore と More than Moore

STRJ



※ ORTC : Over all Roadmap Technology Characteristic = ロードマップ全体の技術指標

微細化進展の鈍化で、デバイスは多様な方向に変化(3Dデバイスなど)
⇒ 開発、製造、テストの面でトレンドの検討と対応が必要
※ ITRSでは議論が始まったばかり

13

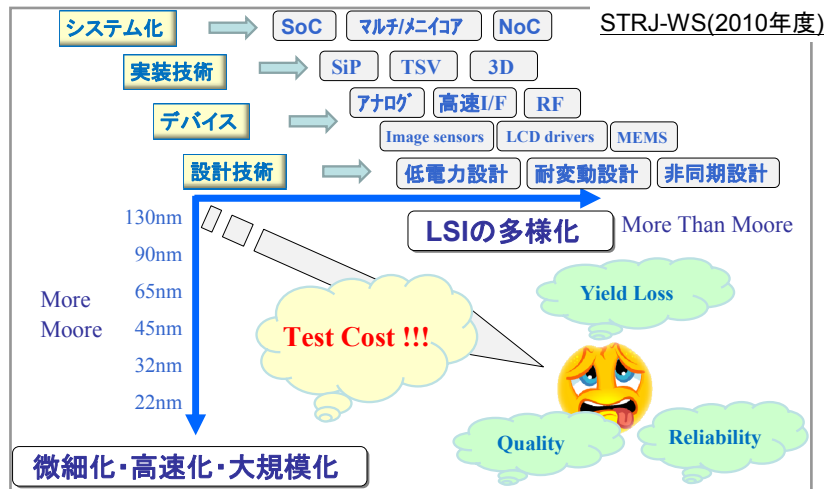
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

テストの立場からの More Moore / More than Moore

STRJ



多様化過ぎて検討しきれない＝発散方向
⇒モデルを絞って検討する必要あり(今後検討)

14

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

STRJ

テストの課題と解決策案

～STRJ独自活動から～

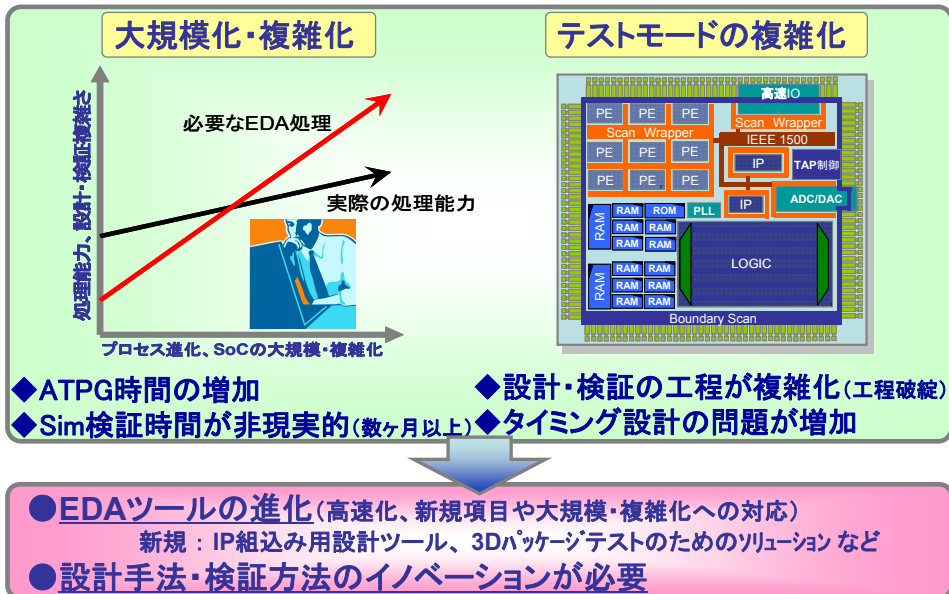
1. EDAツールの機能/処理能力不足
2. 実動作経路のテスト
3. 実使用状態考慮のテスト
4. 上流設計とテスト

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

1. EDAツール機能・能力不足



16

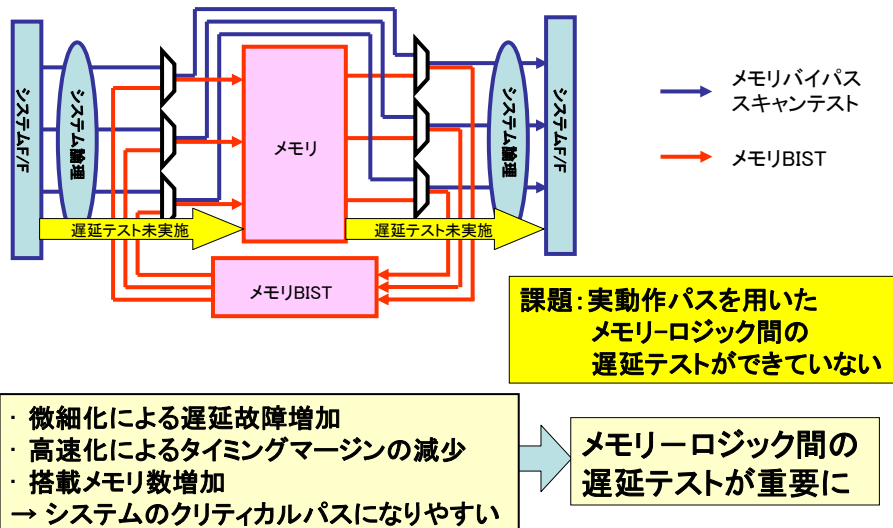
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

2. 実動作経路のテスト(1)

例) メモリーロジック間のテスト 従来のメモリーロジック間テスト



17

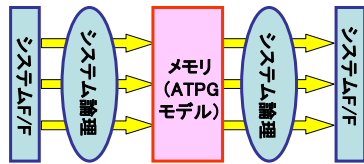
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

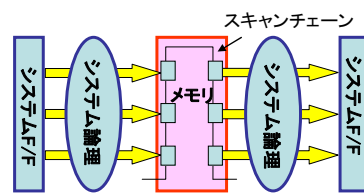
Nov. 17, 2011, STRJ-WG2 Test

2. 実動作経路のテスト(2)

例) メモリ～ロジック間の遅延テスト



シーケンシャルテスト
(メモリを介してのスキャンテスト)



メモリ入出力回路のスキャン化

現状のロジック～メモリ間の遅延テスト手法

テスト手法	特徴
ファンクションパターン	○システム動作でのテスト ×パターン生成困難
シーケンシャルテスト	○メモリ再設計不要 ×低検出率 ×パターンが長い
メモリ入出力回路のスキャン化	○高検出率 ×メモリの面積オーバーヘッド大

技術要求 ～更なる開発に期待～

- ・高い遅延故障検出率
- ・小さいパターンサイズ(スキャン圧縮技術適用可能)
- ・小規模回路追加(理想は回路追加なしでシステムと同じ動作)

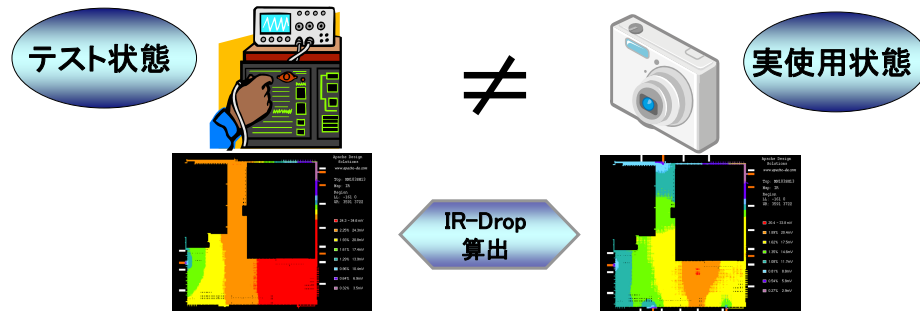
Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

3. 実使用状態考慮のテスト(1)

従来のテストはテスト時の消費電力を考慮していない



テスト時の過剰消費電力による

- ・信号遅延 → オーバークル(歩留まり低下)
- ・クロック遅延 → テスト抜け(不良流出)

テスト状態と実使用状態の違いによるギャップが顕著に
→出来る限り**実使用状態に近いテスト**を実施したい！

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

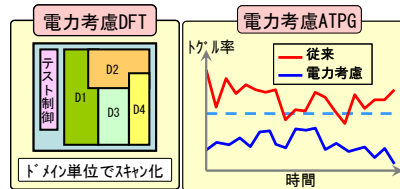
Nov. 17, 2011, STRJ-WG2 Test

3. 実使用状態考慮のテスト(2)

◆実使用状態考慮の例:テスト時電力

現在EDAツールで実現できていること

- ・電源仕様フォーマット(UPF/CPF)を使った多電源の状態を反映させたテストを実現するDFT
- ・テスト時消費電力(シフト/キャプチャ)を抑えるDFT/ATPG



実使用状態を反映させているかという点と不十分

対策案

- 上流設計段階で、実使用状態のトグル率を算出して同様のトグル率をATPGで実現させる
- 論理構造や物理構造に起因する電流やノイズの影響を考慮したパターンやテスト条件の決定 など

- 電源など、SoCの物理構造から来るノイズ、電流等の反映無し
- トータルトグル率は抑えられるが、実動作のトグルには程遠い
- パッケージや実装を加味した状態を反映できていない

➡ 歩留まり低下/不良流出

「実使用状態」を考慮したテストの実現により、品質/コスト の観点で、最適なテストを実施したい

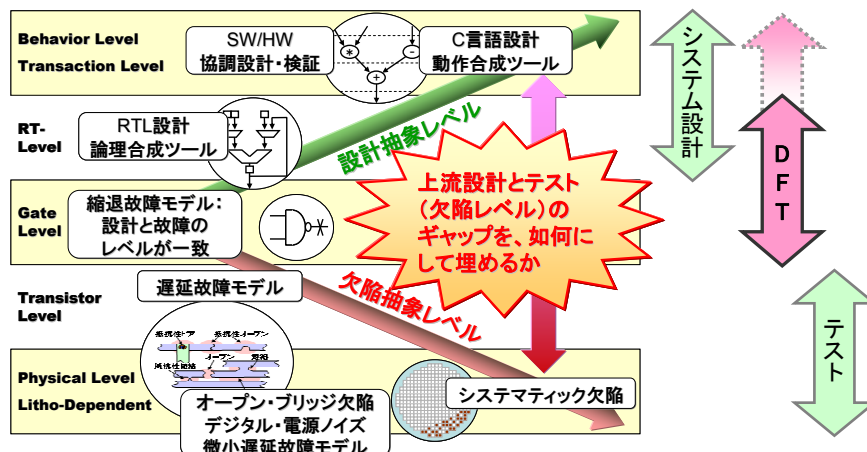
20

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

4. 上流設計とテスト



課題 = “設計とテスト” レベルのギャップをどう埋めるか?

⇒ 動作合成時点で実動作状態を考慮したDFT(非スキャン)を埋め込む技術 = テスト容易な回路の生成技術の開発・ツール化が必要

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

まとめ

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

まとめ

◆ITRSテスト章の紹介

◆テストの課題と解決策案

◆システム設計者 および ベンダーへの要望

To システム設計者	テスト考慮の設計 / 設計考慮のテスト
	実経路がテスト可能な設計
	チップ/パッケージ(SiP)トータルのテスト考慮設計
To IPベンダー	IPのテスト容易化設計
	SoCへの組み込み容易化
To EDAベンダー	ツールバグの撲滅
	スキャン 更なる圧縮率向上
	IP組込み用設計ツールの開発
	3Dパッケージ(SiPなど)テストのためのソリューション
	上流設計段階のDFTツールの開発

23

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

用語集



ATE	Automatic Test Equipment	大型テスト他テスト装置・システム全般の呼称
DFT	Design for Testability	テスト容易化を考慮した設計
UPF	Unified Power Format	低電力設計を行う際に使用する、回路の仕様や制約事項を記載した電源フォーマット
CPF	Common Power Format	低電力設計を行う際に使用する、回路の仕様や制約事項を記載した電源フォーマット
ATPG	Automatic Test Pattern Generator	自動パターン生成
BOST	Built-Out Self-Test	テストの計測機能を補完する為にテスト・ボード上に搭載したもの
BIST	Built-In Self-Test	チップ内蔵の自己テスト
構造化テスト		SoCの機能をテストするのではなくSoCが設計通りの構造に出来上がっているかをテストする手法
スキャンテスト		ランダムロジックを対象とするDFTの代表的手法
ハンドラ		テスト時のチップの搬送、テストソケットへの装着、温度制御等を一貫して行う装置
プローブカード(Probe Card)		プローブカード、ウェハ上のSoCを電気測定するための針(プローブ)の集合体
バーニン		チップの初期劣化不良を検出するため熱・電圧ストレス等を長時間かける工程
アダプティブテスト(Adaptive Test)		テストデータの統計的解析を基に、上流・下流のテスト仕様を最適化する手法
同測テスト		複数のチップを同時にテストする手法、テストスループット向上によるコスト低減が可能
コンカレントテスト		チップ内の複数の機能を同時にテストする手法
テストソケット		テスト時にLSIパッケージを挿入固定するための治具
トグル率		全クロック数におけるゲート出力の反転回数(トグル数)の割合
IR-Drop		配線の抵抗成分による電位降下のこと。半導体の特性で信号遅延などを起こす
治工具		ソケットやプローブカード、インタフェースボード等、テスト時に必要な治具
システムティック欠陥		パタン形状や露光装置の特性に起因する製造欠陥

25

Work in Progress - Do not publish

システム・デザイン・フォーラム2011

Nov. 17, 2011, STRJ-WG2 Test

EDAアニュアルレポート 2011

2012年6月発行

禁無断転載

発	行	一般社団法人 電子情報技術産業協会 電子デバイス部 〒100-0004 東京都千代田区大手町一丁目1番3号 大手センタービル 電話 03-5218-1061 FAX 03-5218-1080
作	成	三協印刷株式会社 〒152-0002 東京都目黒区目黒本町5-20-7 電話 03-3793-5971 FAX 03-3793-6242

Copyright 2012 by Japan Electronics and Information Technology Industries Association

本書中に記載の会社名および商標名は、各社の登録商標、商標です。