

# JEITA

## EDA アニュアルレポート 2012

Annual Report on Electronic Design Automation

— システム・オン・チップ時代の向こうに —  
Beyond the "System on a Chip" era

2013年6月発行

作 成

半導体技術委員会／EDA技術専門委員会  
Semiconductor Technology Committee／EDA Technical Committee

発 行

一般社団法人 電子情報技術産業協会  
Japan Electronics and Information Technology Industries Association

## 【巻頭言】

### 「高付加価値 LSI の設計基盤である EDA 技術発展に向けて」

EDA 技術専門委員会 委員長 河村 薫

LSI は家電製品だけでなく、情報機器、自動車、医療機器などにも搭載され、現在の社会基盤にはなくてはならないものになっている。さらに、クラウドのような高度情報化社会、エコ社会を実現するためには、信頼性、低消費電力といった高付加価値 LSI の提供が求められている。とくに、増大するバラツキを考慮したタイミング設計技術、低消費電力技術、大規模 LSI の検証技術など、少ない工数で高品質な LSI を設計する技術において一層の発展が期待されている。これらの技術発展には、国内の半導体産業、大学、官庁間の密な連携が重要であり、更に、海外の関連業界・機関とも国際的な視野で協調、連携を図っていく必要がある。

EDA 技術専門委員会は、電子情報技術産業協会 (JEITA) における業界活動組織の一つとして電子機器の機能・性能を決定するシステム LSI の設計技術に関わる活動を行っている。設計技術およびそれに関わる標準化の動向を調査し、それらの発展・推進を図り、国内外の関係業界の発展に寄与することを目的とし、三つのテーマを設定し、活動をしている。

- (1) EDA 技術の動向・関連情報の調査検討、課題解決への提案。
- (2) EDA に関する標準化活動への貢献。
- (3) EDA 技術および標準化の普及推進のためのイベント実施・支援。

- (1) EDA 技術の動向・関連情報の調査検討、課題解決への提案。

2012 年度はナノ世代物理設計ワーキンググループ (NPD WG) と LSI-パッケージ-ボード相互設計ワーキンググループ (LPB WG) の二つの WG で活動した。

NPD WG では、物理設計における課題の抽出、対策の検討、モデル・フォーマットを含んだ設計手法の標準化を目的として、微細プロセスにおける設計課題の予測、対策の検討、提案を行っている。

LPB WG では、昨年提案した LPB フォーマットを拡張し、JPCA 3D フォーマットと整合性を図っている。

本活動の結果は、関係機関・団体との会議、学会・研究会の場で発表およびアニュアルレポートを通じて積極的に公開している。

- (2) EDA に関する標準化活動への貢献。

標準化に関して昨年度に 2 つの大きな変化があった。一つ目は我々の委員会に関するもので、それまで標準化小委員会として下部組織で活動していた標準化活動を EDA 技術専門委員会で直接行って、活動の強化を行うことにした。これに伴い、委員会に標準化担当委員を置くことにした。二つ目は、我々と関係が深かった IEC/TC93 が解散し、TC91 に統合されたことである。

IEEE/DASC とは継続して連携を進めている。DAC(6月)やDVCON(2月)の時期に米国で開催される DASC 会議のほか、SystemC Japan(7月)や EDSFair(11月)の時期には関係者が来日して日本国内で DASC 会議を行っている。

ナノ物理設計 WG や LPB WGにおいても標準化に向けた取り組みを行っている。特に LPB WG についての標準化は積極的にタイムリーに進めていきたい。

SystemC/SystemVerilog/Power Formatなど言語関連の WG は今年度はすべて休止となっているが、必要に応じて IEEE へのフィードバックを行う予定である。また、国際的な関連機関・団体(IEC、IEEE 等)との情報交換等を通じて国際的な標準化活動へも貢献していく予定である。

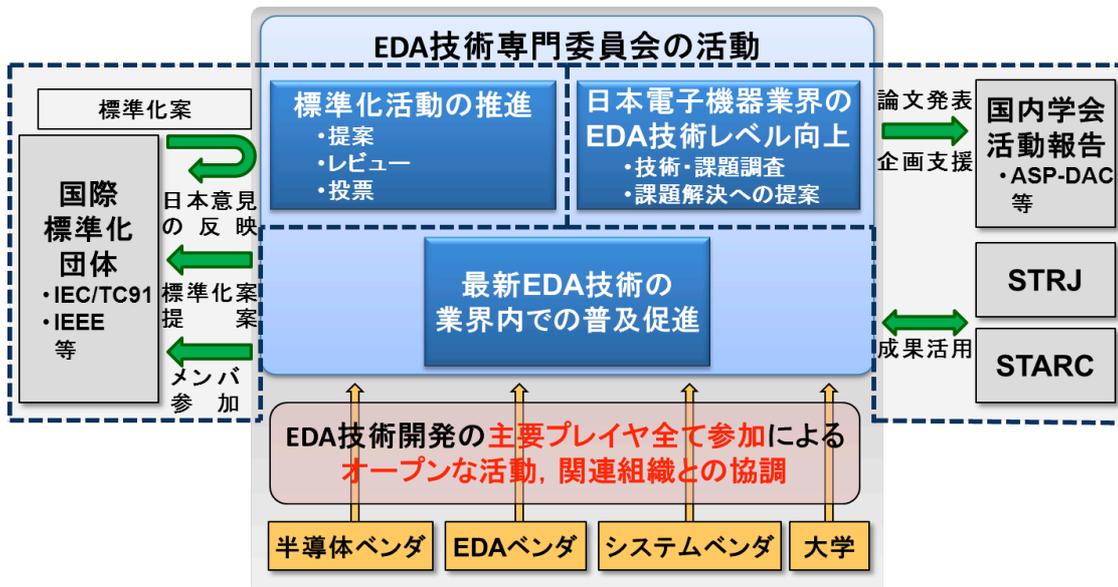
(3) EDA 技術および標準化の普及推進のためのイベント実施・支援。

普及活動については、EDSFair の開催、システムデザインフォーラムの開催、LPB WG によるセミナーの開催を行っている。EDSFair は 2012 年 11 月 14 日(水)から 16 日(金)の 3 日間パシフィコ横浜において、昨年に引き続き ET (Embedded Technology/組込み総合技術展)と同時開催した。EDA 技術専門委員会では EDSFair 実行委員長を任命し、EDSFair 実行委員会を立ち上げたほか、特設ステージをはじめとして EDSFair の企画・運営に当たった。

さらに、システムデザインフォーラムを EDSFair と同時開催した。このフォーラムでは、EDA 技術専門委員会および傘下のワーキンググループの活動内容と成果を発表した。

LPB WG では LPB 標準フォーマットを定義し、昨年度はベンダを対象にしたセミナーを開始して普及を行ってきた。今年は、ユーザを対象にしたフォーラムを実施した。

以下の図で、本委員会の活動と関係団体との関わりを示す。



TC91/WG13: 国際電気標準会議/設計自動化 ASP-DAC: Asia South Pacific-Design Automation Conference  
 IEEE: 米国電気電子技術者協会 STRJ: 半導体技術ロードマップ委員会  
 STARC: 半導体理工学研究センター

EDA 技術専門委員会は、上図の関連組織・標準化団体との連携のもと、三つのテーマである EDA 技術調査と課題解決への技術検討、標準化活動、技術と標準化の普及促進という活動を通じ、高度情報化社会、エコ社会の実現を支える高付加価値 LSI の設計を支える EDA 技術の発展、さらには日本の電子情報機器業界の発展に寄与すべく、本年度 13 社約 60 名弱の業界各社有志の参画により活動してきた。2013 年度も積極的な活動を継続する予定である。

本報告「EDA アニュアルレポート 2012」は、EDA 技術専門委員会の 2012 年度年次報告として、上記三つのテーマについて活動成果をまとめたものである。また、本委員会のホームページにも各種報告を掲載しているので、ご覧いただきたい。

(<http://www.jeita-edatc.com/index-jp.html>)

---

## 2012年度 JEITA/EDA 技術専門委員会 委員一覧

|      |       |                 |   |
|------|-------|-----------------|---|
| 委員長  | 河村 薫  | 富士通セミコンダクター(株)  | アドバンストプロダクト事業本部<br>共通テクノロジー開発統括部<br>専任部長                          |
| 副委員長 | 大芝 克幸 | ソニーLSIデザイン(株)   | 第2LSI設計部門<br>フィジカルIP設計技術部5課<br>シニアデザインエンジニア                       |
| 副委員長 | 山口 龍一 | パナソニック(株)       | デバイス社<br>セミコンダクタービジネスユニット<br>システムインテグレーション<br>基盤技術開発グループ<br>参事    |
| 監事   | 吉田 正昭 | ルネサスエレクトロニクス(株) | 技術開発本部<br>EDA・設計手法統括部<br>シニアエキスパート<br>(2012年10月退任)                |
| 監事   | 高倉 正博 | ルネサスエレクトロニクス(株) | 第一事業本部<br>EDA・設計手法統括部<br>BE設計技術開発部<br>シニアエキスパート<br>(2012年11月新任)   |
| 幹事   | 今井 浩史 | (株)東芝           | セミコンダクター&ストレージ社<br>アナログ・イメージングIC事業部<br>設計技術開発部<br>設計メソドロジー開発担当 参事 |
| 委員   | 林 靖二  | キヤノン(株)         | 生産技術研究所 実装技術研究部<br>実装技術第3研究室<br>主任研究員                             |
| 委員   | 大坪 裕司 | (株)図研           | 技術本部 E L開発部<br>シニア・エンジニア  |

---

---

|      |        |                      |   |
|------|--------|----------------------|---|
|      |        |                      | (2013年1月退任)                                       |
| 委員   | 松澤 浩彦  | (株)図研                | E D A 事業部 E L 開発部<br>シニア・パートナー<br>(2013年2月新任)     |
| 委員   | 市川 浩司  | (株)デンソー              | 技術開発センター<br>D P - E M C 推進室 開発課長                  |
| 委員   | 益子 行雄  | 日本ケイデンス・デザイン・システムズ社  | テクニカルフィールド<br>オペレーション本部<br>シニアテクニカルセールス<br>マネージャー |
| 委員   | 飯島 一彦  | 日本シノプシス(合)           | 技術本部 本部長<br>バイスプレジデント                             |
| 委員   | 川上 雅士  | 日本電気(株)              | グリーンプラットフォーム研究所<br>担当<br>(2012年6月退任)              |
| 委員   | 石田 尚志  | 日本電気(株)              | グリーンプラットフォーム研究所<br>主幹研究員<br>(2012年7月新任)           |
| 委員   | 三橋 明城男 | メンター・グラフィックス・ジャパン(株) | マーケティング部<br>ディレクター                                |
| 委員   | 前野 西治  | (株)リコー               | 電子デバイスカンパニー<br>第一設計室 11設計グループ<br>シニアスペシャリスト       |
| 特別委員 | 田中 玄一  | ルネサスエレクトロニクス(株)      | 第一事業本部<br>E D A ・ 設計手法統括部<br>F E 設計技術開発部<br>部長    |

---

---

|      |       |                  |   |
|------|-------|------------------|---|
| 特別委員 | 小島 智  | NECシステムテクノロジー(株) | PF統括本部<br>エグゼグティブ・エキスパート  |
| 特別委員 | 山中 俊輝 | (株)リコー           | 電子デバイスカンパニー<br>第三設計室 32設計グループ<br>シニアスペシャリスト                     |
| 特別委員 | 福場 義憲 | (株)東芝            | セミコンダクター&ストレージ社<br>アナログ・イメージングIC事業部<br>設計技術開発部<br>設計インフラ技術担当 参事 |
| 客員   | 若林 一敏 | 日本電気(株)          | 中央研究所<br>ビジネスイノベーションセンター<br>EDA開発センター 研究部長                      |
| 客員   | 今井 正治 | 大阪大学             | 大学院 情報科学研究科<br>情報システム工学専攻 教授                                    |
| 客員   | 神戸 尚志 | 近畿大学             | 理工学部 電気電子工学科<br>教授  |

< 2013年3月31日現在 >

## 略 語 一 覧

### [ 1 ] 団体・組織の名称

|           |   |
|-----------|---|
| Accellera | Accellera Systems Initiative<br>旧Accellera(VIとOVIを統合した、設計記述言語の標準化に関連する活動機関)とOSCI(Open SystemC Initiative : SystemC の標準化団体)が統合                 |
| ANSI      | American National Standards Institute<br>米国の標準化国家機関   |
| ASP-DAC   | Asia and South Pacific Design Automation Conference<br>アジア・南太平洋地域でのEDA関連の国際学会(1995年に始まる)  |
| GENELEC   | European Committee for Electrotechnical Standardization<br>EC(欧州委員会)の電気電子分野に関する標準化機関  |
| DAC       | Design Automation Conference<br>米国で行われるEDA関連の国際学会   |
| DASC      | Design Automation Standardization Committee<br>IEEEの下部組織で設計自動化に関する標準化委員会  |
| DVCON     | Design & Verification Conference & Exhibition<br>米国で行われる検証専門の国際会議   |
| ECSI      | European Electronic Chips & Systems design Initiative<br>欧州の設計自動化に関する標準化機関  |
| EDIF Div. | Electronic Design Interchange Format Division<br>EIAの下部組織で電子系の情報データ交換規格の検討機関  |
| EIA       | Electronic Industries Alliance<br>米国の電機電子通信業界団体   |
| ICCAD     | International Conference on Computer Aided Design<br>CADに関する国際学会  |
| IEC       | International Electrotechnical Commission<br>国際電気標準会議(電気電子分野に関する国際標準化機関)  |
| IEEE      | Institute of Electrical and Electronics Engineers, Inc.<br>米国の電気電子分野の国際的な学会組織   |
| IPC       | Association Connecting Electronics Industries<br>旧称:Institute for Interconnecting and Packaging Electronic Circuits<br>米国のプリント基板設計・製造に関する業界組織 |
| ISO       | International Organization for Standardization<br>国際標準化機構   |

(電気及び電子、通信技術分野を除く全産業分野[鉱工業、農業、医薬品等]に関する国際標準化機関)

|          |  |
|----------|--|
| IVC      | International Verilog Conference<br>OVIが主催するVerilog HDL国際学会であり、2000年にVIUF(VHDL International Users Forum)と統合してHDLCon(International HDL Conference)となり、2003年よりDVCon(Design & Verification Conference & Exhibition)として開催 |
| JEITA    | Japan Electronics and Information Technology Industries Association<br>一般社団法人 電子情報技術産業協会(電機電子業界団体)   |
| JISC     | Japanese Industrial Standards Committee<br>日本工業標準調査会(国家審議会、IEC/ISOに対する代表機関)  |
| JPCA     | Japan Electronics Packaging Circuits Association<br>社団法人 日本電子回路工業会   |
| OSCI     | Open SystemC Initiative<br>SystemCの標準化団体で、2011年にAccellera Systems Initiativeへ統合  |
| OVI      | Open Verilog International<br>Verilog-HDLに関連する技術の標準化と普及推進組織で、2000年にVI(VHDL International)との統合でaccelleraに名称変更   |
| SEMATECH | Semiconductor Manufacturing Technology Initiative (Consortium)<br>半導体技術を向上するために始まった米国の官民プロジェクト   |
| Si2      | Silicon Integration Initiative<br>設計環境の整備促進を支援する米国の非営利法人(旧CFI)   |
| VASG     | VHDL Analysis and Standards Group<br>DASC傘下のVHDL標準化に関するワーキンググループ   |
| VITAL    | VHDL Initiative Toward ASIC Libraries<br>VHDLライブラリ標準化団体  |
| VSIA     | Virtual Socket Interface Alliance<br>LSIの機能ブロックのI/F標準化を目指している業界団体、2008年解散  |

## [2]標準化・規格に関する技術用語

|     |  |
|-----|--|
| ALF | Advanced Library Format<br>OVIで検討されたIPをも含むASICライブラリのフォーマット |
| ALR | ASIC Library Representation<br>ASICライブラリ表現                 |

|          |   |
|----------|---|
| CALS     | Computer Aided Logistics Support / Commerce at Light Speed<br>製品の技術情報の流通に関するすべての標準化活動の総称                |
| CHDS     | Chip Hierarchical Design System<br>SEMATECHが要求仕様を作成した0.25-0.18um世代設計システム                                |
| CHDStd   | Chip Hierarchical Design System technical data<br>CHDSで使用するデータモデルの標準化                                   |
| DCL      | Delay Calculation Language<br>遅延計算のための記述言語  |
| DPCS     | Delay and Power Calculation System<br>IEEE1481として標準化推進されている遅延と消費電力の計算機構仕様                               |
| ECALS    | Electronic Commerce at Light Speed<br>電子機器、半導体、電子部品等の複合電子部品技術情報の流通ならびに<br>ECALS 辞書等の維持管理等、すべての標準化活動の総称  |
| EDI      | Electronic Data Interchange<br>電子データ交換  |
| EDIF     | Electronic Design Interchange Format<br>EIAの下部組織で検討されている電子系の情報データ交換規格                                   |
| ESPUT    | European Strategic Program for Research and<br>Development in Information Technology<br>欧州情報技術研究開発戦略計画  |
| HDL      | Hardware Description Language<br>ハードウェア記述言語   |
| IP       | Intellectual Property<br>流通/再利用可能なLSI設計資産(本来は知的財産権の意)   |
| JIS      | Japanese Industrial Standards<br>日本工業規格   |
| SDF      | Standard Delay Format<br>遅延時間を表記するフォーマット  |
| SLDL     | System Level Design Language<br>システム仕様記述言語  |
| STEP     | Standard for the Exchange of Product Model Data<br>CADの製品データ交換のための国際規格                                  |
| VHDL     | VHSIC (Very High Speed Integrated Circuit)<br>Hardware Description Language<br>IEEE1076仕様に基づくハードウェア記述言語 |
| VHDL-AMS | VHDL-Analog and Mixed-Signal (Extensions)   |

DASCの中で進められているVHDLのアナログ及びミックストシグナルシステムへの拡張

## 1. EDA技術専門委員会の活動

## 1.1 2012年度 JEITA/EDA技術専門委員会 概要

|        |   |         |  |
|--------|---|---------|--|
| 委員会の名称 | EDA技術専門委員会 (Electronic Design Automation Technical Committee) |         |  |
| 委員会の目的 | EDAに関連する技術およびその標準化の動向を調査し、その発展、推進を図り、もって国内外の関係業界の発展に寄与する      |         |  |
| 委員会の構成 | 会員会社/委員   | 13社/13名 |  |
|        | 特別委員  | 4名      |  |
|        | 客員  | 3名      |  |
| 委員会の予算 | 会費 240,000円 * 16社 = 3,840,000円<br>(会費13社+LPB-WG特別委員負担金3社)     |         |  |
| 委員会の開催 | 年4回程度 (実績: 別紙-2 参照)   |         |  |
| 幹事会の開催 | 必要に応じ開催 (実績: 別紙-2 参照)   |         |  |
| 担当事務局  | JEITA/電子デバイス部 進藤 淳二 (~2012/12)・幾見 宣之 (2013/1~)・細川 照彦          |         |  |

### ■EDA技術専門委員会役員と担当 (敬称略)

#### ・幹事会社5社(5名)

|      |               |              |   |
|------|---------------|--------------|---|
| 委員長  | : 富士通セミコンダクター | 河村 薫         | EDSFair 特設ステージ企画検討会主査<br>EDSFair 実行委員会委員、ASP-DAC OC |
| 副委員長 | : ソニー         | 大芝 克幸        | HP/ML、内規改訂  |
| 副委員長 | : パナソニック      | 山口 龍一        | 広報パンフレット、アニュアルレポート、システム・デザイン・フォーラム WG 委員            |
| 監事   | : ルネサエレクトロニクス | 吉田 正昭 (~10月) | システム・デザイン・フォーラム WG 主査、EDSFair 実行委員会委員               |
| 監事   | : ルネサエレクトロニクス | 高倉 正博 (11月~) | システム・デザイン・フォーラム WG 主査、EDSFair 実行委員会委員               |
| 幹事   | : 東芝          | 今井 浩史        | EDSFair 実行委員会委員長、システム・デザイン・フォーラム WG 委員              |

#### ・特別委員(4名)

|                |               |       |                                      |
|----------------|---------------|-------|--------------------------------------|
| 標準化担当          | ルネサエレクトロニクス   | 田中 玄一 |                                      |
| 前国際標準化担当       | NECシステムテクノロジー | 小島 智  | 旧 IEC/TC93/WG2 コンベンナ→TC91/WG13 コンベンナ |
| ナノ世代物理設計 WG 主査 | リコー           | 山中 俊輝 |                                      |
| LPB 相互設計 WG 主査 | 東芝            | 福場 義憲 |                                      |

#### ・客員(3名)

|             |      |       |                  |
|-------------|------|-------|------------------|
| 標準化識者       | 近畿大学 | 神戸 尚志 | 旧 IEC/TC93 国内委員長 |
| 設計言語識者      | 大阪大学 | 今井 正治 |                  |
| ASP-DAC レゾナ | 日本電気 | 若林 一敏 |                  |

## ■2012 年度活動方針

### 1. 委員会活動の継続的発展

2011 年度からの新体制でのスムーズな運営と継続可能な体制の確立  
EDSFair およびそれに関わる活動の 2011 年度体勢継続  
健全で公平感のある財務体質の確立  
委員会の効率的な運営  
議論に重点  
予算の最適運用  
報告の簡略化（議事録確認、予算状況確認など）

### 2. 標準化の推進と展開

IEEE-SA に Basic メンバーとして積極的参加  
IEEE/DASC の加入継続  
国際会議 (DASC) へ参加  
標準化団体との定期的な会議開催

## ■活動計画の概要<別紙-1 参照>

## <別紙 - 1>

### 活動計画の概要

#### 1. EDA 技術の動向&関連情報の調査検討、課題解決への提案

- (1) WG による技術動向とニーズ調査
  - ・最先端テクノロジー : ナノ世代物理設計 WG、LPB-WG
  - ・設計言語 : 今年度は言語関連の WG はすべて休会
- (2) 関連機関、団体、キーパーソン等との合同会議、意見交換、交流
  - ・ STARC, STRJ 等
- (3) 国内外の学会、研究会、イベントへの参加と連携

#### 2. EDA 技術および標準化の普及推進のためのイベント実施、支援

- (1) 「EDSFair2012」開催
  - ・ ET との同時開催で EDSFair 開催を継続
  - ・ 特設ステージの運営体制 (幹事会社+委員会社有志+JESA) 継続
- (2) 各種ワークショップ、講演会の開催
  - ・ システム・デザイン・フォーラムの実施を検討

#### 3. EDA に関する標準化活動への貢献と関連機関、団体への対応

- (1) EDA 設計言語およびモデル標準化のための技術的検討と提案
  - ・ LPB-WG を継続し、LPB 相互設計環境標準化に向けた活動を実施
  - ・ SystemC、SystemVerilog、VHDL、A-HDL、PowerFormat などは、必要に応じて対応 (WG の再開等)
- (2) 国際的な関連機関、団体への参画・連携と標準化活動への協力
  - ・ 標準化担当委員を中心に委員会で対応
  - ・ IEEE/DASC、IEEE-SA、Accellera Systems Initiative、Si2 等との連携  
DASC 会議 (6 月@DAC、11 月@EDSFair、2 月@DVCon)  
IEEE-Basic の資格を継続

#### 4. 委員会活動の広報

- (1) 広報パンフレットの配布@EDSFair2012
- (2) アニュアルレポートの発行(下記 HP でも公開)
- (3) WWW ホームページの公開 <http://www.jeita-edatc.com/>
- (4) 活動成果の発表
  - ・ システム・デザイン・フォーラム : 標準化活動
  - ・ 学術論文 : ナノ世代物理 WG
  - ・ セミナー : LPB-WG ナノ世代物理設計 WG

2012 年度 JEITA/EDA 技術専門委員会 開催実績

| 年/月     | 技術専門委員会  | 懇親会                          | 幹事会   | 関連イベント                                   |
|---------|--|------------------------------|-------|--|
| 2012/4  | 4/20(金) (東京地区)<br>・12 年度役員審議、承認<br>・11 年度専門委員会/WG の年間活動報告<br>・12 年度事業活動計画<br>・委員名簿更新内容確認<br>・11 年度予算執行状況報告<br>・11 年度版アニュアルレポート報告<br>・EDSFair2012 実行委員会および<br>特設ステージ企画検討 WG、SDF 活動報告<br>・12 年度予算案 | ○<br>(2011<br>年度<br>慰労<br>会) | 4/20  |  |
| 2012/5  |  |                              |       |  |
| 2012/6  |  |                              |       | ・DAC2012 (6/3-6/7)<br>@San Francisco, CA |
| 2012/7  | 7/20(金) (関西地区)<br>・標準化活動/WG 進捗報告<br>・EDSFair2012 実行委員会および<br>特設ステージ企画検討 WG、SDF 活動報告<br>・11 年度版アニュアルレポート配布<br>・EDSFair 用パンフレット原稿作成依頼予告  |                              | 7/20  |  |
| 2012/8  |  |                              |       |  |
| 2012/9  |  |                              |       |  |
| 2012/10 | 10/26(金) (東京地区)<br>・標準化活動/WG 進捗報告<br>・EDSFair2012 実行委員会および<br>特設ステージ企画検討 WG、SDF 活動報告<br>・EDSFair 用パンフレット配布   |                              | 10/26 |  |
| 2012/11 |  |                              |       | ・EDSFair2012 (11/14-16)<br>@横浜           |
| 2012/12 |  |                              |       |  |
| 2013/1  | 1/18(金) (東京地区)<br>・標準化活動/WG 進捗報告<br>・EDSFair/SDF 実施報告<br>・アニュアルレポート作成分担  |                              | 1/18  | ・ASP-DAC2013 (1/22-25)<br>@横浜            |
| 2013/2  |  |                              |       | ・DVCon2013 (2/25-2/28)<br>@San Jose, CA  |
| 2013/3  |  |                              |       |  |

## 1.2 2012年度 JEITA/EDA 技術専門委員会 WG 開催実績

| 月        | ナノ世代物理設計 WG 関連       |                            |                  |
|----------|----------------------|----------------------------|------------------|
| 2012年 4月 | 4/19(木) 10:00-17:00  | 第1回ナノ世代物理設計 WG             | JEITA 関西支部 第1会議室 |
| 5月       | 5/16(木) 10:00-17:00  | 第2回ナノ世代物理設計 WG             | JEITA 417 会議室    |
| 6月       | 6/21(木) 10:00-17:00  | 第3回ナノ世代物理設計 WG             | JEITA 関西支部 第1会議室 |
| 7月       |                      |                            |                  |
| 8月       | 8/ 2(木) 10:00-17:00  | 第4回ナノ世代物理設計 WG             | JEITA 407 会議室    |
| 9月       | 9/ 6(木) 10:00-17:00  | 第5回ナノ世代物理設計 WG             | JEITA 408 会議室    |
| 10月      | 10/18(木) 10:00-17:00 | 第6回ナノ世代物理設計 WG             | JEITA 関西支部 第1会議室 |
| 11月      |                      |                            |                  |
| 12月      | 12/14(金)~15(土)       | ナノ世代物理設計 WG/集中審議 富士通/ヴィラ伊豆 |                  |
| 2013年 1月 | 1/17(木) 10:00-17:00  | 第7回ナノ世代物理設計 WG             | JEITA 407 会議室    |
| 2月       | 2/14(木) 10:00-17:00  | 第8回ナノ世代物理設計 WG             | JEITA 関西支部 第1会議室 |
| 3月       | 3/21(木) 10:00-17:00  | 第9回ナノ世代物理設計 WG             | JEITA 407 会議室    |

| 月        | LPB 相互設計 WG 関連      |                         |               |
|----------|---------------------|-------------------------|---------------|
| 2012年 4月 |                     |                         |               |
| 5月       | 5/22(水) 13:00-17:00 | 第1回 LPB 相互設計 WG         | JEITA 402 会議室 |
| 6月       |                     |                         |               |
| 7月       | 7/13(金) 13:00-17:00 | 第2回 LPB 相互設計 WG         | JEITA 413 会議室 |
| 8月       |                     |                         |               |
| 9月       | 9/12(水) 13:00-17:00 | 第3回 LPB 相互設計 WG         | JEITA 403 会議室 |
| 10月      | 10/19(金)~20(土)      | LPB 相互設計 WG/集中審議 西伊豆 中荘 |               |
| 11月      |                     |                         |               |
| 12月      |                     |                         |               |
| 2013年 1月 | 1/23(水) 13:00-17:00 | 第4回 LPB 相互設計 WG         | JEITA 412 会議室 |
| 2月       |                     |                         |               |
| 3月       | 3/ 6(水) 13:30-17:00 | 第1回 LPB フォーラム           | 日本教育会館 707 号室 |
|          | 3/13(水) 13:00-17:00 | 第5回 LPB 相互設計 WG         | JEITA 412 会議室 |

## 1.3 JEITA/EDA 技術専門委員会ホームページ

### 1.3.1 開設の目的

電子情報技術産業協会（JEITA）のEDA 技術専門委員会の活動状況を公開し、EDA 技術に関する標準化や技術調査に関するご理解とご協力を頂くことを目的とする。

### 1.3.2 ホームページの詳細

2006 年度にホームページを一新し、よりわかりやすく、また、欲しい情報に容易にアクセスできるような構成にした。ホームページは日本語版の他、英語版も用意し海外からの利用者の利便性を考慮している。日本語版、英語版の切り替えは簡単にできるように構成されている。本委員会の成果は、ドキュメントとして閲覧できると共に、ダウンロードすることもできる。

なお、2011 年度にEDA 技術専門委員会の体制・構成を見直し、それに対応する形で、ホームページの構成をリニューアルした。具体的には、中間階層のEDA 標準化小委員会をなくし組織をフラット化したことに対応し、従来、小委員会傘下にあった、SystemC WG、LSI・パッケージ・ボード相互設計WG、SystemVerilog WG、PowerFormat WG の各WGのページを、委員会活動の直下に配置している。

#### (1) ホームページのURL

<http://www.jeita-edatc.com/>

2009 年度までは、大阪大学のご協力で、大阪大学のサーバーにホームページを設置させて頂き、またデータの更新など、メンテナンスについてもご協力を頂いた。2009 年度に、[jeita-edatc.com](http://www.jeita-edatc.com) のドメインを取得すると共に、サーバーを外部業者のレンタルサーバーへ移行した。データ更新やメンテナンスは、担当委員が行っている。

#### (2) エントリーページの構成

日本語版、英語版はそれぞれ次のエントリーで構成されている。

日本語版：

委員会の紹介  
委員会活動  
公開資料ライブラリ  
イベント・関連機関  
お問い合わせ  
サイトマップ

英語版：

Introduction of a committee  
Committee activity  
Open data library  
Event・A related organization  
Inquiry  
Site map

#### (3) 委員会の紹介/Introduction of a committee

委員長挨拶、活動と成果、メンバーをサブエントリーとする。本委員会の概要、前年度の活動内容・成果、本年度の活動計画、委員会メンバーを紹介している。

#### (4) 委員会活動/Committee activity

下記の委員会の活動を紹介している。

- ナノ世代物理設計 WG
- LSI・パッケージ・ボード相互設計 WG
- SystemVerilog WG
- SystemC WG
- PowerFormat WG
- EDSFair 実行委員会

なお、LSI・パッケージ・ボード相互設計 WG は、2011 年度から、独自のホームページを開設し、WG のページからリンクを張っている。

#### (5) 公開資料ライブラリ/Open data library

「公開資料ライブラリ」のページでは、EDA 技術専門委員会内の各委員会・WG の活動報告や各委員からの発表資料等を適宜掲載している。主な掲載資料を以下に示す。なお、英語版では、日本語版と同一の日本語資料を掲載している。

- EDA 技術専門委員会（過去のアニュアルレポート）
- EDA 標準化小委員会（SystemC 推奨設計メソドロジー、Power Format 比較表など）
- ナノ世代物理設計 WG（過去の資料）
- EDSFair 実行委員会（システムデザインフォーラムの紹介）
- システムレベル設計研究会（旧サイトへのリンク）
- その他（過去の委員会活動報告）

#### (6) イベント・関連機関/Event・A related organization

「関連の会議」では、次の関係の深い EDA 関連技術委員会を紹介している。

- IEEE/DASC（電気電子学会/設計自動化標準化委員会）
- IEC/TC93（国際電気標準会議/デザインオートメーション標準化技術委員会）

注) IEC/TC93 は、2012 年 2 月に IEC/SMB（標準管理評議会）によって解散が議決され、5 月に TC91（電子実装技術）に引継がれた。

また、「関連機関」では、本委員会に関連のある 17 機関を紹介し、委員会名称はそれぞれのホームページへリンクされている。

## 2. 各技術委員会の活動報告

## 2.1 EDA 標準化活動

### 2.1.1 標準化活動概要

#### (1) 発足の背景とミッション

JEITA/EDA 技術専門委員会の標準化活動は、1990 年の EIAJ/EDIF 研究委員会設立に始まり、当初は EDA に関するグローバルな重要課題に対して日本の業界を代表する唯一の機関として、特に設計記述言語の仕様標準化とその啓蒙等に多大な貢献を果たしてきた。近年、設計記述言語は高度化し、普及が進んだ。しかし、設計生産性の更なる向上および、それを支える EDA ツールの効率的な開発・利用を進めるためには、設計技術言語の国際標準化は依然として重要なテーマである。そこで、標準化関連の活動をより明確に位置づけるため 2000 年 11 月に EDA 標準化小委員会が設立し活動を開始した。その後 2011 年度に入り標準化活動の見直しを行い、標準化小委員を廃止し、EDA 技術専門委員会の下に標準化担当委員を置く体制に変更し現在に至っている (図-1 参照)。

世界的には EDA 関連の標準は IEC (International Electrotechnical Commission) と IEEE (The Institute of Electrical and Electronics Engineers) で議論、制定されてきた。IEC ではデザインオートメーションを議論する TC (Technical Committee) 91/WG (Working Group) 13, 14, 15、IEEE はコンピュータサイエティの DASC (Design Automation Standards Committee)、および SA (Standards Association) である。これまでは IEEE で定められた標準を IEC でも追認するものも多かった。2003 年より議論は IEEE の DASC/SA のワーキンググループでも、標準の制定は IEC と IEEE で同時にできるようになった (Dual Logo 協定)。

国内では IEC の対応機関は、日本工業標準調査会 (JISC : Japanese Industrial Standards Committee) である。また、TC 毎に国内委員会があり、電子情報通信学会や JEITA 内に組織化されている。TC91 (電子実装技術) 国内委員会は JEITA 内にあり、TC91 のハードウェア設計記述言語関連のワーキンググループ (WG13) の国内委員会は電子情報通信学会にある。

JEITA/EDA 技術専門委員会は IEC/TC91/WG13 国内委員会と協調体制を 2002 年度に確立し IEC/TC91/WG13 の各種標準化提案を直接審議できる体制になっている。

2003 年度には、SystemC および SystemVerilog の標準化を業界として検討・推進する目的で、それぞれワーキンググループを発足させた。2007 年度には、CPF (Common Power Format) と UPF (Unified Power Format) の二つの Power Format の標準化案の議論と統一を目的に、検討ワーキンググループを発足させた。SystemC は、ますます重要性が認識されているシステムレベルの設計言語のひとつであり、SystemVerilog は IEEE1364 (Verilog HDL) の後継・検証技術の拡張である。CPF/UPF の Power Format は、主にシステム LSI の低消費電力化設計の効率化を目的とした設計言語である。これらワーキンググループは、日本の標準化組織として、海外の関連団体と連携し、言語仕様の専門的な技術検討と改善提案を通じて、標準化へ貢献すること目指して活動を行っている。Power Format 検討ワーキンググループは目的を達成したため、2010 年 3 月に解散した。

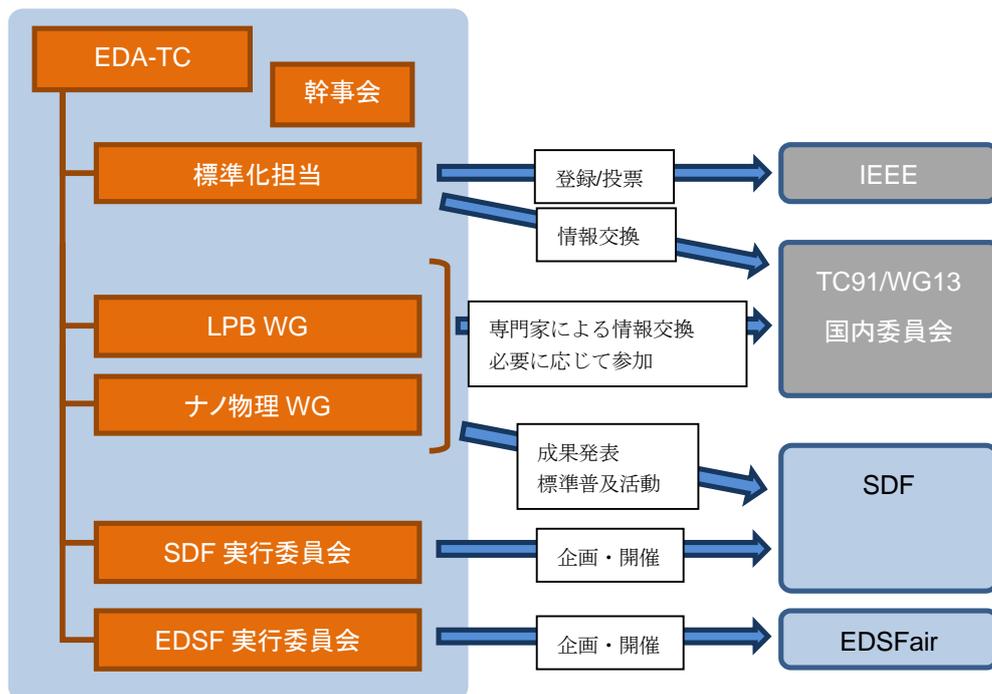


図-1 EDA 技術専門委員会の体制

### (2) 2012年度活動 国内活動

JEITA/EDA技術専門委員会提案の「設計言語俯瞰図メンテナンス」については、前年度からの継続として、Technical Report化に向けた議論を IEC TC91/WG13 会議で行い、最終的に作成完了。91/1085/DTR として 2月1日回付開始。来年度4月5日投票締め切り。問題なければ来年度Technical Report として登録完了する予定である。

標準化活動の大きな成果としての国際標準規格に向け、LPB WG の LPB フォーマットの標準化に向け、議論を本格化。国内フォーラム開催に加え、来年度は世界からの情報収集のため DAC2013での 展示を委員会でも可決。活動活発化を図っている。

### (3) 2012年度活動 国際活動

関連する標準化関連の組織・団体との連携として、IEC/TC91国際会議への参加、JEITA-IEEE/DASC情報交換会の開催などを通じて、活発な交流を行った。

#### ① IEEE DASC 情報交換

2012年度はIEEE DASC会議に3回参加。JEITA EDA技術専門委員会の状況報告も実施。2回は米国開催で、田中特別委員、小島特別委員を派遣。1回は日本で開催して頂いた。日本でさらに1回開催予定であったが、都合が合わないこと、前回会議からの会議が長くなかったことから中止とした。

DAC Meeting 6月7日 米国サンフランシスコ市  
SystemC Japan 7月 新横浜(中止)  
EDSFair 11月15日 横浜  
DVCon2013 Meeting 2月27日 米国サンホセ市

## ② IEC/TC91/WG13 国際連携

小島特別委員 (WG13 コ・コンビナ)、田中特別委員(WG13 メンバ) を下記 3 回の IEC/TC91/WG13 会議に派遣し、国際標準化活動を推進するとともに、EDA 技術専門委員会 (日本側) の意見反映を実施した。

IEC/TC91/WG13 会議 6月7日 米国サンフランシスコ市  
IEC/TC91/WG13 国際会議 10月16日 福岡  
DVCon2013 2月27日 米国サンホセ市

## 2.1.2 IEEE/DASC (電気電子学会/設計自動化標準委員会)・IEEE-SA (標準協会)

### (1) 活動の概要

IEEE は米国に本部を置く電気、電子、情報、などの国際的な学会である。また、この分野の標準化活動を長年にわたり、しかも広範囲に実施している。SA は IEEE 標準規格を管理する組織であり、新規規格と規格メンテナンスの提案承認、規格投票作業と規格化承認を管理する。DASC は Computer Society の下部組織として、SA の支援を受けながらエレクトロニクス産業における設計自動化関連の標準化活動を行っている。

活動の中心は、標準設計記述言語(HDL: Hardware Description Language)の VHDL と Verilog HDL に関連する設計と検証であり、タイミング情報、論理合成、算術関数とテストの標準化に注力している。これら設計言語に関連して、システムレベルまで適用範囲を拡大して、Analog Mixed Signal、ソフトウェアとハードウェア協調設計等の拡張の標準化を検討している。2005 年には SystemVerilog と SystemC という高位設計技術言語、設計と検証を統合した記述言語の標準化作業が完了し、2009 年および 2012 年には SytemVerilog、2011 年には SystemC がそれぞれ第一回目の改定作業を完了している。

### (2) JEITA/EDA 技術専門委員会との関連

これまでは EDA 技術専門委員会は IEEE/DASC のメンバーとして関連する WG に参加し、標準化案に日本の意見を反映してきた。2004 年 12 月には IEEE-SA の正式メンバーにもなり、IEEE の標準化活動に、ドラフトレビュー・標準化案の改善の提案・投票を通じて積極的に参加している。

今年度は、EDSFair2012 に合わせて 2012 年 11 月 15 日に IEEE/DASC との情報交換会を日

本で開催した。米国からは Stan Krolikoski 氏 (DASC 委員長)、Dennis Brophy 氏 (DASC 委員) 日本からは、河村 EDA-TC 委員長、田中標準化担当委員、小島特別委員が出席した。また、国外からの電話会議出席者も多数あり、盛会であった。会議において、EDA 技術専門委員会からは、活動状況の紹介として LPB フォーマットの標準化への検討状況、IEEE P1801 の投票の状況説明を行った。特に LPB フォーマットの標準化については IEEE での標準化実施の際には米国としてもサポートする旨、協力提案いただいた。

### (3) IEEE 規格投票について

本年は、パワーフォーマット(IEEE 1801, いわゆる UPF)の投票が行われた。当初 5 月投票予定であったが、10 月に延期され投票実施。委員会にて賛成/反対両意見があったが、修正要の意見について議論し、反対の旨議決。10 月に反対票を投じた。反対票を投じることは特に問題なく、建設的な改善要求を行うものである。フォーマットとしては結果として賛成多数で成立した。内容については当該投票の取り纏めである ARM 社 John Biggs 氏と IEEE-DASC 会議時に議論を行い、次回以降の改訂時に再度議論することで合意した。

## 2.1.3 IEC/TC91/WG13 (国際電気標準会議/デザインオートメーション)

IEC の SMB(Standardization Management Board・標準管理評議会)は、TC93 に対して P メンバー数を 5 以上にすることを要求し、TC93 も P メンバー数の増加に向けてここ数年努力を続けてきたが成功せず、2012 年 2 月になって、SMB において TC93 の解散と TC91 へのマージが決定された。本年度から具体的に TC91 での WG13-15 の 3WG で活動することとなった。また DA を扱う 3WG のみで従来同様 国内サブ委員会として電子情報通信学会下で活動継続することとなった。

### (1) 活動の概要

IEC は 1906 年に設立された国際標準化機関であり、本年が 106 年目あたる。設計自動化を取り扱う IEC/TC93 は 1992 年に設立された。TC93 の全体会議は毎年開催されており、スイス、英、仏、米、デンマーク、日、英、米、独、伊と開催されてきた。その後 2012 年に TC91 傘下での活動を開始し現在に至る。

### (2) TC91/DA の組織とワーキンググループ (WG)

TC91/DA は 3 つの WG から構成されている。今までの各 WG の主な活動を示す。

・WG13 : 部品・回路・システム記述言語, モデルのハーモナイゼーション :

(a) 設計検証記述言語 SystemVerilog とシステム記述言語 SystemC の言語仕様拡張と

- 利用普及のためのモデル化を検討。(b) 国際規格のメンテナンス (VHDL、VHDL-AMS、PSL、SDF、DCL/SPEF、IBIS 等)。(c) STEP Electrical (ISO 規格) と EDA 標準の整合性の検討。(d) EDIF と AP-210 との整合性の検討。(e) 言語間の Interoperability の検討
- ・ WG14 : 再利用可能部品ライブラリ, 規格適合性テストの具体的事案の議論。  
日・米・欧の各プロジェクト間の仕様整合と連携の検討、日本からは JEITA/ECALS プロジェクトの成果を提案している。IBIS も話題に取り上げられている。最近は電子カタログの流通に関する規格案が議論の中心となっている。
  - ・ WG15 : システムテスト記述言語、ATML (Automatic Test Markup Language) の検討。

### **(3) TC91/WG13-15 国内委員会と主要メンバー (2012 年 4 月現在。敬称略)**

- ・ TC91/WG13-15 国内 DA 委員会  
委員長 : 神戸 尚志 (近畿大学)  
幹事 : 古井 芳春 (シルバコ・ジャパン)  
委員 : 唐津 治夢 (アドバンテスト)、小島 智 (NEC システムテクノロジー)、  
星野 民夫 (アプリスター)、高橋 満、山下 寛巳 (E-SML)、  
柴田 明一 (JPCA) , 田中 玄一(ルネサスエレクトロニクス)
- ・ WG13 : (部品・回路・システム記述言語, モデルのハーモナイゼーション)  
国際コロンビナ : 小島 智 (NEC システムテクノロジー)
- ・ WG14 : (再利用可能部品ライブラリ, 規格適合性テスト)  
主査 : 高橋 満 (国際コロンビナ)
- ・ WG15 : ( システムテスト記述言語)  
主査 : 唐津 治夢 (アドバンテスト、国際コロンビナ)

### **(5) TC91 福岡会議の報告**

2012 年の国際会議は、10 月に福岡で開催された。TC91/DA 関連では会議には、日本、米国、韓国の計 3 カ国から参加があり、TC93 プレナリー会議、WG13、WG14、WG15 の会議が開催された。

小島特別委員から EDA 技術標準化小委員会で作成した設計言語俯瞰図を IEC Technical Report としての作成状況を報告した。

### **(6) IEC 規格投票について**

本年は IEC 規格投票を実施していない。

---

## 2.2 ナノ世代物理設計ワーキンググループ(Nano Scale Physical Design Working Group)

### 2.2.1 目的

ナノ世代プロセスの進化に伴い、新しい材料や加工技術が導入され、システム設計とプロセスの接点となる物理設計の役割がクローズアップされている。特にファブレス化に舵をとる半導体企業では、ファウンダリーのデザインキットの物理基盤に基づいた利用技術や、差別化のための独自のばらつきコーナー設計手法・ライブラリなどが重要性を増してきた。このような最先端のテクノロジーは、物理現象の理解、設計メソドロジー・EDA化技術の知識と情報共有が必須であり、最終的には建設的な設計手法の標準化提案に到る活動が重要になると考える。

上記課題を背景として、本ワーキンググループでは、次のような調査、課題検討、及び標準化を実施することにより、より効率的な設計環境の実現に貢献することを目的として活動を行っている。

- ナノ世代テクノロジー・ノードにおける、LSIの物理設計・検証に関する参加各社の共通課題の抽出、および解決手法の提案
- 半導体ベンダとその顧客との間でやり取りするライブラリや設計情報等を規定する、設計ルール・ガイドラインの作成
- LSIの物理設計、検証手法の精度、互換性や効率を向上できるライブラリ・設計情報フォーマットの標準化
- 各種ライブラリを用いて行う検証が十分な精度で行えるかを判定するための標準ベンチマークデータの作成

### 2.2.2 活動内容

2007年5月から活動を開始し、今年度は、ばらつきに関わる下記のテーマを取り上げて調査や検討を行った。

- Double Patterningの配線ばらつきコーナー検討
- グローバルばらつきにおけるデバイス間相関と回路間相関の関係検討
- Importance Sampling手法の高度化とRTN/NBTI信頼性解析応用
- Near Thresholdによる低電圧動作回路の検討

今年度の活動の成果としては、以下の2項目について詳細な調査、検討を行い、有用な知見を得た。

#### (1) 配線コーナー条件の削減手法の検討

タイミング検証に必要な配線のコーナー条件は、一般的にMaxC, MaxRC, MinC, MinRCの4条件が使用されている。これに、温度条件、電圧条件、トランジスタのばらつき条件等を加えると、そのコーナー条件数は膨大となる。タイミング検証時間の増大や設計収束性の悪化を防ぐために

---

---

は、適切なコーナー条件を把握し、必要最小限のコーナー条件で検証を行うことが望まれる。

我々の研究においては、デバイスの微細化とともに従来の配線コーナー4条件では不十分になるという結果が得られている。そのメカニズムを明らかにするため、タイミング検証に必要なホールドおよびセットアップのタイミングを決定する、配線構造の明確化を行った。

また、デバイスの微細化に伴い、配線加工技術としてはダブルパターニングが用いられることになる。これにより、配線ばらつきを助長する要素が増えることになるが、従来のシングルパターニング技術と比較して、どの程度のマージンを見込む必要があるかを検証した。

さらに、ドライバサイズや配線長に制約を設けることにより、配線コーナー条件を増やすことなく、検証することも可能であることを示した。また、ダブルパターニング配線によるばらつきの増大に対しても、配線長に制約を設けることでマージンを最小限に抑えることができることを示した。

## (2) グローバルばらつきコーナーの統計的緩和手法の検討

微細化に伴うばらつきの増大により、タイミング設計におけるコーナー幅の削減が望まれている。従来、グローバルばらつき(Die to Die)は、統計的な手法でコーナー幅を削減することはできないものと考えられてきた。それに対し我々は、チップ内回路特性の相関を考慮することにより、回路の特徴に応じてグローバルコーナーの削減が可能であることを示した。

さらに今回、グローバルコーナーの削減効果が、ローカルばらつきと比較して、どの程度かを定量的に評価した。解析の結果、グローバルばらつきの削減率はローカルばらつきと同等であることを示した。

さらに、素子間ばらつきの相関が、回路遅延ばらつきの相関に与える影響を解析するため、自己相関長をパラメータとするシミュレーション手法を提案した。提案手法を用いて回路遅延の実測比較を行った結果、実測値と非常に良い一致を得た。

---

これらの活動で得られた成果は、次のような形態により無償で一般に公開する。

- アニュアルレポート
- JEITA のホームページ
- 関連学会の研究会・学会における発表や論文誌への投稿

成果の詳細は本アニュアルレポートの付録に掲載した。また、成果の一部を以下の学会、フォーラムにて発表した。

- [1] 「微細 CMOS タイミング設計の新しいコーナー削減方法」, 情報処理学会 DA シンポジウム, 2012 年 8 月
- [2] 「微細プロセス (22nm 世代) における配線コーナー設計手法の検討」, 情報処理学会 DA シンポジウム, 2012 年 8 月.
- [3] 「設計品質を決めるばらつき制御」, メンター・グラフィックス・ジャパン 「Fabless 時代の DFM セミナー」, 2012 年 8 月
- [4] 「ナノ世代テクノロジーに向けて新しいタイミングコーナーの考え方」, システムデザインフォーラム 2012, 2012 年 11 月
- [5] 「Fabless 時代の DFM を問う」, システムデザインフォーラム 2012, 2012 年 11 月.

なお、「Fabless 時代の DFM 」に関しては、生産技術委員会の DFM 小委員会と連絡を取り合い、今後も連携を継続していく予定。

### 2.2.3 参加メンバー

|      |        |                        |
|------|--------|------------------------|
| 主査   | 山中 俊輝  | (株)リコー                 |
| 副査   | 城間 誠   | パナソニック・デバイス・システムテクノ(株) |
| 委員   | 山口 龍一  | パナソニック(株)              |
| 同    | 成木 保文  | メンター・グラフィックス・ジャパン(株)   |
| 同    | 赤嶺 武一郎 | 富士通セミコンダクター(株)         |
| 同    | 金本 俊幾  | ルネサスエレクトロニクス(株)        |
| 同    | 小谷 憲   | ルネサスエレクトロニクス(株)        |
| 特別委員 | 小笠原 泰弘 | 産業技術総合研究所              |
| 同    | 増田 弘生  | 千弘技術士事務所               |
| 客員   | 佐藤 高史  | 京都大学                   |
| 同    | 橋本 昌宜  | 大阪大学                   |
| 同    | 黒川 敦   | 弘前大学                   |

## 2.3 LPB (LSI・パッケージ・ボード)相互設計ワーキンググループ

### 2.3.1 LPB 相互設計ワーキンググループ (本委員会) 活動報告

#### 2.3.1.1 背景と設立までの経緯

##### 2.3.1.1.1 日本工業製品の状況

電子機器(セット)の開発は高性能化、低価格化、商品サイクルの短期化が顕著となり、これに対応するためにセットの機能面、設計/製造面でのグローバル化が進んでいる。この中で市場競争力を生む商品企画と開発力が課題である。かつて、日本工業製品は機能・性能・品質において差別化を図ってきたがこの要素を保持したまま、国際市場において開発競争に勝ち残る為の手段が模索されている。これまで日本の企業において、LPB 各分野においては個別に切磋琢磨しており設計のノウハウは構築されている。しかしながらそれらを共有しない閉塞性、企業間の考え方の違い、設計結果保証要求に対して情報公開の消極的態度など、様々な要因で LPB 相互の設計現場の連携が十分に取れていたとは言い難い。結果として全体としての最適化が進まず、単価、開発コストや開発期間において国際市場での競争力は向上せず、むしろ低下の傾向にあるとすら言える。

##### 2.3.1.1.2 開発環境における問題

設計を効率的に行うには EDA の整備や改良、情報の収集が迅速に行われなければならない。各企業個々にこれらの開発環境の整備は行われてきており、ノウハウとして一般には公開されていない。しかしながらこの閉塞性が設計に必要な情報の流通を阻害しており、また EDA の整備コストの増大や、VOC (Voice Of Customer) の分散によりツールの改良が行われない等の弊害を生んでいる。これらは競争すべき分野と協調すべき分野が明確にされていないために、本来複数の企業が協力して効率化をするべき分野の要素まで各企業の機密内容に含まれていると拡大解釈されていたことに問題の本質があると考えられる。

##### 2.3.1.1.3 技術的背景

システムの高速度化と電源・インターフェースの低電圧化でタイミングやノイズに対するマージンが少なくなってきた。またコスト競争の激化によりコストと性能のバランス設計は益々重要となっている。これまで設計は L S I ・パッケージ・ボード (以下 LPB) それぞれ別々に設計ガイドに従って行われてきた。しかしながら設計マージンの減少に伴いあらかじめ LPB 各所個別の設計ガイドを定めることが難しくなり、LPB 全体で協調して設計ターゲットを決める必要が出てきた。すなわちシステム的设计途上でシミュレーションによって設計指針を決める手法への変革が必要であり、その為には迅速でかつ正確なシミュレーションを行える環境が必要となった。

##### 2.3.1.1.4 JEITA における LPB 相互設計 WG の発足

開発の難易度アップ、コスト・開発期間の国際競争の激化は設計のやり方へも変革を求められる。個々の最適化ではセット全体の最適化を実現するのは難しくなり全体を見越した設計が

LPB 個々にも求められる。そこで LPB の設計をある 1 つのパーティーに集約する手段も考えられるが、これは非現実的である。LPB それぞれの物理的事象はスケールが違いすぎ、個々の専門の技術者が腕を振るわなければならない。ここで LPB がうまく連携できる仕組みが必要となってきた。この、声を受けて JEITA の半導体部会、EDA 技術専門委員会の元に各企業の代表が集まり半年の準備ワークグループ活動を経て 2010 年 4 月に LPB 相互設計ワークグループが正式発足した。このワークグループでは設計最適化の課題を整理し、競争領域と非競争領域の区別を行って、共通化することによって設計効率が向上する部分の仕様を策定する作業を行っている。

### 2.3.1.1.5 特性面における LPB 相互設計の効果例

LPB が相互に協調して設計すべき部分の一例として電源網の設計がある。LPB 上の電源網:Power Delivery Network (以下 PDN) (図-1) はノイズを小さくする為にインピーダンスを下げるように設計をする。LPB 各部に存在するインダクタンス成分とキャパシタンス成分により共振が起こる。共振が発生する周波数ではインピーダンスが極端に大きくなる。すなわち LPB 各部の PDN モデルを正確にシミュレーションに反映しないと全体の PDN の設計が正しく出来ない(図-2)。このシミュレーションを実行するためには LSI の PDN 等価モデル、パッケージやボードの形状情報、構成材料の電気特性、構成部品の等価モデルなど様々な情報を揃えなければならない。この際に LPB の各部分の設計情報の書式や仕様の違い、必要パラメータが共有されていない事などが効率的な設計が出来ない要因となっている。

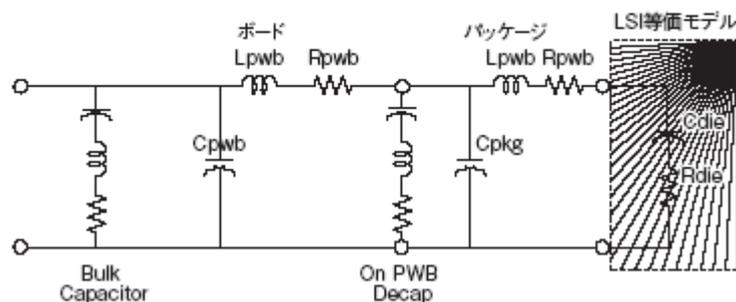


図-1 LPB の電源網 (PDN) の等価回路

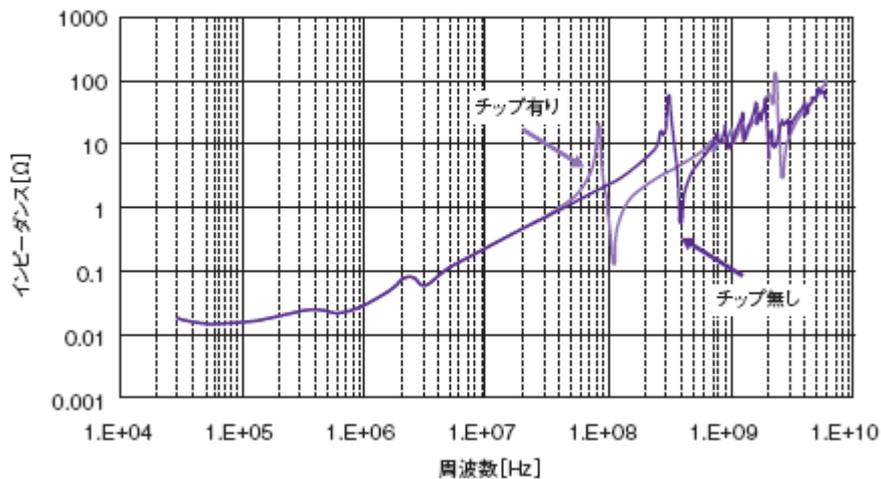


図-2 LPB の電源網 (PDN) の等価回路

### 2.3.1.2 LPB 相互設計解説

#### 2.3.1.2.1 LPB 相互設計 WG の目的とゴール

- 1、LPB が協力しあって設計を行う為の課題を抽出しその分析を行いソリューションの提案を行う。
- 2、具体的には LPB 全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の検討を行い提案を作成する。
- 3、提案内容は公開し普及を図る
- 4、これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

#### 2.3.1.2.2 LPB 相互設計の概念解説 ～個別設計と相互設計～

LPB 相互設計がこれまでの設計思想と異なる点を説明しておく。

##### 2.3.1.2.2.1 従来型個別設計の概念

従来の設計手法は紙に書いたレベルの大まかなセットの製品仕様が決定されると LPB 別々に設計がスタートし、その個々分野内で最適化が行われてきた。これを個別設計という呼び方にここでは定義する。個別設計においても LPB が完全に別々に設計が行われていたわけではなく当然すり合わせは行われてきたが場当たりの確認が多く、また共通の認識も乏しいためお互いの情報の公開・流通が難しい場合も多く、時間がかかるものであった。それでも日本企業においては LPB 各部門の設計力は高く、品質・特性といった面での差別化は図られていたといえる。しかしながら上記背景に述べたような市場要求の変化に対してこの方法では以下の問題に直面することになっている。(図-3)

- 1、全体最適化が困難
- 2、設計解析の準備に時間がかかる
- 3、やり直しが発生し開発期間増大
- 4、リソースの重複

# 従来型個別設計

## ・ 従来

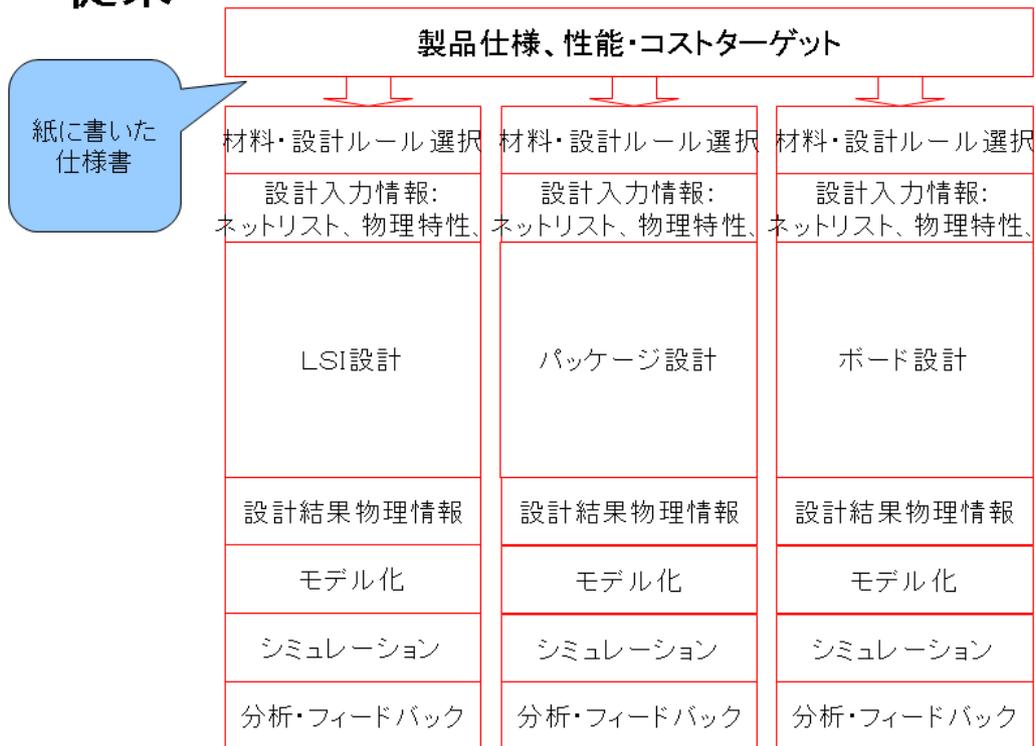


図-3 従来型個別設計

### 2.3.1.2.2.2 LPB 相互設計の概念

個別設計の課題を克服する方法としてLPB各部門が協力しあって設計を進めるスタイルを相互設計と定義する。相互設計においては全体構想設計を十分に行い各部の設計基準を設定し、その後は個々に設計を行う。設計終了後は全体を統合したシミュレーションを行い、設計のへのフィードバックを適所に行う。これにより下記の効果を期待する。(図-4)

- 1、全体最適化を可能にする。
- 2、設計・解析期間を短縮。
- 3、やり直しを最小に留める。
- 4、リソースの分担。

# LPB相互設計

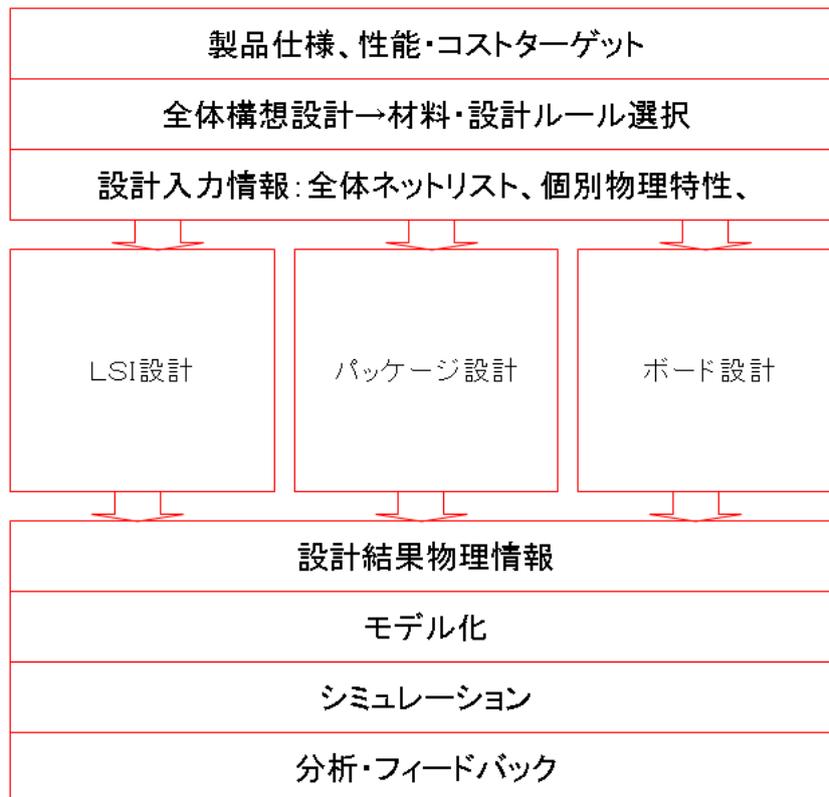


図-4 LPB相互設計

## 2.3.1.2.2.3 EDA の面からみた LPB 相互設計

LPB 相互設計の内 EDA を使って設計検証する部分を考える

EDA が使われる工程の前段階では必ず入力データの準備がある。LPB 相互設計ワークグループの分析によると、この準備の段階において情報の流通が十分ではなかったり、書式の違いがあり、EDA のセットアップに多大な時間を要しており相互設計の実現を阻む要因のひとつになっている。LSI の設計は比較的 1 つの EDA ベンダツールでフロアプラン、詳細設計、検証、ECO (Engineering Change Order) でまかなわれ、工程間のやりとりも統一書式 (DEF など) がある。一方、パッケージやボードの設計では設計ツールと検証ツールは別々で、しかもツール間でデータの互換性はない。ベンダごとにもデータ書式はバラバラで、複数の EDA ツールを駆使して最適な設計環境の構築には多大な投資と開発リソースが発生する。また、この流通性の悪さにより最適設計の為の新規 EDA ツールを導入する動機が削がれる。その結果ユーザから EDA ツールに対する改良要求は単一のものとなりがちで、EDA ベンダは ROI を考慮すると改良を積極的に行わないという状況も発生する。

## 2.3.1.2.2.4 競争領域と共通化領域

相互設計における競争領域と共通化するべき部分とを分類してみる。構想設計や設計、検証の作業は各社のノウハウなど機密内容が含まれる。それに比して EDA の入力部分は各社で共通化できる内容であり相互設計の実現を促進する効果が期待できることからこの部分について

JEITA では共通仕様化を検討・推進することとなった。(図-5)

## 相互設計におけるEDA部分と共通化部分

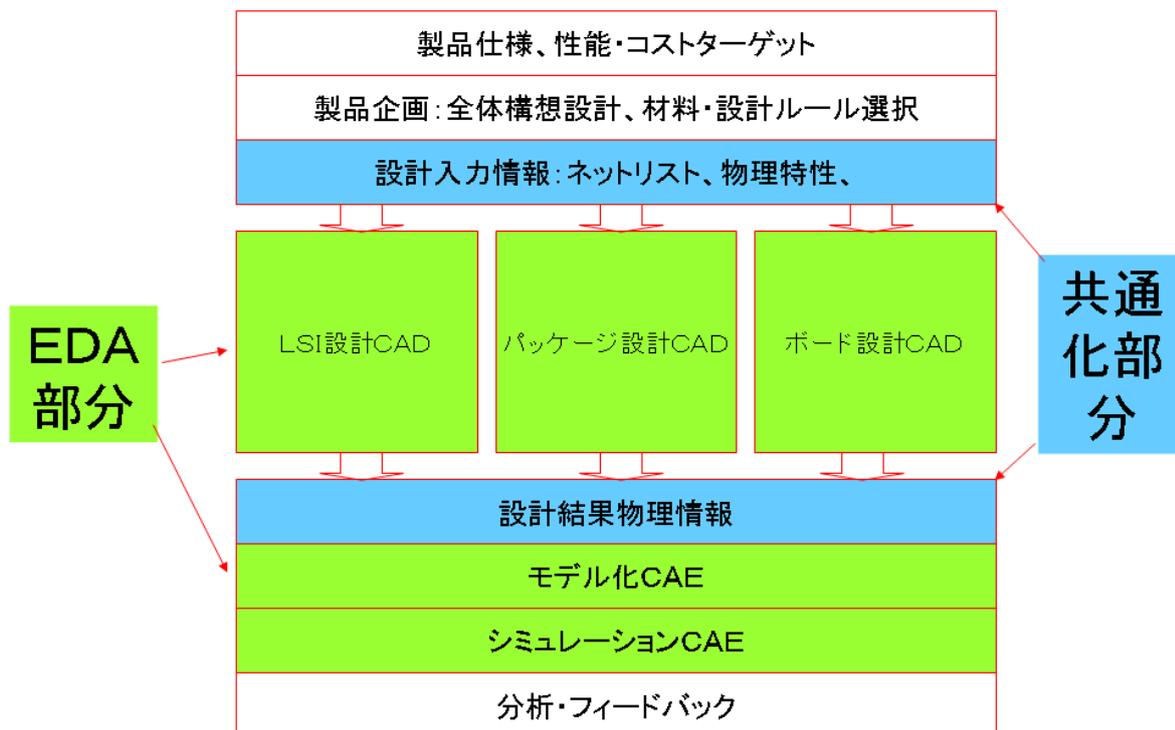


図-5 相互設計におけるEDA活用部分と共通化部分

### 2.3.1.3 LPB 相互設計共通仕様

#### 2.3.1.3.1 課題の整理

LPB 相互設計を行おうとすると多くの問題点に直面する。

##### 1、LPB でネットリストがバラバラ

それぞれのネットリストのやり取りの際に変換をする必要があり、煩雑な上にミスが起きやすい。LPB が別々に設計変更を加える際に接続にフィードバックがかかり難しくしばしば接続エラーが発生する。全体のネットを管理しないために全体での接続検証や機能検証など EDA を使ったアプローチが整備されない。

##### 2、LPB で設計結果の形状データがバラバラ

LPB で設計結果の出力データフォーマットはバラバラであり、これにより解析ツールへの読み込みが一元的に出来ないために全体解析を難しくしていた。別々なフォーマットは EDA ツールに読み込む際に、EDA ツール側に複数のフォーマットに対応する機能を整備することが必要でその準備に時間とコストが発生する。それぞれの書式に対するバージョンアップも常に対応し続ける必要があり管理コストも発生し続ける。また違う書式のデータは違った付加情報を必要とし、その情報収集にも多大な時間と労力を要しているのが現状である。(図-6)

## LPB相互設計にはインターフェースが統一される必要有り。

LSI内の設計は統合設計環境と共通言語あり。

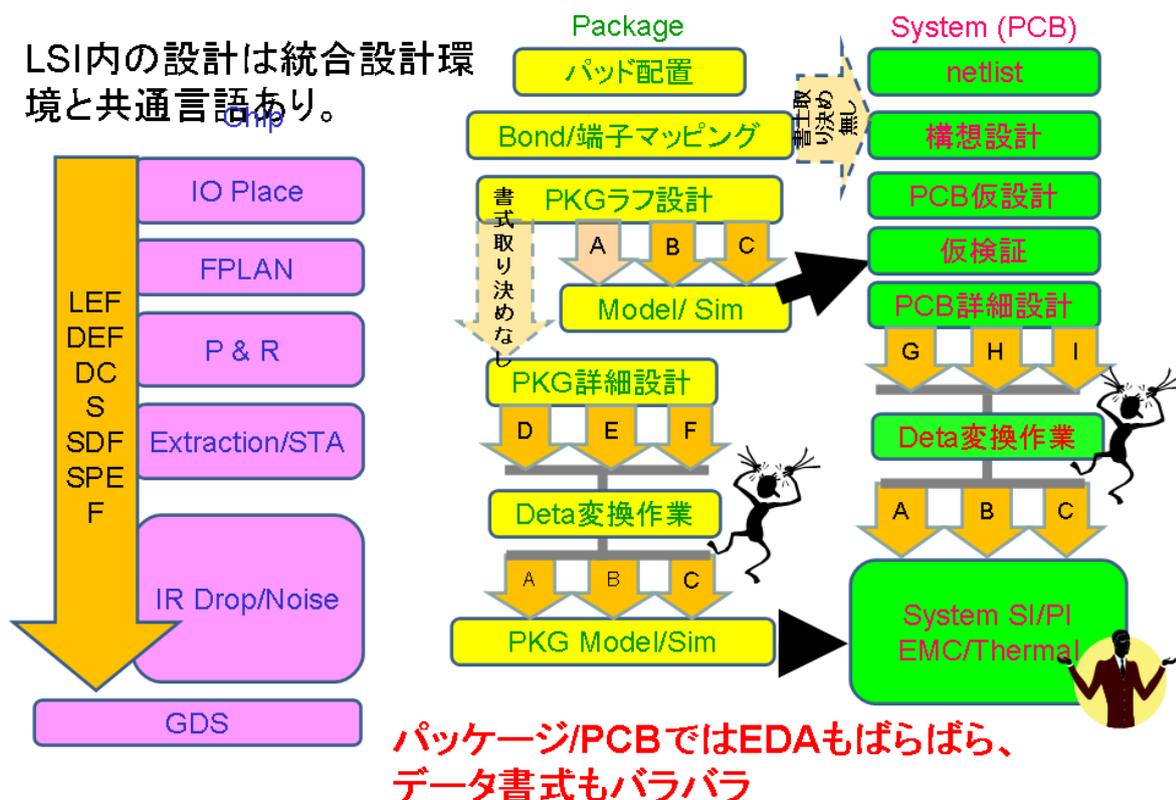


図-6 パッケージ・ボードはインターフェースが統一されていない

### 3、LPB の合成が煩雑

LPB は別々に設計されるためにそれぞれの繋ぎあわせでミスが生じやすい。たとえば LSI のフリップやローテーションでは頻りに連絡ミスや誤解、思い込みで事故が起こる。パッケージとボード間でもその向きでミスが発生することもある。解析ツール上で LPB を合成する際には画面を見ながら手作業で位置合わせや向き合わせを行なって接続するのが常識的に行われている。これではミスは撲滅できない。

### 4、設計途上の設計制約の・設計結果へのフィードバックの難しさ

LPB の間で設計制約に対する考え方がバラバラで、与える情報量・質・書式に差があることがある。これらは設計途上での誤解や追加の煩雑なコミュニケーションを生み、結果として確認待ち時間や反復的な設計やり直しによる時間のロスを生じることがある。一方、設計後も書式の多様性やそれに伴うインターフェースの複雑化により検証結果を設計にフィードバックするのも煩雑となり、フィードバックを避けて問題を残したままにしたり、比較的簡単なところのみフィードバックすることに留まって全体の最適化が進まない状況にも陥りやすい。(図-7)

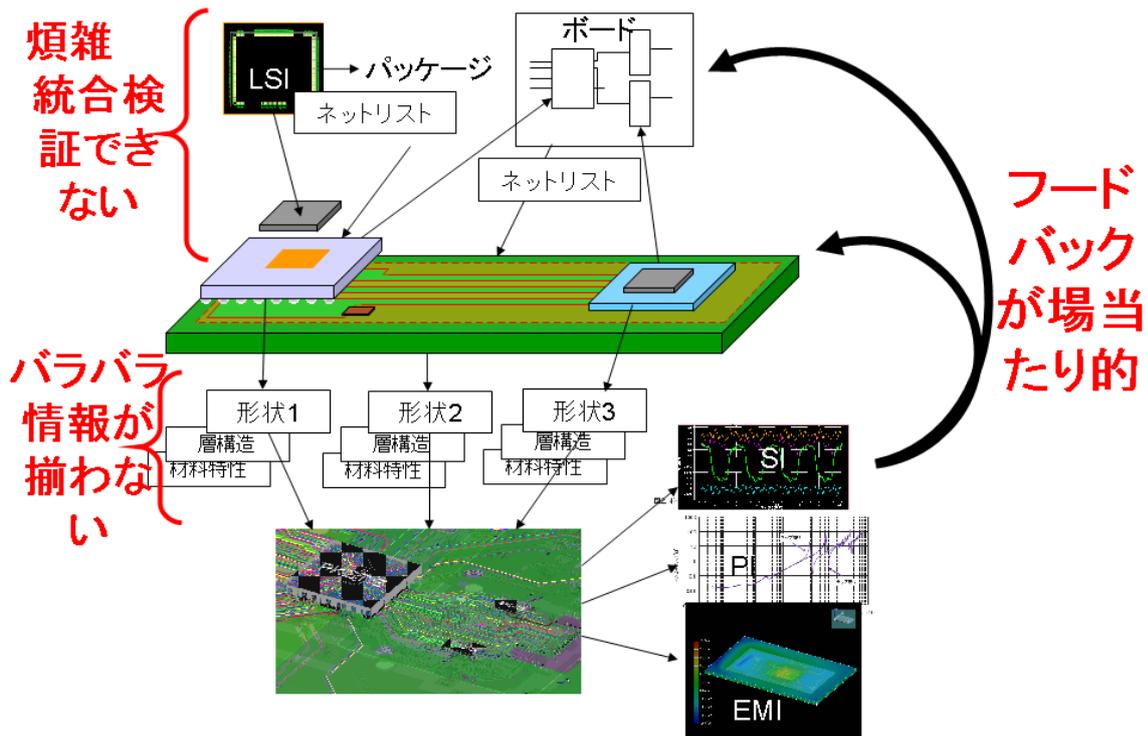


図-7 インターフェースが統一されていないまま相互設計を行った場合の問題点

### 2.3.1.3.2 標準フォーマットの作成

LPB 相互設計標準フォーマットを策定した。2010 年の活動結果では下記 5 点を策定し V1.0 としてリリースをしている。

LPB-V1.0

- 1、ネットリスト： VerilogHDL の拡張 (SPICE 制約互換)
- 2、階層定義情報：独自定義 XML 出力
- 3、設計制約情報：独自定義 XML 出力
- 4、設計結果形状情報 既存フォーマット
- 5、用語集

これに基づき 2011 年の活動で設計試行を行った結果、仕様の変更が必要となり LPB-V2.0 に改定を行っている。こ (図-8)

LPB-V2.0

- 1、プロジェクト管理 (M-Format)
- 2、ネットリスト (N-Format)
- 3、コンポーネント (C-Format)
- 4、デザインルール (R-Format)
- 5、ジオメトリ (G-Format)
- 6、用語集

LPB-1.0 から LPB-2.0 への大きな変更点は開発プロジェクトにおいてそれぞれのインターフェース標準フォーマットの履歴を管理する「プロジェクト管理」フォーマットの追加と、「階層定義」「設計制約」に記載される内容を大幅に改定し、「コンポーネント」「デザインルール」

に仕分けなおしたことである。

さらに、2012年にはEDAベンダへの採用とツールへの導入が進む過程で、フォーマットの齟齬の修正や改良が必要となりLPB-V2.1が作成された。2012年度中のリリース（2013年3月）が予定されている。LPB-V2.1の構成はLPB-V2.0と同じであり、各フォーマットが改定されている。

## JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理(M-Format)
2. ネットリスト(N-Format)
3. コンポーネント(C-Format)
4. デザインルール(R-Format)
5. ジオメトリ(G-Format)
6. 用語集

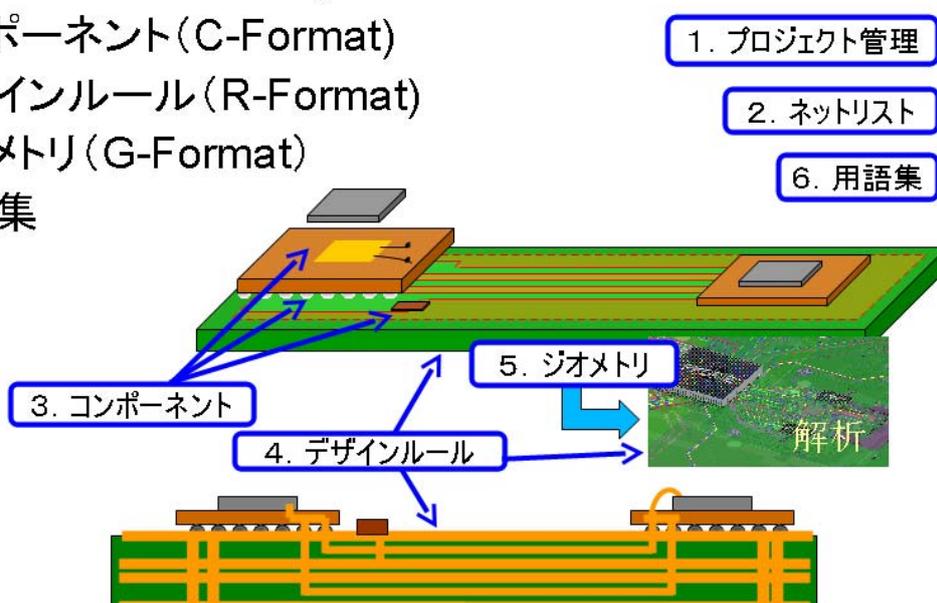


図-8 LPB標準フォーマット

各標準フォーマットの詳細についてはインターフェースフォーマットSWGの活動報告の章を参照。

プロジェクト管理フォーマット： 製品の開発プロジェクトの中ではLPBそれぞれに標準フォーマットに沿ってインターフェースファイルが準備されるが、それぞれの設計工程の最適化や変更によりインターフェースファイルも逐次アップデートされる。LPB相互に連絡なしにファイルを更新すると設計結果に不整合がおりミスややり直しの原因となる。システム全体でインターフェースファイルのバージョンを管理する目的でそれぞれのバージョン名を記述する。

ネットリスト： LPB全体での接続管理を目的とし、将来LPB全体の接続検証や機能検証ができるEDA環境の開発が促進されることを狙ってVerilog-HDLを基本ネットリストとした。形状情報と完全に分離した接続情報に徹して階層構造にも柔軟に対処が可能である。弱点としては電源グラウンドの

ネットがないことへの対処と、パッケージ・ボードの検証に使われている SPICE との互換性を持たなければならない。これらにより、LPB 共通仕様では Verilog-HDL の書式に電源グランド端子を追加したり、SPICE におけるピン並びに制約と同じ制約を課す拡張仕様が加えられている。

コンポーネント : コンポーネントファイルは LPB 各部の設計結果をつなぎ合わせる場合の部品の物理的な形状、接続位置・方向、設計上の制約を定義する。流通している同様なフォーマットで必要となる情報がすべて含まれている書式がないため、本 WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするために XML の書式を採用している。

デザインルール : LPB 各部の設計ルールを記述する。ライン、V I A やスペース、走行性をあらわす。解析のセットアップの為の材料物理特性や詳細断面構造もあわせて定義する。流通している同様なフォーマットで必要となる情報がすべて含まれている書式がないため、本 WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするために XML の書式を採用している。

ジオメトリ : ジオメトリは設計結果を解析環境に渡す際の書式を定義する。各層ごとの 2 次元図形と、V I A, B u m p, B o n d W i r e の 3 次元的情報、2 次元情報を積み上げて立体構造にするための層構造（縦方向の寸法）などと記述する。テキストでの表現が必須であり、シンプルでかつある程度の精度をもった書式が必要である。これは独自の書式の開発は困難であることから EDA ベンダが提供した書式(XFL)を採用している。

用語集 : LPB 各部の設計文化の違いにより同じ物理形状、材料などに対して別の表現をすることがある。たとえば Via は Via と呼ばれるだけではなく PTH など製造方法を表した表記がされることがある。この LPB 共通仕様の中では基本的にひとつの設計要素は 1 つの表記をするよう言葉の定義をしている。

### 2.3.1.3.3 LPB 相互設計標準フォーマットにより期待する効果

これまで詳細設計段階で「すり合わせ」が行われてきたが標準フォーマットができると全体での情報伝達が容易になり、より早い段階での全体設計構想が練ることが期待される。全体構想設計が行われて、LPB 各部の設計仕様が詳細設計前に明確化されることにより各部の個別の設計はやり直しの少ない短期間の設計完了が期待される。また解析も全体を見越した検討が可能となり、スムーズにできれば解析にかかる時間も取れるようになり吟味した設計フィードバック案が作成できる。また、構想設計と統合解析の関係が出来上がっていると、設計のフィードバックは LPB どの部分に適用するべきかを考察した上で行えるようになり全体最適化が促進されることが期待される。EDS フェア 2011Nov. でパネル討議を行った結果、半導体側からの期待値として設計前半の全体設計構想の部分を主導し、設計最適化を促進したいというコメントがあった。一方セット側のコメントとしては後半の統合検証がやりやすく、効率的に解析かつ、解析の項目を増やしてしっかりやり製品の品質保障責任を果たせることを期待している。この設計スタイルが定着すると LPB の水平分業だけではなく、半導体とセットの開発分担という縦の分業も促進される。(図-9)

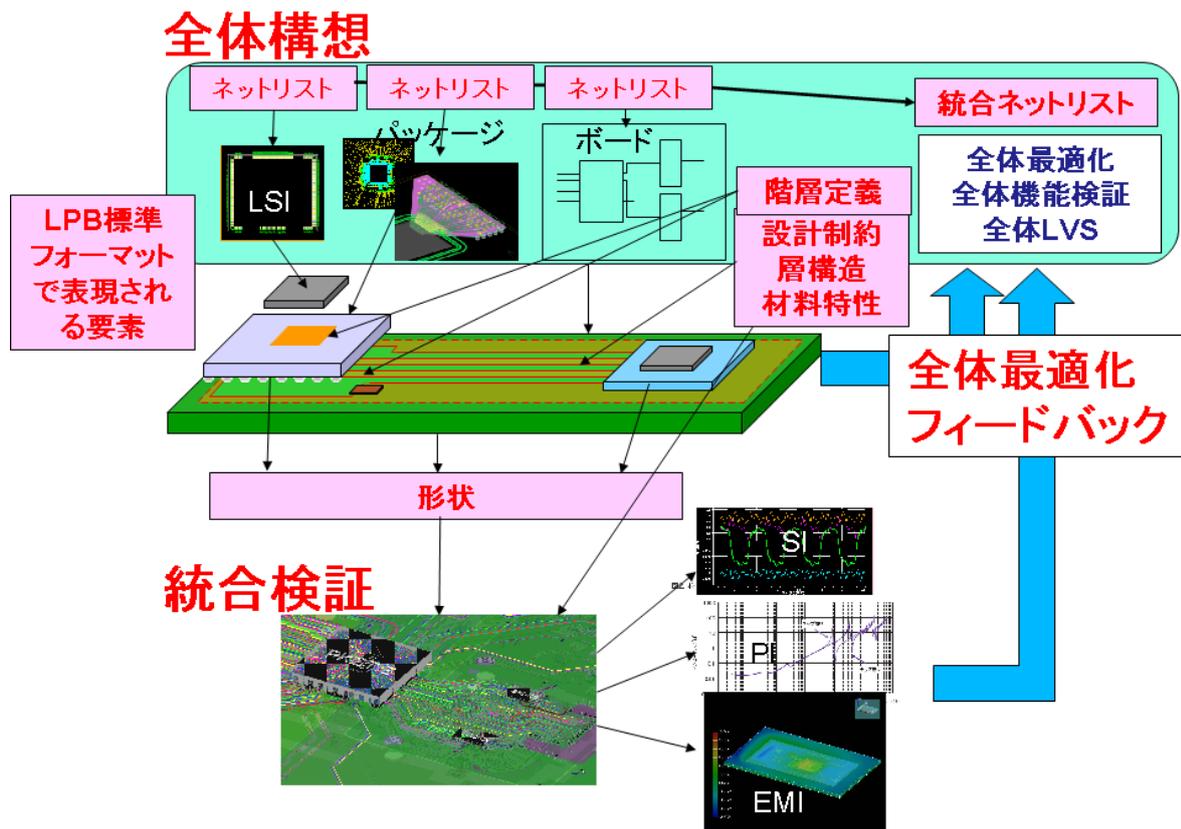


図-9 インターフェースフォーマットを整理したLPB相互設計

この構想の元、LPB 相互設計共通仕様の効果を可視化する。縦方向を時間軸とみなして各工程の相対的な工程期間を示す。(図-10)

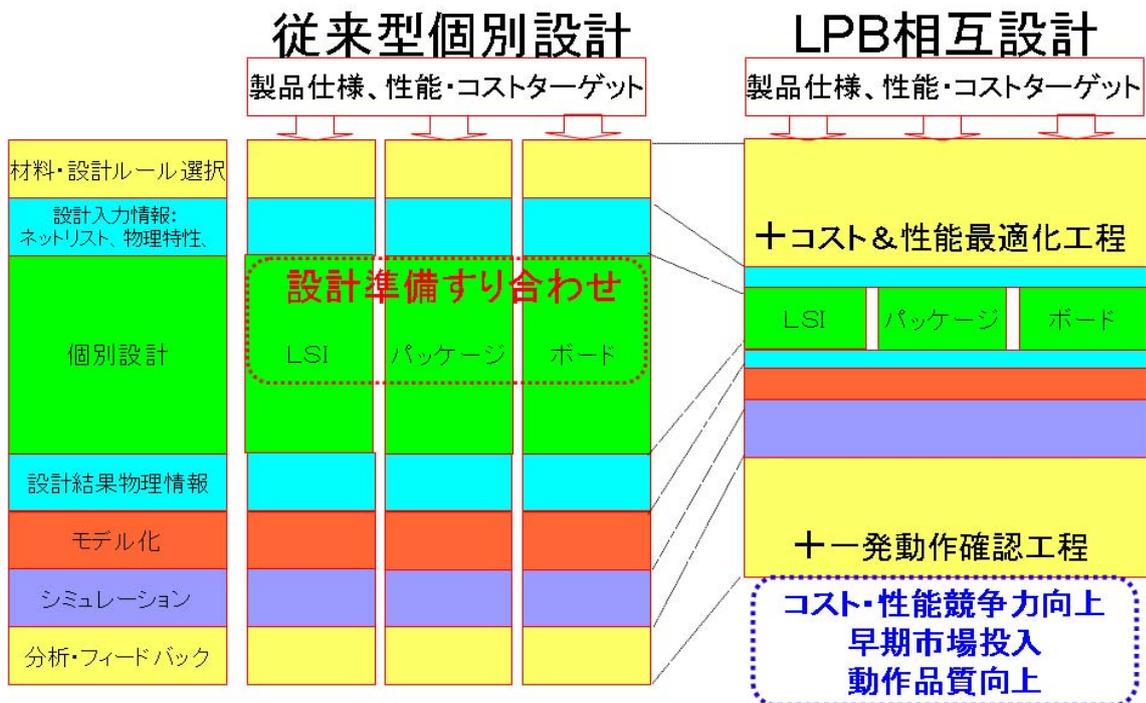


図-10 LPB相互設計の効果 設計スタイルの変革

従来の個別設計に比較して構想段階と分析・フィードバックの段階に時間をかける代わりに実際の設計期間を短縮する。これらによりコスト・性能のバランス最適化と設計品質の向上を狙う。今まで時間のかかっていた設計・解析の準備にかかる時間も短縮する。これらにより全体の開発期間を短縮可能とし、完成品での不具合を減少させ結果として市場投入を早める。

商品の市場での成功にはその時の市場にニーズにマッチした仕様の製品をいち早く市場投入することが重要であり構想設計をより早い段階で精度よく実施する必要がある。そのためには、開発に係る情報がそろっており、かつ直ぐに設計プロセスに使用可能な状況でなければならない。設計に係る情報とはLPB各部分の設計結果だけでなく、設計に入る前に必要なデザインルールや材料の電気・物理特性、受動部品やコネクタなどの形状や電気モデル、組み立て（パッケージまたはボード）の際のルール（配置制約、ボンディングルール等）等、サプライチェーンから情報を集めなければならない。現状、それら情報の収集は人対人のコミュニケーションに大きく依存し、異種サプライヤー間で言葉の定義の違いによる相互理解にかかる余分な時間と、提供されたデータもそのまま設計ツールに読み込みができない書式であり、書式の合わせこみを行う時間が大きく発生している。これらが構想設計の実施を妨げ、時間不足となりいきなり詳細設計に入らなければならない状況に至り詳細設計段階のやり直しの増大がおこったり、情報不足による構想設計の結果の精度が悪くなると詳細設計でやり直しが多く派生原因となる。この情報のやり取りにLPB標準フォーマットを活用することによって効率よく情報の収集や設計結果の提供ができるようになる。必要な情報はLPB標準フォーマットで明らかになっており、LPB標準フォーマットで記載された情報ファイルを要求、または提出すればよい。（図-11）。

## バリューチェーンにおけるLPB情報共有

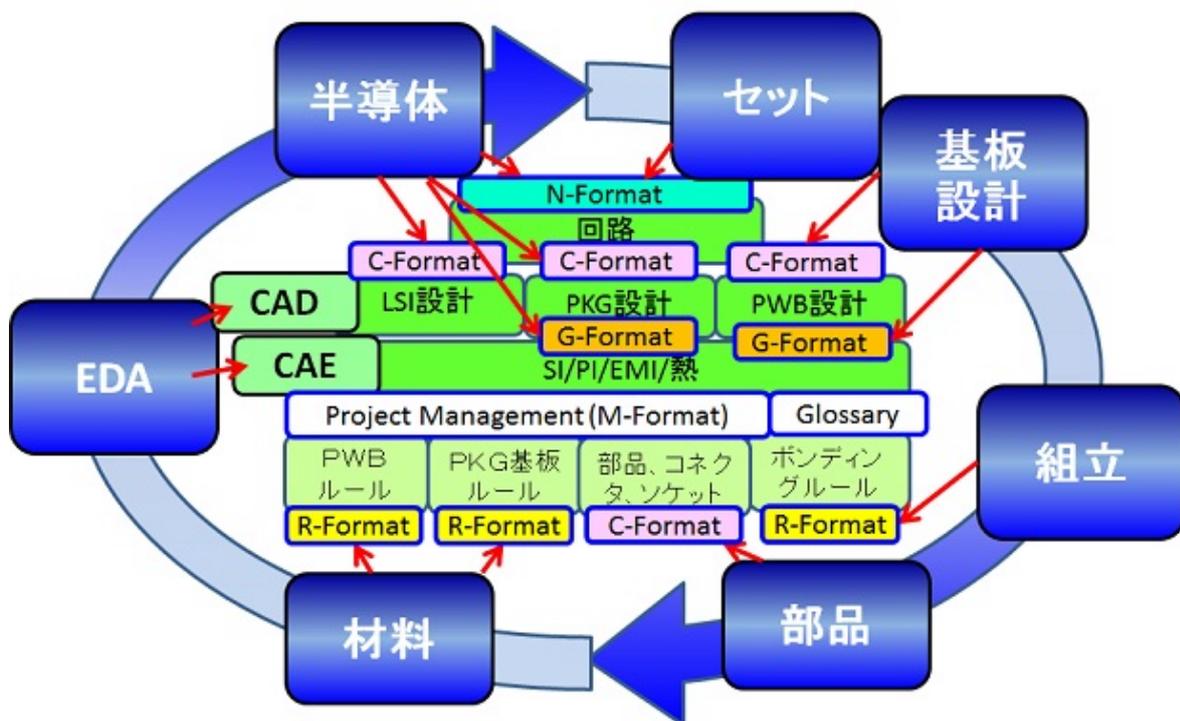


図-11 LPB 標準フォーマットを使った情報共有

また、あらかじめ材料、部品についての LPB 標準フォーマットによる情報ファイルを複数集めておき、構想設計の過程でどの材料・部品を使うか容易に試し選択することが可能となってくる。このようにサプライチェーンが協力し合って情報を集め、競争力のある製品を市場に出して成功すればサプライチェーン全体がエコシステムとして成功していく。このように一つ一つの情報が設計の価値を高めていくバリューチェーンが成立する。

### 2.3.1.3.4 開発効率における JEITA LPB 標準フォーマットの効果

JEITA LPB-WG では小規模な模擬セットを想定して LPB 標準フォーマットを使って実設計を行った (図-12)。この結果この程度の設計事例であっても従来の詳細設計や検証にかかっていた時間を 61%削減し、情報を待っている時間を 2 週間以上削減することが出来た。

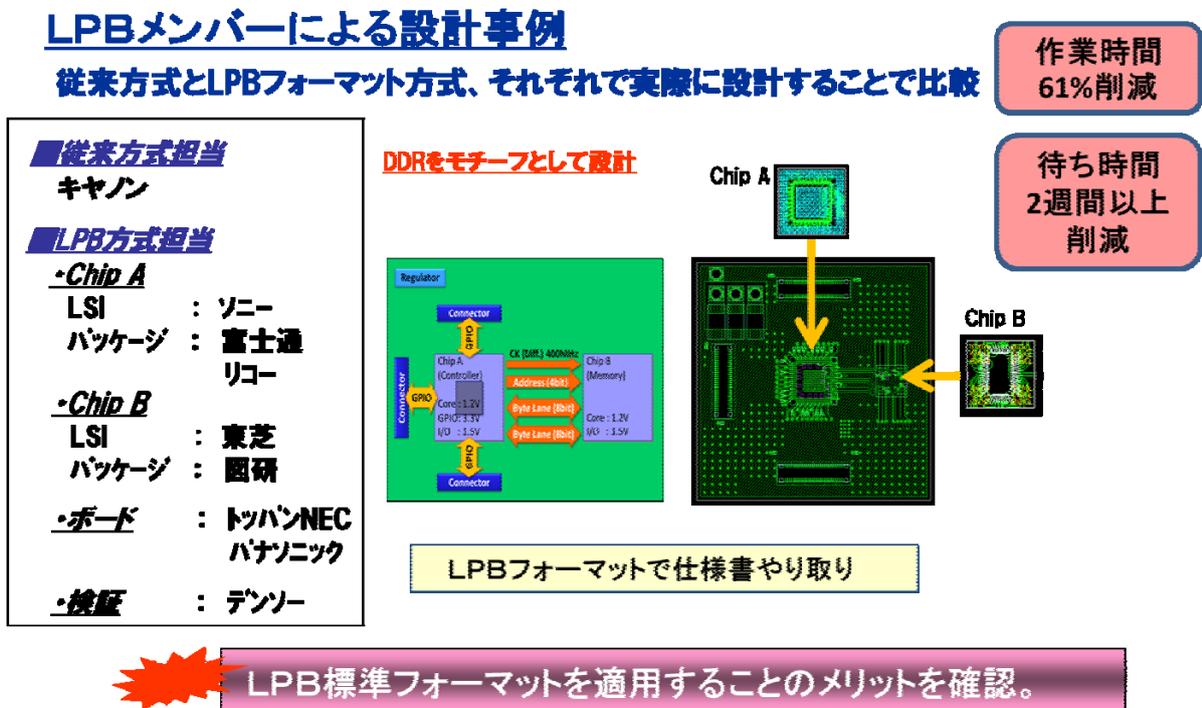


図-12 LPB 標準フォーマットを使った設計事例とその効果

### 2.3.1.4 LPB 相互設計ワークグループ活動

#### 2.3.1.4.1 構成メンバー (表 - 1)

2010年 16社 / 20名 + 特別委員 3名 客員 1 大学 / 1名

2011年 17社 / 23名 + 特別委員 2名 客員 1 大学 / 1名

2012年 17社 / 21名 + 特別委員 4名 客員 1 大学 / 1名

主査: 福場義憲 (株) 東芝

副主査: 大槻隆志 (株) リコー (標準化準備サブワーキンググループ主査)

副主査: 中川祐之 富士通 VLS (株) (インターフェースフォーマットサブワーキンググループ主)

査)

副主査：富島敦史（株）東芝（普及活動サブワーキンググループ主査）

| 氏名   | 正副      | 役職   | 所属                      |
|------|---------|------|-------------------------|
| 福場義憲 | 正       | 主査   | 株式会社東芝                  |
| 林 靖二 | 正       |      | キャノン(株)                 |
| 大坪祐司 | 正       |      | (株)図研                   |
| 松澤浩彦 | 正(期中交代) |      | (株)図研                   |
| 古賀一成 | 副       |      | (株)図研                   |
| 濱田誉人 | 正       |      | ソニーLSIデザイン株式会社          |
| 田中修治 | 副       |      | ソニーLSIデザイン株式会社          |
| 川畑 航 | 副(期中交代) |      | ソニーLSIデザイン株式会社          |
| 津田剛宏 | 正       |      | 株式会社デンソー                |
| 市川浩司 | 副       |      | 株式会社デンソー                |
| 岡野資睦 | 副       |      | 株式会社東芝                  |
| 富島敦史 | 副       | 副主査  | 株式会社東芝                  |
| 青木孝哲 | 副       |      | 株式会社東芝                  |
| 益子行雄 | 正       |      | 日本ケイデンス・デザインシステムズ社      |
| 川上雅士 | 正       |      | 日本電気(株)                 |
| 石田尚志 | 正(期中交代) |      | 日本電気(株)                 |
| 楠本学  | 副       |      | 日本電気(株)                 |
| 齊藤義行 | 正       |      | パナソニック株式会社              |
| 中川祐之 | 正       | 副主査  | 富士通VLSI(株)              |
| 佐藤敏郎 | 副       |      | 富士通アドバンステクノロジー(株)       |
| 折原広幸 | 副(期中交代) |      | 富士通アドバンステクノロジー(株)       |
| 澤田修  | 正       |      | メンター・グラフィックス・ジャパン株式会社   |
| 大槻隆志 | 正       | 副主査  | 株式会社リコー                 |
| 貝原光男 | 副       |      | 株式会社リコー                 |
| 坂田和之 | 正       |      | ルネサスエレクトロニクス株式会社        |
| 村田洋  | 正       | 特別委員 | (株)ジェム・デザイン・テクノロジーズ     |
| 門田和博 | 正       | 特別委員 | ステイシフト(株)               |
| 金子俊之 | 正       | 特別委員 | (株)トッパンNECサーキットソリューションズ |
| 永野民雄 | 正       | 特別委員 | STARC                   |

表-1 LPB相互設計ワーキンググループメンバー（2012年度）

#### 2.3.1.4.2 活動内容

ワークグループ内で3つのサブWGを構成して活動をしている。2012年度は下記3グループ。

##### ①インターフェースフォーマットSWG

- ・LPB-V2.0のEDAツールへの導入サポート。
- ・LPB-V2.0へのVOC（Voice of Customer EDAベンダやユーザーからのフィードバック）の収集
- ・フォーマットの改良
- ・サンプルデータの改良

##### ②普及活動SWG

- ・LPB標準フォーマットの普及活動
- ・EDSフェア展示ブースの企画・出展・運営

- ・ SDF のステージ企画と実施
- ・ 第 1 回 LPB フォーラムの企画と準備、実施

### ③標準化準備 SWG

- ・ LPB 標準フォーマットの規格化の準備活動
- ・ 標準化の手法検討、フォーラム化の検討
- ・ 国際標準化の検討
- ・ フォーラム運用用コミュニティーサイトの企画と作成、開設

以上、3つのSWGが協力しあってLPB標準フォーマットの改良と普及を促進する活動を行っている。

活動は7回の本委員会を実施した（内2回は10月に連日で行った）。本委員会や集中討議の間にはSWGが複数回の委員会を行い、それぞれの役割における検討結果や成果を議案として本会議と集中討議に提出し討議と審議をおこなった。

また本活動を上位委員会のEDA技術専門委員会への報告を行った。

### 本委員会日程

5月22日（発足からの通算第19回）

7月13日（同第20回）

9月12日（同第21回）

10月19日（同第22回）

10月20日（同第23回）

1月23日（同第24回）

3月13日（同第25回）

4月16日（同第26回、2012年と2013年度引き継ぎ会、2013年度1回目と兼ねる。）

8回の本会の中に分科会、サブWGの活動を多数行い、仕様をまとめ、本会議にて審議決定を行った。（図-13）

# 2012年LPB相互設計WG全体活動計画

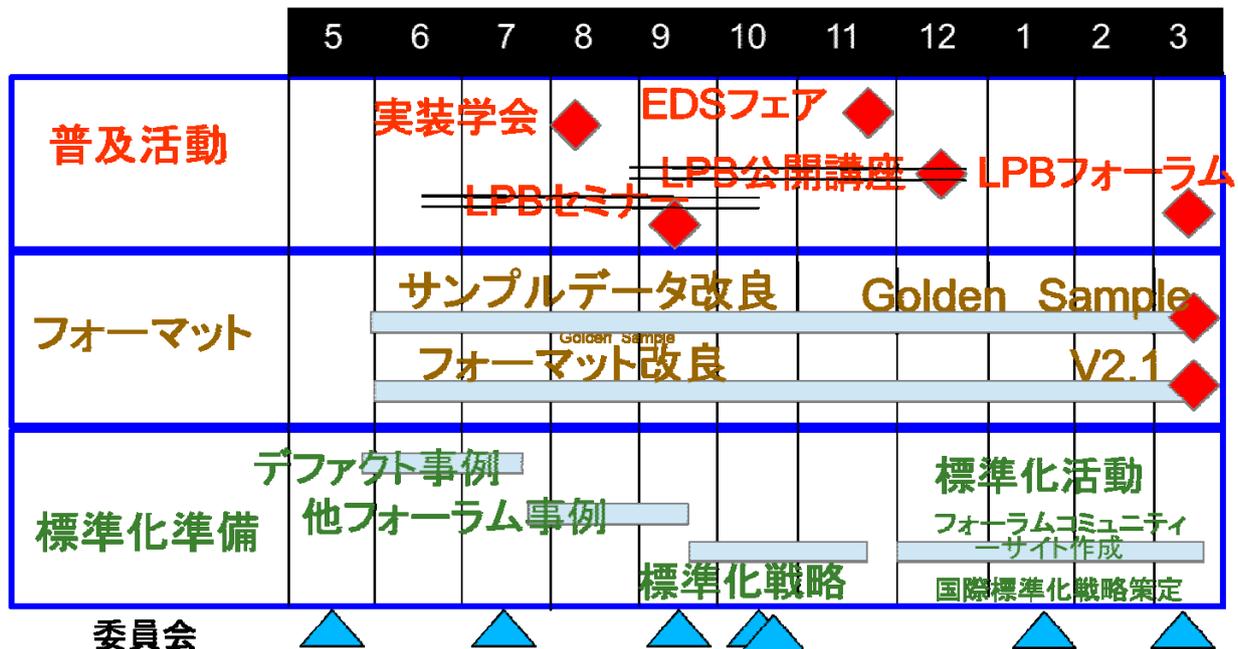


図-13 LPB相互設計ワーキンググループ活動記録（2012年度）

当初予定されていた9月のユーザー向けLPBセミナーはEDAベンダの導入が進まないため中止とした。また、12月に予定していた有料のLPB公開講座は聴講申し込みがなかった為に中止した。いずれも来年度以降同様の企画・実施を検討する。

## 2.3.1.4.3 活動内容のダイジェスト

- LPB-V2.0 リリース、ダウンロード化
- LPB 独自のホームページ英文化
- LPB-V2.1 の作成
- Golden Sample の作成
- 8月 実装学会 発表
- EDS フェア 2012 LPB/IBIS コーナーへのブース出展とコーナー全体のとりまとめ
- SDF2012 にてパネル討議
- 国際標準化のケーススタディー、IEC・IEEE への提案検討
- LPB フォーラムの企画・開催
- LPB フォーラムコミュニティサイト作成、公開開始

以降サブワーキンググループごとの活動報告

## 2.3.2 LPB相互設計WGインターフェースフォーマットサブワーキンググループ

### 2.3.2.1 目的

LPB(LSI-Package-Board)相互設計ワーキンググループで、LPBを統合的に扱う設計環境の実現に向け、その課題の分析をする中で、LSI、Package、Boardの設計・解析で扱うツールが異なり、データフォーマットが異なること、さらに、Package、Boardの設計・解析環境では、EDAベンダ間でデータフォーマットが統一されていないため、必要情報が揃わない、設計・解析のセットアップに膨大な時間とリソースがかかる、結果が共用できない、といった課題が明らかになった。

そこで、ツール間のデータフォーマットの統一を検討するサブワーキンググループを立ち上げ、①LPB全体の管理、②接続記述、③部品・制約・端子情報、④設計ルール・材料特性情報、⑤解析用形状データのフォーマットを『JEITA LPB標準フォーマット』として策定した。

サブワーキンググループは2010年度より継続して活動しており、

**2010年度 LPB標準フォーマット Ver.1.0**

**2011年度 LPB標準フォーマット Ver.2.0**

としてリリースしている。今年度は、

#### 1. LPB標準フォーマット Ver.2.0のブラッシュアップ

ツールへの実装を想定して、曖昧な記述の見直し、キーワードの整理、フォーマット説明の充実をはかり、Ver.2.1としてリリースする。

#### 2. Golden Sampleの作成

EDA開発に使えるテスト用のデータを用意する。その際、可能な限り記述の網羅性を高める。

を目的に活動を行った。

### 2.3.2.2 活動内容

#### (1) LPB標準フォーマット Ver.2.0のブラッシュアップ (Ver.2.1のリリース)

表-2はLPB標準フォーマット一覧を示す。LPB標準フォーマットは、①プロジェクト管理(M-Format)、②ネットリスト(N-Format)、③コンポーネント(C-Format)、④デザインルール(R-Format)、⑤ジオメトリ(G-Format)の5種類のファイルで構成されており、Ver.2.1では①プロジェクト管理(M-Format)、③コンポーネント(C-Format)、④デザインルール(R-Format)を見直している。

表-2 LPB標準フォーマット

| フォーマット    | 概要       | フォーマットの書式     | Ver.2.1の対応   |                       |
|-----------|----------|---------------|--|-----------------------|
| ①プロジェクト管理 | M-Format | 設計各部の履歴       | XML (独自)   | Update                |
| ②ネットリスト   | N-Format | ネット接続表現 + V G | Verilog-HDL (既存)<br>※電源/GND端子を追加                                   | Ver.2.0と同じ<br>(見直しなし) |
| ③コンポーネント  | C-Format | 部品・制約・端子      | XML (独自)   | Update                |
| ④デザインルール  | R-Format | 設計ルール・材料特性    | XML (独自)   | Update                |
| ⑤ジオメトリ    | G-Format | 解析用形状データ      | アパッチ : XFL Ver1.0 (既存)<br>現時点で公開を認められたフォーマット<br>アパッチ殿からドネーション頂いている | Ver.2.0と同じ<br>(見直しなし) |

### ① プロジェクト管理 (M-Format) 添付資料 : 4-2-3\_JEITA-LPB\_MFormat\_Ver\_2\_1.pdf

表-3 は M-Format Ver. 2.0 の課題と Ver. 2.1 の対処を示す。フォーマット Ver. 2.0 では、M-Format が管理するファイル(N-Format, C-Format, R-Format, G-Format, その他ファイル) はすべてフラットに記述することになっていたが、Ver. 2.1 ではこの点を中心に見直しをはかっている。

表-3 M-Format の課題と Ver. 2.1 の対処

| No. | 課題  | Ver.2.1 対処  |
|-----|---|---|
| 1   | 管理するファイルをすべてフラットに記述するため、階層構造が取れない         | include MFORMAT="filename" で下階層のM-Formatを参照可能にする  |
| 2   | 管理するファイルをすべてフラットに記述するため、各ファイルの相関関係がわかりにくい | 関連するファイルをclass文でまとめ、class文でまとめられたファイルで一つのモジュールを構築する<br>例えば、一つのパッケージを構成するC-FormatやR-Formatファイルを、一つのclass文でまとめる |

### ③ コンポーネント (C-Format) 添付資料 : 4-2-5\_JEITA-LPB\_CFormat\_Ver\_2\_1.pdf

表-4 は C-Format Ver. 2.0 の課題と Ver. 2.1 の対処を示す。C-Format は、今回大幅に見直しが図られており、表-4 は仕様変更のみ記載している(キーワードの微調整や説明文の修正等は割愛)。

表-4 C-Format Ver. 2.0 の課題と Ver. 2.1 の対処

| No. | 課題   | Ver.2.1 対処   |
|-----|--|--|
| 1   | C-FormatにはLayer定義が無いため、Layer指定ができない<br>- padstack の ref_shape<br>- component の placement | "一番上に置く"、"一番下に置く"を定義できるようにする<br>- padstackは pad_layer="TOP"or"BOTTOM"で対応するlayerというキーワードは削除する<br>- componentは mount="TOP"or"BOTTOM"で対応するlayerというキーワードは削除する  |
| 2   | LandとBallの紐付けができない   | socketのportにball_name/ball_shapeを追加し、C-FormatでLandとBallを紐づける<br>port定義でBallを追加する(Optional)<br>[想定ケース]<br>解析ツールがC-FormatとR-Formatを読むと、Ball設定されて解析できる。<br>ツールはpadstackをみて、Ballがどちら(上側or下側)に付くか判断する |
| 3   | portgroup が group指定できない  | ref_portgroup を導入する  |
| 4   | guard_shield の shieldnet_port_name は port指定で、group指定できない                                 | shieldnet_port_group_name を導入する  |
| 5   | powerdomain_group の指定が、group単位でしかできない  | ref_port を導入し、端子単位で定義可能とする   |
| 6   | 信号skewを定義する際、対象がグループ指定なので、1ピンずつ異なるSkewを与えることができない  | グループ指定だけでなく、ポート指定もできるようにするため、port_id/port_name を追加する   |
| 7   | connectable の使い道が無い  | 削除する   |

### ④ デザインルール (R-Format) 添付資料 : 4-2-6\_JEITA-LPB\_RFormat\_Ver\_2\_1.pdf

表-5 は R-Format Ver. 2.0 の課題と Ver. 2.1 の対処を示す。フォーマットそのものの変更は無く、曖昧な点を補足する説明文を付け加えている。

表-5 R-Format の課題と Ver. 2.1 の対処

| No. | 課題  | Ver.2.1 対処   |
|-----|---|--|
| 1   | モールドの高さ定義が不明確   | 最上位層(SR)からの高さとする<br>フォーマットの説明に追加する   |
| 2   | thicknessで膜厚Aを定義して、<br>plate_thicknessでメッキ厚Bを定義した場合、<br>トータルの厚さはA+B? それともA?                     | thickness は plate_thickness を含む (トータルの厚さはA)<br>フォーマットの説明に追加する  |
| 3   | Bonding wire定義には、Dieの厚さが必要だが、<br>R-Formatでは定義されていない   | SOCのC-Formatに、moduleのthicknessの定義がある<br>フォーマットの説明に追加する   |
| 4   | design_rule_area を使用して、Defaultとは<br>別のデザインルールを設定する場合、ルールは排<br>他になるのか、それともDefaultが上書きされるの<br>か不明 | Physicaldesignは原則Default設定が採用される。変更したい場合は、別の<br>Physicaldesignを定義する。このとき、変更したいところだけ設定する。ただし、<br>Layer stack upは変更できない。<br>(layer nameは変更できない。Defaultと同じ名前にする)<br>フォーマットの説明に追加する        |
| 5   | 数字の表記<br>"e"や"G"は使用可否が不明  | e+/-* の表記は可能、"G"の使用は不可<br>ex. 1GHzの周波数を表す場合、<br>NG! (1) unit Hz frequency="1G"<br>NG! (2) unit GHz frequency="1G"<br>OK! (3) unit Hz frequency="1e9"<br>OK! (4) unit GHz frequency="1" |
| 6   | <unit>の補助単位系の例が細かすぎる  | h e+2, da e+1, d e-1, c e-2は削除<br>フォーマットの説明を変更する   |

## (2) Golden Sample の作成

図-14 は、フォーマット Ver. 2.0 公開の際に用意したサンプルの概略図である。これは、コントローラとメモリ間の DDR 配線をモチーフに、LPB フォーマットの有効性を検証したもので、その結果については、EDSFair2011Nov. (2011/11/17)、2011 年度の Annual Report で報告している。

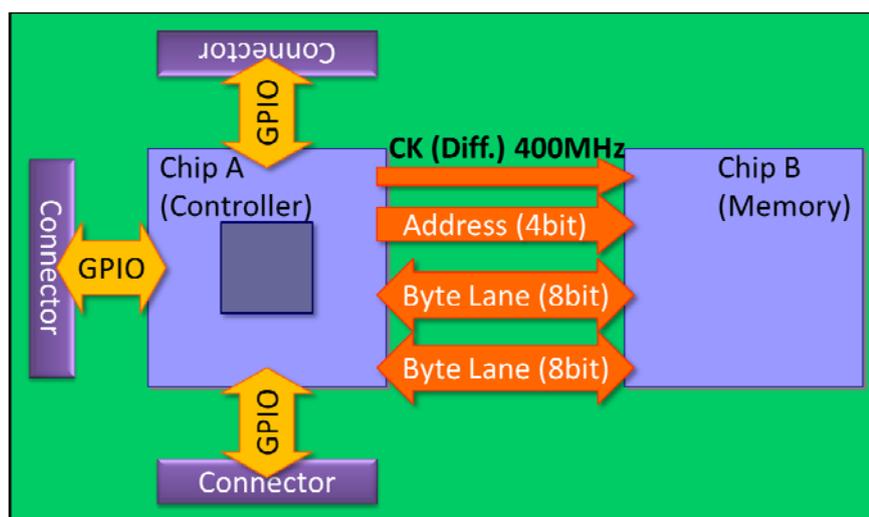


図-14 LPB フォーマットの有効性を検証するために用意したサンプル

このサンプルはフォーマットの有効性を検証するために作成されたものであり、構成が単純なため、フォーマット記述の網羅性が低いという課題がある。そこで、EDA 開発に使えるテスト用のデータを用意する目的で、今回 Update したフォーマット Ver. 2.1 に準拠し、可能な限りフォーマット記述の網羅性を高めた所謂『Golden Sample』を作成した。

図-15 は、今回用意した Golden Sample の概略図を、図-16 は Golden Sample の File 構成を、  
表-6 は Golden Sample の使用部品概要を示す。

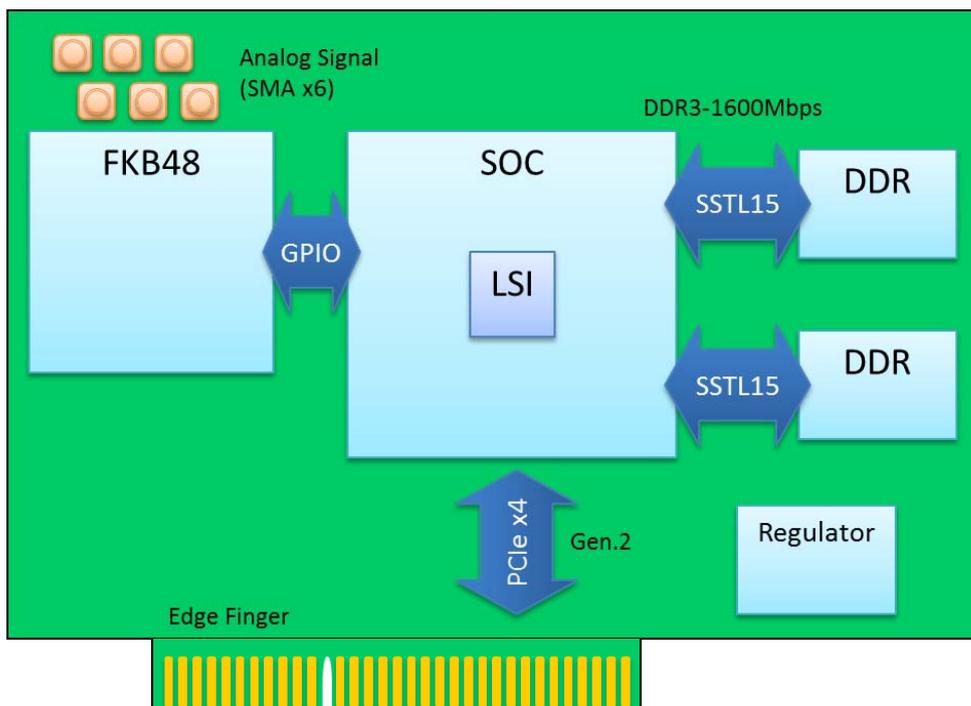


図-15 Golden Sample の概略図

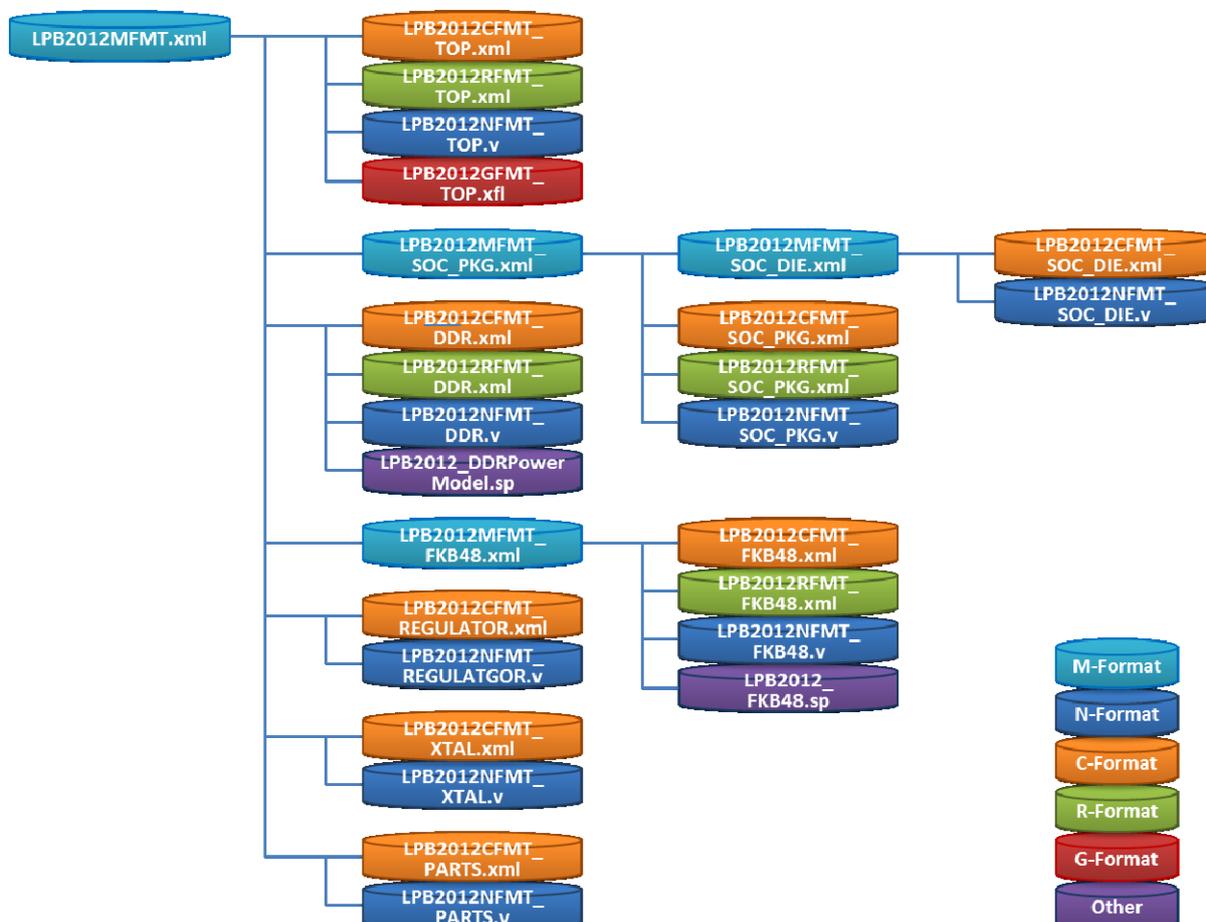


図-16 Golden Sample の File 構成

表-6 Golden Sample 使用部品概要

|                           |   |
|---------------------------|---|
| SOC                       | LSI, PKGとも新規設計の想定<br><Features><br><ul style="list-style-type: none"> <li>•DDR3-Interface</li> <li>•PCI-Express x4 Interface</li> <li>•GPIO Bus (Input:3Byte, Output:3Byte)</li> </ul> <Package><br>Size 27mm□<br>Ball Pitch 1.0mm<br>Num. of Balls 276 Ball (3Row)<br>Num. of Layers 4 |
| DDR                       | 既存, PKG品<br><Package><br>Size 13.0x9.3mm<br>Ball Pitch 0.8mm<br>Num. of Balls 78 Ball   |
| FKB48                     | 既存, PKG品の想定<br><Features><br><ul style="list-style-type: none"> <li>•Analog Input (SMA) 3channel</li> <li>•Analog Output (SMA) 3channel</li> <li>•GPIO Bus (Input:3Byte, Output:3Byte)</li> </ul> <Package><br>Size 20mm□<br>Ball Pitch 1.0mm<br>Num. of Balls 136 Ball (2Row)          |
| Regulator                 | 既存, PKG品  |
| 水晶                        | 既存  |
| 受動部品 (R, C, Ferrite bead) | 既存  |

2012年度はサブワーキンググループを7回開催した。  
 成果の詳細は本アニュアルレポートの付録に掲載した。

### 2.3.2.3 参加メンバー

|        |       |                       |
|--------|-------|-----------------------|
| リーダー   | 中川 祐之 | 富士通 VLSI 株式会社         |
| サブリーダー | 青木 孝哲 | 東芝セミコンダクター&ストレージ社     |
| メンバー   | 濱田 誉人 | ソニー株式会社               |
| 同      | 永野 民雄 | 株式会社半導体理工学研究センター      |
| 同      | 齋藤 義行 | パナソニック株式会社            |
| 同      | 古賀 一成 | 株式会社図研                |
| 同      | 益子 行雄 | 日本ケイデンス・デザイン・システムズ社   |
| 同      | 村田 洋  | 株式会社ジェム・デザイン・テクノロジーズ  |
| 同      | 澤田 修  | メンター・グラフィックス・ジャパン株式会社 |
| 同      | 門田 和博 | ステイシフト株式会社            |
| 同      | 佐藤 敏郎 | 富士通アドバンステクノロジー株式会社 ※1 |
| 同      | 折原 広幸 | 富士通アドバンステクノロジー株式会社 ※1 |

※1 期の途中で佐藤から折原に交代した。

## 2.3.3 L P B相互設計WG普及活動サブワーキンググループ

### 2.3.3.1 目的

JEITA LPB 標準フォーマットのユーザや EDA ベンダーへの採用促進を図る。

### 2.3.3.2 活動内容

2011 年度の活動を受けて、EDA ベンダーの LPB 標準フォーマットへの対応が始まった。今年度は、標準フォーマットを活用することによるメリットを理解してもらうために、設計や解析サービスを行うユーザ側への情報発信を積極的に行う。

これにより、EDA ベンダーへの標準フォーマットの採用促進を図ると共に、LPB 相互設計の普及に努めることを活動の中心とする。

#### 具体的な活動内容

1. JEITA の企画運営する EDS Fair への出展
2. SDF2012(システムデザインフォーラム)における LPB 相互設計セミナーの開催
3. 第一回 LPB フォーラム企画/実施
4. JEITA LPB 相互設計 WG ホームページ メンテナンス

#### 活動実績

- 2012/8/30 に芝浦工業大学豊洲キャンパスにて開催された、エレクトロニクス実装学会 2012 サマーセミナーにて、「LSI・パッケージ・ボード相互設計の効率と品質を向上させる LPB 標準フォーマットの効果と活用手法」と題し、LPB 標準フォーマットを活用することによりもたらされる、設計効率と品質の向上について紹介するとともに、フォーマットの普及状況や標準化動向などを含め、LPB 相互設計ワーキンググループの活動について報告を行った。

#### 関連 URL1 :

<http://techon.nikkeibp.co.jp/article/NEWS/20120914/240032/?ST=edaonline&P=4>

(注) 登録制サイトの為、別途 ID, パスワードの設定が必要な場合があります

添付資料:4.2.10 実装学会サマーセミナー プレゼンテーション資料

- 2012/11/14～16 に開催された EDS Fair の特別展示 LPB/IBIS ゾーンに出展し、LPB 相互設計ワーキンググループの活動内容と、JEITA 標準フォーマットに関する紹介を行った。LPB ゾーン出展の 5 社 1 大学及び IBIS ゾーン出展 2 社と合わせて、ブース内でのセミナーを行い、LPB 連携の現状と EDA ソリューション、IBIS 作成と活用方法の解説を行った。

#### 関連 URL2:

[http://www.edsfair.com/special/lpb\\_ibis.html](http://www.edsfair.com/special/lpb_ibis.html)

#### 関連 URL3 :

<http://techon.nikkeibp.co.jp/article/NEWS/20111107/200654/>

(注) 登録制サイトの為、別途 ID, パスワードの設定が必要な場合があります

- また、2012/11/15 に実施されたシステムデザインフォーラム 2012 において、「競争力を創出する LPB 標準フォーマットの流通と活用～EDA ツールのデモとユーザによる活用方法の議論～」と題して LPB 相互設計セミナーを実施。 SDF 全体で 125 名の聴講者を迎え、活発な議論を行うことにより、多くの来場者の関心を集めることが出来た。

関連 URL4、5：

<http://techon.nikkeibp.co.jp/article/NEWS/20121105/249372/>

<http://techon.nikkeibp.co.jp/article/NEWS/20121122/252353/>

(注) 登録制サイトの為、別途 ID, パスワードの設定が必要な場合があります

関連 URL6

<http://www.edsfair.com/special/stage.html>

(システムデザインフォーラム)

関連 URL7：

[http://www.edsfair.com/special/eds2012\\_sdf05\\_pdf.html](http://www.edsfair.com/special/eds2012_sdf05_pdf.html)

(注) 登録制サイトの為、別途 ID, パスワードの設定が必要な場合があります

#### 添付資料：4.3 SDF2012 講演資料

- 2012/11/15 に行われ EDS Fair 企画ワインの夕べにおいて、LPB/IBIS ゾーン出展 8 社とともに、「升酒の夕べ」を開催。LPB 相互設計ワーキンググループ主査福場義憲氏と神戸大学永田真教授による「鏡開き」を行い、升酒を多数のユーザに振る舞うイベントを行った。
- 2013/3/6 に第一回 LPB フォーラムを、日本教育会館にて開催した。  
LPB 相互設計にかかわる様々の業界から 37 社 55 名と JEITA LPB 相互設計ワーキンググループメンバー 23 名の合計 78 名の参加があった。

当日の発表内容は以下の通り

◇ オープニングスピーチ

LPB:LSI パッケージボード ～連携を生み出す LPB～

JEITA LPB 相互設計ワーキンググループについて

◇ EDA 事例紹介

株式会社ジェムデザインテクノロジーズ

株式会社図研

株式会社ファースト

株式会社ワイ・ディー・シー

メンターグラフィックスジャパン株式会社

日本ケイデンスデザインシステムズ社

株式会社 Oscillated Recall Technology

株式会社エムイーエル

ステイシフト株式会社

アンシスジャパン株式会社

株式会社アパッチデザインソリューションズ

- ◇ ゴールデンサンプル説明
- ◇ LPB フォーラム コミュニティサイトと加入案内
- ◇ 座談会

これからの発展(LPB エコシステム)

参加者からは、プレゼンテーションと座談会を行った今回の形式での開催を望む声が多数あり、今後も LPB フォーラムを継続して行うと共に、コミュニティサイトを立ち上げて情報を積極的に発信するとともに、メンバー間でのディスカッションの場として立ち上げていく。

関連 URL8 :

<http://techon.nikkeibp.co.jp/article/NEWS/20130311/270539/>

(注) 登録制サイトの為、別途 ID, パスワードの設定が必要な場合があります

2.3.3.4 普及活動サブワーキンググループメンバー

|      |       |                           |
|------|-------|---------------------------|
| リーダー | 富島 敦史 | (株)東芝セミコンダクター&ストレージ社      |
| メンバー | 大坪 祐司 | (株)図研                     |
| メンバー | 林 精二  | キヤノン (株)                  |
| メンバー | 岡野 資睦 | (株)東芝セミコンダクター&ストレージ社      |
| メンバー | 貝原 光男 | (株)リコー                    |
| メンバー | 津田 剛宏 | (株)デンソー                   |
| メンバー | 金子 俊之 | (株)トッパン NEC サーキットソリューションズ |

SDF LPB 相互設計セミナー発表者

|     |       |                      |
|-----|-------|----------------------|
| 発表者 | 福場 義憲 | (株)東芝セミコンダクター&ストレージ社 |
| 発表者 | 中川 祐之 | 富士通 VLSI(株)          |
| 発表者 | 古賀 一成 | (株)図研                |
| 発表者 | 村田 洋  | (株)ジェムデザインテクノロジーズ    |
| 発表者 | 門田 和博 | ステイシフト(株)            |

## 2.3.4 LPB相互設計WG標準化準備サブワーキンググループ

### 2.3.4.1 目的

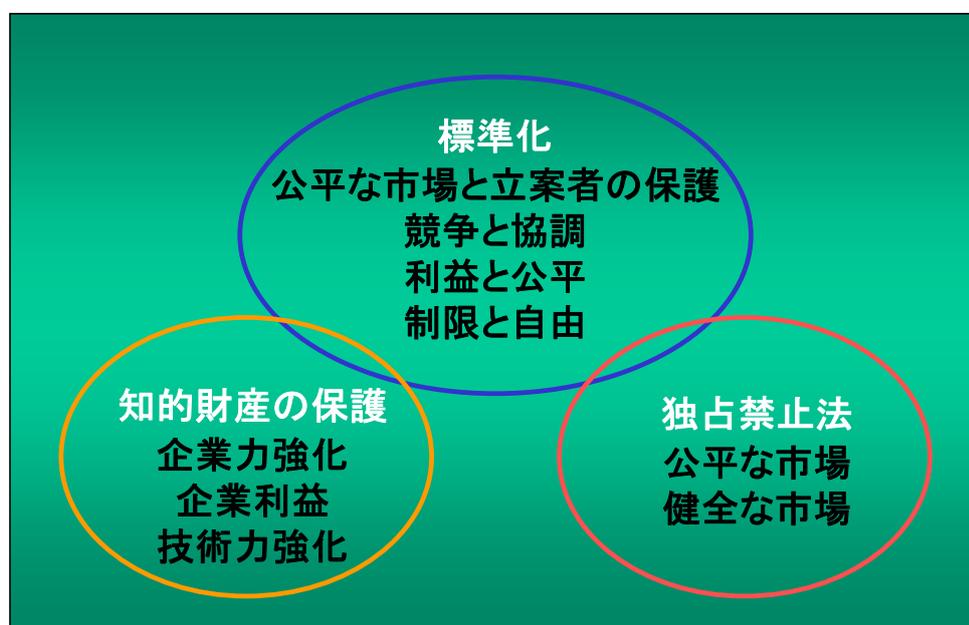
#### 2.3.4.1.1 標準化の目的、背景

JEITA LPB相互設計WGで策定したJEITA LPB標準フォーマットの標準化へ向けての活動を始めるにあたり、SWGメンバーにおけるコンセンサスとして、「標準化すべき」という大前提でよいかについて議論を行った。

標準化はあくまでLPB標準フォーマットを普及させるための手段であって、最終目的ではなく、手段のひとつとして進めるということと、現場設計者に対する普及のための他の手段は無いかまでを検討していくということを基本とし、以下のように目的を設定した。

#### <標準化の目的>

- ・フォーマットを普及させるための標準化  
→LPB-WG活動における設計の立場としての本来の目的である現場における設計効率向上のための普及手段
- ・EDAベンダーからの要望  
→ツールへのフォーマット適用に対する理由付け。EDAベンダー内でのフォーマット採用に向けての大義名分。
- ・JEITAとしての成果



<図-17 標準化に対する一般的解釈>

### 標準化として定義されている役割

公平な市場競争の提供と企業の知的財産の保護を同時に成立させるもの。

しかし、企業の本音は、

- ・ロイヤリティ、ライセンス提供による利益拡大
- ・独禁法に違反することなく利益を獲得

そのために標準化を推進している。

### <JEITA LPB 標準フォーマットの標準としての位置付け>

JEITA LPB 標準フォーマットは一企業の利益を獲得するための標準ではなく、設計現場、ベンダーの相互作用による業界の活性化を図るための標準である。

#### 2.3.4.1.2 標準化準備 SWG の活動方針

活動方針を決定するにあたり、JEITA LPB標準フォーマットの役割について述べる。

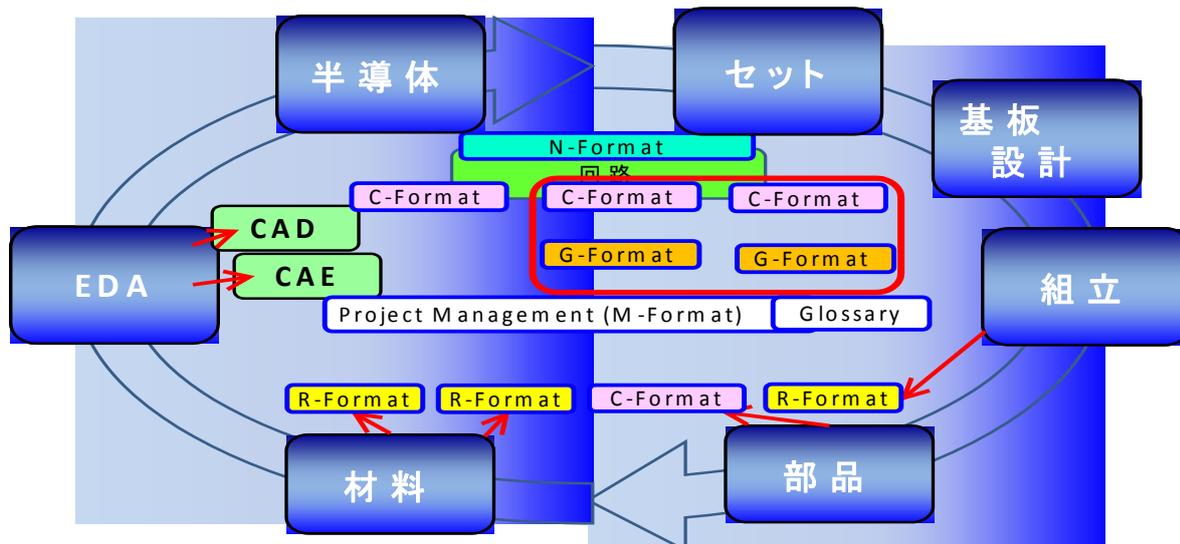
JEITA LPB 標準フォーマットは、LPB 各分野が協力しあって円滑に製品を創るために必要な

設計・ 検証の情報流通改善、時間の有効活用を実現する標準であり、日本のエレクトロニクス製品の国際的競争力を高めることを目標としたものである。

また、JEITA LPB 標準フォーマットは設計現場における共通言語であり、さらにサプライチェーンにおける情報伝達のための媒体としても非常に大きな役割を持っており、業界全体の力を集結し、ベクトルを合わせ、その結果としてQCDの達成に至らせる手段としての目的を担っている。

さらに、プロジェクト遂行におけるバリューチェーンマネジメントを考えたとき、設計・検証の入出力情報であるLPB標準フォーマットは、現場で広く共有化・流通することが必要で、そのためには、まず標準ありきではなく、草の根的活動が重要となる。

以上の役割を達成するための具体的活動を以下のとおり定めた。



〈図-18 バリューチェーンにおける JEITA LPB 標準フォーマットの役割〉

〈具体的活動内容〉

- ①フォーマットの普及が目的であり、そのために最適な公開手段を検討。  
標準化はその手段のひとつである。  
世の中には、規格として公開されているものの位置づけとして、デジュール、デファクト、フォーラムを検討する。
- ②普及のためのドキュメントを作成。
- ③ユーザードリブンの基本とした活動を行う。

〈SWG間役割分担について〉

標準化準備SWGのテーマはフォーマットSWGおよび普及SWGに密接に関係するが、上記①、②に対して下記の役割案を考える。

- ①については、普及SWGとともに検討。  
標準化団体等の調査については、標準化準備SWGが行う。
- ②についてはドキュメント事例調査は標準化準備SWGで行い、フォーマットSWGにてドキュメント作成。

フォーマットSWGおよび普及SWGと連携し、標準関連調査等の実施、および提案を標準化準備SWGの活動とする。

〈今年度の活動〉

今年度は設計現場、EDAベンダーにおいて、LPB標準フォーマットを広く共有化・流通することを目的として、まずはフォーラム立ち上げを先行し、平行してデジュール

である国際標準化に向けての調査を実施する。  
最終的には国際標準を狙う。

<参考（言葉の定義）>

- ・デジュール (de jure standard)  
→公的な標準化機関により，公開された手順を経て策定された規格  
I E C、I S O等
- ・デファクト (de fact standard)  
→公的な標準化機関による手続きを経ずに，市場原理によって世の中に  
広く受け入れられた規格  
S P I C E、G D S、E D I F等
- ・フォーラム (forum)  
→広く公共的討論の場や，集团的公開討論の一種であり、その結果として  
規格も提案  
I B I Sフォーラム、N F Cフォーラム等  
オープンフォーラムとは本来、設計協調、設計手法、技術共有を  
行う場である。

## 2.3.4.2活動内容

### 2.3.4.2.1 標準化へ向けてのスタディ

標準化に向けて、まず以下の項目についてのスタディを実施

- ①標準化の手順の確認
- ②標準化に必要な要件の確認
- ③要件を満たすために必要な作業は何か
- ④ターゲットスケジュールとマイルストーン

これらの項目について、デジュールおよびフォーラムとして位置付けられる標準および普及団体についての調査を実施。

<デジュール>

- ・国内標準であるJEITA

- ・国際標準である I E C および I E E E

<フォーラム>

- ・業界団体における規格の普及

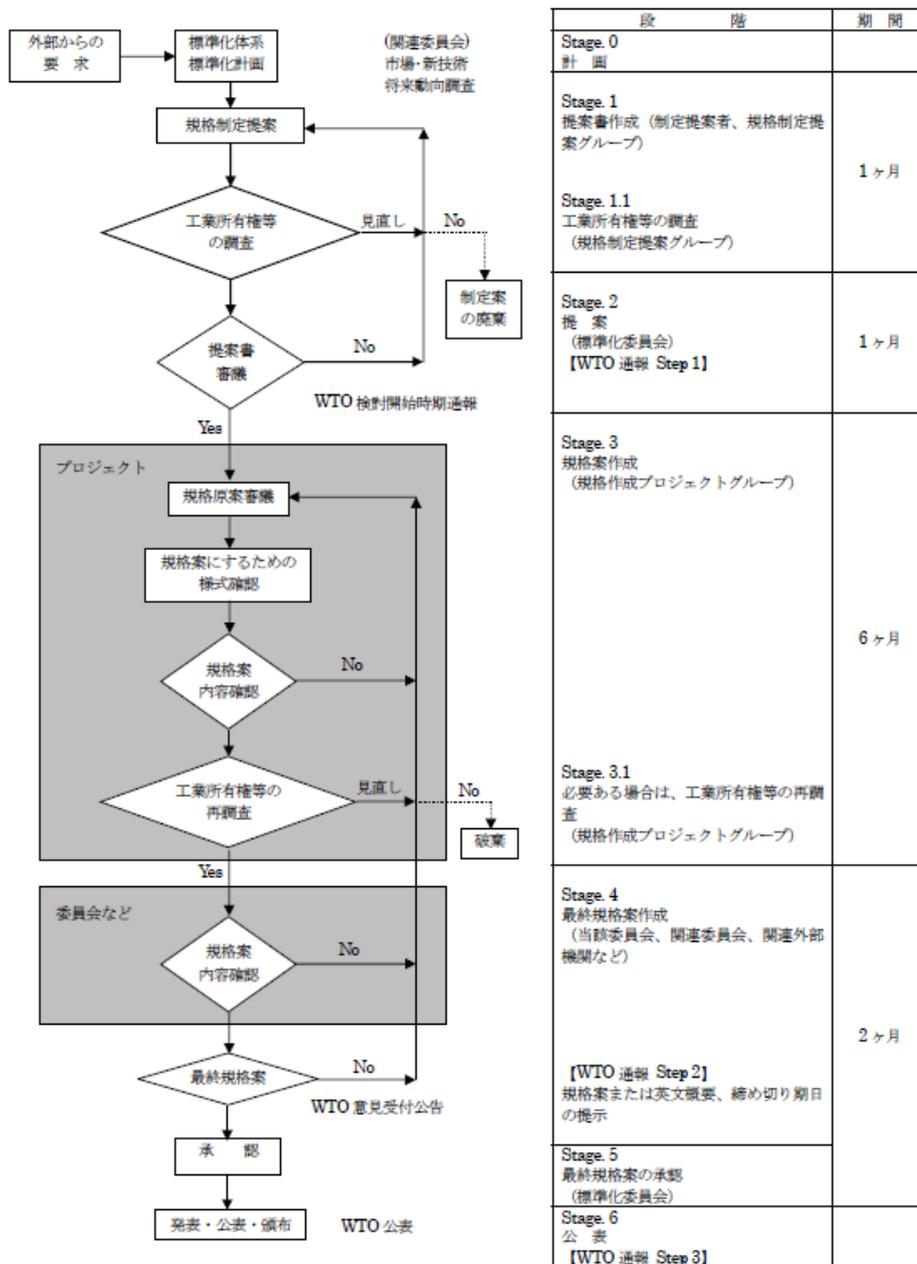
#### 2.3.4.2.1.1 JEITA標準

技術革新に伴うデジタル化、モジュール化が進み、戦略的な国際標準化への取り組みの重要性が高まる中、JEITAでは国際競争力の強化に向けて、積極的に標準化事業に取り組んでいる。

IEC (International Electrotechnical Commission : 国際電気標準会議) や ISO (International Organization for Standardization : 国際標準化機構) を中心とした、国際標準化活動に精力的に取り組むとともに、JIS規格、JEITA規格の制定にも携わっている。

<JEITA 規格制定に関する規定>

| 番号     | 名称                         |
|--------|----------------------------|
| TSC-01 | 標準化総合委員会 委員会組織・運営規定        |
| TSC-02 | 社団法人電子情報技術産業協会 規格類に関する規定   |
| TSC-03 | 社団法人電子情報技術産業協会 規格類審議システム規定 |
| TSC-08 | JEITA 規格類番号体系表             |
| TSC-16 | 電子情報技術産業協会 規格類の作成手順        |



〈図-19 JEITA 規格策定手順〉

## 2.3.4.2.1.2 国際標準

### 2.3.4.2.1.2.1 I E C

JEITA は特に I E C とは非常に関係が深く、経済産業省 日本工業標準調査会 (JISC : Japanese Industrial Standards Committee) から審議委託 (審議団体引き受け) されている委員会数は、35 にのぼる。

具体的な審議形態としては、I E C の各委員会 (T C) に対応し設置された国内委員会を中心に、当該分野の J E I T A 内委員会や関係機関等と連携をはかり、各審議文書 (規格案等) の検討や日本からの国際提案 (N P : New Work Item Proposal) に向けた活動を行っている。

JEITA では WTO/TBT 協定遵守の観点から JEITA 規格を I E C 国際規格にすることを主眼とし、I E C 国内審議団体業務を経済産業省から委託を受けており、半導体実装・製品技術専門委員会において、I E C の半導体標準化委員会 (T C 47) における審議文章の提案・検討、回答処理を支援している。

I E C には技術革新のスピードアップに対応して時宜を得た国際規格策定を行うために、迅速手続 (Fast-track procedure) 制度を導入している。

※WTO/TBT (World Trade Organization/Technical Barriers to Trade) Agreement

#### <専門委員会 (T C : Technical Committee)>

T C は、標準管理評議会 (SMB) が承認した作業範囲で作業計画を立て、その作業を実行して国際規格を作成する。

この作業は、T C とその下に必要に応じて設置される分科委員会 (S C : Subcommittee)、作業グループ (W G : Working Group) 等によって、他の I E C / T C 又は他の国際機関との関係のもとに実行される。

#### <分科委員会 (S C : Sub-Committee)>

S C は、標準管理評議会 (SMB) の承認のもとに、親 T C により設置される。S C 設置の条件は、幹事国を引き受ける国内委員会があること、及び親 T C のメンバーの内 5 つ以上のメンバーが積極的に参加を表明することである。

親 T C の幹事国は S C の設置を中央事務局に通知し、事務総長は標準管理評議会 (SMB) の承認を得る。

## 〈収集情報〉

- ・ I E CにおけるTC 9 3（デザインオートメーション）は無くなり、TC 9 1（電子実装技術）に吸収された。
- ・ TC 9 1の下にWG 1 3があり、JEITA LPB相互設計WGメンバーであるNECシステムテクノロジー社 小島氏がコンビナ（主査）を務めている。
- ・ WG 1 3はI B I Sを扱っているWGである。
- ・ TRが技術報告書の発行という最短パスであるため、公開という意味では一番早い。

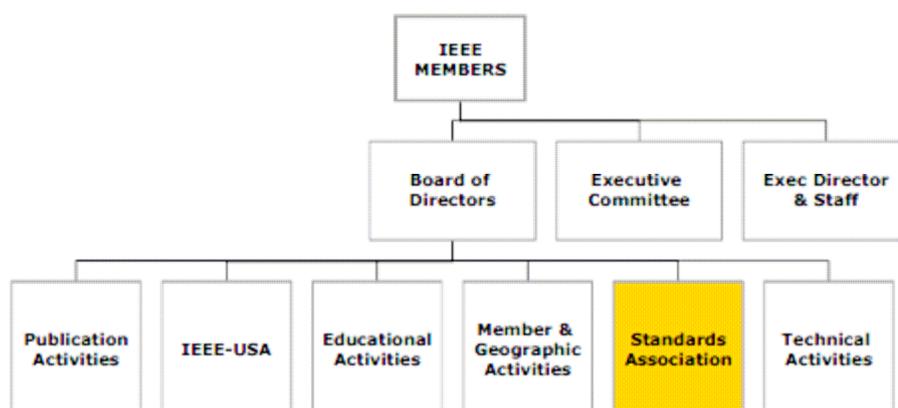
## 2.3.4.2.1.2.2 I E E E

1963年にアメリカ電気学会(AIEE)と無線学会(IRE)が合併し組織された非営利の専門機関であり、電気工学を源流としたコンピュータ、通信、電力、航空、電子、情報工学、さらにバイオ等の技術分野を扱い、国際会議の開催、技術教育、標準化などの活動を行っている。専門分野ごとに39のSocietyと称する分科会を持ち、それぞれに会誌(論文誌)を発行している。

## 〈IEEE全体組織〉

標準化に関する組織はIEEE-SA(Standards Association)である。

### IEEE Standards Association (IEEE-SA)



〈図-20 IEEE全体組織〉

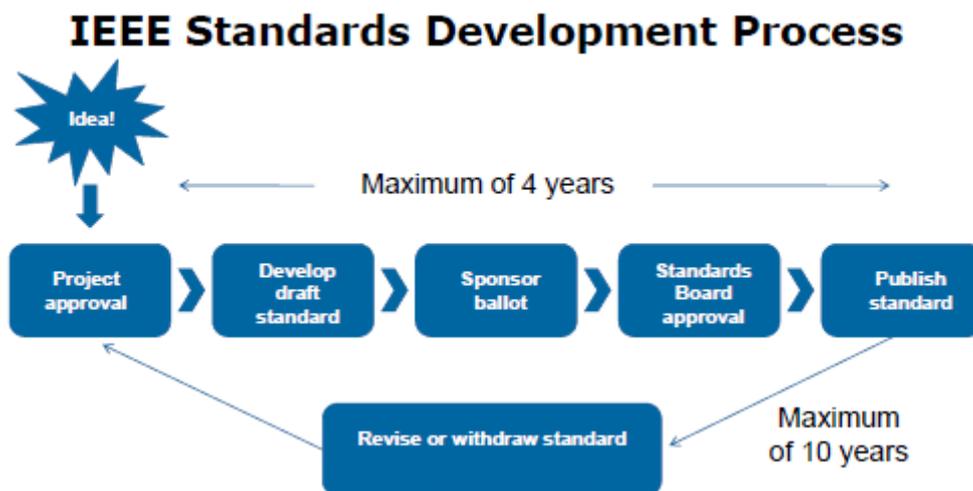
## 〈JEITA LPB標準フォーマットに関する委員会〉

JEITA LPB標準フォーマットはIEEE内ではEDA Standardという位置付けとして考えられるため、関連委員会としてはDASC(The Design Automation Standards Committee)となる。

〈IEEEにおける標準化へのステップ〉

IEEEにおける標準化へ向けての最初のステップは、PAR (Project Authorization request)

と呼ばれるProjectに対する提案書の発行から始まり、JEITA LPB標準フォーマットにおいては、その内容がDASCにおいて承認される必要がある。



〈図-21 IEEEにおける標準化へのステップ〉

### 2.3.4.2.1.2.3 JEITAとIECおよびIEEEの連携

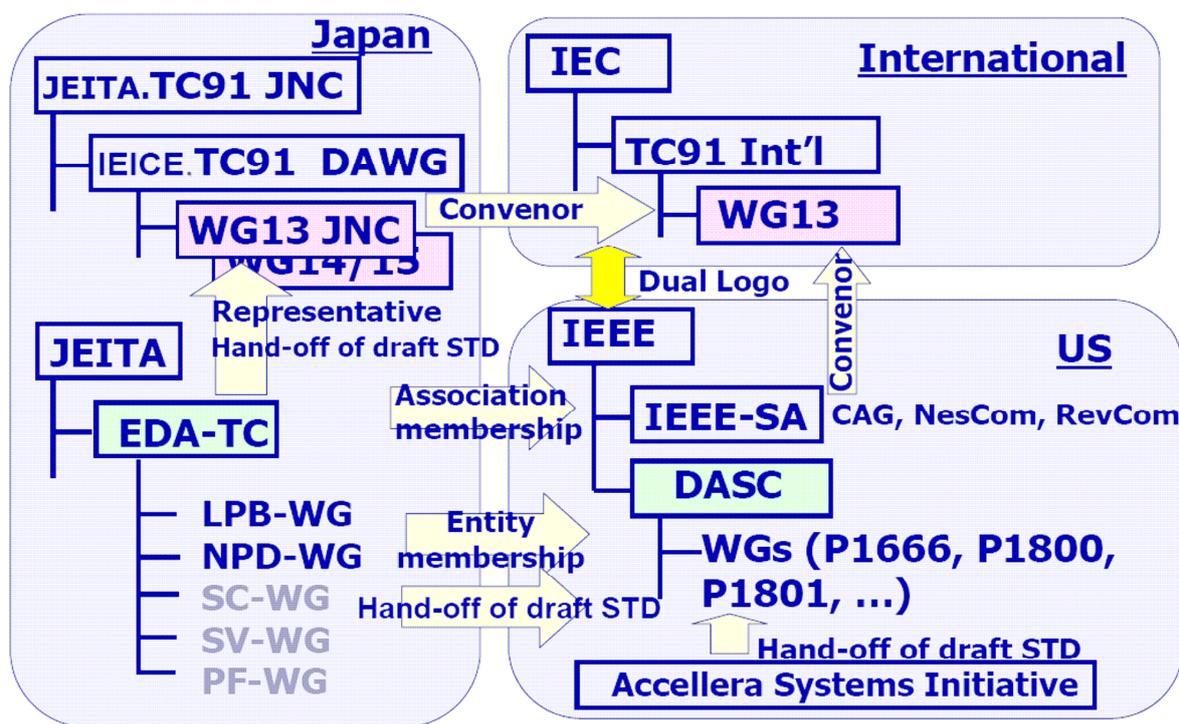
JEITAは国際標準機構であるIECおよびIEEEと密接な関係があり、各審議文書（規格案等）の検討や日本からの国際提案に向けた連携活動を行っている。

#### <JEITAとIECおよびIEEEの連携>

JEITA LPB相互設計WGメンバーであるNECシステムテクノロジー社 小島氏は、TC91 WG13におけるコンビナ（主査）を務めており、標準化にむけての支援が期待できる。

また、IEEE DASCとJEITAはAssociation membershipの関係であり、密接な連携活動を行っている。

## WG13 Collaboration Scheme



<図-22 JEITAとIECおよびIEEEの連携>

2.3.4.2.1.2.4 ターゲットスケジュール

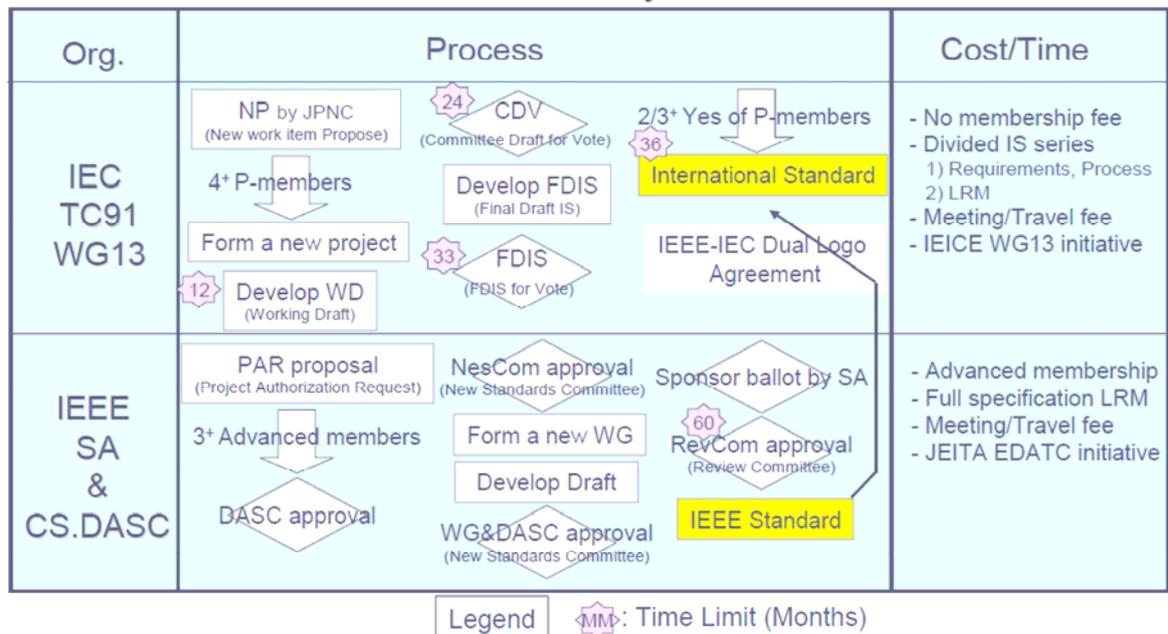
<国際標準化への道のり>

IECおよびIEEEにおける標準化へのステップおよびTime Limitを示す。  
 国際標準化に向けての道のりは長いものではあるが、JEITA LPB相互設計WGとして  
 定めた方針に基づき、標準化に向けての活動を継続していく。

EDA標準として日本から提案、発信することに大きな意義がある。

## Road to International Standard (IS) publication

- To align and set strategies to achieve the target in a cost- and time-effective way



<図-23 国際標準化への道のり>

2.3.4.2.2 事例調査

1. 標準に関するドキュメント作成のために

標準化された事例を調べて、一般公開されている標準というものはどのような内容なのかを理解し、ドキュメント作成における参考とする。

<調査対象>

- ・ I M I C

I E Cテクニカル ( T C ) として登録されており、今回の J E I T A L P B標準フォーマットの標準化に近いものではないか。 I S E / J E I T A規格書となっており入手可能。

- ・ I B I S

テックフォーラムから A N S I 規格となった事例

## 2. I E E E 向け P A R 作成のために

I E E E D A S C における標準化に向けての 1 s t ステップである P A R 作成のための他標準の事例を調査

<調査対象>

- ・ P 1 8 0 1

これは “Standard for Design and Verification of Low Power “に  
対する P A R である。

この P A R の内容を調査することで、 J E I T A L P B標準フォーマットとして  
提案するときの必要項目、および内容の参考とする。

### 2.3.4.2.3 J E I T A E C センターとの連携

J E I T A E C センターは、企業間電子商取引および企業間コンカレントエンジニアリングの基盤を整備することによって、電子機器および半導体・電子部品等の業界の発展に貢献することを目的に活動をおこなっている組織であり、電子機器および半導体・電子部品等の商取引情報および技術情報を企業間で電子交換・再活用が可能となるよう、用語・取引に係わる情報の種類・形式を標準化し維持管理を行っている。

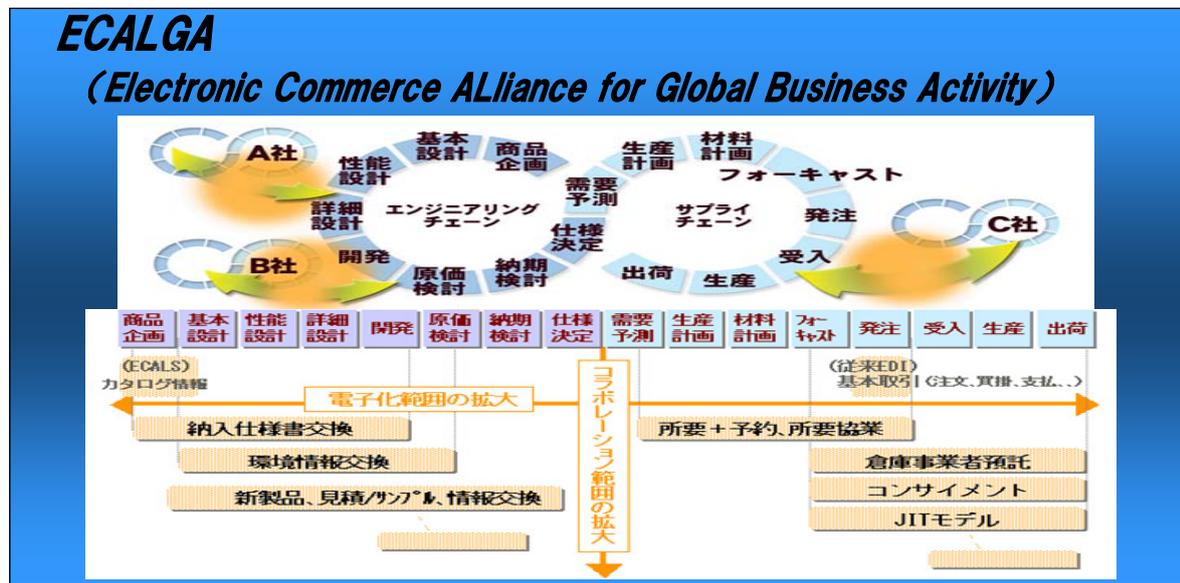
J E I T A L P B 相互設計 W G で策定した L P B 標準フォーマットを E C センターで推進しているバリューチェーンにおける情報伝達媒体として、活用できるのではという観点から、まず E C センターキーマンと議論をおこなった。

議論内容としては、まずはお互いの活動状況認識および E C センターとの連携模索を目的としたものであり、 J E I T A L P B 相互設計 W G としては、 E C センターを L P B 標準フォーマットの普及媒体として活用させていただけるかの観点で議論。

J E I T A L P B 相互設計 W G 側からは、 E C センターメンバーに L P B - W G の活動および L P B 標準フォーマットについて理解いただくために説明を実施。

〈参考：ECALGA〉

JEITA/ECセンターが標準化、実用化を推進している次世代 EC 標準の総称。  
コンセプトは、「全ての壁を越えて、全てのビジネスプロセスをグローバルかつ  
シームレスに繋ぎ、ダイナミックなビジネス展開を可能にするビジネススタンダード」



〈図-24 ECALGA〉

〈ECセンターにおける活動情報収集〉

- ・ ファイルの流通
- ・ 促進のための標準化活動。流通させるための標準。
- ・ 枠組み（運営）は各企業の領域との認識。
- ・ ECALGA（JEITA/ECセンターが標準化、実用化を推進している次世代 EC 標準、事業の総称。）という事業のなかでは、現在流通手段として ”添付ファイル” という形をとっており、こういった情報を送るかの選択項目がある。  
→元々は細かい仕様書を定義していたが、実際やり取りができない状況となったためファイルを一本化したとのこと。
- ・ 部品情報としては ”ECALS” というものが存在しており、ECALS 辞書というものに準じているとのこと。

〈ECセンター会合への参加〉

ECセンターにおいて本テーマを扱っているEDA標準化WGのメンバーと直接議論を行うためにJEITA LPB相互設計WGからECセンター本会合に参加。(2013/1/25)

## 2.3.4.2.4 コミュニティーサイトについて

### 2.3.4.2.4.1 設立背景、目的

既存の概念を打ち破る新たな仕組みをもった製品・サービス・ソリューションを市場へいち早く提供することが求められている。このような製品を生み出すにはユーザやアプリケーションを重視したマーケティングと商品企画構想が必要になる。そのためには、LSI・パッケージ・ボードの協調設計と垣根を超えたエンジニア同士の交流が重要である。

LPBForumを協調設計の推進と、会員相互の情報交流の場として設立する。

また、普段感じていること、言いたいこと、提案等の現場設計者およびEDAベンダーサイドからの意見を迅速に反映する場として、コミュニティーサイトを立ち上げる。

## 2.3.4.2.4.2 コミュニティサイト立ち上げ履歴

- 2012/10/20 JEITA LPB-WGにおいてコミュニティーサイト概要説明および立ち上げ合意
- 2012/10/22 JEITA TDA-TC にて報告、承認
- 2012/12/7 JEITA LPB 標準化準備SWGにおいてドメイン名、Web設計/公開時期決定
- 2013/1/23 JEITA LPB-WG本会合にて公開、メンバーによる試行開始  
「プライベートポリシー」「会則」「利用規定」の電子審議開始
- 2013/2/8 第一回電子審議
- 2013/2/21 第二回電子審議
- 2013/2/25 審議内容を反映した修文を掲示
- 2013/2/28 最終承認
- 2013/3/6 第一回LPBフォーラムにて一般公開

## 2.3.4.2.4.3 コミュニティサイト内容

**お知らせ**

- 2012-11-13 第1回LPBフォーラム開催、ご案内
- 2012-11-13 第1回LPBフォーラム開催、参加登録はこちらへ
- 2012-10-15 システムデザインフォーラム 2012 LSIパッケージ・ボード相互設計セミナー実施
- 2012-10-15 EDSFair 2012 LSIパッケージ・ボード相互設計コーナー ミニセミナースケジュール
- 2012-10-15 EDSFair 2012 LPB/IBISコーナーに出展しました。
- 2012-03-30 LPB標準フォーマット Ver. 2.0 公開
- 2012-03-14 EDAベンダー向けLPB相互設計セミナー実施

**LPBフォーラムの設置について**

電子機器製品は非常に短い期間で、かつ、市場のニーズに合った最適な価格対性能でなければなりません。かつて、私たちは高性能、高機能、高品質が差別化において最も優先されるべきことだと考えてきました。しかしながら市場が求めるものは既存の概念を打ち破る新たな仕組みをもった製品であり、それがいち早く提供されることです。例えば、

- PCからタブレットスマートフォンなど情報端末へ(WiFi、クラウドの発展によりデータのアップダウンロードが処理の中心に)
- コンテンツに合わせたハードウェアの商品化(音楽、動画、書籍に相応なハードウェアスペック)

このようなあらゆる変革を生み出すのはユーザーやアプリケーションを重視したマーケティングと商品企画構想によります。実際にこのような製品を開発するには柔軟な構想の元、あらゆる情報を集め(LSI、パッケージ、ボードの全体を見ながら実現方法考えなければなりません。LPBフォーラムは、たれでも参加可能なコミュニティーとして、イノベーションを生み出すアイデアを集める場所になりたいと思います。

2013年吉日 福場義志

パスワードを忘れたときは

LPB 相互設計WGウェブサイト | JEITA EDA技術専門委員会 | JEITA 電子情報技術産業協会 | edefair

2013©LPB Forum運営委員会

<図-25 コミュニティサイト トップページ>

### <コミュニティサイト内容>

- ・LPBフォーラムからのお知らせ
- ・会員限定の公開情報

- ・ L P Bフォーマット仕様書先行公開など
- ・ メーリングリスト
- ・ 情報共有のための掲示板
- ・ 分科会
  - ・ ボード設計分科会
  - ・ フォーマット分科会
  - ・ E D A分科会

等々、会員相互の情報共有の場とする。

#### 2.3.4.3 参加メンバー

|        |    |    |                   |
|--------|----|----|-------------------|
| リーダー   | 大槻 | 隆志 | 株式会社リコー           |
| サブリーダー | 田中 | 修治 | ソニー株式会社           |
| メンバー   | 福場 | 義憲 | 株式会社東芝            |
| 同      | 小島 | 智  | NECシステムテクノロジー株式会社 |
| 同      | 石田 | 尚志 | 日本電気株式会社          |
| 同      | 田中 | 玄一 | ルネサスエレクトロニクス株式会社  |
| 同      | 坂田 | 和之 | ルネサスエレクトロニクス株式会社  |
| 同      | 市川 | 浩二 | 株式会社デンソー          |

### 3. 各種イベント（主催／協賛）報告

### 3.1 Electronic Design and Solution Fair 2012 (EDSFair2012)

国内随一の LSI 設計・テスト技術・EDA 技術の展示会として、2012 年 11 月 14 日（水）から 11 月 16 日（金）の 3 日間、パシフィコ横浜において、Electronic Design and Solution Fair 2012（略称 EDSFair2012）を開催した。

国内半導体業界および電子機器産業界の発展に寄与することを目的として、国内の LSI 設計者・EDA 技術者・同関係者に対して、最先端設計ソリューション、最先端設計技術、EDA 技術に関する情報発信と関係者間での情報共有の場を提供した。

近年の半導体部品はソフトウェア・リッチなシステム構成が主流となり、ハードウェアのみならずソフトウェアも含めた並行開発や、半導体も含めたあらゆるハードウェア・コンポーネント、ソフトウェア・コンポーネントのサプライチェーンを連携させた製品開発の重要性が高まっている。また、半導体設計の面ではアナログ・リッチなデザイン、3D IC、微細化プロセスへの対応など、ますます高度化する設計課題の克服が大きな壁となって立ちだかっている。このような状況を考え、開催テーマを『いざ出航！ ～Software to Silicon の大海へ～』とした。

この大海に乗り出すために求められる新しいソリューションとして最先端技術・サービスの展示、出展社セミナーを実施した。特別企画としては、会期初日に前回好評だった ET との共同企画セッションを開催し、また、特設ステージ企画を会期中 1 日 1 セッション開催した。併せて、システム・デザイン・フォーラム 2012 も開催し、エンジニア、管理職、若手技術者まで、多くの方々に有益な情報を発信し、最先端の技術動向を習得できる場を提供した。

技術・サービスの展示では、エンジニアが注目する最新技術やトピックスに関する展示をまとめた特別ゾーンとして、LSI・パッケージ・ボードの相互設計に関する技術と IBIS (I/O Buffer Information Specification) モデルに関する展示を集めたゾーン、普段接することの少ない国内外のベンチャー企業の展示を集めた新興ベンダエリア、産学の技術交流を深める大学の研究発表の場としてのユニバーシティ・プラザを設置した。

また、今回も新興ベンダ・ガイド・ツアーを実施、普段接する機会の少ない新興ベンダの最新技術紹介・質疑応答のサポートを行った。

### 3.1.1 EDSFair2012 の概要

|      |  |
|------|--|
| 名称   | Electronic Design and Solution Fair 2012 (EDSFair2012)                                       |
| 同時開催 | Embedded Technology 2012 (組込み総合技術展)  |
| 会期   | 2012年11月14日(水)～11月16日(金) 3日間   |
| 開場時間 | 11月14日(水) 10:00～17:00<br>11月15日(木) 10:00～18:00 [17:00～18:00 ワインの夕べ]<br>11月16日(金) 10:00～17:00 |
| 会場   | パシフィコ横浜 (展示ホール/アネックスホール/会議センター)  |
| 展示   | 展示ホールC   |
| 入場   | 全来場者登録入場制<br>当日登録：入場料1,000円<br>Web事前登録・招待券当日登録：入場無料  |
| 主催   | 一般社団法人 電子情報技術産業協会 (JEITA)  |
| 協力   | Electronic Design Automation Consortium (EDAC)   |
| 後援   | 経済産業省、アメリカ合衆国大使館、日本半導体商社協会 (DAFS)、横浜市  |
| 協賛   | 一般社団法人組込みシステム技術協会 (JASA)、一般社団法人電子情報通信学会 (IEICE)、一般社団法人情報処理学会 (IPSJ)、社団法人日本電子回路工業会 (JPCA)     |
| 運営   | 一般社団法人 日本エレクトロニクスショー協会 (JESA)  |
| HP   | <a href="http://www.edsfair.com/">http://www.edsfair.com/</a>                                |

### 3.1.2 開催概況

来場者数、出展社数、各イベントへの参加者数は以下のようであった。

|                      |                  |
|----------------------|------------------|
| 来場者数                 | 5,606名           |
| 出展社数                 | 61社・団体(92小間)     |
| 出展社セミナー              | 53セッション、述べ901名聴講 |
| EDSFair×ET 共同企画セッション | 219名聴講           |
| 特設ステージ               | 述べ129名聴講         |

会期中の来場者数と近年の来場者数の推移、来場者の業種、来場目的、出展傾向を以下の表とグラフで示す。

#### 会期中の来場者数

|        | 11/14(水) | 11/15(木) | 11/16(金) | 合計     |
|--------|----------|----------|----------|--------|
| 来場者数   | 1,322    | 2,167    | 2,117    | 5,606  |
| ET来場者数 | 6,691    | 8,118    | 8,004    | 22,813 |

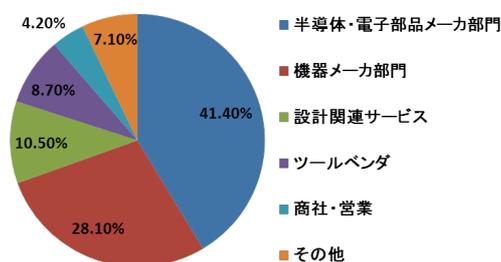
#### 来場者の推移

| 開催年  | 2012  | 2011Nov. | 2011  | 2010  | 2009  | 2008   |
|------|-------|----------|-------|-------|-------|--------|
| 来場者数 | 5,606 | 6,189    | 8,016 | 9,300 | 9,117 | 10,431 |

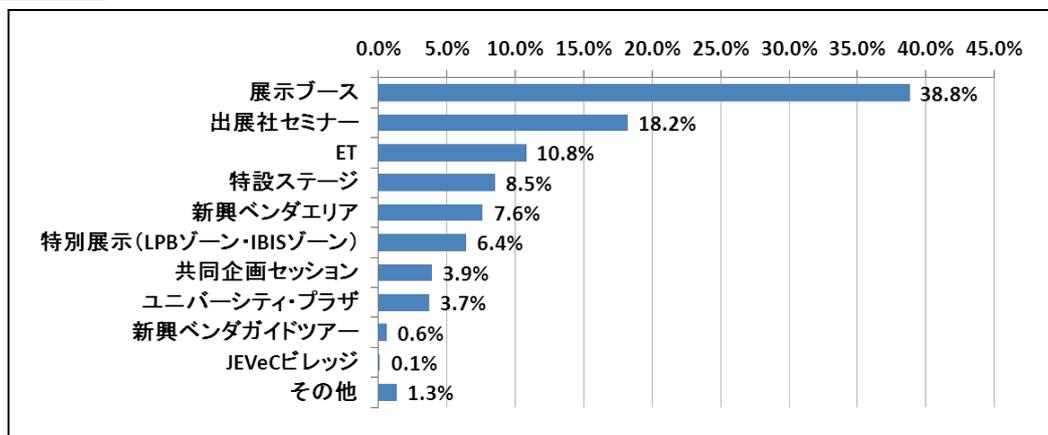
来場者数の減少傾向が続いている。この減少傾向をまず止めることが必須である。下記の来場者の業種のデータから分かるように、EDSFairの来場者の約70%が設計者である。展示内容の拡充はもちろんのこと、設計者の来場を促すイベントの企画・実施も必要である。

#### 来場者の業種

|                |       |
|----------------|-------|
| 半導体・電子部品メーカー部門 | 41.4% |
| 機器メーカー部門       | 28.1% |
| 設計関連サービス       | 10.5% |
| ツールベンダ         | 8.7%  |
| 商社・営業          | 4.2%  |
| その他            | 7.1%  |



## 来場目的



## 出展傾向

| 出展社数<br>(小間数) | 通常出展<br>エリア | 新興ベンダ<br>エリア | 特別企画<br>ゾーン | ユニバーシティ<br>プラザ | 合計        |
|---------------|-------------|--------------|-------------|----------------|-----------|
| 2012          | 40 (72)     | 10 (9)       | 9 (9)       | 2 (2)          | 61 (92)   |
| 2011Nov.      | 42 (97)     | 8 (9)        | -           | 3 (3)          | 80 (109)  |
| 2011          | 47 (176)    | 14 (17)      | -           | 6 (6)          | 118 (199) |

前回の EDSFair2011Nov. では同一年内に 2 回の開催ということで、予算確保の関係から出展社数が減少していたと考えていた。出展社数は EDSFair2011 のレベルまで回復すると期待していたが、減少した。EDSFair 出展の効果と魅力を明確にし、出展社に訴えていくことが必要であり、また、中小ベンダ誘致策の検討と実施も必要である。

### 3.1.3 開会式

EDSFair2012、ET2012 の開催に先立ち、開催初日の 11 月 14 日（水）9 時 45 分より展示ホール B の 1 階（コンコース）において開会式が行われた。

冒頭、ET 主催者代表として一般社団法人組込みシステム技術協会の築田稔会長から主催者挨拶があり、続いて EDSFair 主催者を代表して一般社団法人電子情報技術産業協会の福間雅夫半導体部会長代行より主催者挨拶があった。その後、来賓の横浜市経済局局長の光田清隆氏、(株) エルイーテックエグゼクティブコーディネーター石井孝一氏、一般社団法人電子情報技術産業協会福間雅夫半導体部会長代行、EDSFair2012 実行委員会委員長、一般社団法人組込みシステム技術協会築田稔会長、一般社団法人組込みシステム技術協会藤木優副会長/ET 事業本部長によるテープカットが行われ、EDSFair2012 ならびに ET2012 が開幕した。



### 3.1.4 出展カテゴリ

- ハードウェア・ソリューション  
システム LSI、ASIC/ASSP、MPU/MCU/DSP、FPGA/PLD デバイス、その他
- ハードウェア開発環境（EDA）  
LSI 設計関連ツール：システムレベル設計（RTL より高位）、論理設計（RTL～ネットリスト）、論理検証、アナログ設計・検証、レイアウト、レイアウト検証・解析、LSI 信号解析、テスト設計（DFT/BIST/ATPG など）、DFM 関連（OPC/RET/PSM/LRC/TCAD など）、ASIC プロトタイピング、その他  
PCB/SIP 設計関連ツール：回路図作成、アナログ設計・検証、レイアウト、SI/PI/EMC 解析、電磁界解析、熱解析、その他
- ソフトウェア・ソリューション  
組込み OS、デバイスドライバ、ファームウェア、ミドルウェア、仮想開発環境・技術、その他
- LSI テスト、計測器  
LSI テスタ、PCB テスタ、計測器、その他
- IP コア、マクロ、セルライブラリ
- 組込みプロセッサ開発環境  
リコンフィギャラブルプロセッサ、ICE、デバッガ、マイコン CASE、コンパイラ/クロスコンパイラ、シミュレータ、ハード/ソフト協調設計環境、その他

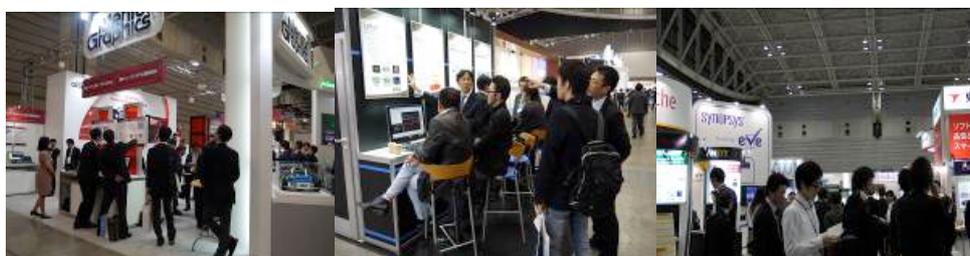
- 設計サービス関連  
デザインセンタ、設計サービス、設計コンサルティング、試作・製造、IP 流通サービス、その他
- 設計インフラ (WS/PC、ネットワーク)
- 設計データ管理ツール  
設計データ管理、その他
- マスクメーカ、ファウンダリメーカ
- 大学 (研究室)、コンソーシアム
- PR 関連  
出版物、その他

### 3.1.5 出展社一覧

| 通常出展エリア   |                                  |
|---|----------------------------------|
| (株)アイヴィス  | CM エンジニアリング(株)                   |
| IBIS Quality Framework (JEITA/EC センター<br>EDA 標準 WG) | (株)シンコム                          |
| (株)アストロン  | Jasper Design Automation         |
| アトレンタ(株)  | (株)数理システム                        |
| (株)アプリスター   | ステイシフト(株)                        |
| アルデック・ジャパン(株)                                       | スプリングソフト(株)                      |
| アンシス・ジャパン(株)  | タナーリサーチジャパン(株)                   |
| アパッチデザインソリューションズ (株)                                | タワージャズジャパン(株)                    |
| イノテック(株)  | TOOL(株)                          |
| カーネロンシリコン (株)                                       | 日本イヴ(株)                          |
| Cosmic Circuits Pvt Ltd                             | 日本シノプシス合同会社                      |
| SKILLCAD INC.                                       | 日本リアルインテント(株)                    |
| Target Compiler Technologies N.V.                   | Berkeley Design Automation, Inc. |
| Duolog Technologies Ltd.                            | パルシックジャパンリミテッド                   |
| (株)モーデック  | フォルテ・デザイン・システムズ(株)               |
| カーボン・デザイン・システムズ・ジャパン(株)                             | Blue Pearl Software, Inc         |
| 兼松エレクトロニクス(株)                                       | プロプラスデザインソリューション(株)              |
| ケイレックス・テクノロジー(株)                                    | MathWorks Japan                  |
| Q チップス(株)   | MunEDA GmbH                      |
| サイバネットシステム(株)                                       | メンター・グラフィックス・ジャパン(株)             |

| 新興ベンダエリア   |  |
|--|--|
| (株)アドバンテスト<br>(株)ウィンドワード<br>サーキットストラ テクノロジーズ社<br>サイエンスパーク (株)<br>SIMPLIFY DESIGN AUTOMATION, INC.  | DOCEA POWER<br>(株)日本サーキット<br>S2C Inc.<br>マジレム・デザイン・サービス<br>OneSpin Solutions |
| ユニバーシティ・プラザ  |  |
| 会津大学 齋藤研究室<br>広島大学 大学院工学研究科 アルゴリズム論研究室   |  |
| 特別展示 LPB ゾーン・IBIS ゾーン  |  |
| <p>LPB ゾーン :</p> <p>(株) オシレイテッド リコール テクノロジ<br/>ギガヘルツテクノロジー(株)<br/>神戸大学大学院 システム情報学研究科 永田研究室<br/>JEITA EDA 技術専門委員会 LSI・パッケージ・ボード相互設計ワーキンググループ<br/>(株)ジェム・デザイン・テクノロジーズ<br/>(株)図研<br/>Nimbic, Inc.</p> <p>IBIS ゾーン :</p> <p>ATE サービス(株)<br/>(株)モーデック</p> |  |

※一段下げは共同出展



### 3.1.6 EDSFair×ET 共同企画セッション

ET との同時開催を記念した共同企画セッションの 2 回目として内容を拡充した。自動車関連メーカ各社の車載ソフトウェアの開発者に登壇いただき、自動車業界における組み込みソフトウェア開発の現状、課題とその解決方法について紹介いただくセッションと、ツールベンダに登壇いただき、ソフトウェア開発環境としての仮想ソフトウェア開発環境の現状、ユーザからの要求、最新技術の展望について議論するセッションの二部構成とした。EDSFair・ET 双方から 219 名の聴講者を集めた。

|   |   |
|---|---|
| 日時  | Automotive セッション：14 日（水）13:00 - 14:20<br>仮想ソフトウェア開発環境セッション：14 日（水）14:30 - 16:00 |
| 会場  | パシフィコ横浜 会議センター5F 503  |
| 聴講者数  | 219 名   |
| Automotive セッション  |   |
| 消費増税よりこっちの方が待った無し！<br>仮想 ECU 環境を利用した車載ソフトウェアの開発検証！<br>～その現状と課題そして解決策～   |   |
| 自動車のエレクトロニクス化の進展により搭載されるハードウェアの複雑化・高性能化のみならず、その上で稼動するソフトウェアの複雑化・多様化も大きな課題となっている。仮想開発環境を利用したソフトウェア開発の現状について、現状抱える問題点や今後の課題、求められる解決策についてトークセッションを通じてその現状や課題、解決方法を探った。   |   |
| <b>【講演者】</b><br>[モデレータ]<br>日本工業大学 電気電子工学科 教授<br>於保 茂 氏<br>[パネリスト]<br>日立オートモティブシステムズ（株） 技術開発本部 主管技師長<br>宮崎 義弘 氏<br>（株）本田技術研究所 四輪 R&D センター 開発推進室 開発技術推進ブロック 主任研究員<br>嶋田 敏 氏<br>カルソニックカンセイ（株） 電子事業本部 電子設計グループ<br>小澤 哲也 氏<br>富士通テン（株） AE 技術本部 品質監査室 主幹<br>斗納 宏敏 氏 |   |

| 仮想ソフトウェア開発環境セッション  |
|--|
| <p>ソフトウェア開発環境最前線！<br/>開発ソリューション・プロバイダが提供する仮想ソフトウェア開発環境<br/>～その現状と開発現場の要求、そして将来展望～</p>  |
| <p>電子回路やシステムの複雑化に伴い、組込みソフトウェアの多様化・高度化が許容限度を超え、エレクトロニクス業界では新しいソフトウェア開発環境の採用が進みつつある。</p> <p>ポジション・トークを通じて、「各社が提供する仮想ソフトウェア開発環境の現状」と、「実際に使用されているユーザの要求（ユーザ事例と仮想ソフトウェア開発環境に対するユーザからの要求）」を紹介し、その後のトークセッションを通じて最新の開発ソリューションの現状と展望を探った。</p>   |
| <p><b>【講演者】</b></p> <p>[モデレータ]</p> <p>CQ 出版（株） クロスメディア部 取締役 部長<br/>中山 俊一 氏</p> <p>[パネリスト]</p> <p>ガイオ・テクノロジー（株） 執行役員 事業推進<br/>岩井 陽二 氏</p> <p>メンター・グラフィックス・ジャパン（株）<br/>デザイン・クリエイション&amp;シンセシス部<br/>ビジネス・ディベロップメント・マネージャー<br/>牧野 潔 氏</p> <p>ウインドリバー（株）<br/>営業技術本部 エンジニアリング ソリューションズ部 Simics 担当<br/>シニアエンジニア<br/>高橋 高弘 氏</p> <p>日本シノプシス合同会社 システムレベルソリューションズ FAE マネージャー<br/>中野 淳二 氏</p> |



### 3.1.7 特設ステージ

各開催日に 1 セッションを実施した。半導体産業および電子機器産業に詳しい大学の先生に設計者だけではなくマネージャークラスの方も対象とした講演をお願いした。また、組み込み設計における ESL (Electronic System Level Design) 技術の貢献を技術・スキル・組織づくりの面からの講演を開催した。さらに、毎年好評を博している設計者の生の声を聴けるセッションも開催した。

| セッション 1  |                                  |
|--|----------------------------------|
| 日時   | 11月14日(水) 11:45-12:45            |
| 会場   | アネックスホール F201                    |
| 聴講者数   | 41名                              |
| テーマ  | 日本のエレクトロニクス、個人も企業も、分野の越境が生き残りの条件 |
| 苦境が続く日本のエレクトロニクス。アップル、グーグル、フェイスブックがハードを手掛ける時代では、ハードだけ、ソフトだけでは生き残ることが難しい。必要なのは、個人も企業も勇気を持って、分野を越境すること。日本ではハードに強みを持つ企業が多い。ハードの強みを武器に、ハード・ソフト・サービスの融合を行う。本講演ではビッグデータのクラウド情報処理システム (IT 融合) を例に、今後の日本のエレクトロニクスの生き残りの条件について講演した。 |                                  |
| [講演者]<br>中央大学 理工学部 電気電子情報通信工学科 教授<br>竹内 健 氏  |                                  |
| セッション 2  |                                  |
| 日時   | 11月15日(木) 11:00-12:00            |
| 会場   | アネックスホール F201                    |
| 聴講者数   | 44名                              |
| テーマ  | 差別化ができる製品づくり                     |
| ESL がもたらす価値と効果について再度見直し、真に差別化を行うための製品づくりについて議論した。価値のある仕様書とは何か、仕様をどのように評価すべきか、ハードウェアとソフトウェアの両方から最適化をすることにより、どのような差別化が可能かについて展望を語った。   |                                  |

[オーガナイザ]

メンター・グラフィックス・ジャパン(株) マーケティング部 ディレクター  
三橋 明城男 氏

[パネリスト]

(株) 東陽テクニカ ソフトウェア・システム研究部 技術主幹/部長  
二上 貴夫 氏  
トプスシステムズ(株) 代表取締役社長  
松本 祐教 氏

### セッション 3

|      |                       |
|------|-----------------------|
| 日時   | 11月16日(金) 10:30-12:00 |
| 会場   | アネックスホール F201         |
| 聴講者数 | 44名                   |
| テーマ  | 設計者の困りごと              |

電子システムの設計者は、設計作業を実施する中で様々な「困りごと」に直面しているが、これらの「困りごと」には技術上の問題もあれば、マネジメント上の問題もある。電子システムの設計者が設計作業を行う上で直面するこれらの「困りごと」について意見交換・討論を行う、聴講者参加型のフォーラムを実施した。

[オーガナイザ]

大阪大学 大学院 情報科学研究科 情報システム工学専攻  
集積システム設計学講座 教授  
今井 正治 氏

[パネリスト]

エイシップ・ソリューションズ(株) 取締役 開発部長  
小林 芳直 氏  
三菱電機(株) コミュニケーションネットワーク製作所 アクセスシステム部  
技術第一課/専任  
松本 仁 氏  
(株) クセル 代表取締役社長  
松浦 一教 氏



### 3.1.8 出展社セミナー

最新技術の発表、製品 PR が行える場として出展者セミナールームを提供した。今回は 3 会場にてテーマ毎に 7 つのトラックで、合計 53 セッションを開催した。

|     |                                       |
|-----|---------------------------------------|
| 日時  | 11 月 14 日(水)～11 月 16 日(金) 10:00～16:45 |
| 会場  | 展示会場内諸室 D11、DM3、DM6                   |
| 聴講料 | 無料                                    |

| セッショントラック名                   | セッション数 |
|------------------------------|--------|
| 【EE】システム設計・検証トラック            | 11     |
| 【ED】機能検証／テスト設計／設計・検証サービストラック | 11     |
| 【EA】AMS 設計検証／電磁界／熱／流体解析トラック  | 13     |
| 【EL】LowPower／IP／DFM トラック     | 6      |
| 【EP】ロジック設計&フィジカル設計／検証トラック    | 9      |
| 【EG】FPGA トラック                | 1      |
| 【EF】フリートラック                  | 2      |
| 合計                           | 53     |

### 3.1.9 特別ゾーン

- 特別展示 LPB ゾーン IBIS ゾーン  
LSI・パッケージ・ボード協調設計の現状と EDA ソリューション、IBIS 作成と活用方法について、参加各社より展示とプレゼンテーションが 3 日間行われた。
- 新興ベンダエリア  
普段接することが少ない国内外のベンチャー企業のソリューションを集めた「新興ベンダエリア」を設置し、国内外 7 社が出展し、最新情報を発信した。
- ユニバーシティ・プラザ  
産学の交流を促進するとともに、日本における EDA 技術、システム LSI 設計技術を始めた電子回路設計技術およびソリューション技術の更なる向上を図ることを目的として、国内外の大学機関 2 校が研究の成果を発表した。

### 3.1.10 新興ベンダ・ガイド・ツアー

日本の設計技術・EDA技術の第一人者にツアーガイドをお願いし、ツアーガイドによる国内外の新興企業の主要な技術の紹介後、ブースへ同行訪問し、各社の技術紹介・質疑応答をサポートした。

|       |   |
|-------|---|
| 日時    | 11月15日（木）13:00-14:00  |
| ガイド   | 富士通セミコンダクター（株）<br>長谷川 隆 氏<br>開発本部 SoC ソリューション統括部 統括部長             |
| 訪問ブース | サーキットストラ テクノロジーズ社<br>DOCEA POWER<br>サイエンスパーク（株）<br>マジレム・デザイン・サービス |
| 日時    | 11月16日（金）13:00-14:00  |
| ガイド   | （株）半導体理工学研究センター<br>南 文裕 氏<br>研究開発第2部 システム LSI 設計技術開発室長            |
| 訪問ブース | （株）ウィンドワード<br>ステイシフト（株）<br>（株）シンコム                                |



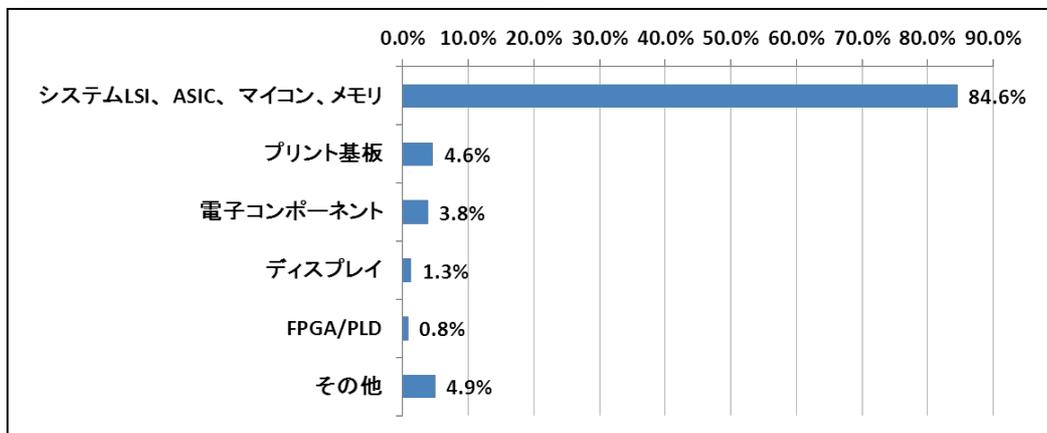
### 3.1.11 ワインの夕べ

11月15日（木）17:00~18:00 の時間帯、展示会場内ラウンジにおいて、来場者と出展者との交流の場として「ワインの夕べ」を開催した。多くの方々にご参加いただき、1年に1度、関係者との交流をはかる場として活用された。

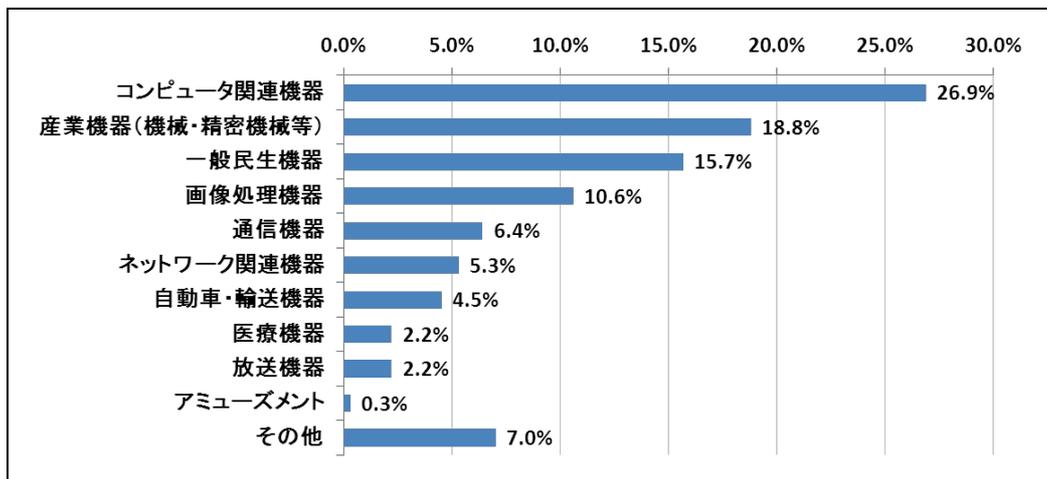
### 3.1.12 来場者アンケート

- 業種詳細

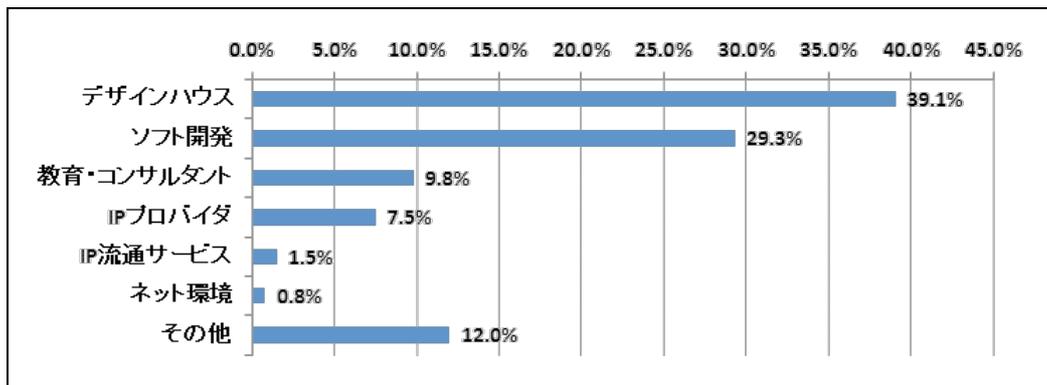
半導体・電子部品メーカー部門 41.4%の内訳



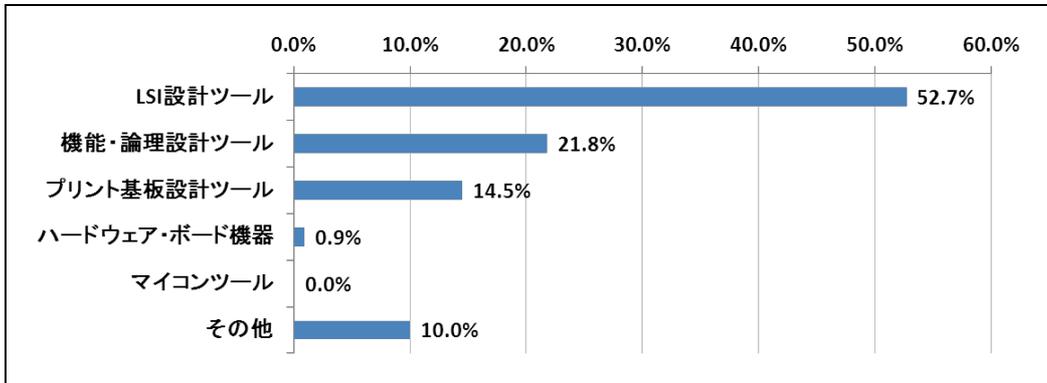
機器メーカー部門 28.1%の内訳



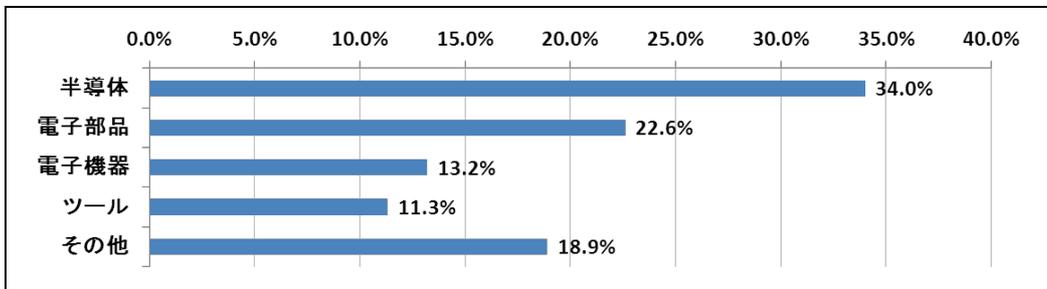
設計関連サービス 10.5%の内訳



ツールベンダ 8.7%の内訳

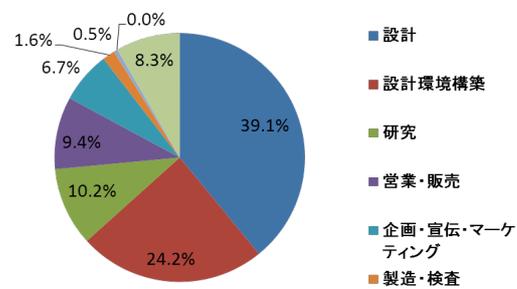


商社・営業 4.2%の内訳

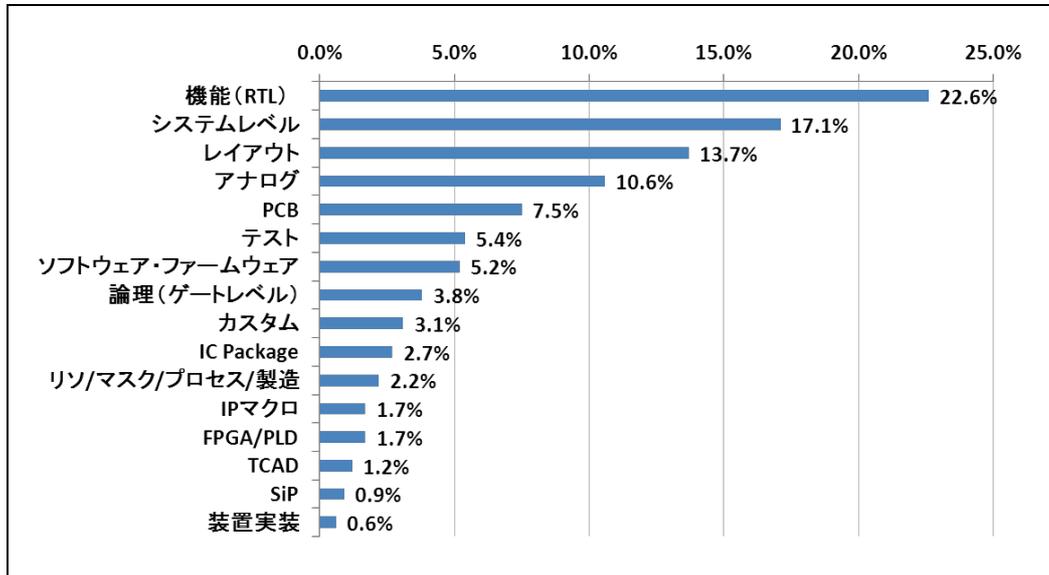


● 職務

|               |       |
|---------------|-------|
| 設計            | 39.1% |
| 設計環境構築        | 24.2% |
| 研究            | 10.2% |
| 営業・販売         | 9.4%  |
| 企画・宣伝・マーケティング | 6.7%  |
| 製造・検査         | 1.6%  |
| 購買            | 0.5%  |
| 流通            | 0.0%  |
| その他           | 8.3%  |

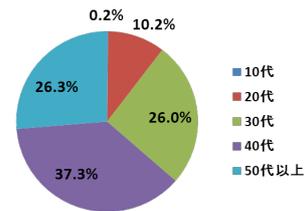


## 職務の詳細



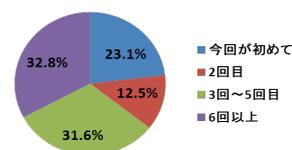
### ● 年代

| 開催年   | 2012  | 2011Nov. | 2011  |
|-------|-------|----------|-------|
| 10代   | 0.2%  | 0.1%     | 0.1%  |
| 20代   | 10.2% | 9.4%     | 10.0% |
| 30代   | 26.0% | 27.9%    | 27.9% |
| 40代   | 37.3% | 36.7%    | 36.7% |
| 50代以上 | 26.3% | 25.9%    | 25.3% |



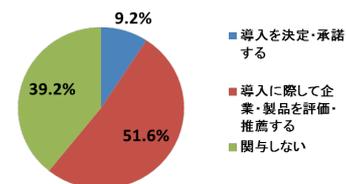
### ● 来場頻度

| 開催年    | 2012  | 2011Nov. | 2011  |
|--------|-------|----------|-------|
| 今回が初めて | 23.1% | 28.5%    | 30.9% |
| 2回目    | 12.5% | 11.6%    | 13.5% |
| 3回～5回目 | 31.6% | 30.6%    | 30.5% |
| 6回以上   | 32.8% | 29.3%    | 25.1% |

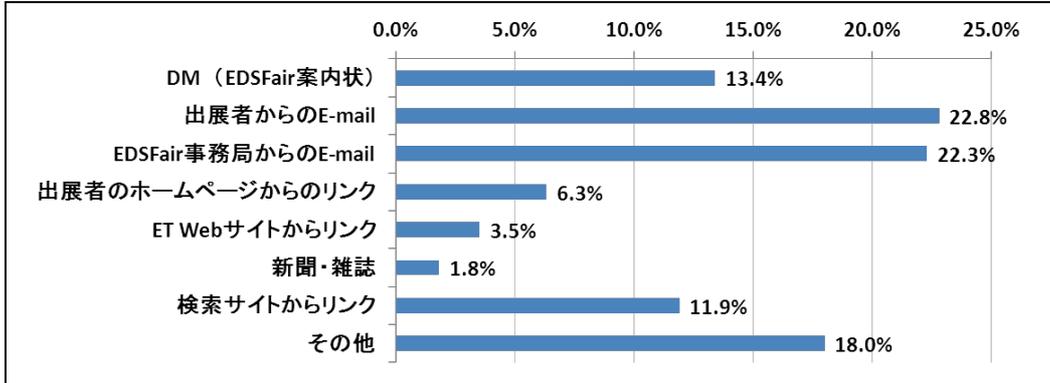


### ● 製品導入

| 開催年                 | 2012  | 2011Nov. | 2011  |
|---------------------|-------|----------|-------|
| 導入を決定・承諾する          | 9.2%  | 8.1%     | 9.9%  |
| 導入に際して企業・製品を評価・推薦する | 51.6% | 52.2%    | 50.4% |
| 関与しない               | 39.2% | 39.7%    | 39.7% |



- 認知経路



### 3.1.13 来場誘致策

- 広報活動

報道発表 (リリース配信)

- 出展募集開始リリース (3/14)
- 開催告知／取材誘致リリース (11/12)
- プレスルーム設置 (11/14～16)
- 終了報告リリース (11/16)

プレス登録数

- 97名

- 宣伝活動

EDSFair データベースへのメール配信

- 過去ご登録いただいた来場者データベースおよび、EDSFair2012の事前登録者に向けて、「EDSFair OFFICIAL MAIL NEWS」を配信。
- 9月13日から11月29日まで15回配信。

PR ツール (印刷物) の作成

- 案内状／招待券／封筒
- 会場案内図 (和文)

- 公式 Website

<http://www.edsfair.com/>

- アクセス数 : 30,380

Online Members Site (<https://regist.jesa.or.jp/edsfair-regist/index.php>)

- 事前登録期間 : 9月12日～11月16日
- 登録者数合計 : 18,150名 ※過去の登録者を含む全EDSFairメンバー数

- ワインのタベ

日時 : 11月15日 (木) 17:00～18:00 ET フェスタと合わせて開催

場所 : 会場内ラウンジ

### 3.1.14 EDSFair2012 実行委員会

|      |                   |             |
|------|-------------------|-------------|
| 委員長  | 東芝                | 今井 浩史       |
| 副委員長 | 日本シノプシス           | 藤井 浩充       |
| 委員   | イノテック             | 坂井 仁        |
| 委員   | ジーダット             | 太田 裕彦       |
| 委員   | ツール               | 中根 麻子       |
| 委員   | メンター・グラフィックス・ジャパン | 秋谷 美和       |
| 委員   | 富士通セミコンダクター       | 河村 薫        |
| 委員   | ルネサスエレクトロニクス      | 吉田 正昭／高倉 正博 |
| 委員   | JEITA 電子デバイス部     | 進藤 淳二       |
| 事務局  | 日本エレクトロニクスショー協会   | 石崎 芳典       |
| 事務局  | 日本エレクトロニクスショー協会   | 鳥飼 浩平       |
| 事務局  | 日本エレクトロニクスショー協会   | 森 美枝子       |

### 3.1.15 まとめ

ET との同時開催 1 回目の前回は過度的な開催であったが、同時開催の 2 回目としての今回は同時開催の効果が来場者数に現れることを期待していた。しかし、来場者数の減少傾向は止まらなかった。来場者数減少の一つの原因として出展社数が減ったことが考えられる。来場者数と出展社数はお互いに関係し合うものであり、来場者と出展社の両方にとって EDSfair が魅力あることが重要である。来場者および出展社にとっての EDSFair の魅力・効果を明確にし、来場者増加と出展誘致の施策の検討が必要である。

## 3.2 システム・デザイン・フォーラム 2012

### 3.2.1 はじめに

EDA 技術専門委員会活動成果の業界内アピールと成果の普及、及び最新 EDA 技術の普及促進と標準化の推進の一環として、EDA 技術専門委員会主催による“システム・デザイン・フォーラム 2012”を、EDSFair2012 と同期して 2012 年 11 月 15 日に開催した。

EDA 技術専門委員会では、“システム・デザイン・フォーラム”を、次のように、ほぼ毎年継続して開催してきた。

- ・1990 年から 1994 年 “EDA 標準化フォーラム”を 4 回開催。

EDA 標準化活動の発表とその一般への普及を図ることを目的。

- ・1999 年から 2002 年 “EDA フォーラム”を 2 回開催。

EDA 技術専門委員会の活動に係る内容の発表、討論の場を目的。

- ・2004 年 “システム・デザイン・セミナー”

最新の設計技術、課題を設計事例とともに紹介するため 2 日間の日程で開催。

- ・2005 年 “システム・デザイン・フォーラム 2005”

1 日目 SystemVerilog ユーザ・フォーラムと SystemC ユーザ・フォーラム。

2 日目 SoC に関連した設計技術、課題等を含めた設計事例を紹介する 2 セッションと、LSI/パッケージ/基板を含めた統合設計に関するパネル討論のセッションを開催。

- ・2006 年 “システム・デザイン・フォーラム 2006”

“SystemVerilog ユーザ・フォーラム”と“SystemC ユーザ・フォーラム”の 2 セッション。両設計言語の標準化動向の紹介、チュートリアル、設計適用事例紹介を実施。

- ・2007 年 “システム・デザイン・フォーラム 2007”

“SystemVerilog ユーザ・フォーラム”と“SystemC ユーザ・フォーラム”の 2 セッションに、65nm 以下のプロセスノードで深刻化するプロセスばらつきを打破する最新の設計技術動向を紹介するフィジカル・デザイン・フォーラムを新たに加え、計 2 日間 3 セッションを開催。

- ・2008 年 “システム・デザイン・フォーラム 2008”

“SystemC ユーザ・フォーラム”と“Power Format フォーラム”の 2 セッションを開催。“SystemC ユーザ・フォーラム”では、最新の SystemC 標準化動向、TLM2.0 のチュートリアル、JEITA SystemC ワーキンググループの取り組みの報告と、設計適用事例の紹介を実施。“Power Format フォーラム”では、最新の低消費電力設計技術の紹介と、個々に Power Format 標準化を目指す二つの団体 Accellera Organization, Inc.、Si2(Silicon Initiative, Inc.) 双方からの標準化活動の最新状況や設計適用事例の紹介と、JEITA Power Format 検討ワーキンググループの Power Format の標準化に対する検討状況の報告を行った。

- ・2009 年 “システム・デザイン・フォーラム 2009”

「SystemC ユーザ・フォーラム 2009」に加えて、新たに、プロセス微細化による製造

ばらつきの問題に対して、「最先端統計から見た 32nm ばらつき予測と設計法」をテーマとした、「ナノ世代物理設計フォーラム」を開催。SystemC ユーザ・フォーラム 2009 では、OSCI (Open SystemC Initiative) による SystemC の最新動向の紹介、JEITA SystemC ワーキンググループによる、システム設計から実装、検証を含む SystemC 推奨設計メソッドの紹介、半導体理工学研究センター(STARC)による TL モデリングガイドの紹介、SystemC を用いた高位合成適用事例、および TLM2.0 を利用した回路設計事例を報告。また、ナノ世代物理設計フォーラムでは、プロセスの微細化により、新たな設計上の課題としてあらわれてきた製造ばらつきによる設計の収束性および製造時の良品率の低下に対処するため、ばらつきの影響を考慮できる統計的な設計手法の現状を報告した。

・ 2010 年 開催見送り。

EDA 技術専門委員会の各活動のフェーズが、「有償」で開催するシステム・デザイン・フォーラムに合致しない等の理由により開催を見送った。

ただし、ナノ世代物理設計 WG および LPB 相互設計 WG から魅力的な講演が可能であるため、EDSFair2010 特設ステージに「特別協力」する形で 3 セッションを「無償」で開催した。

・ 2011 年 “システム・デザイン・フォーラム 2011”

EDA 技術専門委員会の各活動である、標準化、LSI・パッケージ・ボード相互設計 WG、ナノ世代物理設計 WG からの報告 3 件に加えて、JEITA の半導体技術委員会傘下の半導体技術ロードマップ専門委員会 (STRJ) 内の設計技術とテストの 2 つの WG から発表いただいた。開催日時・会場に関しては、集客力を考えて、従来と同様に EDSFair と同時開催し、EDSFair の特設ステージ用に確保したアネックスホールの会議室の空き時間を使用することで安価に開催できた。

今年度(2012 年度)も、昨年に引き続き、EDSFair 内で独立、かつアネックスホールでの無償開催とし、各 WG の活動を報告した。特に今年は、LSI・パッケージ・ボード相互設計についてはセミナー形式を採用した。

### 3.2.2 システム・デザイン・フォーラム 2012 概要

- 開催日時：2012 年 11 月 15 日 (木) 14:30-17:00
- 開催場所：パシフィコ横浜 アネックスホール(F201 会議室)
- 定員：176 名
- 参加費：無料
- 主催：社団法人 電子情報技術産業協会 EDA 技術専門委員会
- 開催案内プログラム

---

EDA 技術専門委員会の活動をご紹介しますセッションです。2 回目となる今回は EDA 標準化担当、ナノ世代物理設計 WG、LPB 相互設計 WG から以下の内容を報告します。多数の皆様のご参加をお待ちしております。

■日 時 : 2012年11月15日 14:30-17:00

■場 所 : パシフィコ横浜内アネックスホール[F201] 聴講無料

■プログラム

1) EDA技術専門委員会委員長挨拶

河村 薫 氏 : 富士通セミコンダクター (株)

2) EDA標準化のトレンド

～標準化の仕組みから最新動向まで～

田中 玄一 氏 : ルネサスエレクトロニクス (株)

3) ナノ世代テクノロジーに向けた新しいタイミングコーナーの考え方

～微細化における設計対策～

赤嶺 武一郎 氏 : 富士通セミコンダクター (株)

4) Fabless 時代の DFM を問う

～設計と製造をいかに補完し合うか～

黒川 敦 氏 : 弘前大学

5) LPB 相互設計セミナー : 競争力を創出する LPB 標準フォーマットの流通と活用

～EDA ツールのデモとユーザによる活用方法の議論～

福場 義憲 氏 : (株) 東芝

富島 敦史 氏 : (株) 東芝

中川 祐之 氏 : 富士通 VLSI (株)

金子 俊之 氏 : (株)トッパン NEC サーキットソリューションズ

林 靖二 氏 : キヤノン(株)

村田 洋 氏 : (株)ジェム・デザインテクノロジーズ

古賀 一成 氏 : (株)図研

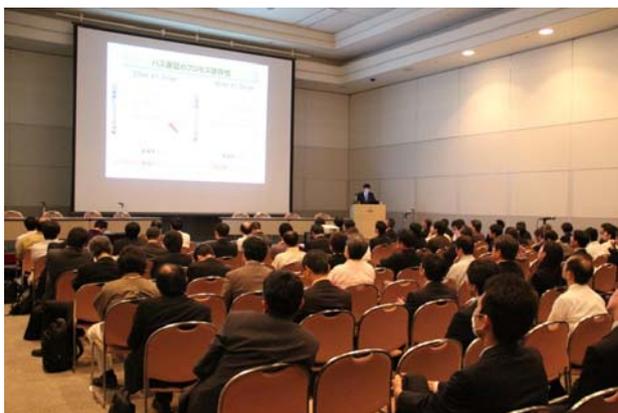
門田 和博 氏 : ステイシフト(株)

### 3.2.3 開催結果とアンケートまとめ

・聴講者数は 125 名と昨年の 69 名より大幅増、アンケート(回答数:71 名)での満足度(高評価)は LBP 相互設計セミナーが 68%と好評、の結果となった。

当日の会場風景を添付する。なお、講演資料は添付資料に掲載する。

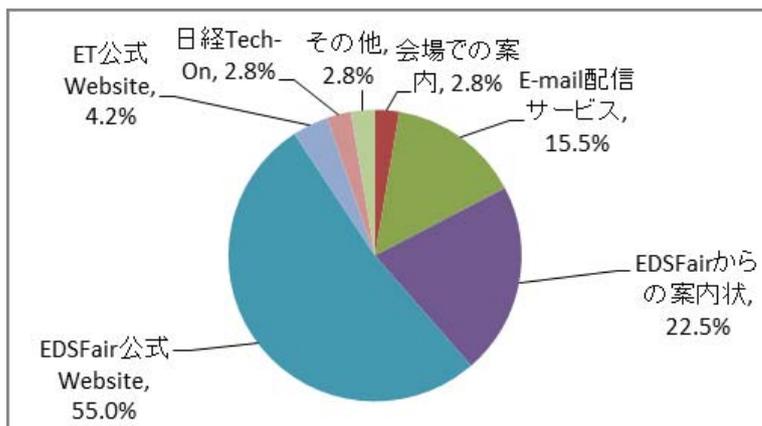
【会場風景】



・当日、聴講者にアンケートの記入をお願いしたが、その集計結果（回答数：71件）を以下に示す。

【質問1】 今回のフォーラムは何でお知りになりましたか？（複数回答あり）

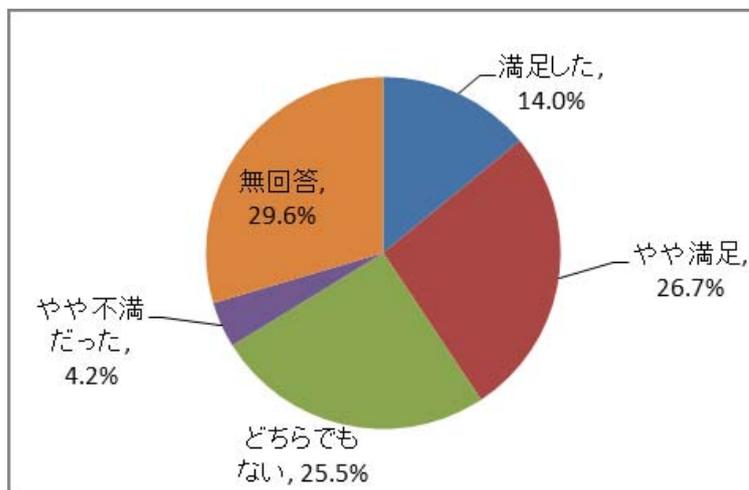
前年同様に、EDSFairの公式WebsiteやEDSFairからの案内状、E-mail配信サービスで本フォーラムを知った方が多かった。



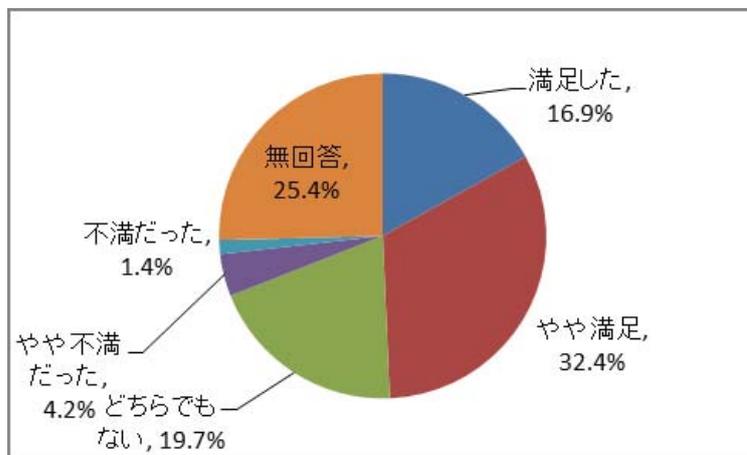
【質問2】 各フォーラムセッションの内容（満足度）についてお聞かせください。

LBP 相互設計セミナーの「満足+やや満足」の割合が68%と好評であった。

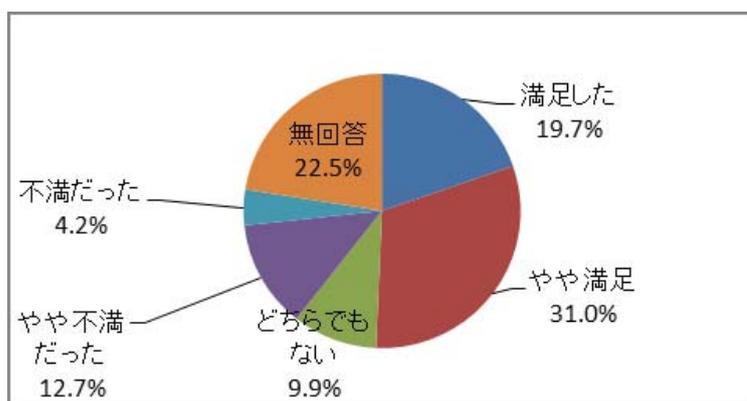
1) EDA標準化のトレンド



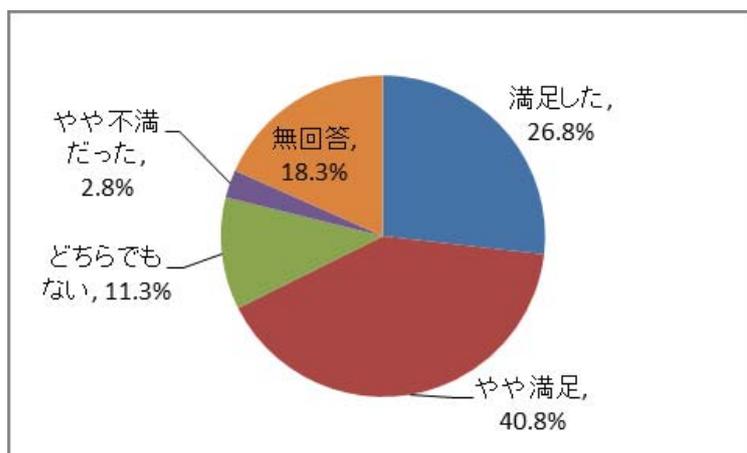
2) ナノ世代テクノロジーに向けた新しいタイミングコーナーの考え方



3) Fabless 時代の DFM を問う



4) LPB 相互設計セミナー



【質問4】フォーラム全体に関するご意見をお願いします。

- ・伝えたいことが理解しづらかった。
- ・目的志向での説明もあると良かった。
- ・事前に提供された資料が、かなり荒い。発表用資料を提供して欲しい。
- ・LBP がどのような活動で現状がどのような開発状況なのかが今回のセッションでよく理解できた。
- ・LBP はパネラーが多い。もっと時間が有れば良かった。

【質問5】フォーラムの運営・会場に関するご意見をお願いします。

- ・資料の配布。
- ・会場の場所が判りにくい。

【質問6】今後取り上げてほしいテーマを記述願います。

- ・3D-I-C熱解析
- ・LPBは次回も行って欲しい
- ・LSI設計事例、EDAツールの活用ノウハウ

### 3.2.4 まとめと今後に向けて

昨年に引き続き、システム・デザイン・フォーラムをEDSFair2012内で、単独開催した。内容は、EDA技術委員会の活動内容(WG活動他)を紹介するものにした。加えて、LSI・パッケージ・ボード相互設計についてはセミナー形式を採用した。

開催結果として、聴講者数は125名と、EDSFair参加者の減少にも関わらず昨年の69名より大幅増となった。また、LBP相互設計セミナーの「満足+やや満足」の割合が68%と、他の3件(50%程度)と比較しても、非常に好評であった。今後も、企業のエンジニアが興味を持つテーマをEDA専門技術委員会の活動に拘らず選定することが重要であると考ええる。

### 3.2.5 システム・デザイン・フォーラム2011WG委員(敬称略、順不同)

|        |                   |                          |                 |
|--------|-------------------|--------------------------|-----------------|
| 主査     | 高倉 正博             | EDA-TC 幹事                | ルネサスエレクトロニクス    |
| アドバイザー | 山口 龍一             | SDF 前年度主査                | パナソニック          |
| 委員     | 今井 浩史             | EDSFair 実行委員長/SDF2013 主査 | 東芝              |
| 委員     | 山中 俊輝             | ナノ世代物理設計 WG 主査           | リコー             |
| 委員     | 福場 義憲             | LPB 相互設計 WG 主査           | 東芝              |
| 委員     | 田中 玄一             | 標準化担当                    | ルネサスエレクトロニクス    |
| 事務局    | 石崎 芳典・大西 修平・森 美枝子 |                          | 日本エレクトロニクスショー協会 |

### 3.3 ASP-DAC 2013

#### 3.3.1 はじめに

Asia and South Pacific Design Automation Conference (ASP-DAC) は、VLSI およびシステム LSI の設計技術や設計自動化技術をテーマにしたアジア太平洋地域での最大規模の国際会議である。ASP-DAC は米国で開催されるこの分野のトップ・コンファレンスである Design Automation Conference (DAC)、International Conference on Computer Aided Design (ICCAD) や欧州で開催される Design, Automation and Test in Europe (DATE) とはシスター・コンファレンスの関係にあり、お互いにリエゾンを交換して協力関係を持っている。

ASP-DAC は、電子情報通信学会や情報処理学会などの学会だけでなく、電機メーカーおよび半導体メーカーの業界団体である JEITA (会議開始当時は EIAJ) と EDSF (会議開始当時は EDAT) の支援のもとで 1995 年に開始された。業界団体である JEITA が ASP-DAC のような国際会議の支援を行っているのは、次のような理由による。電機メーカーや半導体メーカーが国際競争力のある電子製品の開発を行うためには、マーケティングや製品企画だけでなく、大規模・高機能・低消費電力のシステム LSI の最適設計を短期間で行える設計力を持つ必要がある。そのためには、最新の設計自動化技術についての情報収集と研究開発を行う必要がある。一流の国際会議を国内で開催することにより、わが国からより多くの技術者と研究者が参加して最先端の設計技術および設計自動化技術についての情報収集、情報交換などを行うことが可能になる。

#### 3.3.2 会議の開催経緯

ASP-DAC の第 1 回目の会議は 1995 年 8 月 30 日から 9 月 1 日にかけて幕張メッセの日本コンベンションセンターで、情報処理分野の国際学会である International Federation on Information Processing (IFIP) の TC10 WG10.2 および WG10.5 に属する CHDL および VLSI という名称の 2 つの国際会議と並列開催の形で開催された。第 2 回目は 1997 年 1 月に開催され、それ以降毎年 1 月に開催されてきた。この間、1999 年には香港 (中国) で、2002 年にはバンガロール (インド) でそれぞれ開催された。2007 年以降は、日本と国外で交互に開催するというローテーションで運営されている。今回の会議 (ASP-DAC 2013) は 18 回目で、パシフィコ横浜 (横浜市) で 1 月 22 日 (火) から 1 月 25 日 (金) の日程で開催された。

#### 3.3.3 ASP-DAC 2013 の概要

ASP-DAC 2013 の概要を表 1 に示す。一般講演としては、29 カ国から投稿された 311 編の論文の中から 97 編が採択され、3 日間にわたって並列の 4 つのトラック、25 のセッションで発表された。表 1 からわかるように、論文の投稿数については前回シドニー (オーストラリア) で開催された ASP-DAC 2012 より多い 311 件であり、論文の採択率は例年より少し低い 31% であり、この分野での他の国際会議 (DAC, ICCAD, DATE) とほぼ同じ水準を維持している。これまでどおり、ASP-DAC は名実ともに一流の国際会議であると評価できる。

基調講演のタイトルと講演者を表 2 に、特別セッションのタイトルを表 3 に、デザイナーズ・フォーラムのタイトルを表 4 に示す。表 5 には、有料チュートリアルタイトルのタイトルを示す。

発表された論文の中から、表 6 に示す 2 件の論文が選ばれ、Best Paper Award が授与された。また、デザイン・コンテストに応募した作品の中から、表 7 に示す Best Design Award および Special Feature Award がそれぞれ 1 件選ばれて表彰された。今回から学生フォーラムは実施されていない。

表 1: ASP-DAC 2011、2012、2013 の比較

| 開催年                | 2011 年                           | 2012 年   | 2013 年                                      |
|--------------------|----------------------------------|--|---|
| 日時                 | 2011 年 1 月 25 日 (火)<br>～28 日 (金) | 2012 年 1 月 30 日 (月)<br>～2 月 2 日 (木)            | 2013 年 1 月 22 日 (火)<br>～25 日 (金)            |
| 会場                 | 横浜市 (日本)<br>パシフィコ横浜              | シドニー (オーストラ<br>リア) Sydney<br>Convention Centre | 横浜市 (日本)<br>パシフィコ横浜                         |
| 併設展示会              | EDSF 2011                        | ---  | ---   |
| 論文投稿数              | 300                              | 287  | 311   |
| 論文投稿国<br>(地域) 数    | 26                               | 28   | 29  |
| 論文採択数<br>(採択率)     | 104 (35%)                        | 98 (34%)                                       | 97 (31%)                                    |
| キーノート<br>アドレス      | 3 件                              | 3 件  | 3 件<br>(表 2 参照)                             |
| 一般講演               | 24 セッション (104 編)                 | 25 セッション (98 編)                                | 25 セッション (97 編)                             |
| 特別セッション<br>(招待講演等) | 5 セッション                          | 9 セッション  | 6 セッション<br>(表 3 参照)                         |
| デザイン・<br>コンテスト     | 1 セッション                          | 2 セッション  | 1 セッション                                     |
| 学生フォーラム            | 昼休みに実施<br>(Student Forum)        | 昼休みに実施<br>(Student Forum)                      | ---   |
| ポスターボード            | —                                | —  | —   |
| 有料チュートリアル          | 6 件<br>(全日 2 件、半日 4 件)           | 5 件<br>(全日 5 件)                                | 5 件 (表 5 参照)<br>(2 時間 5 件)                  |
| デザイナーズ・<br>フォーラム   | 4 セッション<br>(招待講演 2、<br>パネル討論 2)  | ---  | 4 セッション<br>(表 4 参照)<br>(招待講演 2、<br>パネル討論 2) |

表 2: 基調講演

| 講演タイトル  | 講演者   |
|---|---|
| From Circuits to Cancer   | Sani Nassif<br>(IBM, USA)                   |
| Gearing Up for the Upcoming Technology Nodes  | Kee Sup Kim<br>(Samsung Electronics, Korea) |
| Human, Vehicle and Social Infrastructure System Development for Sustainable Mobility – Development Innovation based on Large-Scale Simulation – | Hiroyuki Watanabe<br>(Toyota, Japan)        |

表 3: 特別セッションのタイトル

| 種類   | セッション・タイトル  |
|------|---|
| 招待講演 | セッション 1A: Advanced Modeling and Simulation Techniques for Power/Signal Integrity in 3D Design                             |
|      | セッション 2A: Dependability of on-Chip Systems  |
|      | セッション 3A: Design Automation for Flow-Based Microfluidic Biochips: Connecting Biochemistry to Electronic Design Automation |
|      | セッション 4A: High-Level Synthesis and Parallel Programming Models for FPGAs  |
|      | セッション 4D: Emerging Security Topics in Electronic Designs and Mobile Devices   |
|      | セッション 7D: Many-Core Architecture and Software Technology  |

表 4: デザイナーズ・フォーラムのタイトル

| 種類    | セッション・タイトル  |
|-------|---|
| 招待講演  | セッション 5A: Heterogeneous Devices and Multi-Dimensional Integration Design Technologies |
|       | セッション 6A: Future Direction and Trend of Embedded GPU                                  |
| パネル討論 | セッション 8A: Photonics for Embedded Systems  |
|       | セッション 9A: Harmonized Hardware-Software Co-design and Co-verification                  |

表 5: Tutorial のタイトル

| トピック | 種類   | タイトル  |
|------|------|---|
| 1    | 2 時間 | Programming Embedded Multiprocessor Systems: Application Code Mapping and Performance Estimation Technologies |
| 2    | 2 時間 | Pulse Based Design and Optimization   |
| 3    | 2 時間 | Temperature- and Process Variation-Aware Dependable Embedded Systems  |
| 4    | 2 時間 | Non-Volatile Memory Based Design  |
| 5    | 2 時間 | Introduction to RF CMOS and MEMS Design   |

表 6: Best Paper Award が授与された論文

| 論文タイトル・著者   |
|---|
| 1B-1: "A Case for Wireless 3D NoCs for CMPs ", Hiroki Matsutani (Keio Univ., Japan), Paul Bogdan, Radu Marculescu (Carnegie Mellon Univ., U.S.A.), Yasuhiro Take, Daisuke Sasaki, Hao Zhang (Keio Univ., Japan), Michihiro Koibuchi (NII, Japan), Tadahiro Kuroda, Hideharu Amano (Keio Univ., Japan)   |
| 2C-1: "I-LUTSim: An Iterative Look-Up Table Based Thermal Simulator for 3-D ICs", Chi-Wen Pan, Yu-Min Lee (National Chiao Tung Univ., Taiwan), Pei-YuHuang (ITRI, Taiwan), Chi-Ping Yang (National Chiao Tung Univ., Taiwan), Chang-Tzu Lin, Chia-Hsin Lee, Yung-Fa Chou, Ding-Ming Kwai (ITRI, Taiwan) |

表 7: デザイン・コンテストにて表彰された設計

| 種類                    | 論文タイトル・著者  |
|-----------------------|--|
| Best Design Award     | 1D-1: "A 40-nm 144-mW VLSI Processor for Real-time 60-kWord Continuous Speech Recognition", Guangji He, Takanobu Sugahara, Tsuyoshi Fujinaga, Yuki Miyamoto, Hiroki Noguchi, Shintaro Izumi, Hiroshi Kawaguchi, Masahiko Yoshimoto (Kobe Univ., Japan) |
| Special Feature Award | 1D-21: "A 0.35-0.8V 8b 0.5-35MS/s 2bit/step Extremely-low Power SAR ADC", Kentaro Yoshioka, Akira Shikata, Ryota Sekimoto, Tadahiro Kuroda, Hiroki Ishikuro (Keio Univ., Japan)  |

### 3.3.4 論文の投稿状況

2004年から2013年の、ASP-DACへの論文投稿数の地域別の推移を図1に示す。図1に示すように、ここ数年は、安定的に300件程度の投稿がある。名実ともに、ASP-DACは設計自動化分野の国際会議として定着したと言ってよいであろう。

表8に、日本からの論文投稿数の推移と、全世界から投稿された論文に占める割合を示す。日本からの論文投稿数が全体に占める割合は、2000年をピークにして、10%前後に低下している。論文投稿数が多かったのは、米国の71編（前回は75編）、台湾の52編（前回は37編）、中国の39編（前回は45編）、日本の24編（前回は24編）、ドイツの19編（前回は14編）であった。

図 1 地域別論文投稿数

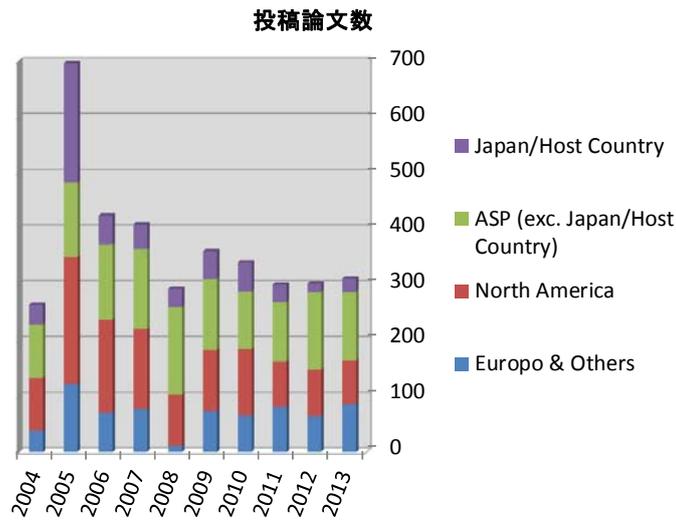


表 8 日本からの論文投稿数と全体に占める割合

| 年<br>地域    | '00         | '01         | '02        | '03         | '04         | '05        | '06         | '07         | '08        | '09         | '10         | '11         | '12        | '13        |
|------------|-------------|-------------|------------|-------------|-------------|------------|-------------|-------------|------------|-------------|-------------|-------------|------------|------------|
| 日本<br>(割合) | 42<br>(29%) | 29<br>(18%) | 24<br>(9%) | 42<br>(18%) | 36<br>(12%) | 46<br>(7%) | 51<br>(12%) | 44<br>(11%) | 31<br>(9%) | 50<br>(14%) | 33<br>(10%) | 31<br>(10%) | 24<br>(8%) | 24<br>(8%) |
| 全体         | 144         | 161         | 269        | 235         | 291         | 692        | 424         | 408         | 350        | 355         | 340         | 300         | 287        | 311        |

次に、研究分野別の論文投稿数および採択論文数を表 9 に示す。ASP-DAC 2013 では、研究分野を 13 種類に分類して論文の査読と採否の決定を行った。今回論文投稿数が多かった分野は、分野 2 のシステムレベル合成と最適化のセッション、分野 3 のシステムレベルのメモリ・通信設計およびネットワークオンチップのセッション、分野 4 の組み込み・リアルタイムシステムのセッション、分野 7 の物理設計のセッション、分野 8 のタイミング・消費電力・熱の解析・最適化のセッション、分野 13 の新技術・新アプリケーションのセッションであった。

表 9: 分野別の論文投稿数と採択論文数

| 分野 | 研究分野  | 投稿数 | 採択数 | 採択率   |
|----|---|-----|-----|-------|
| 1  | System-Level Modeling and Simulation/Verification                           | 24  | 7   | 29.1% |
| 2  | System-Level Synthesis and Optimization                                     | 27  | 8   | 29.6% |
| 3  | System-Level Memory/Communication Design and Networks on Chip               | 26  | 8   | 30.7% |
| 4  | Embedded and Real-Time Systems  | 43  | 12  | 27.9% |
| 5  | High-Level/Behavioral/Logic Synthesis and Optimization                      | 23  | 6   | 26.1% |
| 6  | Validation and Verification for Behavioral/Logic Design                     | 14  | 4   | 28.6% |
| 7  | Physical Design   | 39  | 13  | 33.3% |
| 8  | Timing, Power, Thermal Analysis and Optimization                            | 26  | 8   | 30.8% |
| 9  | Signal/power Integrity, Interconnect/Device/Circuit Modeling and Simulation | 10  | 4   | 40%   |
| 10 | Design for Manufacturability/Yield and Statistical Design                   | 17  | 6   | 35.3% |
| 11 | Test and Design for Testability   | 18  | 6   | 33.3% |
| 12 | Analog, RF and Mixed Signal Design and CAD                                  | 10  | 3   | 30.0% |
| 13 | Emerging Technologies and Applications                                      | 34  | 12  | 35.3% |
|    | 合 計   | 311 | 97  | 31.2% |

### 3.3.5 参加者の内訳

ASP-DAC への地域別の参加者数の推移を図 2 に示す（チュートリアルのみ参加者を除く）。また、日本からの参加者の推移を表 10 に示す（日本開催時のみ）。今回の全参加者数は 434 名であった。前回（259 名）と比べると、参加者が増加した。開催地である日本からの参加者数は全体の 60% の 261 名であった。

図 2 地域別参加者の推移

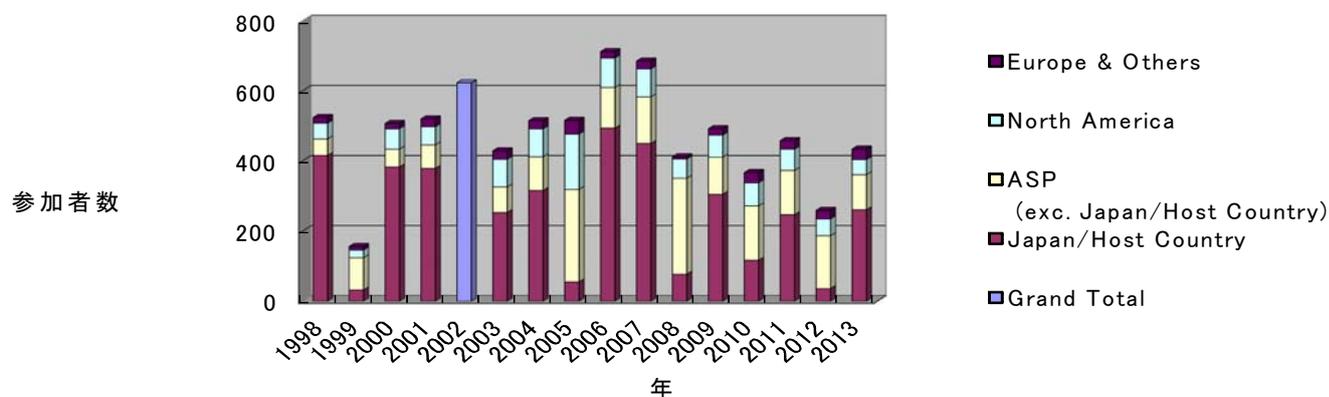


表 10: 日本開催年の日本からの参加者数と全体に占める割合  
(チュートリアルのみ参加者を除く)

| 年<br>地域    | 2001         | 2002 | 2003         | 2004         | 2005 | 2006         | 2007         | 2008 | 2009         | 2010 | 2011         | 2012 | 2013         |
|------------|--------------|------|--------------|--------------|------|--------------|--------------|------|--------------|------|--------------|------|--------------|
| 日本<br>(割合) | 379<br>(73%) | --   | 253<br>(59%) | 316<br>(61%) | --   | 494<br>(70%) | 450<br>(66%) | --   | 305<br>(62%) | --   | 247<br>(54%) | --   | 261<br>(60%) |
| 全体         | 520          | 623  | 429          | 515          | 516  | 708          | 685          | 412  | 492          | 367  | 458          | 259  | 434          |

### 3.3.6 今後の展望

ASP-DAC の今後の開催予定を表 11 に示す。引き続き、隔年で日本開催になる模様である。

表 11: ASP-DAC の今後の開催予定

| 年      | 開催予定地              | 開催時期                           | 実行委員長   |
|--------|--------------------|--------------------------------|---|
| 2014 年 | シンガポール<br>(シンガポール) | 2014 年 1 月 20 日 (月) ~ 23 日 (木) | Yong Lian 氏, Yajun Ha 氏<br>(National Univ. of<br>Singapore) |
| 2015 年 | 幕張 (日本)            | 2015 年 1 月 19 日 (月) ~ 22 日 (木) | 内山邦男 氏<br>(日立製作所)   |

## 4. 添付資料

# 微細プロセス (22nm世代) における配線 コーナー構造の検証

JEITA Nano Scale Physical Design Working Group

1

## 目次

- ・ 背景と目的
- ・ 従来の解析結果
- ・ 検証方法
- ・ 解析結果
  - 近似モデル精度
  - Single Pattern プロセス
  - Double Pattern プロセス
  - モンテカルロ解析
- ・ まとめ

JEITA Nano Scale Physical Design Working Group

2

## 背景と目的

### 背景

- タイミング検証における配線ばらつきに必要なコーナー条件は、MaxC, MaxRC, MinC, MinRCが一般的に用いられている。
- タイミング検証におけるホールドコーナーの解析を行い、配線コーナー構造が配線長に対して種々変化することを明らかにした。
- デバイスの微細化に伴いコーナー条件は複雑化してきており、検証時間の増加や収束性の面で、コーナー条件の適正化が望まれている。
- 今後、配線加工技術としてダブルパターンングが用いられるが、コーナー条件についての検証を行う必要がある。

### 目的

- 22nmプロセスを想定し、タイミング検証におけるホールドおよびセットアップ・配線コーナー構造を明確化すること
- 上記結果に基づき、コーナー条件を削減する手法を検討すること

JEITA Nano Scale Physical Design Working Group

3

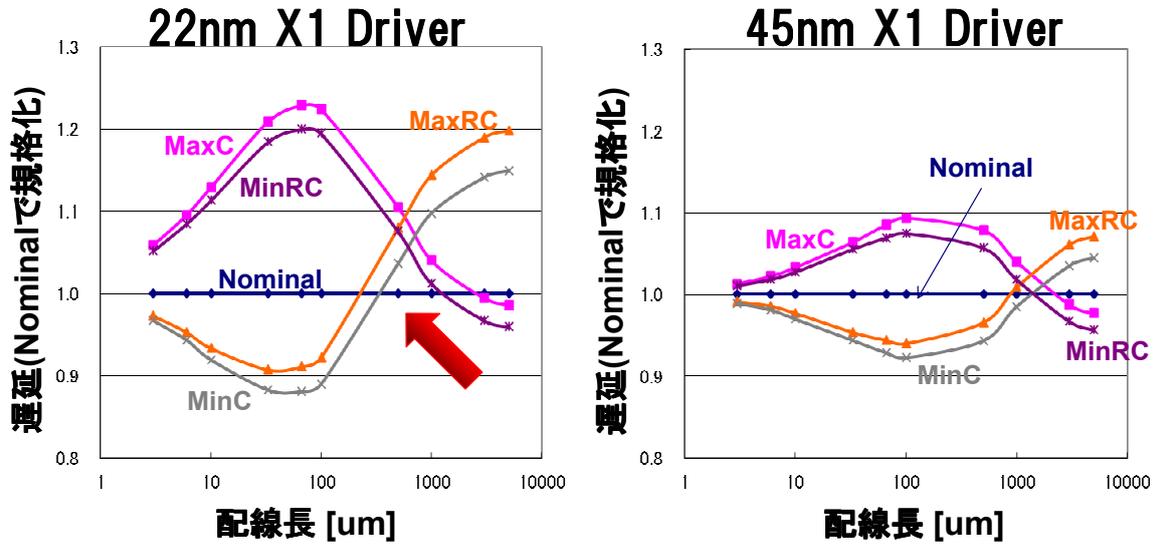
## 既報告の概要

- ・ 22nmプロセスを想定し、配線長に依存してどの条件がコーナー条件となり得るかを評価した。  
微細プロセスでは、従来考えられていたMaxC, MinC, MaxRC, MinCの4条件のみでは、配線コーナーをカバーできず、検証漏れとなる可能性があることを明確にした。
- ・ 微細プロセスにおいて、配線コーナーを適正にカバーするには、配線長、ドライバサイズを考慮する必要がある。  
一方、コーナー数削減のためにはドライバ毎に負荷配線長に制約を与えることが有効であると提言した。

JEITA Nano Scale Physical Design Working Group

4

## 従来の解析結果①

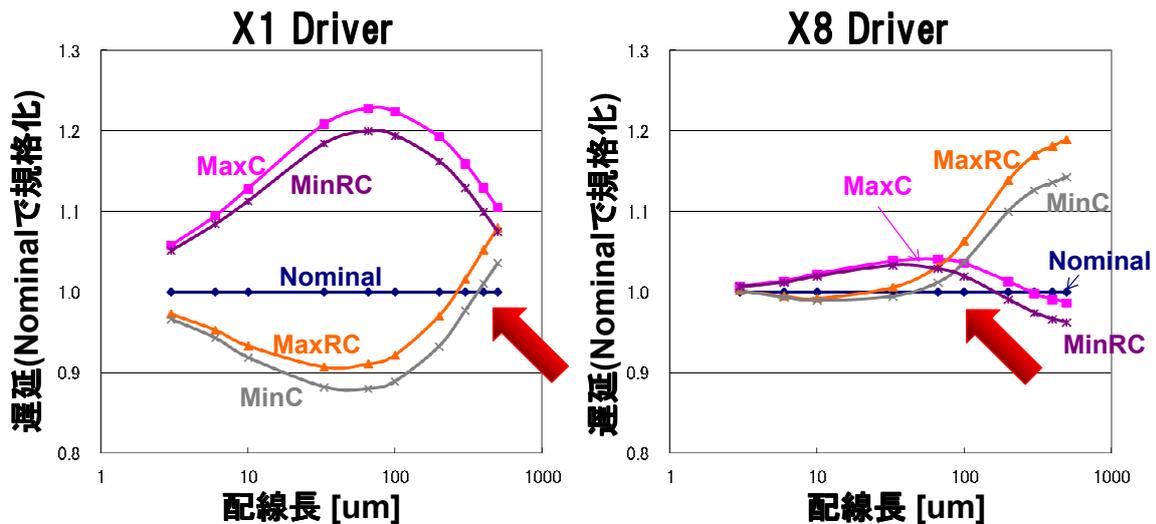


プロセスの微細化により、MinC、MinRCが遅延最小とならない領域が顕在化してくる

JEITA Nano Scale Physical Design Working Group

5

## 従来の解析結果②



MinC、MinRCが遅延最小とならない領域には、ドライバサイズ依存がある

JEITA Nano Scale Physical Design Working Group

6

## 検証方法

1. 配線構造パラメータのばらつき空間における全領域で、2次式による配線容量、配線抵抗モデルを作成する
2. パス遅延の解析により、配線長に対する遅延ばらつき空間の全領域計算を実施する
3. ホールドタイミング検証を仮定し(ホールドコーナー)、遅延ばらつき空間から遅延「最小」となる配線構造を同定する
4. セットアップタイミング検証を仮定し(セットアップコーナー)、遅延ばらつき空間から遅延「最大」となる配線構造を同定する

### 実施方法

- ・ 配線容量 $C_{int}$ 、配線抵抗 $R_{int}$ モデルの作成；
  - ・ 5変数2次式近似の応答局面関数モデルの作成
- ・ 遅延ばらつき空間の探索；
  - ・ 回路遅延解析式(桜井式)を用いて6次元空間における遅延計算

JEITA Nano Scale Physical Design Working Group

7

## 配線構造の定義

配線構造の算出条件は以下の通り。

- ・対象配線層: Intermediate層
- ・上下配線層は平行平板
- ・同層配線は最小配線ピッチ

各構造には、ITRS2007に記載された22nmプロセスでの数値を用いた。

|  | 2007  | 2010 | 2013 | 2016 |
|--|-------|------|------|------|
| Intermediate wiring width (nm)   | 68    | 45   | 32   | 22   |
| Intermediate wiring pitch (nm)   | 136   | 90   | 64   | 44   |
| Intermediate wiring thickness (nm)   | 122.4 | 81   | 60.8 | 44   |
| Height (dielectric thickness) between Intermediate wiring levels (nm)  | 108.8 | 72   | 54.4 | 39.6 |
| Barrier/cladding thickness (for Cu intermediate wiring) (nm)   | 5.2   | 3.3  | 2.4  | 1.7  |
| Cu thinning at minimum intermediate pitch due to erosion (nm), 10% × height, 50% area density, 500 μm square array         | 12    | 8    | 6    | 4    |
| Conductor effective resistivity (μΩ-cm)  |       |      |      |      |
| Cu intermediate wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below | 3.43  | 4.08 | 4.83 | 6.01 |

JEITA Nano Scale Physical Design Working Group

8

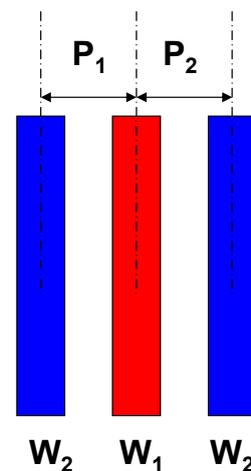
## Double Pattern (DP) プロセスへの適用

- ・ 従来の Single Pattern (SP)配線プロセスに対してDP配線プロセスでは、ばらつき要因が増加し、多くのタイミングマージンが必要となる
- ・ DPプロセス特有のばらつき要因は、色分けによる配線間の幅やピッチの変動 [1]

## SP/DP パターンずれの違い

### Single Patternプロセス

- ・ 配線ピッチ一定( $P_1 = P_2$ )
- ・ 配線幅( $W_{int}$ )共通( $W_1 = W_2$ )
- ・ 配線膜厚( $T_{int}$ )一定
- ・ 層間膜厚( $T_{ox}$ )一定

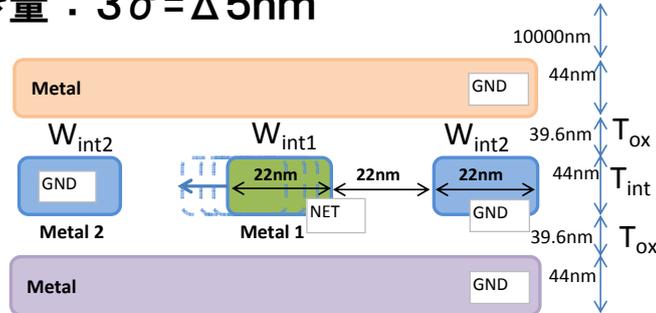


### Double Patternプロセス

- ・ 配線ピッチずれあり( $P_1 \neq P_2$ )
- ・ 配線幅( $W_{int}$ )ずれあり( $W_1 \neq W_2$ )
- ・ 配線膜厚( $T_{int}$ )一定
- ・ 層間膜厚( $T_{ox}$ )一定

## 配線容量・抵抗モデル;記号等

- ・ Double Patternプロセスをカバーするモデル (5変数)
- ・ Single Patternプロセスの場合:  $W_{int1} = W_{int2}$
- ・ ばらつき量 :  $3\sigma = \Delta 5nm$



| 項目          | Wint1 | Wint2 | Tint | Tox  | Shift |
|-------------|-------|-------|------|------|-------|
| Nominal(nm) | 22    | 22    | 44   | 39.6 | 0     |
| 変数名         | X1    | X2    | X3   | X4   | X5    |

上記5変数を用いて、応答局面関数モデルを作成する

JEITA Nano Scale Physical Design Working Group

11

## 実験計画テーブル

| 項目      | Wint1 | Wint2 | Tint | Tox  | Shift |
|---------|-------|-------|------|------|-------|
| Typical | 22    | 22    | 44   | 39.6 | 0     |
| 変数名     | X1    | X2    | X3   | X4   | X5    |
| 1       | -1    | -1    | -1   | -1   | -1    |
| 2       | 1     | -1    | -1   | -1   | 1     |
| 3       | -1    | 1     | -1   | -1   | 1     |
| 4       | 1     | 1     | -1   | -1   | -1    |
| 5       | -1    | -1    | 1    | -1   | 1     |
| 6       | 1     | -1    | 1    | -1   | -1    |
| 7       | -1    | 1     | 1    | -1   | -1    |
| 8       | 1     | 1     | 1    | -1   | 1     |
| 9       | -1    | -1    | -1   | 1    | 1     |
| 10      | 1     | -1    | -1   | 1    | -1    |
| 11      | -1    | 1     | -1   | 1    | -1    |
| 12      | 1     | 1     | -1   | 1    | 1     |
| 13      | -1    | -1    | 1    | 1    | -1    |
| 14      | 1     | -1    | 1    | 1    | 1     |
| 15      | -1    | 1     | 1    | 1    | 1     |
| 16      | 1     | 1     | 1    | 1    | -1    |
| 17      | -2    | 0     | 0    | 0    | 0     |
| 18      | 2     | 0     | 0    | 0    | 0     |
| 19      | 0     | -2    | 0    | 0    | 0     |
| 20      | 0     | 2     | 0    | 0    | 0     |
| 21      | 0     | 0     | -2   | 0    | 0     |
| 22      | 0     | 0     | 2    | 0    | 0     |
| 23      | 0     | 0     | 0    | -2   | 0     |
| 24      | 0     | 0     | 0    | 2    | 0     |
| 25      | 0     | 0     | 0    | 0    | -2    |
| 26      | 0     | 0     | 0    | 0    | 2     |
| 27      | 0     | 0     | 0    | 0    | 0     |

変動量(ばらつき)

- 2 : Nominal - 3.0 $\sigma$
- 1 : Nominal - 1.5 $\sigma$
- 0 : Nominal
- 1 : Nominal + 1.5 $\sigma$
- 2 : Nominal + 3.0 $\sigma$

$3\sigma = 5nm$

JEITA Nano Scale Physical Design Working Group

12

## 2次応答曲面式

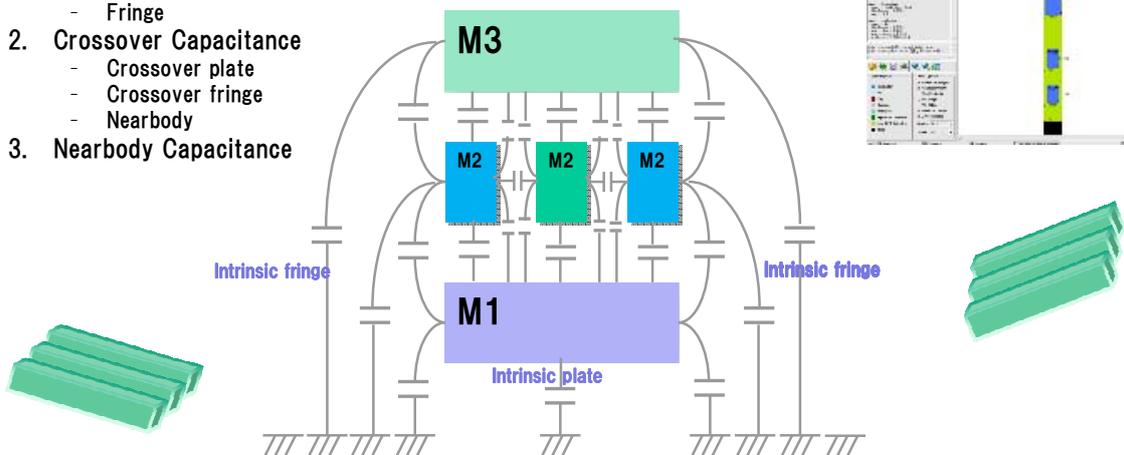
$$\beta_1 x_1 + \beta_2 x_2 + \dots + \beta_{11} x_1^2 + \beta_{22} x_2^2 + \dots \\ + \beta_{12} x_1 x_2 + \beta_{13} x_1 x_3 + \dots = \mu$$

$x_1, x_2, x_3, x_4, x_5$  : 各要因の変数  
 $\mu$  : 期待値(3次元フィールドソルバ抽出)  
 $\beta_1, \beta_2, \beta_3 \dots$  : 応答曲面係数

実験計画法で定義した5変数と上記2次式から、配線容量モデル、配線抵抗モデルを算出する。

## 使用3D配線断面構造

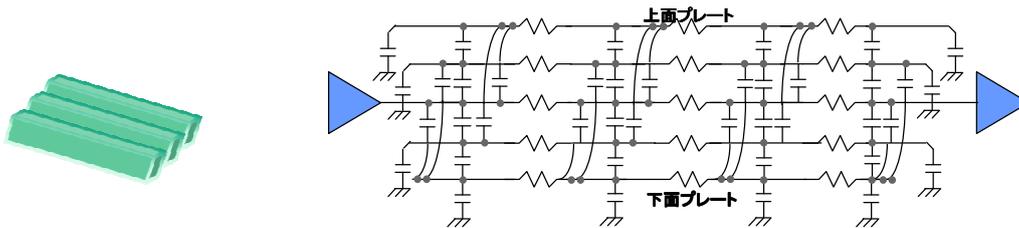
- ・ Parasitic Capacitances
  1. Intrinsic Capacitance
    - Plate
    - Fringe
  2. Crossover Capacitance
    - Crossover plate
    - Crossover fringe
    - Nearbody
  3. Nearbody Capacitance



- 複雑な寄生容量は、単純な面間容量計算だけでは推定困難  
 - Field Solver Baseの高精度容量抽出を使用 [2], [3]

## 使用3D配線レイアウト形状

- Parasitic Capacitances
- 1. Intrinsic Capacitance
  - Plate
  - Fringe
- 2. Crossover Capacitance
  - Crossover plate
  - Crossover fringe
  - Nearbody
- 3. Nearbody Capacitance



- 複雑な寄生容量は、単純な面間容量計算だけでは推定困難
- Field Solver Baseの高精度容量抽出を使用 [2], [3]

JEITA Nano Scale Physical Design Working Group

15

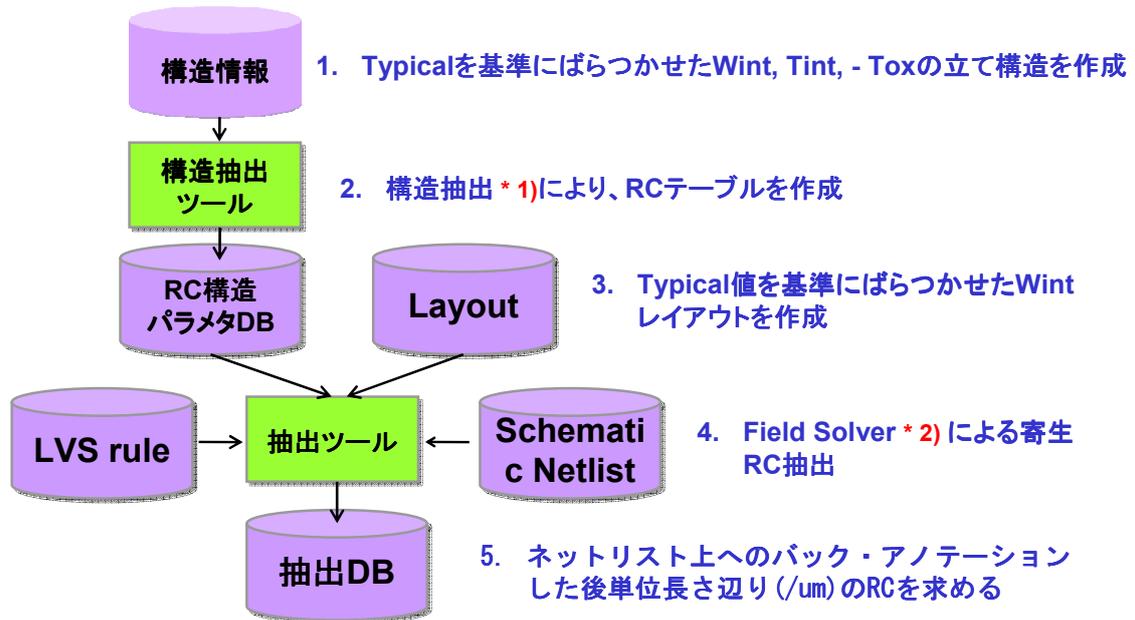
## 3D構造抽出条件

- 抽出環境
  - RCテーブル生成: Calibre xCalibrate v.2012.4\_16.11
  - レイアウト抽出: Calibre xACT 3D v.2012.4\_16.11
  - OS: Red Hat Enterprise Linux 5 64bit
  - Workstation 6.5 - 7, x 仮想マシン
- データ・ベース作成手順
  - プロセスノードに対応する配線幅(Wint)、配線膜厚(Tint)と絶縁膜厚(Tox)に関わる条件ファイル(.mipt)を作成し、プロセス縦構造のRCテーブルを生成
  - 想定したプロセスの変動分を加味したレイアウトを作成
- RC抽出
  - 上記で抽出したRCテーブルを使用し、Extraction実行
  - ネットリストにバック・アノテーションされたネットリストから、単位長さ当たりの寄生容量値、寄生抵抗値を算出

JEITA Nano Scale Physical Design Working Group

16

## 3D構造抽出フロー

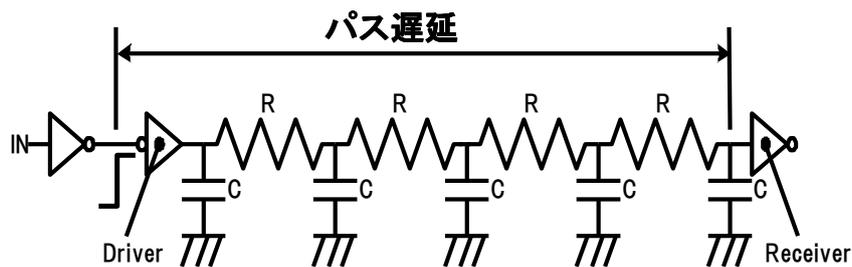


\* 1) Calibre xCalibrate v.2012.4 \* 2) Calibre xACT 3D v.2012.4

JEITA Nano Scale Physical Design Working Group

17

## パス遅延評価回路 (SPICE)



| 項目              | 内容   |
|-----------------|--|
| SPICEモデル        | 22nm PTM LP model :V2.1                        |
| SPICE電流モデル      | BSIM4  |
| 電源電圧            | 0.95V  |
| 環境温度            | 25°C   |
| トランジスタモデル(DRV1) | PMOS: W=264nm, L=22nm<br>NMOS: W=176nm, L=22nm |

JEITA Nano Scale Physical Design Working Group

18

## パス遅延評価近似式 (桜井式)

$$T = 0.4R_{\text{int}}C_{\text{int}} + 0.7R_{\text{int}}C_L + 0.7R_{\text{tr}}C_{\text{int}} + 0.7R_{\text{tr}}C_L$$

|                  |           |
|------------------|-----------|
| T                | :パス遅延     |
| $R_{\text{int}}$ | :配線抵抗     |
| $C_{\text{int}}$ | :配線容量     |
| $R_{\text{tr}}$  | :ドライバ出力抵抗 |
| $C_L$            | :レシーバ入力容量 |

SPICEとの精度比較を行った上で、遅延ばらつき空間の算出に用いる。

## 遅延最小となる配線構造の探索手順

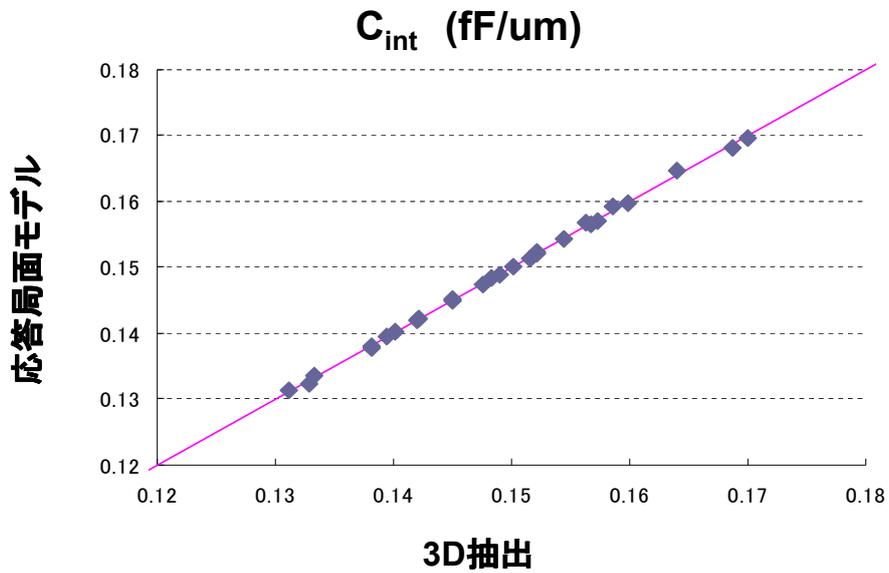
- ・ MinC, MinRCとなる配線構造の同定
  - 配線層間膜厚( $T_{\text{ox}}$ )の条件を固定 [SPプロセス]  
 $T_{\text{ox}}$ ,  $\Delta W_{\text{int}2}$ ,  $\Delta \text{shift}$ の条件を固定 [DPプロセス]
  - 配線膜厚( $T_{\text{int}}$ ), 配線幅( $W_{\text{int}}$ )の2次元探索空間で MinC, MinRCの配線構造を同定
- ・ 遅延最小構造の探索(⇒ホールドコーナー)
  - 配線長( $L_{\text{int}}$ ), 配線膜厚( $T_{\text{int}}$ ), 配線幅( $W_{\text{int}}$ )の3次元探索空間で、遅延モデルによるパス遅延を計算
  - 上記結果に基づき、3次元空間での遅延最小の配線構造を探索

## 遅延最大となる配線構造の探索手順

- ・ MaxC, MaxRCとなる配線構造の同定
  - 配線層間膜厚( $T_{ox}$ )の条件を固定 [SPプロセス]  
 $T_{ox}$ ,  $\Delta W_{int}$ ,  $\Delta shift$ の条件を固定 [DPプロセス]
  - 配線膜厚( $T_{int}$ ), 配線幅( $W_{int}$ )の2次元探索空間で MaxC, MaxRCの配線構造を同定
- ・ 遅延最大構造の探索(⇒**セットアップコーナー**)
  - 配線長( $L_{int}$ ), 配線膜厚( $T_{int}$ ), 配線幅( $W_{int}$ )の3次元探索空間で、遅延モデルによるパス遅延を計算
  - 上記結果に基づき、3次元空間での遅延最大の配線構造を探索

## 解析結果 ～近似モデル精度～

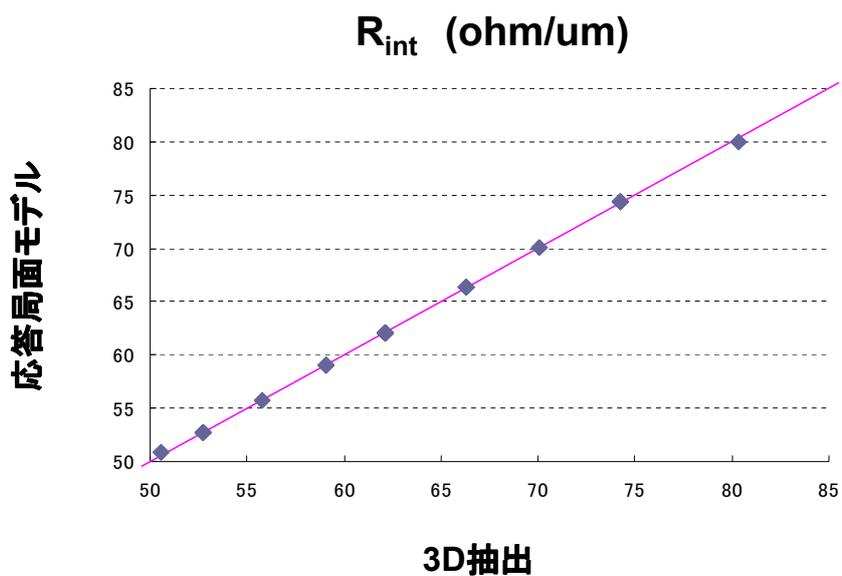
## 応答曲面モデルの精度 ( $C_{int}$ :配線容量)



JEITA Nano Scale Physical Design Working Group

23

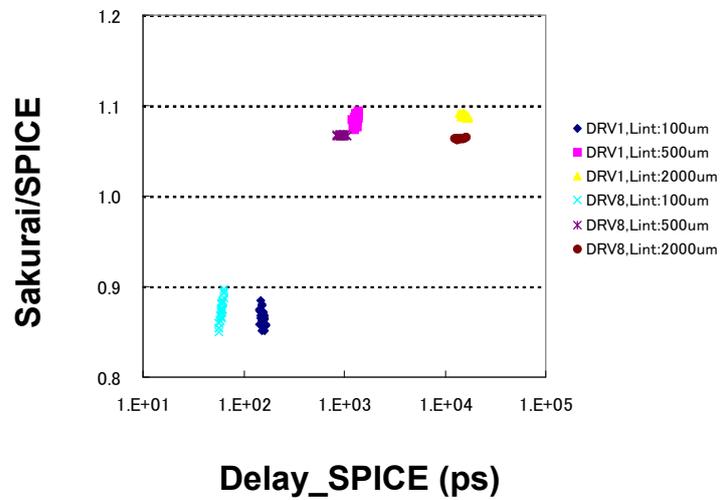
## 応答曲面モデルの精度 ( $R_{int}$ :配線抵抗)



JEITA Nano Scale Physical Design Working Group

24

## パス遅延算出誤差

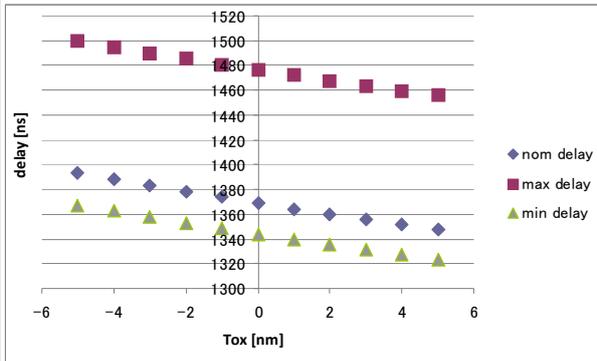


各条件ごとのプロット数は、実験計画テーブル数に等しい  
桜井式の誤差は最大15%程度

## 解析結果 ~Single Pattern プロセス~

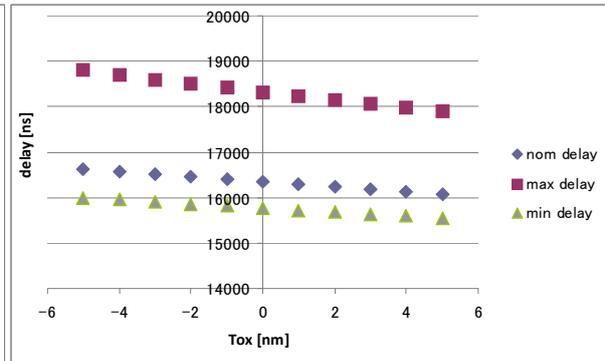
## 配線層間膜厚 ( $T_{ox}$ ) の条件固定: DRV1

- ・ 遅延時間と $T_{ox}$ 依存性を評価した (SPプロセス、桜井式)
- ・  $T_{ox}$ が最大のときに遅延最小、 $T_{ox}$ が最小のときに遅延最大となる



$\Delta T_{ox}$  (nm)

配線長=500um



$\Delta T_{ox}$  (nm)

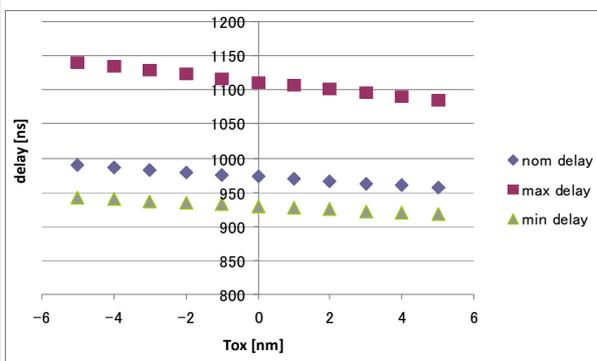
配線長=2000um

JEITA Nano Scale Physical Design Working Group

27

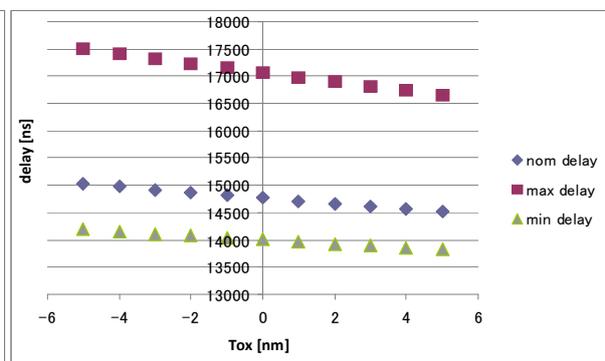
## 配線層間膜厚 ( $T_{ox}$ ) の条件固定: DRV8

- ・ ドライバサイズ、配線長に関わらず傾向は同じ



$\Delta T_{ox}$  (nm)

配線長=500um



$\Delta T_{ox}$  (nm)

配線長=2000um

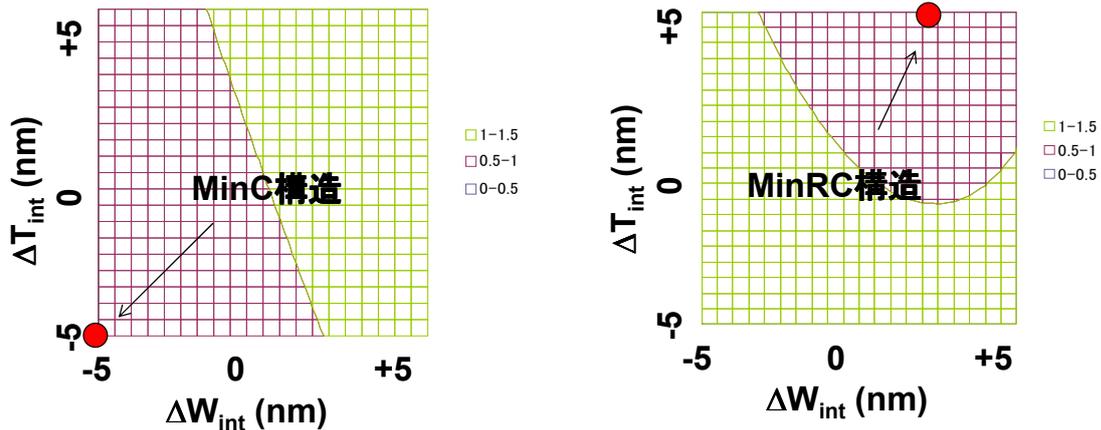
JEITA Nano Scale Physical Design Working Group

28

## 配線コーナー, MinC, MinRC

- MinC, MinRCコーナーの $W_{int}$ ,  $T_{int}$ 依存を解析した ( $T_{ox}$ =最大)
- MinC は  $\Delta W_{int}$ ,  $\Delta T_{int}$  がともに最小となる構造
- MinRC は  $\Delta T_{int}$  が最大、 $\Delta W_{int}$  が最大より小さい時の構造

図は  $\Delta W_{int}=0$ ,  $\Delta T_{int}=0$  の時の値を"1"とした場合の規格値

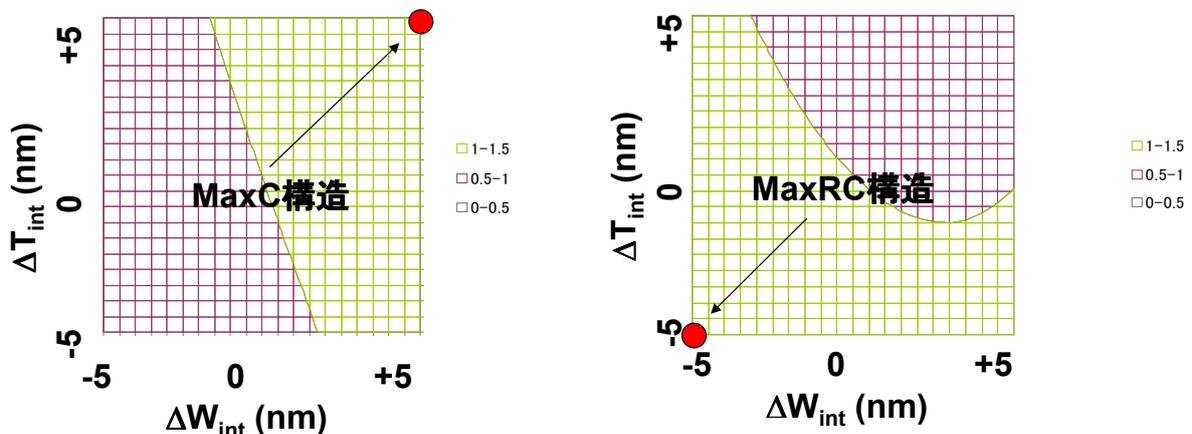


JEITA Nano Scale Physical Design Working Group

29

## 配線コーナー, MaxC, MaxRC

- MaxC, MaxRCコーナーの $W_{int}$ ,  $T_{int}$ 依存を解析した ( $T_{ox}$ =最小)
- MaxC は  $\Delta W_{int}$ ,  $\Delta T_{int}$  がともに最大となる構造
- MaxRC は  $\Delta W_{int}$ ,  $\Delta T_{int}$  がともに最小となる構造

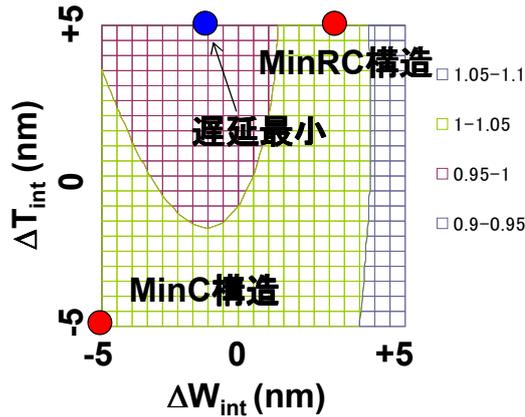


JEITA Nano Scale Physical Design Working Group

30

## 従来解析に対する遅延最小コーナーの考察

- ・ 従来解析では、MinC, MinRCコーナーが遅延最小にならない領域があることを確認している
- ・ Drive1,  $L_{int}=500\mu\text{m}$ ,  $T_{ox}$ =最大の条件で、遅延最少コーナーの分布を可視化した
- ・ 遅延最小となる条件は、MinC, MinRCではないことが分かる

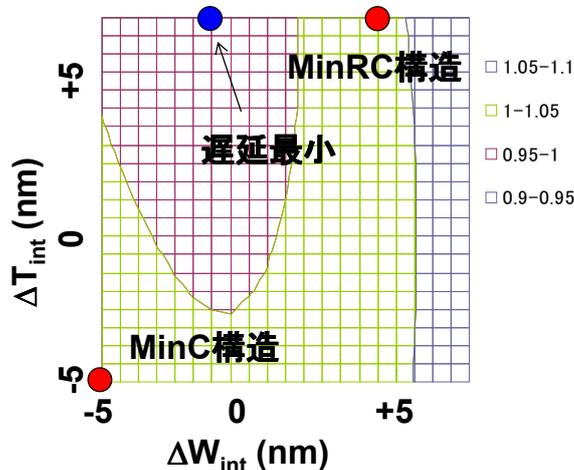


JEITA Nano Scale Physical Design Working Group

31

## 遅延最小コーナー (SPICE確認)

- ・ SPICEを用いた遅延シミュレーションにおいても、傾向は同じ
- ・ 以降、遅延解析には桜井式の結果を用いる

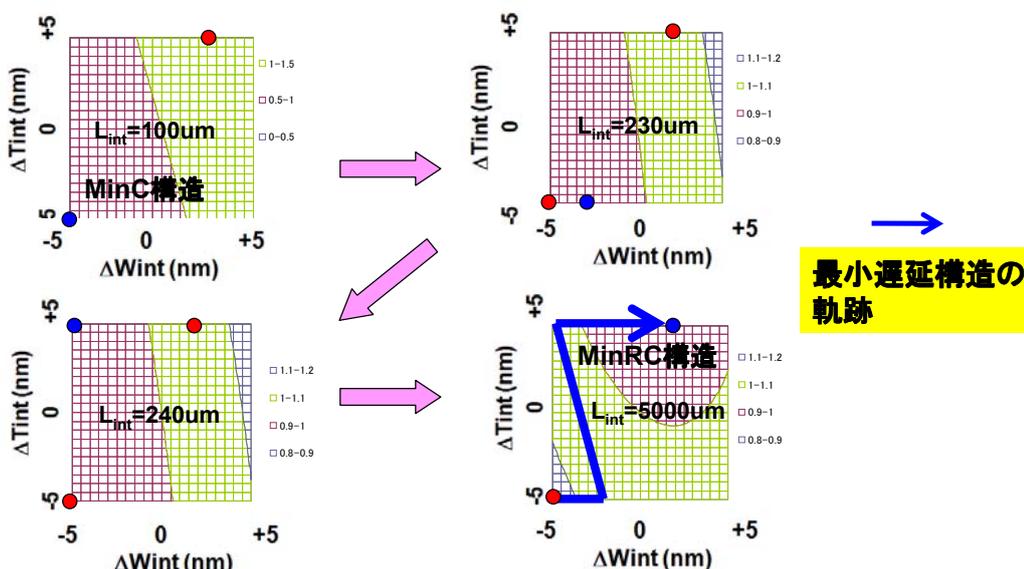


JEITA Nano Scale Physical Design Working Group

32

## 遅延最小構造の軌跡 (DRV1)

- 配線長( $L_{int}$ )に応じて、遅延が最小となる構造はMinCからMinRCへと変化する

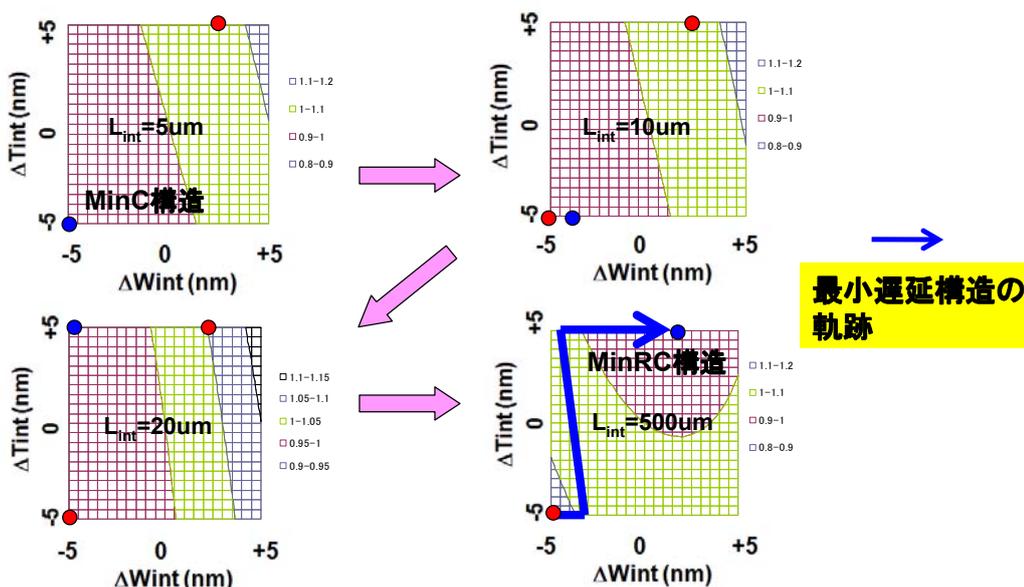


JEITA Nano Scale Physical Design Working Group

33

## 遅延最小構造の軌跡 (DRV8)

- 異なるドライバサイズでも傾向は変わらない

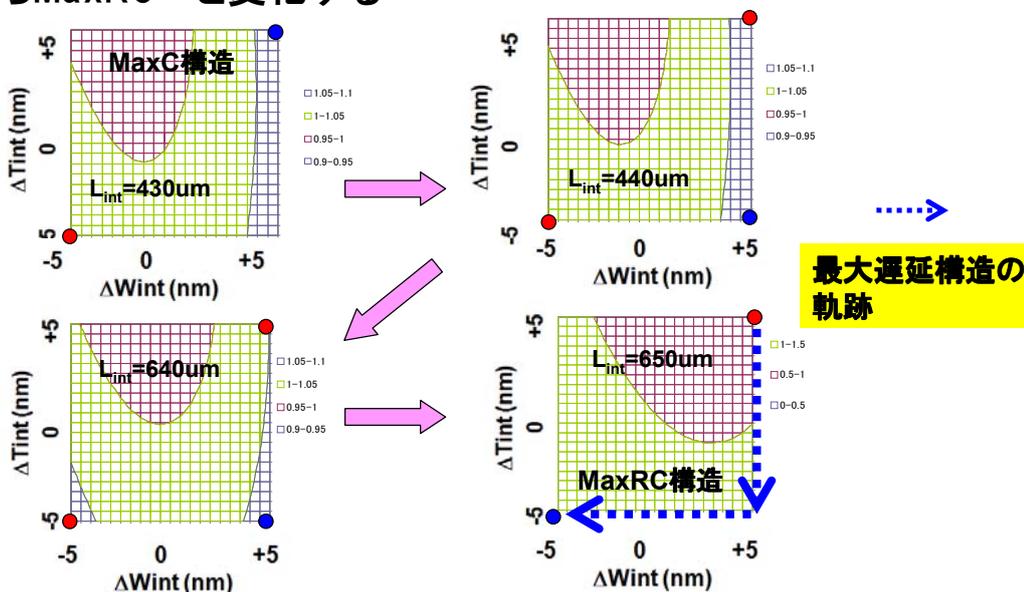


JEITA Nano Scale Physical Design Working Group

34

## 遅延最大構造の軌跡 (DRV1)

- 配線長( $L_{int}$ )に応じて、遅延が最大となる構造はMaxCからMaxRCへと変化する

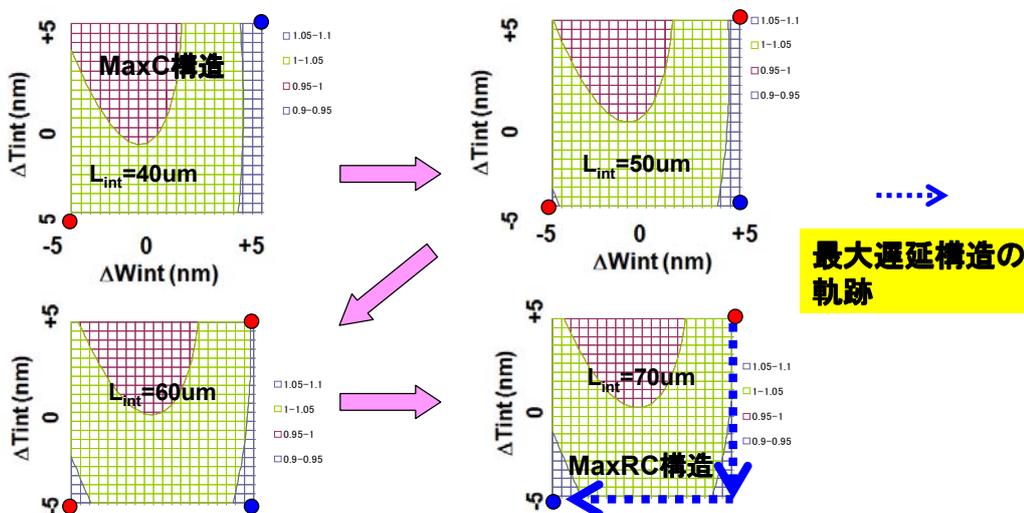


JEITA Nano Scale Physical Design Working Group

35

## 遅延最大構造の軌跡 (DRV8)

- 異なるドライバサイズでも傾向は変わらない



JEITA Nano Scale Physical Design Working Group

36

## 解析結果のまとめ①

- ・ 配線コーナー MinC, MinRC, MaxC, MaxRCが、遅延ワーストとならないケースは存在する
- ・ 遅延最小コーナーは、MinCからMinRCに移る領域に、 $W_{int}$ と $T_{int}$ の条件が定まらない領域がある
- ・ 遅延最大コーナーは、MaxCとMaxRCの間に  $W_{int}$ 最大,  $T_{int}$ 最小がコーナー条件となる領域がある

## 解析結果のまとめ②

- ・ 今回の解析例では以下のように分類できる

| Driver | Lint         | ホールドコーナー |
|--------|--------------|----------|
| X1     | <140um       | MinC     |
|        | >3400um      | MinRC    |
|        | 140um~3400um | 不特定      |
| X8     | <5um         | MinC     |
|        | >370um       | MinRC    |
|        | 5um~370um    | 不特定      |

| Driver | Lint        | セットアップコーナー                 |
|--------|-------------|----------------------------|
| X1     | <430um      | MaxC                       |
|        | >640um      | MaxRC                      |
|        | 430um~640um | $W_{int}$ 最大, $T_{int}$ 最小 |
| X8     | <40um       | MaxC                       |
|        | >70um       | MaxRC                      |
|        | 40um~70um   | $W_{int}$ 最大, $T_{int}$ 最小 |

- ・ 上記結果より、配線長とドライバ制約によって、配線コーナー構造の指定が可能となる（配線コーナー数の削減）

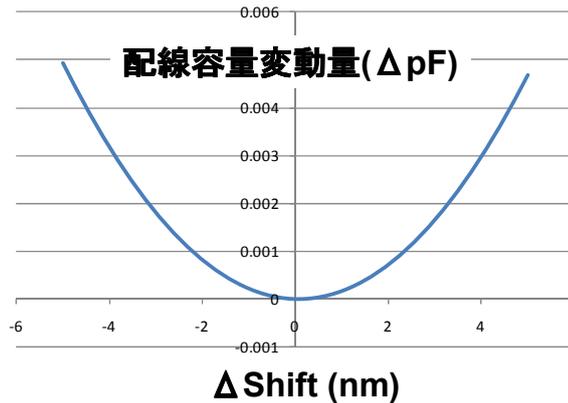
## 解析結果 ～Double Pattern プロセス～

## DP配線プロセスにおける条件の固定化

- ・ DPプロセスにおけるばらつき要因として、配線の色分けによる第2配線の幅変動( $\Delta W_{int2}$ )とピッチ変動( $\Delta Shift$ )がある
- ・ 層間膜厚( $T_{ox}$ )を加えた3変数の条件固定化を検討する
  - $T_{ox}$ はSPプロセスと同様(P27,28)、以下の条件となる
    - $T_{ox}$ =最大  $\Rightarrow$  遅延最小
    - $T_{ox}$ =最小  $\Rightarrow$  遅延最大
  - $W_{int2}$ は $W_{int1}$ に対して容量( $C_{int}$ )にのみ依存するため、以下の条件となる
    - $W_{int2}$ =最小  $\Rightarrow$  遅延最小
    - $W_{int2}$ =最大  $\Rightarrow$  遅延最大

## DP配線プロセスにおける条件の固定化

- 配線ピッチ変動成分( $\Delta \text{Shift}$ )が、配線容量に対する影響を評価する
- $\Delta \text{Shift}=0$ の時  $\Rightarrow$ 配線容量は最小
- $\Delta \text{Shift}$ の変動量が最大の時  $\Rightarrow$ 配線容量は最大



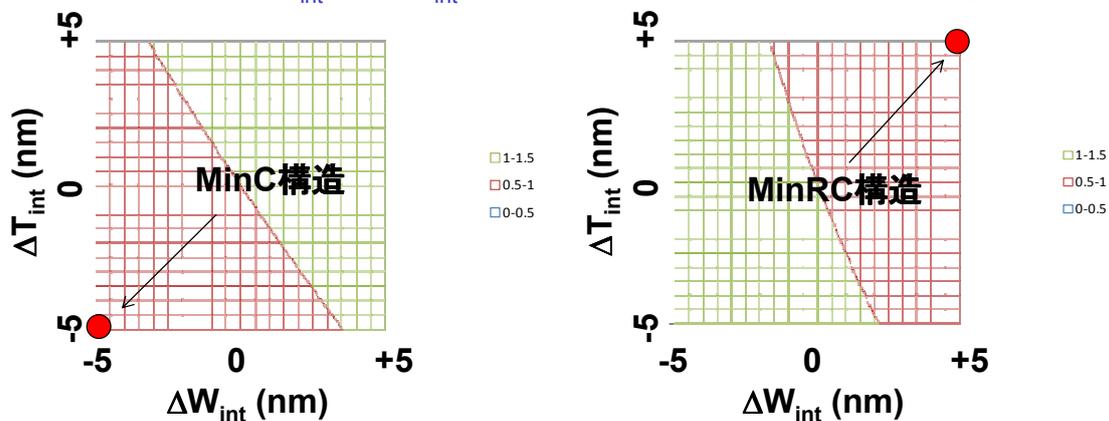
JEITA Nano Scale Physical Design Working Group

41

## 配線コーナー (DP), MinC, MinRC

- DPプロセスにおける MinC, MinRCコーナーの $W_{\text{int}}$ ,  $T_{\text{int}}$ 依存を解析した( $T_{\text{ox}}$ =最大,  $W_{\text{int}2}$ =最小,  $\Delta \text{Shift}=0$ )
- MinRC構造は、 $\Delta T_{\text{int}}$ ,  $\Delta W_{\text{int}}$ がともに最大の構造

図は $\Delta W_{\text{int}}=0$ ,  $\Delta T_{\text{int}}=0$ の時の値を"1"とした場合の規格値

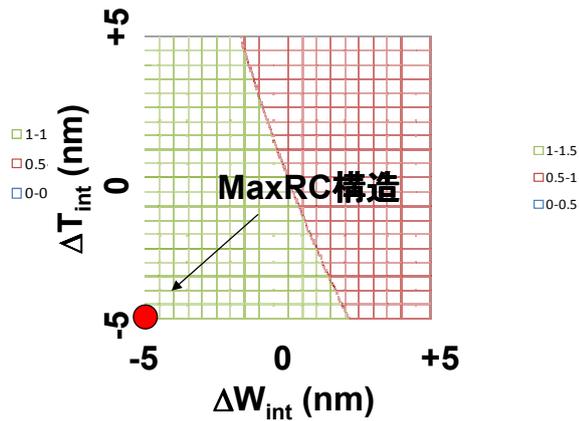
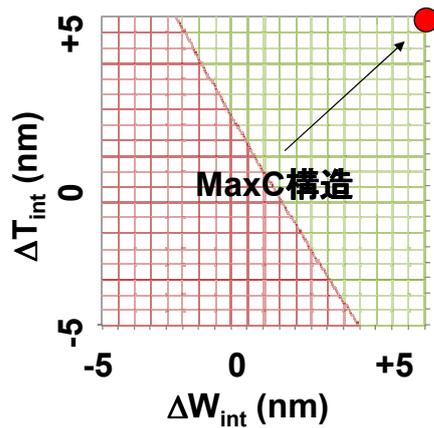


JEITA Nano Scale Physical Design Working Group

42

## 配線コーナー (DP), MaxC, MaxRC

- DPプロセスにおける MaxC, MaxRCコーナーの  $W_{int}$ ,  $T_{int}$  依存を解析した ( $T_{ox}$ =最小,  $W_{int2}$ =最大,  $\Delta Shift$ =最大)
- MaxRC構造は、 $\Delta T_{int}$ ,  $\Delta W_{int}$  がともに最小の構造 (MaxRの構造と一致)

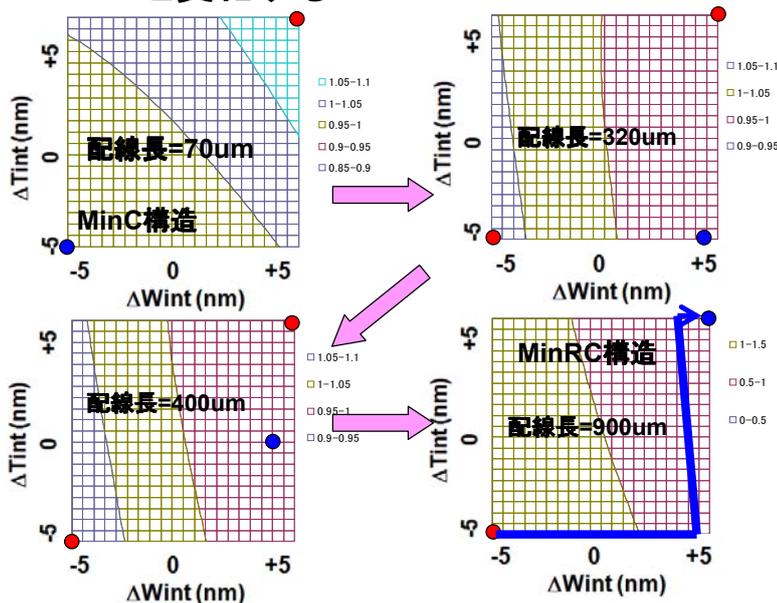


JEITA Nano Scale Physical Design Working Group

43

## 遅延最小構造の軌跡 (DRV1, DPプロセス)

- 配線長 ( $L_{int}$ ) に応じて、遅延が最小となる構造は MinC から MinRC へと変化する



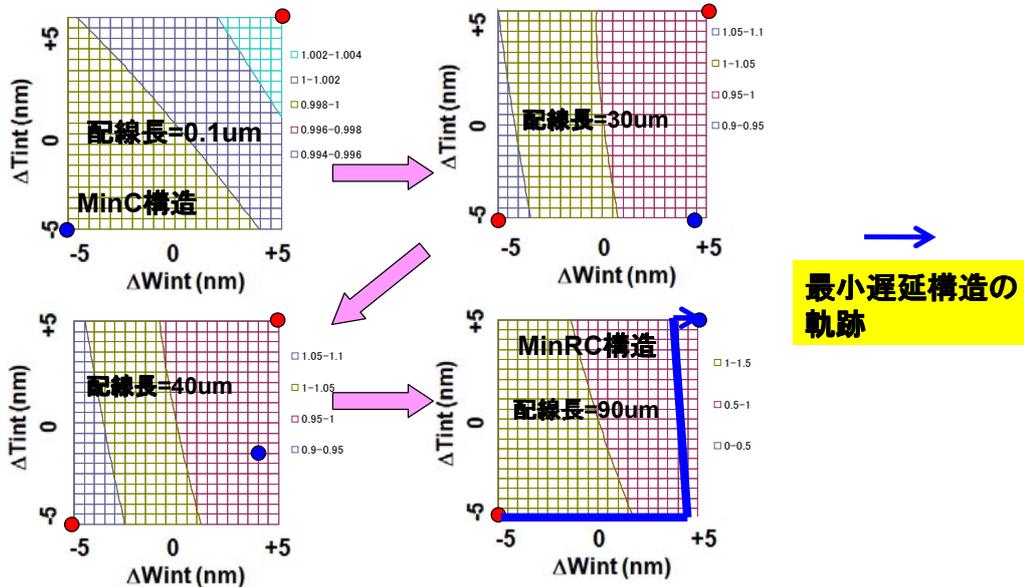
最小遅延構造の軌跡

JEITA Nano Scale Physical Design Working Group

44

## 遅延最小構造の軌跡 (DRV8, DPプロセス)

- 異なるドライバサイズでも傾向は変わらない

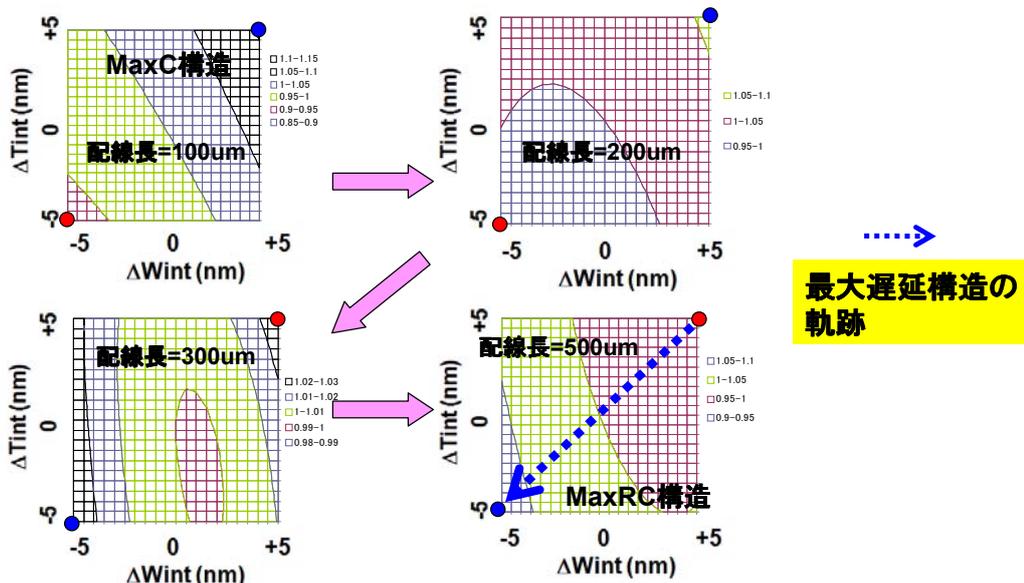


JEITA Nano Scale Physical Design Working Group

45

## 遅延最大構造の軌跡 (DRV1, DPプロセス)

- 配線長( $L_{int}$ )に応じて、遅延が最大となる構造はMaxCからMaxRCへと変化する

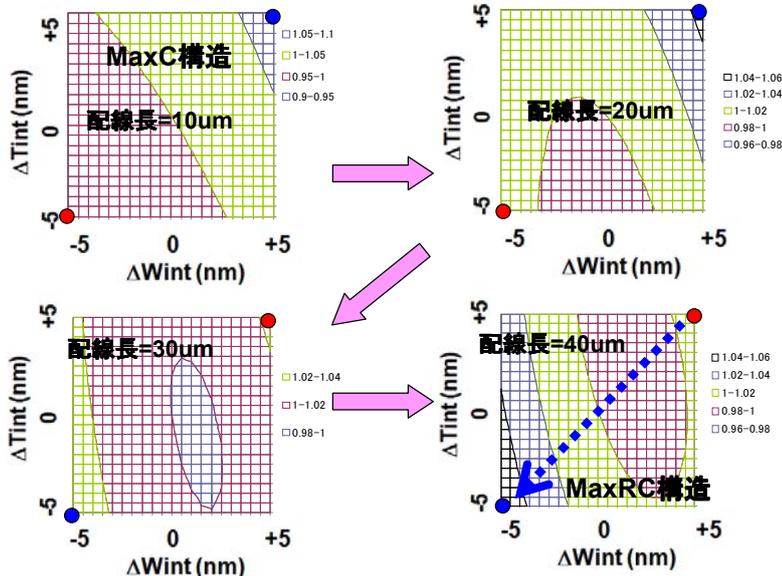


JEITA Nano Scale Physical Design Working Group

46

## 遅延最大構造の軌跡 (DRV8, DPプロセス)

- 異なるドライバサイズでも傾向は変わらない

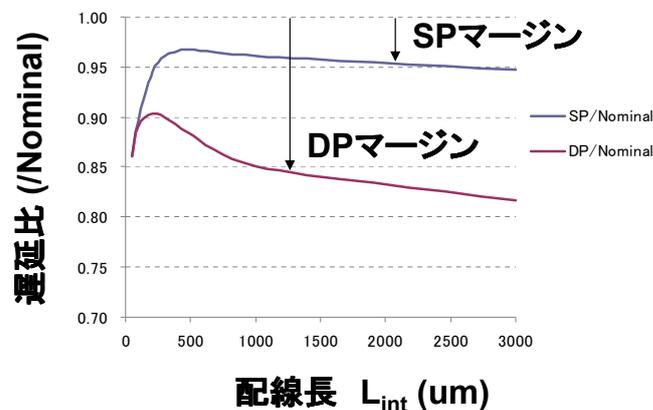


JEITA Nano Scale Physical Design Working Group

47

## 最小遅延のSP/DP比較

- Nominal配線構造の遅延で規格化した最小遅延のSP/DP比較を行った
- DPではSPと比べてより大きな(3.5~4.0倍)最小遅延コーナーのマーzinが必要

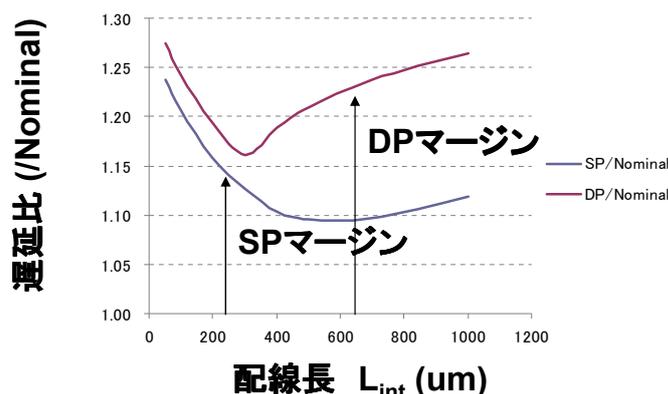


JEITA Nano Scale Physical Design Working Group

48

## 最大遅延のSP/DP比較

- ・ Nominal配線構造の遅延で規格化した最大遅延のSP/DP比較を行った
- ・ DPではSPと比べてより大きな(2.0~2.5倍)の遅延コーナーのマーヅンが必要



JEITA Nano Scale Physical Design Working Group

49

## DPプロセス解析結果のまとめ①

- ・ DP配線プロセスでは、SP配線プロセスと比べてより大きな遅延コーナーのマーヅン幅が必要となる
- ・ マーヅン幅の増大は、隣接配線との配線ピッチと配線幅が異なることによる、新しいばらつき要因によるものである
- ・ DPプロセスにおける MinRC, MaxRC構造の  $W_{int}$ ,  $T_{int}$  は、MinR, MaxR の構造と同様に定義できる

JEITA Nano Scale Physical Design Working Group

50

## DPプロセス解析結果のまとめ②

- ・ 今回の解析例で、遅延最小・最大コーナーは以下のように分類できる

| Driver | Lint       | ホールドコーナー    | Driver | Lint  | セットアップコーナー  |
|--------|------------|-------------|--------|-------|-------------|
| X1     | <70um      | MinC        | X1     | <30um | MaxC        |
|        | >830um     | MinRC(MinR) |        | >30um | MaxRC(MaxR) |
|        | 70um~830um | 不特定         |        |       |             |
| X8     | <0.1um     | MinC        | X8     | <28um | MaxC        |
|        | >90um      | MinRC(MinR) |        | >28um | MaxRC(MaxR) |
|        | 0.1um~90um | 不特定         |        |       |             |

- ・ 上記結果より、配線長とドライバ制約によって、配線コーナー構造の指定が可能となる（配線コーナー数の削減）
- ・ DP配線によるマージンの増加は、配線長の制約で軽減できる

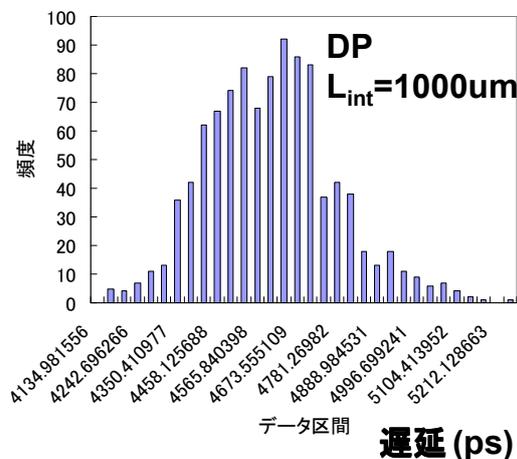
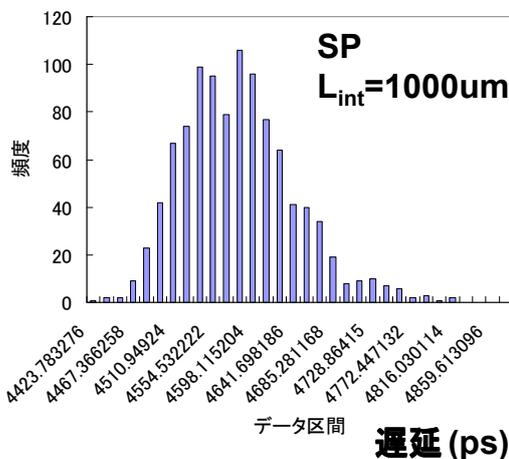
## 解析結果 ～モンテカルロ解析～

## 評価方針

- ・ DPにおいてはばらつき要因数の増大で、ホールドコーナ(3.5~4.0倍)、セットアップコーナ(2.0~2.5倍)ともに大きなマージンが必要となる
- ・ 遅延分布を考慮した場合、どの程度このマージン増大を低減できるか、モンテカルロ解析を用いて評価する
- ・ モンテカルロ条件;
  - 各要因ばらつき(加工寸法、マスク合わせ精度)が正規分布に従うと仮定
  - サンプル数=1018

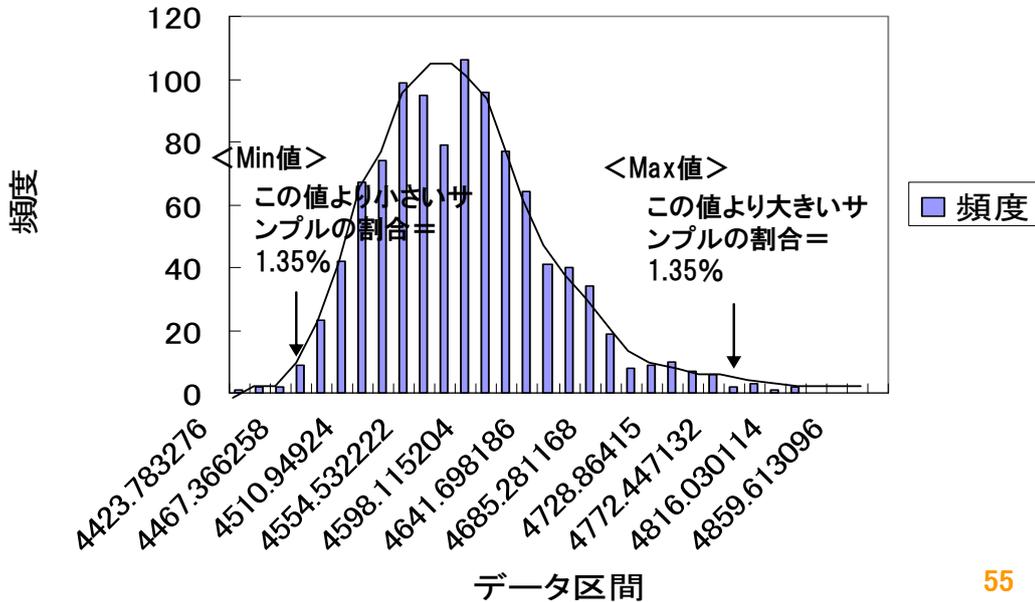
## モンテカルロ解析における遅延分布

- ・ SP,DPプロセスばらつきによる、遅延時間分布のモンテカルロ解析結果の例 (DRV1)



# モンテカルロ解析での最大・最小遅延の定義

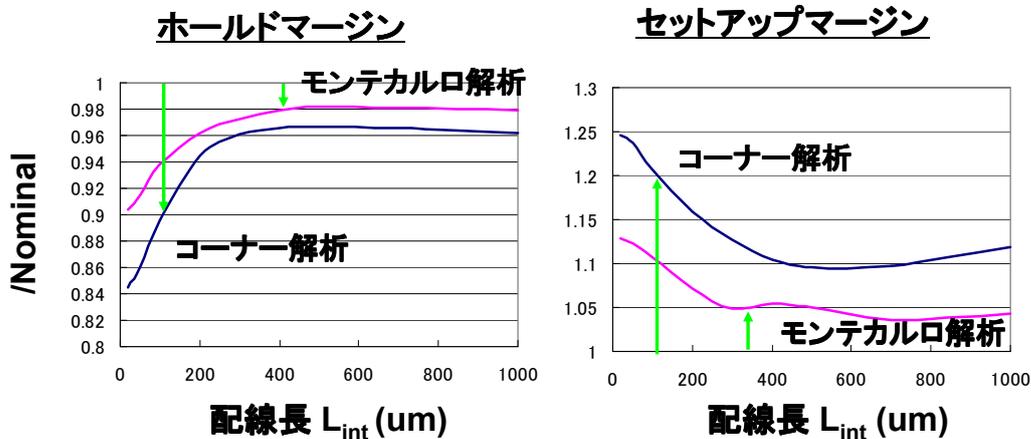
- モンテカルロにおける、Min/Max値の定義



55

# 配線コーナー解析との比較(SPプロセス)

- ホールドマージン、セットアップマージン共に、配線コーナー解析に比較してモンテカルロ解析では、マージン幅が約1/2になる

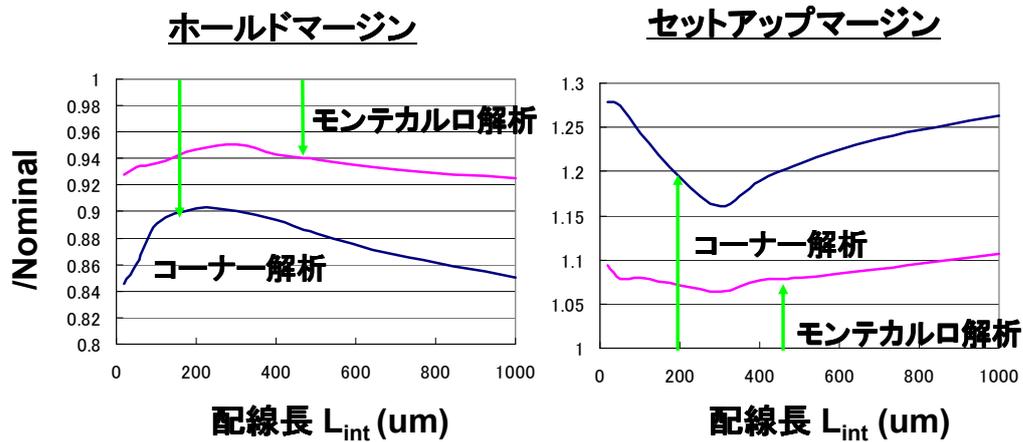


JEITA Nano Scale Physical Design Working Group

56

## 配線コーナー解析との比較(DPプロセス)

- SPプロセスと同様に、配線コーナー解析に比較してモンテカルロ解析では、マージン幅が約1/2になる

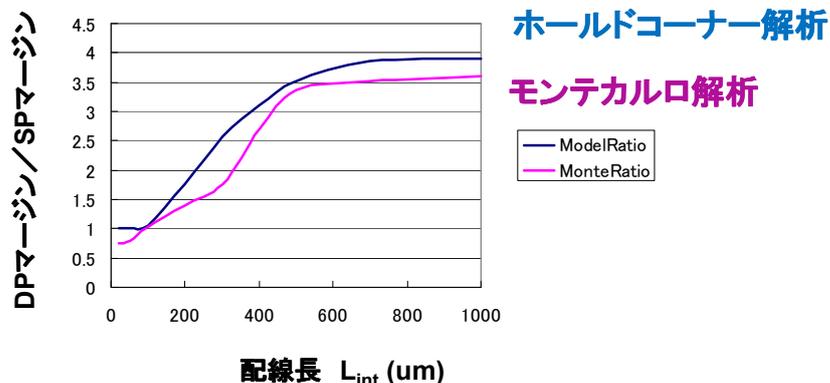


JEITA Nano Scale Physical Design Working Group

57

## DP/SPマージン比較:ホールドコーナー

- ホールドコーナーのDP/SPマージン比はほぼ同等 (DRV1)
- 配線長におけるSP/DP差は次の通り
  - 配線長 < 100um → SP/DP差 1.0倍
  - 配線長 > 500um → SP/DP差 3.5~4.0倍

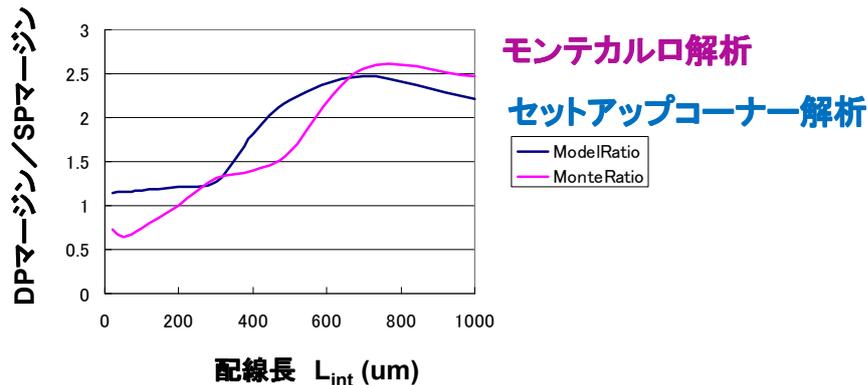


JEITA Nano Scale Physical Design Working Group

58

## DP/SPマージン比較:セットアップコーナー

- ・ セットアップコーナーのDP/SPマージン比はほぼ同等 (DRV1)
- ・ 配線長におけるSP/DP差は次の通り
  - 配線長 < 300um → SP/DP差1.0倍
  - 配線長 > 600um → SP/DP差2.5倍



JEITA Nano Scale Physical Design Working Group

59

## モンテカルロ解析結果のまとめ

- ・ 配線ばらつきのモンテカルロ解析を行い、コーナー解析によって得られた結果との、遅延マージン差を評価した
- ・ SP/DPプロセス、ホールド/セットアップマージンのいずれも、モンテカルロ解析を用いることで、マージン幅を約1/2に緩和できる
- ・ SP/DPプロセスの違いによるマージン比は、ホールド/セットアップコーナーともに、解析手法の違いによる差はなく、ほぼ同等である

JEITA Nano Scale Physical Design Working Group

60

## まとめ

- ・ 配線コーナー MinC, MinRC, MaxC, MaxRCが、遅延ワーストとならないケースが存在する
- ・ 配線ばらつきにおける全空間の遅延解析を行い、ワースト条件となる遅延分布の可視化を行った
- ・ DP配線プロセスではSP配線プロセスと比べて、より大きな遅延コーナーのマーヅンが必要となる
- ・ 配線長に制約を設けることで、遅延コーナーやDP配線による、マーヅンの増大を抑制することは可能である
- ・ モンテカルロ解析を行うことにより、遅延マーヅンは約1/2に緩和できることを確認した

## 文献資料

[1] <http://imtab.org/display/TPS/IMTAB+Press+Release+-+28+March+2012>

[2] Weiping Shi; Fangqing Yu; , "A divide-and-conquer algorithm for 3-D capacitance extraction," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on , vol.23, no.8, pp. 1157- 1163, Aug. 2004

[3] Weiping Shi; Jianguo Liu; Kakani, N.; Tiejun Yu; , "A fast hierarchical algorithm for three-dimensional capacitance extraction," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, vol.21, no.3, pp.330-336, Mar 2002

[4] Kwangok Jeong et. al., "Assessing Chip-Level Impact of Double Patterning Lithography", 11th Int'l Symposium on Quality Electronic Design, IEEE 2010

# チップ内Globalばらつき;素子の特性相関と回路の特性相関の関係とその検証

JEITA Nano Scale Physical Design Working Group

1

## 目次

- ・ 動機と目的
- ・ 研究の背景
- ・ [1] コーナー幅削減効果の定量解析
- ・ [2] 回路遅延ばらつき解析(自己相関長モデル)
- ・ 本報告のまとめ

JEITA Nano Scale Physical Design Working Group

2

## 動機と目的

### 動機

- 前回の発表[1]でタイミング設計の従来Globalコーナー幅( $3\sigma$ )に対して、チップ内素子ばらつき(NMOS/PMOS)を考慮することで、一例では平均15%削減できる可能性を示した。(以降、チップ内Globalばらつきと呼ぶ)
- 上記のコーナー削減について、Global/Localばらつき比較をすることで効果を定量的に見積もりたい。
- 上記を一般的に解釈するために、素子間ばらつきの相関が回路遅延ばらつきのそれに与える影響を解析したい。

JEITA Nano Scale Physical Design Working Group

3

## 動機と目的

### 目的

前述の動機より、以下の2点を目的とする。  
着眼点は「チップ内Globalばらつきの自己相関」である。

#### [1] コーナー幅削減効果の定量考察

90nm世代プロセスの測定データを用いたLocal/Globalの $I_{ds}$ ばらつき( $\sigma$ )による計算で15%削減効果の定量考察をすること。

#### [2] 回路遅延ばらつき解析(自己相関長モデル)

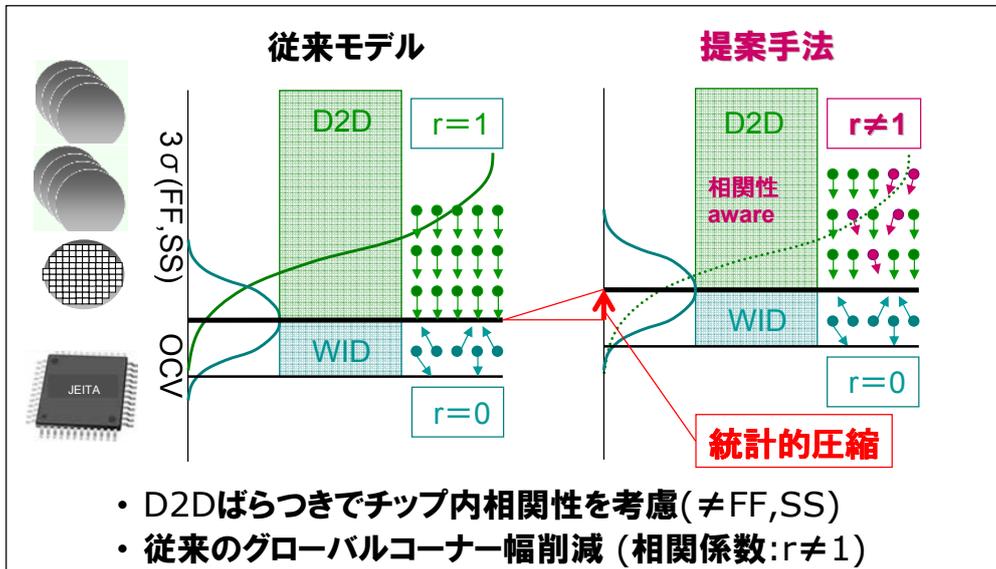
自己相関長モデルによる素子間ばらつきをモンテカルロ解析で回路遅延ばらつきの相関解析に利用。実測と比較すること。

JEITA Nano Scale Physical Design Working Group

4

## 研究の背景

### 新しいばらつきコーナーの提案[1]



JEITA Nano Scale Physical Design Working Group

5

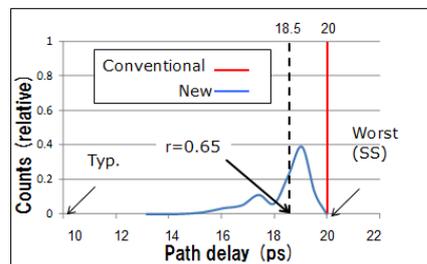
## 研究の背景

### 提案手法による計算例

計算条件:

(1) グローバル相関(r)分布  
NMOS/PMOS Ion特性相関  
(L:0.1 W:0.18~1.50)

(2) 遅延分布、回路段数(n)  
Typ./Worst = 10/20(ps)  
n=10



平均15%のコーナー幅削減に相当

(3) 計算式

$$k(n,r) = \frac{1}{n} \sqrt{n + r n(n-1)}$$

JEITA Nano Scale Physical Design Working Group

6

## 研究の背景

### ・ チップ内Globalばらつきの自己相関[2]

(1)自己相関

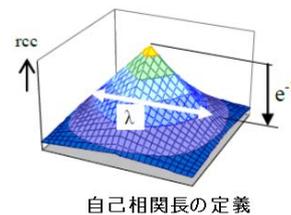
素子の特性相関が持つ距離依存性。  
チップ内で特性は同一でなく  
距離を隔てると相関係数  $\neq 1$  となる現象。

提案手法



(2)自己相関長( $l_c$ )

素子の特性相関値が  $1/e$  となる距離。  
自己相関の相関係数が 0.37 となる距離  
を自己相関長( $l_c$ )と定義



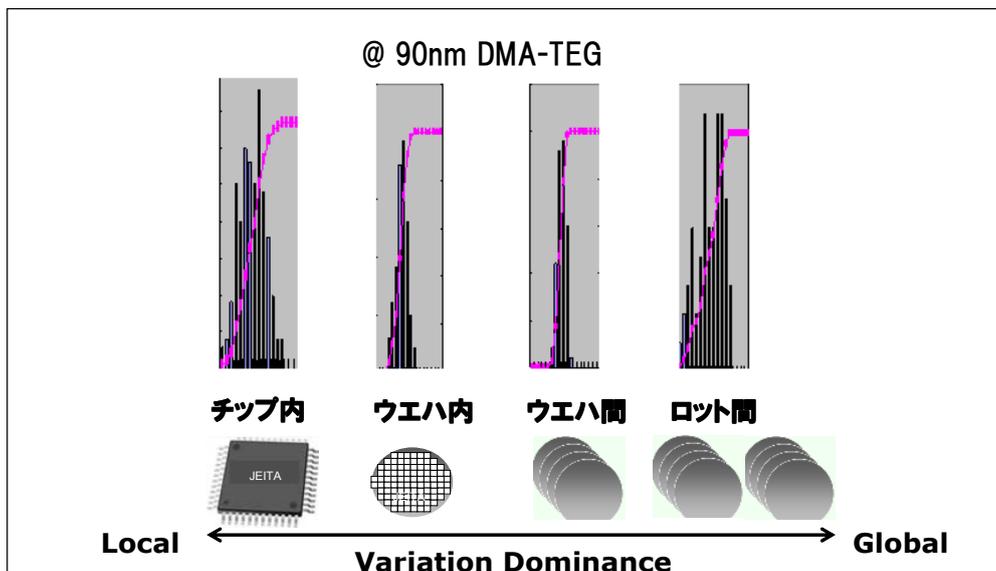
距離依存性を有する  
チップ内Globalばらつき

JEITA Nano Scale Physical Design Working Group

7

## [1] コーナー幅削減効果の定量解析

### ・ ばらつき成分の分布推定結果例



JEITA Nano Scale Physical Design Working Group

8

## [1] コーナー幅削減効果の定量解析

### ・ 90nm世代プロセスの $I_{ds}$ ばらつき( $\sigma$ )測定例[3]

プロセスの微細化・制御性によって数値は変化

| 項目    | Global(%) | Local(%) | Note        |
|-------|-----------|----------|-------------|
| チップ内  | 1.70      | 4.97     | NMOS/PMOS平均 |
| ウエハ内  | 4.06      | 0        | NMOS/PMOS平均 |
| ウエハ間  | 2.60      | 0        | NMOS/PMOS平均 |
| ロット間  | 7.73      | 0        | NMOS/PMOS平均 |
| トータル  | 9.26      | 4.97     |             |
| 自己相関長 | 0.61(mm)  | 0(mm)    | NMOS/PMOS平均 |

注)Globalばらつき $\sigma$ の定義;

ウエハ内成分はチップ平均値のばらつき量、

ウエハ間成分はウエハ平均値のばらつき量、

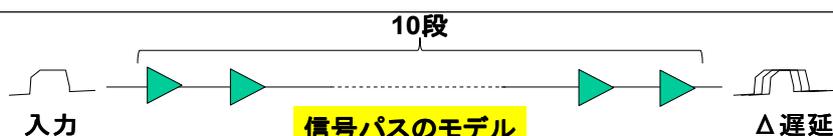
ロット間成分はロット平均値のばらつき量、を示す。

JEITA Nano Scale Physical Design Working Group

9

## [1] コーナー幅削減効果の定量解析

### ・ パス遅延ばらつき成分の計算



### ・ 設計の立場から見た、パス遅延ばらつきの計算比較

#### - Globalばらつき成分;

- ・ NMOS, PMOS  $I_{ds}$ ばらつき $\sigma$ の平均値=9.26%
- ・ デバイス相関による、ばらつき緩和係数=15%
- ・ Globalばらつき $3\sigma$ 緩和量=4.17% ( $9.26*3*0.15$ )

#### - Localばらつき成分;

- ・ NMOS, PMOS  $I_{ds}$ ばらつき $\sigma$ の平均値は4.97%
- ・ パス遅延ばらつき段数効果=(論理段数) $^{-1/2} = 1/\sqrt{10}$
- ・ Localばらつき $3\sigma$ の絶対値=4.71% ( $4.97*3/\sqrt{10}$ )

JEITA Nano Scale Physical Design Working Group

10

## [1] コーナー幅削減効果の定量解析

- ・ まとめ
  - ・ チップ内ばらつき成分の分類
    - チップ内Globalばらつき相関…コーナーマーヅンの緩和
    - チップ内Localばらつき…コーナーマーヅンの増大
  - ・ パス遅延ばらつき評価結果@論理段数=10
    - チップ内Globalばらつき… Δマーヅン= - 4.13%
    - チップ内Localばらつき… Δマーヅン= + 4.71%
  - ・ 結論
    - Globalばらつき相関によるコーナーマーヅンの削減量は、Localばらつきによる増大量と同等レベル
    - コーナーマーヅン設計にとって重要な緩和要因！

JEITA Nano Scale Physical Design Working Group

11

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

- ・ 新しい解析手法の提案 (自己相関長モデル)

目的:

Globalばらつき起因の回路遅延の予測手段を提供。  
以下のステップである。

- (1) 素子特性(MOS/Ids)自己相関特性のモデル化  
自己相関長モデル
- (2) 自己相関長モデルを用いて、素子特性から  
回路遅延ばらつきをSimulationする手法開発
- (3) 上記解析技術の結果を実測データで検証

JEITA Nano Scale Physical Design Working Group

12

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ チップ内Globalばらつきの自己相関

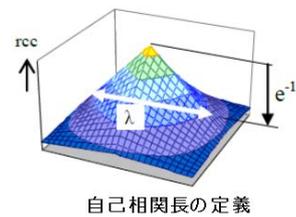
#### (1) 自己相関

素子の特性相関が持つ距離依存性。  
チップ内で特性は同一でなく  
距離を隔てると相関係数  $\neq 1$  となる現象。



#### (2) 自己相関長( $l_c$ )

素子の特性相関値が  $1/e$  となる距離。  
自己相関の相関係数が  $0.37$  となる距離  
を自己相関長( $l_c$ )と定義



距離依存性を有する  
チップ内Globalばらつき

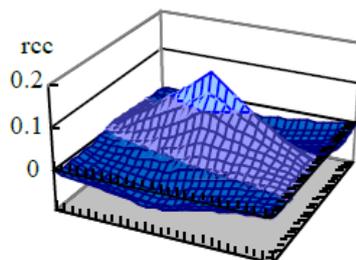
JEITA Nano Scale Physical Design Working Group

13

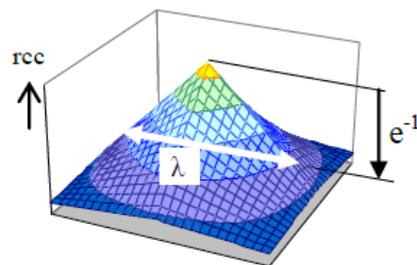
## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ 自己相関長の測定方法[2]

- 自己相関( $\rho$ )チップ面内特性の円錐形近似
- 距離依存式;  $\rho(l) = \exp\left(-\frac{l}{l_c}\right)$ ,  $l_c = \frac{\lambda}{2}$ ; 自己相関長 (相関距離)



自己相関測定例



自己相関長の定義

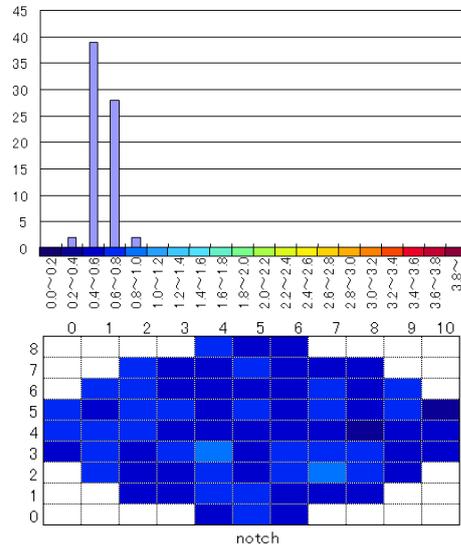
JEITA Nano Scale Physical Design Working Group

14

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ NMOS $I_{ds}$ 自己相関長の測定例

- (1) サンプル数: 71  
 (2) NMOS L/W=0.1/0.3  
 $I_{ds}$ 自己相関長( $l_c$ )分布  
 - 上図;度数分布  
 - 下図;ウエハ面内分布  
 (3) 統計量  
 - 平均値 =0.585mm  
 - 中央値 =0.472mm  
 - 標準偏差=0.098mm  
 - ほぼ正規分布



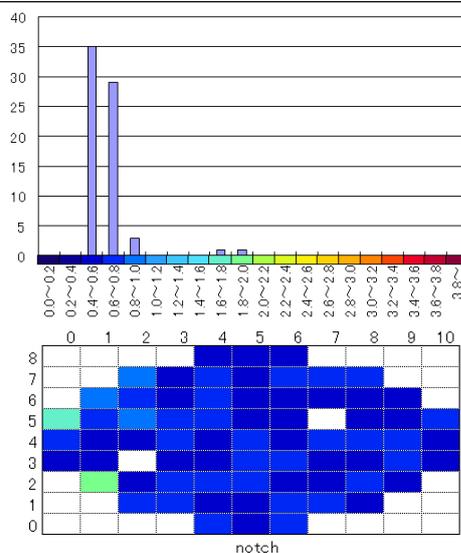
JEITA Nano Scale Physical Design Working Group

15

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ PMOS $I_{ds}$ 自己相関長の測定例

- (1) サンプル数: 69  
 (2) PMOS L/W=0.1/0.6  
 $I_{ds}$ 自己相関長( $l_c$ )分布  
 - 上図;度数分布  
 - 下図;ウエハ面内分布  
 (3) 統計量  
 - 平均値 =0.642mm  
 - 中央値 =0.497mm  
 - 標準偏差=0.213mm  
 - Skew あり



JEITA Nano Scale Physical Design Working Group

16

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### Ring-OSC(7段) Freq.自己相関長の測定例

(1) サンプル数: 68

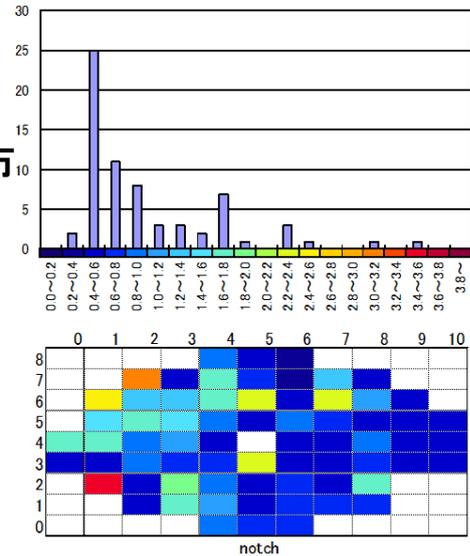
(2) Ring-OSC(7段) (F0=1)

周波数自己相関長(lc)分布

- 上図;度数分布
- 下図;ウエハ面内分布

(3) 統計量

- 平均値 =1.000mm
- 中央値 =0.627mm
- 標準偏差=0.681mm
- Skew 大



JEITA Nano Scale Physical Design Working Group

17

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### 測定結果まとめ

チップ内Globalばらつき(自己相関長)

70chips/1wafer

| 特性              | 自己相関長<br>中央値(mm) | 自己相関長<br>標準偏差(mm) |   |
|-----------------|------------------|-------------------|---|
| Ids(NMOS)       | 0.472            | 0.098             |   |
| Ids(PMOS)       | 0.497            | 0.213             |   |
| Freq.(Ring-OSC) | 0.627            | 0.681             |   |
| Cap.(配線)        | 1.836            | 0.682             | ※ |
| Res.(配線)        | 1.542            | 0.758             | ※ |

※ 配線ばらつきデータは参考まで

JEITA Nano Scale Physical Design Working Group

18

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ 測定結果まとめ

#### チップ内Globalばらつき(成分量%)

各測定量の平均値で規格化

70chips/1wafer

| 特性              | 平均値                          | 平均(%<br>Global<br>Variation $\sigma$ | 標準偏差(%<br>Global<br>Variation $\sigma$ |
|-----------------|------------------------------|--------------------------------------|--|
| Ids(NMOS)       | 124.0( $\mu$ A)              | 1.697                                | 0.381                                  |
| Ids(PMOS)       | 93.3( $\mu$ A)               | 1.719                                | 0.414                                  |
| Freq.(Ring-OSC) | 4.33(GHz)                    | 1.166                                | 0.338                                  |
| Cap.(配線)        | 23.1(fF/100 $\mu$ m)         | 0.244                                | 0.072                                  |
| Res.(配線)        | 97.1( $\Omega$ /100 $\mu$ m) | 0.533                                | 0.176                                  |

※ 配線ばらつきデータは参考まで

JEITA Nano Scale Physical Design Working Group

19

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ 相関を持った回路パス遅延解析の方法

#### ・ 計算方法

- NMOS, PMOSの相関行列の作成
  - ・ 距離(0.2mm, 0.5mm, 1mm, 2mm)
  - ・ Vthの自己相関長パラメータは中央値を使用
- inverter回路遅延(rise/fall)平均値のチップ内Globalばらつきモンテカルロ解析(相関考慮)
  - ・ Globalばらつき成分の測定値分布を用いて計算
  - ・ 距離(0.2mm, 0.5mm, 1mm, 2mm)実測比較

#### ・ 比較対象

- 回路特性の自己相関特性曲線(指数関数近似モデル式)

JEITA Nano Scale Physical Design Working Group

20

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ 計算条件(モンテカルロ)

#### ・ モンテカルロ実行条件

- NMOS, PMOS  $I_{ds}$ の相関考慮乱数発生[4]
- inverter回路遅延ばらつきを下記計算式で導出

$$t_{pd} = \frac{C_L V_{DD}}{(I_{dsn} + I_{dsp}) / 2}$$

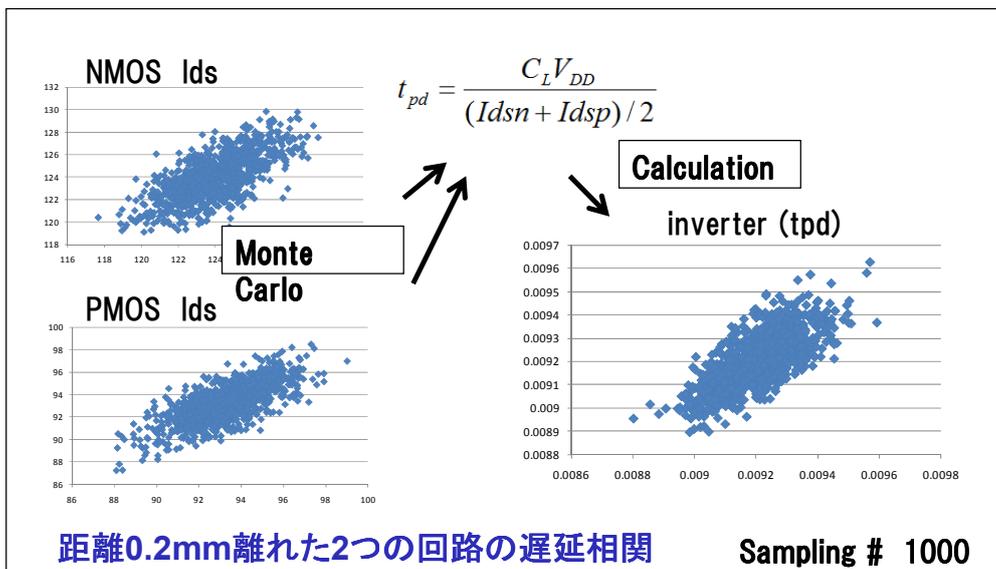
- モンテカルロ解析を回路間距離を変えて繰り返し計算
- 距離に対する回路遅延相関特性をモンテカルロ解析結果で計算し、実測結果と比較する

JEITA Nano Scale Physical Design Working Group

21

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

### ・ 計算結果 (距離 0.2mmの例)

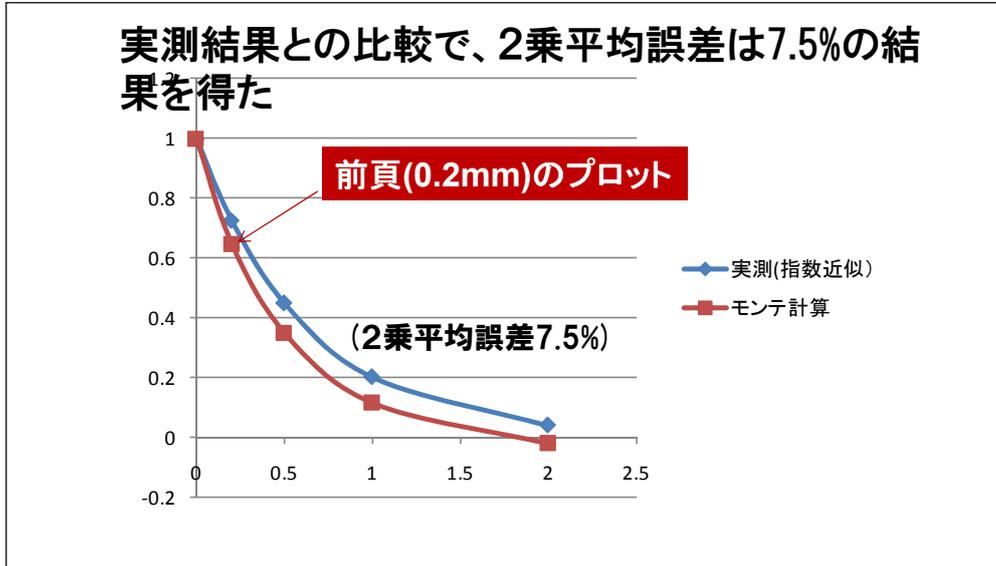


JEITA Nano Scale Physical Design Working Group

22

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

- ・ 実測との形状比較(回路特性、距離の相関プロット)



JEITA Nano Scale Physical Design Working Group

23

## [2] 回路遅延ばらつき解析 (自己相関長モデル)

- ・ まとめ

- ・ 自己相関長をパラメータとするモデルを用いて素子の相関特性から回路の相関特性をシミュレーション(モンテカルロ)する手法を開発した。
- ・ 上記手法を用いて回路(Ring-OSC 7段)遅延の自己相関特性をモンテカルロ解析し、実測との良い一致を得た。
- ・ 回路の自己相関長が、要素となる素子(MOS)のそれとほぼ同等値(若干大きい)となることを確認した。

JEITA Nano Scale Physical Design Working Group

24

## 本報告のまとめ

### [1] コーナー幅削減効果の定量解析

- 回路相関によるコーナー緩和量を算出し、パス遅延設計のマージン削減に有効であることを示した。
  - ・ 遅延パス論理段数=10段のとき、コーナー緩和率 4.13%

### [2] 回路遅延ばらつき解析(自己相関長モデル)

- 自己相関長をパラメータとするモデルを用いて素子の相関特性から回路の相関特性を(モンテカルロ)シミュレーションする手法を開発した。
- 上記手法を用いて、回路(Ring-OSC 7段)遅延の自己相関特性を解析し実測比較を行った。その結果、実測値と2乗平均誤差:7.5%の精度で一致することを示した

JEITA Nano Scale Physical Design Working Group

25

## 参考文献

[1] 小谷他;“微細CMOSタイミング設計の新しいコーナー削減方法”、DAシンポジウム、2012年8月

[2] S. Ohkawa, et al., “Analysis and characterization of device variations in an LSI chip using an integrated Device Matrix Array,” IEEE Trans. on Semiconductor Manufacturing, vol. 17, pp. 155-165, May 2004.

[3] H. Masuda et al., “Challenge: variability characterization and modeling for 65- to 90-nm processes,” Proc. of CICC, pp. 593-599, Sep. 2005.

[4] 山田他;“Rによるやさしい統計学”、オーム社、平成20年

JEITA Nano Scale Physical Design Working Group

26

# JEITA LPB標準フォーマット

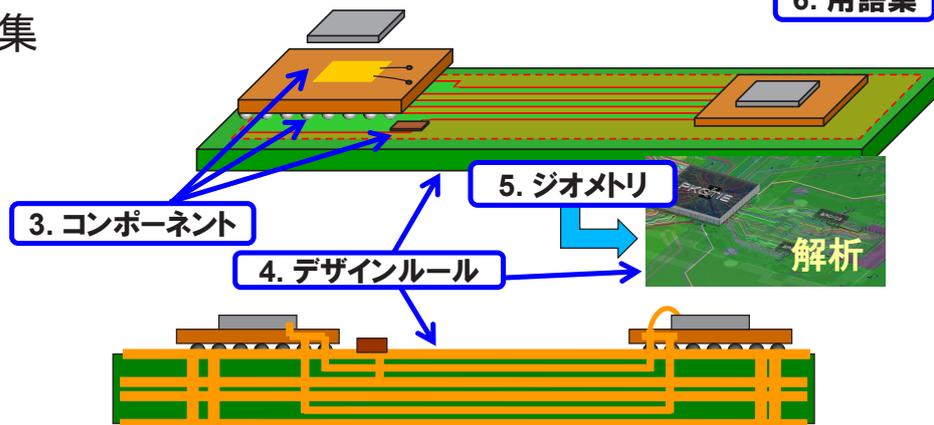
JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理 (M-Format)
2. ネットリスト (N-Format)
3. コンポーネント (C-Format)
4. デザインルール (R-Format)
5. ジオメトリ (G-Format)
6. 用語集

1. プロジェクト管理

2. ネットリスト

6. 用語集



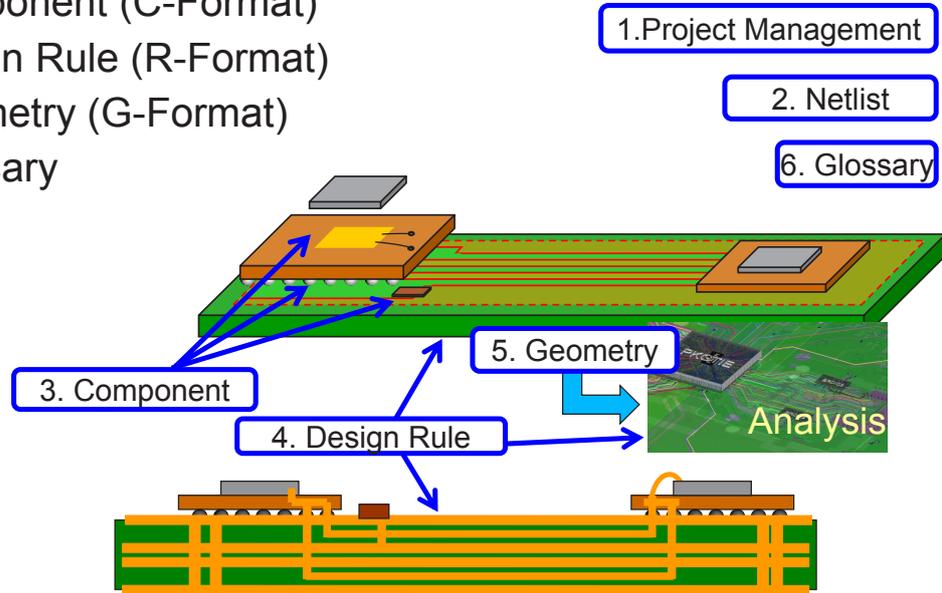
# JEITA LPB標準フォーマット概要

| フォーマット名                | 概要   | フォーマットの書式                     |
|------------------------|--|-------------------------------|
| プロジェクト管理<br>(M-Format) | <ul style="list-style-type: none"> <li>・各フォーマットの対応付け</li> <li>・更新状況の把握</li> <li>・関連ファイルとの対応付け</li> </ul> | XML(独自)                       |
| ネットリスト<br>(N-Format)   | <ul style="list-style-type: none"> <li>・接続状況を明確にする</li> <li>・信号、電源GNDを表現する</li> </ul>                    | Verilog-HDL(既存)<br>電源GND端子を追加 |
| コンポーネント<br>(C-Format)  | <ul style="list-style-type: none"> <li>・端子情報の定義</li> <li>・制約事項の定義</li> <li>・設計状況の提示</li> </ul>           | XML(独自)                       |
| デザインルール<br>(R-Format)  | <ul style="list-style-type: none"> <li>・テクノロジーの定義</li> <li>・製造ルールの定義</li> <li>・解析条件セットアップ</li> </ul>     | XML(独自)                       |
| ジオメトリ<br>(G-Format)    | <ul style="list-style-type: none"> <li>・設計結果を解析に渡す<br/>物理情報</li> </ul>                                   | アパッチ: XFL Ver1.0(既存)          |

# JEITA LPB format

JEITA LPB format consists of five (5) formats and glossary.

1. Project Management (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design Rule (R-Format)
5. Geometry (G-Format)
6. Glossary



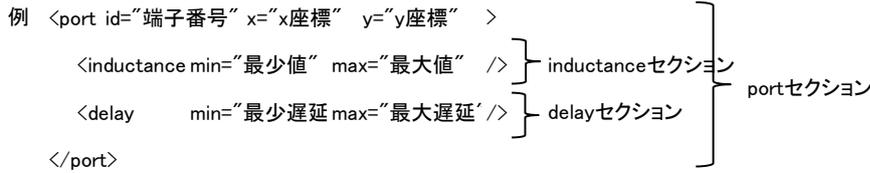
# JEITA LPB format overview

| Format name                      | Contents   | Description form  |
|----------------------------------|--|---|
| Project Management<br>(M-Format) | <ul style="list-style-type: none"> <li>• Format file association</li> <li>• Update trace</li> <li>• Association with related files</li> </ul>              | XML(Original)   |
| Netlist<br>(N-Format)            | <ul style="list-style-type: none"> <li>• connection b/w hierarchy definition</li> <li>• Signal, power and ground description</li> </ul>                    | Verilog-HDL(Existing)<br>With enhancing power ground port support |
| Component<br>(C-Format)          | <ul style="list-style-type: none"> <li>• Component pin assignment</li> <li>• Constraint items definition</li> <li>• Design status information</li> </ul>   | XML(Original)   |
| Design Rule<br>(R-Format)        | <ul style="list-style-type: none"> <li>• Technology definition</li> <li>• Manufacturability rule definition</li> <li>• Analysis condition setup</li> </ul> | XML(Original)   |
| Geometry<br>(G-Format)           | <ul style="list-style-type: none"> <li>• Geometry information for analysis tools</li> </ul>  | Apache : XFL Ver1.0(Existing)                                     |

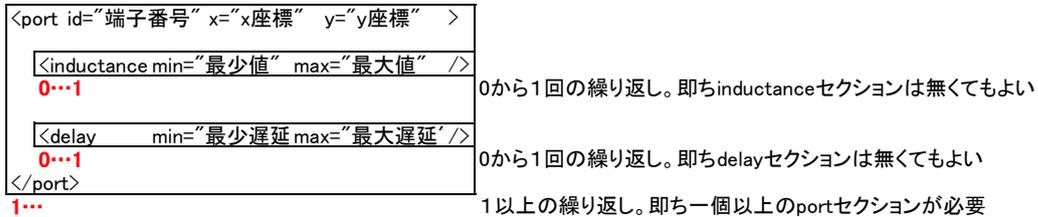
|                                   |              |              |
|-----------------------------------|--------------|--------------|
| <b>&lt;JEITA LPB MFORMAT&gt;</b>  |              |              |
| <b>&lt;header</b>                 |              | <b>1</b>     |
| project                           | <b>1</b>     |              |
| design_revision                   | <b>1</b>     |              |
| date                              | <b>0...1</b> |              |
| comment                           | <b>0...1</b> |              |
| author                            | <b>0...1</b> |              |
| email                             | <b>0...1</b> |              |
| company                           | <b>0...1</b> |              |
| log                               | <b>0...</b>  |              |
| <b>&lt;/header&gt;</b>            |              |              |
| <b>&lt;include&gt;</b>            |              | <b>0...1</b> |
| <b>&lt;class&gt;</b>              |              | <b>1...</b>  |
| <b>&lt;CFORMAT</b>                |              | <b>0...</b>  |
| comment                           | <b>0...1</b> |              |
| design_revision                   | <b>1</b>     |              |
| filename                          | <b>1</b>     |              |
| log                               | <b>0...</b>  |              |
| MD5                               | <b>0...1</b> |              |
| <b>&lt;/CFORMAT&gt;</b>           |              |              |
| <b>&lt;RFORMAT</b>                |              | <b>0...</b>  |
| comment                           | <b>0...1</b> |              |
| design_revision                   | <b>1</b>     |              |
| filename                          | <b>1</b>     |              |
| log                               | <b>0...</b>  |              |
| MD5                               | <b>0...1</b> |              |
| <b>&lt;/RFORMAT&gt;</b>           |              |              |
| <b>&lt;GFORMAT</b>                |              | <b>0...</b>  |
| comment                           | <b>0...1</b> |              |
| filename                          | <b>1</b>     |              |
| log                               | <b>0...</b>  |              |
| MD5                               | <b>0...1</b> |              |
| <b>&lt;/GFORMAT&gt;</b>           |              |              |
| <b>&lt;NFORMAT</b>                |              | <b>0...</b>  |
| comment                           | <b>0...1</b> |              |
| filename                          | <b>1</b>     |              |
| log                               | <b>0...</b>  |              |
| MD5                               | <b>0...1</b> |              |
| <b>&lt;/NFORMAT&gt;</b>           |              |              |
| <b>&lt;OTHER</b>                  |              | <b>0...</b>  |
| comment                           | <b>0...1</b> |              |
| filename                          | <b>1</b>     |              |
| log                               | <b>0...</b>  |              |
| MD5                               | <b>0...1</b> |              |
| <b>&lt;/OTHER&gt;</b>             |              |              |
| <b>&lt;/class&gt;</b>             |              |              |
| <b>&lt;/JEITA LPB MFORMAT&gt;</b> |              |              |

概要、詳細に関する記載注意事項

<>から</>までをセクションと呼ぶことにします



セクションの下に、そのセクションの繰り返し回数を表記します

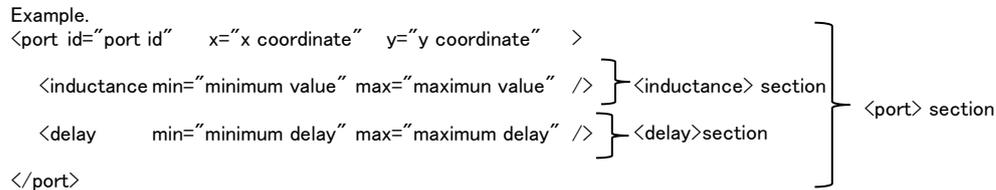


オプションな項目はイタリック文字で表記します  
必須項目は**ボールド文字**で表記します

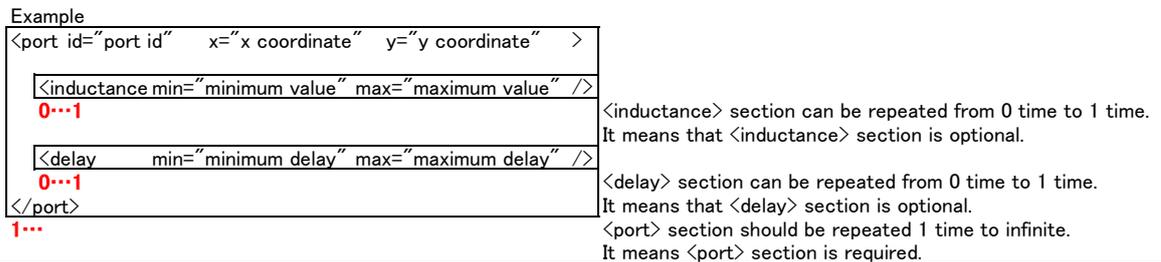


Syntax convention

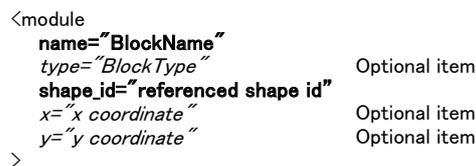
LPB format form a tree structure.



- A...B means that you can repeat the previous section from A times to B times.
- A... means that you can repeat the previous section from A times to infinite.
- A means that this section should be repeated A times.



Italic notation means an item is optional.  
Bold notation means an item is required.



| unit                          | 文字種           | フォーマット説明 | 単位  | 説明   | 記述例 (Example)   |
|-------------------------------|---------------|----------|---|--|---|
| unit                          | Data:2013.3.6 | →        | コメントは「←」で開始   | Explanation of the format<br>A comment starts with «←» and finishes with «→».                                    |   |
| format version number         | N/A           | double   | 仕様バージョン番号   | Format version number  |   |
| <header                       |               |          | ヘッダー部分はプロジェクト管理ファイルの管理情報を与える。利用者は、ヘッダー部を処理することにより、このファイルが使用されているプロジェクト名 (project)、作成日 (date)、作成者 (author, email, company)、管理番号 (design, revision)、コメント (comment, log) を入手可能となる。 |  |   |
| project=プロジェクト名               | N/A           | string   | プロジェクト名   | Defines the name of project. The name needs to be unique.  |   |
| design_revision=ファイルリビジョン番号   | N/A           | double   | ファイルリビジョン   | Defines the revision number.   |   |
| date=作成日                      | N/A           | string   | 作成日   | Defines the creation date.   |   |
| author=作成者                    | N/A           | string   | 作成者   | Defines the creator's name.  |   |
| email=メールアドレス                 | N/A           | string   | 作成者のメールアドレス   | Defines the creator's E-mail address.  |   |
| company=会社名                   | N/A           | string   | 作成者の会社名   | Defines the creator's company.   |   |
| comment=コメント                  | N/A           | string   | コメント  | A comment is described.  |   |
| log=履歴                        | N/A           | string   | 履歴  | A work record (log) is described.  |   |
| </header                      |               |          |   |  |   |
| <include                      |               |          | 別のMFormatファイルを含める   | The include is used to include a M-format file in another file.  | <include MFORMAT="LPBFMT-PKG.xml" /><br><include MFORMAT="/TOPDIR/obj/LPBFMT-SOC.xml" /><br><include MFORMAT="ydir/zdir/LPBFMT-PKG2.xml" /> |
| MFORMAT="Mformatファイル名"        | N/A           | string   | インクルードするMformatファイル名  | Defines a M-format file to be included.  |   |
| </include                     |               |          |   |  |   |
| <class>                       |               |          | 関連するファイルをclass文でまとめる。class文で纏められたファイルで一つのモジュールを構築する。例えば、一つのパッケージを構成するG FormatやR Format ファイルを、一つのclass文で纏める。   | The class statement uses to collect the related files which construct one functional unit like a package or PCB. |   |
| comment=""                    |               |          | コメント  | A comment.   |   |
| <GFORMAT                      |               |          | コンポーネントファイル   | Specifies the name of LPB component format (G-Format) file.  | <GFORMAT file_name="LPBFMT.xml" design_revision="1.2" />  |
| comment=""                    |               |          | コメント  | A comment is described.  |   |
| file_name="ファイル名"             | N/A           | string   | ファイル名   | Defines the file name.   |   |
| design_revision="ファイルリビジョン番号" | N/A           | double   | ファイルリビジョン   | Defines the revision number.   |   |
| log=""                        |               |          | 履歴  | A work record (log) is described.  |   |
| MDS=""                        |               |          | チェックサム  | Check sum  |   |
| </GFORMAT                     |               |          |   |  |   |
| <RFORMAT                      |               |          | リザインルールファイル   | Specifies the name of LPB design rule format (R-Format) file.  | <RFORMAT file_name="/TOP/LIBDIR/LPBRFMT.xml" design_revision="1.2" />   |
| comment=""                    |               |          | コメント  | A comment is described.  |   |
| file_name="ファイル名"             | N/A           | string   | ファイル名   | Defines the file name.   |   |
| design_revision="ファイルリビジョン番号" | N/A           | double   | ファイルリビジョン   | Defines the revision number.   |   |
| log=""                        |               |          | 履歴  | A work record (log) is described.  |   |
| MDS=""                        |               |          | チェックサム  | Check sum  |   |
| </RFORMAT                     |               |          |   |  |   |
| <GFORMAT                      |               |          | 形状データフォーマット   | Specifies the name of LPB geometry format (G-Format) file.   | <GFORMAT file_name="/ARTWORK/LPBRGMT.xml" />  |
| comment=""                    |               |          | コメント  | A comment is described.  |   |
| file_name="ファイル名"             | N/A           | string   | ファイル名   | Defines the file name.   |   |
| log=""                        |               |          | 履歴  | A work record (log) is described.  |   |
| MDS=""                        |               |          | チェックサム  | Check sum  |   |
| </GFORMAT                     |               |          |   |  |   |
| <NFORMAT                      |               |          | ネットリストファイル  | Specifies the name of LPB netlist format (N-Format) file.  |   |
| comment=""                    |               |          | コメント  | A comment is described.  |   |
| file_name="ファイル名"             | N/A           | string   | ファイル名   | Defines the file name.   |   |
| log=""                        |               |          | 履歴  | A work record (log) is described.  |   |
| MDS=""                        |               |          | チェックサム  | Check sum  |   |
| </NFORMAT                     |               |          |   |  |   |
| <OtherFile                    |               |          | ユーザー定義ファイル  | Specifies name of user defined files.  |   |
| comment=""                    |               |          | コメント  | A comment is described.  |   |
| file_name="ファイル名"             | N/A           | string   | ファイル名   | Defines the file name.   |   |
| log=""                        |               |          | 履歴  | A work record (log) is described.  |   |
| MDS=""                        |               |          | チェックサム  | Check sum  |   |
| </OtherFile                   |               |          |   |  |   |
| </class>                      |               |          |   |  |   |
| </JEITA LPB MFORMAT>          |               |          |   |  |   |

## 1. フォーマットの目的

LSI-PKG-Board全体の論理接続チェック(LVS)、接続仕様を定義する。また、信号だけではなく、電源GND端子の接続関係も明確にする。

## 2. フォーマット

Verilog-HDL(IEEE1364)の書式に準拠する。

## 3. 電源・GND記述方法

Verilog-HDLでは、不足している電源・GND系の記述については、基本的に信号として表現し、Verilog-HDLとして矛盾のない方法として、それが電源であることが分かる属性をコメントとして追記することとしている。

電源・GNDネットの記述方法は下記となる。

①ポートは「inout」

②ネットは「wire」

③コメントのキーワードは「PG\_NET」

## &lt;記述例&gt;

```
module XXXX ( VDD, VSS )
  inout VDD ; /* PG_NET */
  inout VSS ; /* PG_NET */
module YYYYY ( ,, )
  wire VDD ;
  wire VSS ;
```

1. Nformat includes not only signal connection but also power/ground network.

2. LPB Nformat is conform to Verilog-HDL (IEEE1364).

3. How to identify power/ground network.

Add /\* PG\_NET \*/ keyword at the power/ground port/wire definition.

(1) The port direction for power/ground is "inout".

(2) The net attribute of power/ground is "wire", not "supply0" or "supply1".

(3) Add /\* PG\_NET \*/ keyword at the power/ground port.

## Example

```
module XXXX ( VDD , VSS )
  inout VDD ; /* PG_NET */
  inout VSS ; /* PG_NET */
module YYYYY ( ,, )
  wire VDD ;
  wire VSS ;
```

|                                   |       |              |
|-----------------------------------|-------|--------------|
| <b>&lt;JEITA LPB CFORMAT&gt;</b>  |       |              |
| <b>&lt;header</b>                 |       | <b>1</b>     |
| project                           | 1     |              |
| design_revision                   | 1     |              |
| date                              | 0...1 |              |
| author                            | 0...1 |              |
| email                             | 0...1 |              |
| company                           | 0...1 |              |
| <b>&gt;</b>                       |       |              |
| <b>&lt;global</b>                 |       | <b>1</b>     |
| <b>&lt;unit</b>                   |       | <b>1</b>     |
| <distance>                        | 0...1 |              |
| <angle>                           | 0...1 |              |
| <area>                            | 0...1 |              |
| <time>                            | 0...1 |              |
| <resistivity>                     | 0...1 |              |
| <temperature>                     | 0...1 |              |
| <voltage>                         | 0...1 |              |
| <power>                           | 0...1 |              |
| <inductance>                      | 0...1 |              |
| <frequency>                       | 0...1 |              |
| <impedance>                       | 0...1 |              |
| <b>&lt;/unit&gt;</b>              |       |              |
| <b>&lt;shape&gt;</b>              |       | <b>0...1</b> |
| <rectangle>                       | 0...  |              |
| <circle>                          | 0...  |              |
| <polygon>                         | 0...  |              |
| <b>&lt;/shape&gt;</b>             |       |              |
| <b>&lt;padstack def&gt;</b>       |       | <b>0...1</b> |
| <b>&lt;padstack&gt;</b>           |       | <b>1...1</b> |
| <ref_shape>                       | 1...  |              |
| <b>&lt;/padstack&gt;</b>          |       |              |
| <b>&lt;/padstack def&gt;</b>      |       |              |
| <b>&lt;/global&gt;</b>            |       |              |
| <b>&lt;module</b>                 |       | <b>1...1</b> |
| <b>&lt;socket</b>                 |       | <b>0...1</b> |
| <b>&lt;default&gt;</b>            |       | <b>0...1</b> |
| <port_shape>                      | 0...1 |              |
| <ball_shape>                      | 0...1 |              |
| <b>&lt;/default&gt;</b>           |       |              |
| <b>&lt;port&gt;</b>               |       | <b>1...1</b> |
| <inductance>                      | 0...1 |              |
| <impedance>                       | 0...1 |              |
| <delay>                           | 0...1 |              |
| <b>&lt;/port&gt;</b>              |       |              |
| <b>&lt;portgroup&gt;</b>          |       | <b>0...1</b> |
| <mustjoin />                      | 0...1 |              |
| <ref_port>                        | 0...  |              |
| <ref_portgroup>                   | 0...  |              |
| <b>&lt;/portgroup&gt;</b>         |       |              |
| <b>&lt;powerdomain_group&gt;</b>  |       | <b>0...1</b> |
| <ref_portgroup>                   | 0...  |              |
| <ref_port>                        | 0...  |              |
| <b>&lt;/powerdomain_group&gt;</b> |       |              |
| <b>&lt;swappable_port&gt;</b>     |       | <b>0...1</b> |
| <ref_port>                        | 2...  |              |
| <b>&lt;/swappable&gt;</b>         |       |              |
| <b>&lt;swappable_group&gt;</b>    |       | <b>0...1</b> |
| <ref_portgroup>                   | 2...  |              |
| <b>&lt;/swappable_group&gt;</b>   |       |              |
| <b>&lt;frequency&gt;</b>          |       | <b>0...1</b> |
| <b>&lt;constraint&gt;</b>         |       | <b>0...1</b> |
| <impedance>                       | 0...  |              |
| <delay>                           | 0...  |              |
| <skew>                            | 0...  |              |
| <guard_shield>                    | 0...  |              |
| <b>&lt;/constraint&gt;</b>        |       |              |
| <b>&lt;/socket&gt;</b>            |       |              |
| <b>&lt;specification&gt;</b>      |       | <b>0...1</b> |
| <power>                           | 0...1 |              |
| <b>&lt;/specification&gt;</b>     |       |              |
| <b>&lt;reference&gt;</b>          |       | <b>0...1</b> |
| <connection>                      | 0...  |              |
| <b>&lt;/connection&gt;</b>        |       |              |
| <b>&lt;/reference&gt;</b>         |       |              |
| <b>&lt;/module&gt;</b>            |       |              |
| <b>&lt;component</b>              |       |              |
| <placement>                       |       | <b>0...1</b> |
| <b>&lt;/component&gt;</b>         |       |              |
| <b>&lt;/JEITA LPB CFORMAT&gt;</b> |       |              |

概要、詳細に関する記載注意事項

<>から</>までをセクションと呼ぶことにします

```

例 <port id="端子番号" x="x座標" y="y座標" >
    <inductance min="最少値" max="最大値" />
    <delay min="最少遅延" max="最大遅延" />
</port>
    
```

inductanceセクション  
delayセクション  
portセクション

セクションの下に、そのセクションの繰り返し回数を表記します

```

<port id="端子番号" x="x座標" y="y座標" >
    <inductance min="最少値" max="最大値" />
    0...1
    <delay min="最少遅延" max="最大遅延" />
    0...1
</port>
1...
    
```

0から1回の繰り返し。即ちinductanceセクションは無くてもよい  
0から1回の繰り返し。即ちdelayセクションは無くてもよい  
1以上の繰り返し。即ち一個以上のportセクションが必要

オプションな項目はイタリック文字で表記します  
必須項目は**ボールド文字**で表記します

```

例 <module
    name="機能ブロック名"
    type="機能ブロック属性"
    shape_id="参照shape識別番号"
    x="x座標"
    y="y座標"
>
    
```

オプション項目  
オプション項目  
オプション項目

Syntax convention

LPB format form a tree structure.

```

Example.
<port id="port id" x="x coordinate" y="y coordinate" >
    <inductance min="minimum value" max="maximum value" />
    <delay min="minimum delay" max="maximum delay" />
</port>
    
```

<inductance> section  
<delay>section  
<port> section

- A...B means that you can repeat the previous section from A times to B times.
- A... means that you can repeat the previous section from A times to infinite.
- A means that this section should be repeated A times.

```

Example
<port id="port id" x="x coordinate" y="y coordinate" >
    <inductance min="minimum value" max="maximum value" />
    0...1
    <delay min="minimum delay" max="maximum delay" />
    0...1
</port>
1...
    
```

<inductance> section can be repeated from 0 time to 1 time.  
It means that <inductance> section is optional.  
<delay> section can be repeated from 0 time to 1 time.  
It means that <delay> section is optional.  
<port> section should be repeated 1 time to infinite.  
It means <port> section is required.

Italic notation means an item is optional.  
Bold notation means an item is required.

```

<module
    name="BlockName"
    type="BlockType"
    shape_id="referenced shape id"
    x="x coordinate"
    y="y coordinate"
>
    
```

Optional item  
Optional item  
Optional item

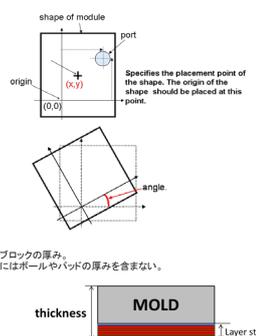
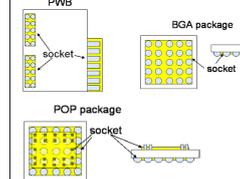
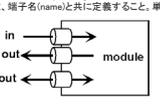
仕様 表裏はすべてTOP Viewにて定義する
TOP&BOTTOMはユーザ側にて定義する
<!-- Data.2013.8 -->

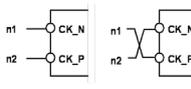
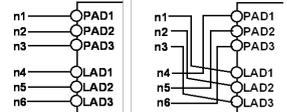
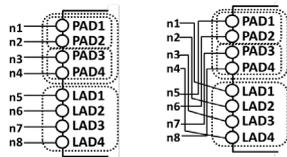
unit 文字種 フォーマット説明
N/A コメントは <!-- --> で閉む

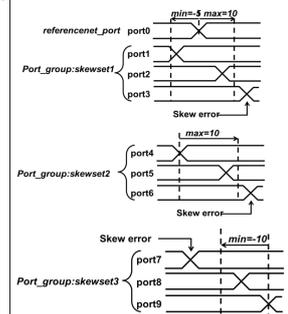
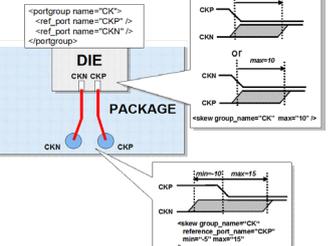
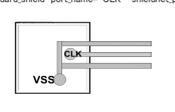
Explanation of the format
A comment starts with "<!--" and finishes with "-->"

記述例 (Example)

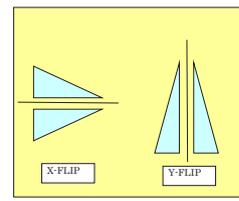
Table with 4 columns: Component Name, Unit, Format, and Description. Rows include: JEITA LPB CFORMAT version, <header>, <global>, <unit>, <shape>, <padstack\_def>, <padstack>, <shape>, </padstack\_def>, </padstack>, </global>.

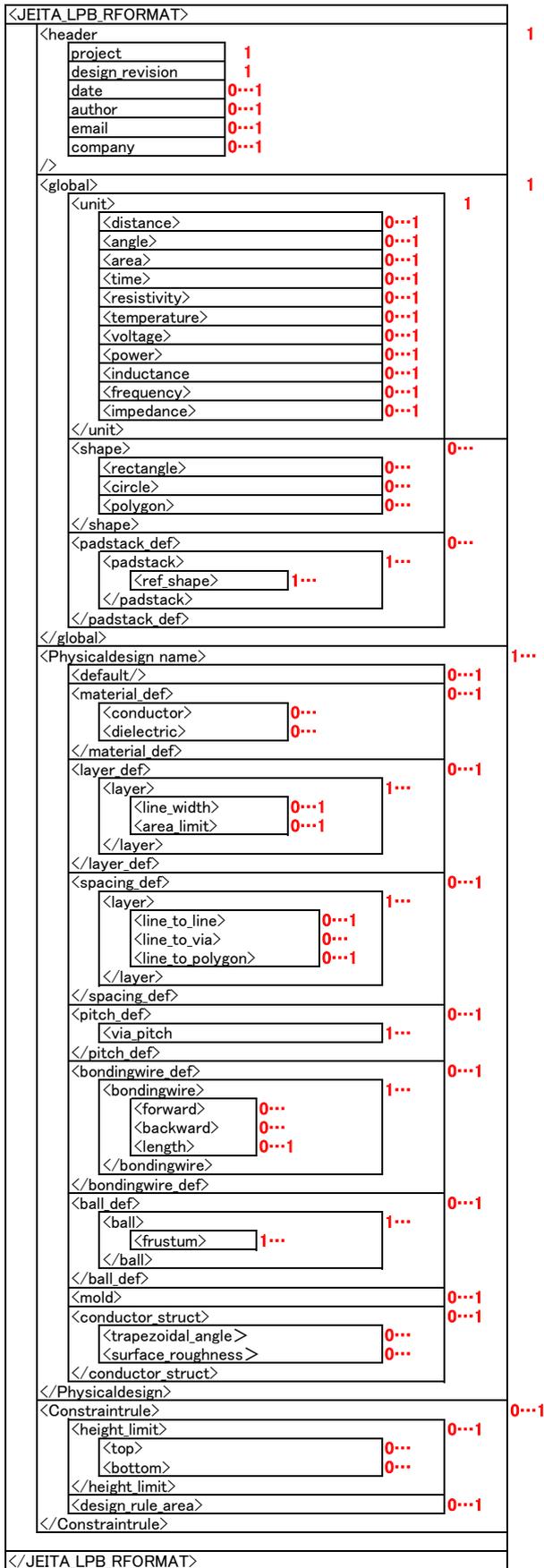
|  |  |   |  |   |
|--|--|---|--|---|
| <p>&lt;module&gt;</p> <p><b>name</b>="機能ブロック名"<br/>type="機能ブロック属性"</p> <p>shape_id="参照shape識別番号"<br/>x="x座標" y="y座標"</p> <p>angle="回転角度"</p> <p>thickness="厚み"</p>   | <p>N/A</p> <p>string</p> <p>N/A</p> <p>string</p> <p>N/A</p> <p>double</p> <p>angle</p> <p>double</p> <p>distance</p> <p>double</p>                        | <p>モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション (Socket)と、機能ブロックの仕様を定義する仕様セクション (Specification)と、上位階層と下位階層の接続手続きを定義する参照セクション (reference)で構成される。</p> <p>上位階層は、ここで定義した機能ブロック名で、この機能ブロックを参照する。</p> <p>機能ブロックの属性: LSLPKG.PWBのキーワードで属性を区別する</p> <p>... LSI<br/>PKG ... パッケージ<br/>PWB ... プリント基板<br/>OTHER ... その他のタイプ</p> <p>機能ブロックの外郭形状。参照shapeの原点と機能ブロックの原点を一致させる。</p> <p>機能ブロックのshapeの配置座標を指定する。shapeの原点を、ここで指定した座標に配置する。省略時は (0, 0) に配置する。</p> <p>回転角度。機能ブロックの原点を中心とした反時計回りの回転角度。</p>  <p>機能ブロックの厚み。厚みにはボールやパッドの厚みを含まない。</p>   | <p>Module section contains socket section, specification section and reference section.</p> <p>Defines the module name</p> <p>Specifies the module types:<br/>LSI ... semiconductor integrated circuit<br/>PKG ... package<br/>PWB ... printed wiring board<br/>OTHER ... other type</p> <p>Specifies the identification number of predefined shape.</p> <p>Specifies the placement point of the shape. The origin of the shape should be placed at this point. If it is not specified, the shape will be placed at the origin. (0,0)</p> <p>Specifies the angle of the counterclockwise rotation with respect to the local origin.</p> <p>Specifies thickness of module.</p>  | <pre>&lt;global&gt; &lt;shape&gt; &lt;rectangle id="PFBGABODY" width="1200" height="1200" /&gt; &lt;circle id="B500" circle="500" /&gt; &lt;/shape&gt; &lt;padstack def&gt; &lt;padstack id="BGABALL" type="BALLPAD"&gt; &lt;ref shape shape_id="B500" x="0" y="0" /&gt; &lt;/padstack&gt; &lt;/padstack def&gt; &lt;/global&gt; &lt;module name="BGA" type="PKG"&gt; &lt;shape id="PFBGABODY" x="0" y="0" thickness="540"&gt; &lt;socket name="BGAO"&gt; &lt;default&gt; &lt;port shape padstack_id="BGABALL" /&gt; &lt;/default&gt; &lt;port id="A1" x="-1100" y="-1100" /&gt; &lt;port id="A2" x="-1000" y="-1100" /&gt; &lt;/socket&gt; &lt;/module&gt;</pre> |
| <p>&lt;socket&gt;</p> <p><b>name</b>="ソケット名"</p>   | <p>N/A</p> <p>string</p>   | <p>上位階層との「接続口」(ソケット)を定義する。ソケットは端子の入出力端子の集合である。一つの機能ブロックに複数のソケットを定義することもできる。個々のソケットは、互いに与えたインスタンス名で識別する。</p> <p>socketの名前(ソケット名)。ここで定義したソケット名でソケットを参照する。</p>    | <p>Socket section defines the input/output ports of this module. A module can have multiple sockets. A socket is identified by a socket name.</p> <p>Defines the instance name of sockets. The name should be unique.</p>  |   |
| <p>&lt;default&gt;</p> <p>&lt;port_shape padstack_id="参照padstack識別番号" /&gt;</p> <p><b>Ball_shape</b> ball_name="参照Ball名"</p>   | <p>N/A</p> <p>string</p> <p>N/A</p> <p>string</p>  | <p>ソケット内で定義する端子(port)に関するデフォルト値を設定する</p> <p>端子(port)のデフォルト形状の定義。個々の端子に異なる形状を定義する場合は、&lt;port&gt;定義内の padstack_id を使用する</p> <p>端子(port)のデフォルトのボール形状の定義。R-Formatの&lt;ball def&gt;で定義されているBallを参照する。個々の端子に異なる形状のボールを定義する場合は、&lt;port&gt;定義内の ball_name を使用する</p>   | <p>Defines the default shape of port.</p> <p>Specifies the default padstack for port.</p> <p>Specifies the default shape of ball for port. The ball is defined by &lt;ball def&gt; element in R-Format.</p>  |   |
| <p>&lt;port&gt;</p> <p>id="端子番号"</p> <p>padstack_id="参照padstack識別番号"</p> <p>ball_name="参照Ball名"</p> <p>x="x座標" y="y座標"</p> <p>angle="回転角度"</p> <p>name="端子名"</p> <p>direction="端子方向"</p> <p>type="端子タイプ"</p> | <p>N/A</p> <p>string</p> <p>N/A</p> <p>string</p> <p>double</p> <p>double</p> <p>angle</p> <p>string</p> <p>N/A</p> <p>string</p> <p>N/A</p> <p>string</p> | <p>端子の形状・座標・名称を定義する。設計言語により異なる端子定義方法の差異を、ここで吸収する。VerilogやSpiceネットのように物理的な座標を持たない言語の端子に座標を与えても良い。</p> <p>portには必ず、id(端子番号)もしくは、name(端子名)を定義すること。idとnameの両方を定義しても良い。</p> <p>端子番号。&lt;socket&gt;内の個々の端子番号はユニークであること。一般的にはJEDECのネーミングルールに従って番号を与える。</p> <p>端子形状。未定義の場合は、&lt;default&gt;で定義されているデフォルト形状が使用される。デフォルト形状も定義されていない場合は形状未定義(点)を意味する。端子形状は、端子番号と共に定義すること。単独では定義できない。</p> <p>この端子のボール形状。R-Formatの&lt;ball def&gt;で定義されたボールを参照する。未定義の場合は、&lt;default&gt;で定義されているデフォルト形状が使用される。ボール形状は、端子番号と共に定義すること。単独では定義できない。</p> <p>端子座標。padstackの原点座標を、ここで定義した端子座標と一致させる。端子座標は、端子番号(id)と共に定義すること。単独では定義できない。回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。</p> <p>端子名。この端子に入出力する信号名を端子名とする。必ずしもユニークである必要はない。</p> <p>端子方向。上位階層から見た場合の信号の方向。<br/>in ... 入力端子<br/>out ... 出力端子<br/>inout ... 双方向端子。power/groundタイプの端子もinoutとする。端子方向は、端子名(name)と共に定義すること。単独では定義できない。</p>  <p>端子タイプ<br/>power ... 電源<br/>ground ... グランド<br/>signal ... 信号<br/>floating ... この端子は、いかなるネット接続してもらえない。未接続のままにしておくこと。<br/>dontcare ... この端子は、機能ブロックの動作にはなんら影響をもたらさない。端子タイプは端子名(name)と共に定義すること。単独では定義できない。<br/>floating/dontcareタイプの端子のdirectionの定義は無視される</p> | <p>Defines the port shape, name and location. The notation of ports is not the same by a design language. For example, Spice does not have the definition of a clear port name. Moreover, Some languages, such as verilog, does not have the location of port.</p> <p>This section gives a common notation onto different design languages.</p> <p>All ports must have port ID or port name.</p> <p>Defines identification number (ID) of port. The ID should be unique in socket section. Normally, port ID is according to JEDEC's naming convention. For example, A1, A2, A3, ... in case of BGA package.</p> <p>Specifies the non-default port shape. Padstack ID must be used with port ID.</p> <p>Specifies the shape of ball for port. The ball is defined by &lt;ball def&gt; element in R-Format. ball_name must be used with port ID.</p> <p>Specifies the coordinate of port. The coordinate of port must be used with port ID.</p> <p>Specifies the counterclockwise rotation angle.</p> <p>Defines port name. The same name can be used to the different ports. Normally, a signal name is given as a port name.</p> <p>Specifies the I/O direction. in ... port that accepts signals coming into the module. out ... port that drives signals out of the module. inout ... port that can accept signals going either in or out of module. "power" and "ground" type port should be "inout".</p> <p>The direction should be used with port name.</p> <p>Specifies port type. power ... port is used for power distribution network. ground ... port is used for ground distribution network. signal ... port is used for signal net. floating ... this port should not be connected to any net. dontcare ... this port does not have any logical meanings such as thermal ball.</p> <p>The type should be used with port name. The I/O direction for floating/dontcare port is ignored. You do not need to define the direction for the floating/dontcare port.</p> |   |

|  |           |        |   |   |   |
|--|-----------|--------|---|---|---|
| <pre> &lt;impedance   typ="実力値"   0...1   /&gt; </pre>   | impedance | double | この端子のインピーダンス実力値（実設計値）   | Specifies actual load impedance of the port.  |   |
| <pre> &lt;delay   typ="実力値"   0...1   /&gt; </pre>   | time      | double | この端子の遅延実力値（実設計値）  | Specifies actual delay of the port.   |   |
| </port>  |           |        |   |   |   |
| <pre> &lt;portgroup   name="グループ名"   &gt; </pre>   | N/A       | string | portをグループ化する。端子グループ名、端子グループを参照する時に使用する。Cookbook内のグループ名はユニークであること。   | Defines the name of port group. The port group name must be unique in socket section.   | <pre> &lt;portgroup name="ADD" &gt;   &lt;ref port name="ADD1" /&gt;   &lt;ref port name="ADD2" /&gt;   &lt;ref port name="ADD3" /&gt; &lt;/portgroup&gt; </pre>  |
| <pre> &lt;mustjoin /&gt; </pre>  |           |        | 接続指示属性。上記属性が与えられたグループに属するportを、ショートしなければならない。例えば、LSI設計者が上位階層であるPKG設計者に、「VDD1」と言う電源グループと「VDD2」と言う電源グループをPKG内でショートするように指示する場合は使用する。   | If "mustjoin" attribute is specified, the ports in this group must be connected together in the upper hierarchy.  | <pre> &lt;portgroup name="DIGITAL_GND" &gt;   &lt;connectable /&gt;   &lt;ref port name="CORE_GND" /&gt;   &lt;ref port name="IO_GND" /&gt; &lt;/portgroup&gt; </pre>   |
| <pre> &lt;ref port   id="参照端子識別番号"   name="参照端子名"   /&gt; </pre>   | N/A       | string | グループ化するportを定義する。Portは複数のグループに属しても良い。グループ化する端子番号グループ化する端子番号portは、端子番号(id)か端子名(name)のどちらかで参照する。idとnameの両方を定義してはならない。   | Specifies the ports that make up the group. The port can be contained by one or more groups. Specifies the port ID. The port is specified with port name (port.name) or port ID (port.id).  |   |
| <pre> &lt;ref portgroup   name="参照端子グループ名"   /&gt; </pre>  | N/A       | string | 端子グループを集めて、新しいグループを作ることもできる。ネストさせる端子グループの名前   | Groups can nest into other groups. Specifies the group name to which to add the new group.  |   |
| </portgroup>   |           |        |   |   |   |
| <pre> &lt;powerdomain_group   port_name="端子名"   port_id="端子番号"   group_name="端子グループ名"   min="最小値"   typ="実力値"   max="最大値"   /&gt; </pre> | N/A       | string | <p>番号の電源ドメインを指定する。</p> <p>例</p> <p>(1) 電源遮断機能を持つ機能ブロックの場合、遮断される電源と、その電源に係る番号を入力するportを、一つの電源ドメインとする。</p> <p>(2) アナログとデジタルが存在する場合、アナログ部分で使用する電源とアナログ信号を一つの電源ドメインとする。</p> <p>電源端子を指定する。</p> <p>端子番号</p> <p>端子番号</p> <p>電圧レベルを指定するportの端子グループ名</p> <p>ここで指定した端子グループに属するportは全て同一電圧レベルである。</p> <p>portは、端子番号(port.id)、端子名(port.name)、端子グループ名(group.name)の、何れかで指定する。port.id、port.name、group.nameを同時に記述することはできない。</p> <p>最小値</p> <p>実力値</p> <p>最大値</p>  | Defines the power domain. For example, in case of analog/digital mixed design, specifies the analog power/ground and analog signals that make up the power domain in order to distinguish it from the digital. Specifies the port name. Specifies the port ID. Specifies the group name. Specifies power or ground. The power or ground must be specified with either port name (port.name), port ID (port.id) or group name (group.name). Specifies min/typ/max voltage value. | <pre> &lt;portgroup name="D_GND_25V" &gt;   &lt;ref port name="SWOUT1" /&gt;   &lt;ref port name="SWOUT2" /&gt; &lt;/portgroup&gt; &lt;portgroup name="D_GND_CTRL" &gt;   &lt;ref port name="FB" /&gt;   &lt;ref port name="LDO" /&gt; &lt;/portgroup&gt; &lt;portgroup name="DDR_DIG" &gt;   &lt;ref port name="PL1" /&gt;   &lt;ref port name="PL2" /&gt;   &lt;ref port name="PL3" /&gt;   &lt;ref port name="PL4" /&gt; &lt;/portgroup&gt; &lt;powerdomain_group port_name="D_GND_PGND" typ="2.5" &gt;   &lt;powerdomain_group port_name="D_GND_CTRL" &gt;     &lt;ref portgroup name="DDR_DIG" /&gt;   &lt;/powerdomain_group&gt;   &lt;powerdomain_group port_name="D_GND" typ="0" &gt;     &lt;ref portgroup name="D_GND_25V" /&gt;     &lt;ref portgroup name="D_GND_CTRL" /&gt;   &lt;/powerdomain_group&gt; </pre>  |
| </powerdomain_group>   |           |        |   |   |   |
| <pre> &lt;swappable_port   /&gt; </pre>  |           |        | <p>交換可能なportを指定する</p> <p>ここに定義されたportに接続するネットは互いに繋がっていても良い。例えばOK_NとOK_Pがswappable portであるとした場合、OK_NとOK_Pに接続するネットを繋ぎ替えても良い(例参照)。</p> <p>同一のswappable_portに属するportは、お互いに交換可能。</p>   | Defines swappable ports. The nets which connected to the swappable ports can be replaced the connection in each other. For example, if the swappable OK_N and OK_P are connected to n1 and n2 respectively, you can swap the connection of OK_N and OK_P. Please see the example.   | <pre> &lt;swappable_port &gt;   &lt;ref port name="OK_N" /&gt;   &lt;ref port name="OK_P" /&gt; &lt;/swappable_port&gt; </pre>   |
| </swappable_port>  |           |        |   |   |   |
| <pre> &lt;swappable_group   /&gt; </pre>   | N/A       | string | <p>交換可能な端子グループを指定する。</p> <p>同一のswappable_groupに属する端子グループはグループ単位で交換可能。</p> <p>交換可能な端子グループを指定する。2個以上の端子グループを指定すること、ここで定義された端子グループに属する端子は交換可能である。交換は端子グループでの定義順で行われる。例えば下記の数に定義されたAGRPとBGRPに属する端子は、A0とB0、A1とB1、A2とB2が交換可能である。</p> <pre> &lt;portgroup name="AGRP" &gt;   &lt;ref port name="A0" /&gt;   &lt;ref port name="A1" /&gt;   &lt;ref port name="A2" /&gt; &lt;/portgroup&gt; &lt;portgroup name="BGRP" &gt;   &lt;ref port name="B0" /&gt;   &lt;ref port name="B1" /&gt;   &lt;ref port name="B2" /&gt; &lt;/portgroup&gt; </pre> | Defines the swappable port groups. The port groups in same group (swappable_group) are swappable by a group unit. Specifies two or more groups. The ports belonging to the specified groups can be swapped. For example, if the following two port groups, AGRP and BGRP, are swappable group, ports A0 and B0, A1 and B1, A2 and B2 are swappable respectively. Specifies the port groups.   | <pre> &lt;portgroup name="R_CHANNEL" &gt;   &lt;ref port name="RAD1" /&gt;   &lt;ref port name="RAD2" /&gt;   &lt;ref port name="RAD3" /&gt; &lt;/portgroup&gt; &lt;portgroup name="L_CHANNEL" &gt;   &lt;ref port name="LAD1" /&gt;   &lt;ref port name="LAD2" /&gt;   &lt;ref port name="LAD3" /&gt; &lt;/portgroup&gt; &lt;swappable_group &gt;   &lt;ref portgroup name="R_CHANNEL" /&gt;   &lt;ref portgroup name="L_CHANNEL" /&gt; &lt;/swappable_group&gt; </pre>  <pre> &lt;portgroup name="RCHA_1" &gt;   &lt;ref port name="RAD1" /&gt;   &lt;ref port name="RAD2" /&gt; &lt;/portgroup&gt; &lt;portgroup name="RCHA_2" &gt;   &lt;ref port name="RAD3" /&gt; &lt;/portgroup&gt; &lt;portgroup name="RCHANNEL" &gt;   &lt;ref portgroup="RCHA_1" /&gt;   &lt;ref portgroup="RCHA_2" /&gt; &lt;/portgroup&gt; &lt;portgroup name="LCHANNEL" &gt;   &lt;ref port name="LAD1" /&gt;   &lt;ref port name="LAD2" /&gt;   &lt;ref port name="LAD3" /&gt; &lt;/portgroup&gt; &lt;swappable_group &gt;   &lt;ref portgroup name="R_CHANNEL" /&gt;   &lt;ref portgroup name="L_CHANNEL" /&gt; &lt;/swappable_group&gt; </pre>  |

|  |   |  |  |  |
|--|---|--|--|--|
| <pre>&lt;frequency&gt; port_name="端子名" port_id="端子番号" group_name="端子グループ名"  min="最小値" typ="狙い値" max="最大値" /&gt;</pre>  | N/A<br>N/A<br>N/A<br>frequency<br>frequency<br>frequency        | 動作周波数<br>portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。<br>端子名<br>端子番号<br>端子グループ名<br>最小値<br>狙い値<br>最大値  | Specifies min/typ/max operating (clock) frequency for the port.<br>The port must be specified with either port name (port_name), port ID (port_id) or group name (group_name).<br>Specifies the port name.<br>Specifies the port ID.<br>Specifies the group name.<br>Specifies min/typ/max frequency value.  | <pre>&lt;frequency port_name="CLK" typ="300" /&gt;</pre>   |
| <pre>&lt;constraint&gt; &lt;impedance&gt; port_name="端子名" port_id="端子番号" group_name="端子グループ名"  type="タイプ"  min="最小値" typ="狙い値" max="最大値" /&gt;</pre>                         | N/A<br>N/A<br>N/A<br>N/A<br>impedance<br>impedance<br>impedance | 上位階層に対する制約を定義する。<br>特性インピーダンス制約。<br>インピーダンスマッチングを要求するportと、特性インピーダンス値を定義する。<br>インピーダンスマッチングを要求するportの端子名<br>インピーダンスマッチングを要求するportの端子番号<br>インピーダンスマッチングを要求するportが属する端子グループ名。<br>グループに属する全てのportに対し制約を適用する。<br>portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。<br>特性インピーダンスのタイプ。省略時はシングルエンドの特性インピーダンスを意味する。<br>single ... シングルエンドの特性インピーダンス<br>differential ... 差動インピーダンス(oddインピーダンス)<br>common ... コモンインピーダンス(evenインピーダンス)<br>最小値要求値<br>狙い値<br>最大値要求値   | Defines the constraints for the upper hierarchy.<br>Defines the min/typ/max characteristic impedance. You specify port(s) requiring an impedance matching and the impedance value.<br>Specifies the port name.<br>Specifies the port ID.<br>Specifies the group name.<br>The port(s) must be specified with either port name (port_name), port ID (port_id) or group name (group_name).<br>Defines a type of the characteristic impedance. If the type is not defined, the "single" is set as the default.<br>single ... single-ended signal<br>differential ... differential mode of differential signal<br>common ... common mode of differential signal<br>Specifies min/typ/max impedance value.   | <pre>&lt;portgroup name="CK"&gt; &lt;ref port_name="CK_N" /&gt; &lt;ref port_name="CK_P" /&gt; &lt;/portgroup&gt; &lt;constraint&gt; &lt;impedance port_name="D01" type="single" min="45" typ="50" max="55" /&gt; &lt;impedance port_id="A1" type="single" typ="50" /&gt; &lt;impedance group_name="CK" type="differential" typ="100" /&gt; &lt;/constraint&gt;</pre>  |
| <pre>&lt;delay&gt; port_name="端子名" port_id="端子番号" group_name="端子グループ名"  min="最小遅延" typ="狙い値" max="最大遅延" /&gt;</pre>  | N/A<br>N/A<br>N/A<br>time<br>time<br>time                       | 遅延制約。<br>遅延制約を要求するportと、要求する遅延値を定義する。<br>遅延制約を要求するportの端子名<br>遅延制約を要求するportの端子番号<br>遅延制約を要求するportが属する端子グループ名。<br>グループに属する全てのportに対し制約を適用する。<br>portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。<br>最小値要求値<br>狙い値<br>最大値要求値  | Defines the min/typ/max delay. You specify port(s) requiring a delay and the delay value.<br>Specifies the port name.<br>Specifies the port ID.<br>Specifies the group name.<br>The port(s) must be specified with either port name (port_name), port ID (port_id) or group name (group_name).<br>Specifies min/typ/max delay value.   | <pre>&lt;portgroup name="BUS"&gt; &lt;ref port_name="SIG1" /&gt; &lt;ref port_name="SIG2" /&gt; &lt;ref port_name="SIG3" /&gt; &lt;/portgroup&gt; &lt;constraint&gt; &lt;delay port_name="CLK" min="10" typ="12" max="15" /&gt; &lt;delay port_id="D3" typ="5" /&gt; &lt;delay group_name="BUS" min="50" typ="55" max="60" /&gt; &lt;/constraint&gt;</pre>   |
| <pre>&lt;skew&gt; group_name="端子グループ名"  port_id="端子番号" port_name="端子名"  reference_port_name="基準端子名" reference_port_id="基準端子番号"  min="最小遅延" max="最大遅延" /&gt;</pre>            | N/A<br>N/A<br>N/A<br>N/A<br>N/A<br>N/A<br>time<br>time          | スキュー制約。<br>スキュー制約を要求するportのグループ(group_name)と、要求するスキュー値を定義する。<br>スキューの基準端子となる基準端子(reference_port_name、reference_port_id)を指定した場合は、その基準端子の信号遅延を基準とし、max、minの双方でスキュー制約を定義する。<br>基準端子を指定しない場合は、maxもしくはminの何れかでスキュー制約を定義する。maxが指定されている場合は最も遅い信号を基準としたスキュー制約を定義する。minが指定されている場合は最も早い信号を基準としたスキュー制約となる。<br>スキュー制約を要求するportが属する端子グループ名。<br>ここで指定した端子グループに属するport全てがスキュー制約を要求する。<br>スキュー制約を要求するportの端子番号<br>スキュー制約を要求するportの端子名<br>portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。<br>スキュー基準端子となる基準端子の端子番号。<br>スキュー基準端子となる基準端子の端子番号。<br>基準端子は、端子名(reference_port_name)か端子番号(reference_port_id)で指定する。双方を同時に記述することはできない。<br>基準端子(reference_port_name/reference_port_id)は、group_nameを参照したポートグループに属してはならない。<br> | Defines the skew. You specify port group name requiring a skew and the skew value.<br>If you specify the reference port, the port must be specified with either port name (reference_port_name) or port ID (reference_port_id).<br>Specifies the port group name.<br>It is required that all port(s) belonging to the specified port group should satisfy a constraint of skew.<br>Specifies the port ID. The specified port should satisfy a constraint of skew.<br>Specifies the port name. The specified port should satisfy a constraint of skew.<br>The port(s) must be specified with either port name (port_name), port ID (port_id) or group name (group_name).<br>Specifies the port name, it used as a skew standard signal.<br>Specifies the port ID, it used as a skew standard signal.<br>The skew standard port(s) must be specified with either port name (port_name) or port ID (port_id).<br>The port used as a skew standard signal can be included in the port group which referenced by 'group_name' statement.<br>Specifies min/max skew value. Refer to the following figure how to set the skew constraint.<br>Case1: The reference port is specified.<br>Skewset1: The constraints are defined with min/max values.<br>Case2: The reference port is not specified.<br>Skewset2: The constraint is defined with only max value, refer to the fastest port in the group.<br>Skewset3: The constraint is defined with only min value, refer to the slowest port in the group. | <pre>&lt;portgroup name="skewset1"&gt; &lt;ref port_name="port1" /&gt; &lt;ref port_name="port2" /&gt; &lt;ref port_name="port3" /&gt; &lt;/portgroup&gt; &lt;portgroup name="skewset2"&gt; &lt;ref port_name="port4" /&gt; &lt;ref port_name="port5" /&gt; &lt;ref port_name="port6" /&gt; &lt;/portgroup&gt; &lt;portgroup name="skewset3"&gt; &lt;ref port_name="port7" /&gt; &lt;ref port_name="port8" /&gt; &lt;ref port_name="port9" /&gt; &lt;/portgroup&gt;</pre> <pre>&lt;skew group_name="skewset1" reference_port_name="port0" min="-5" max="10" /&gt; &lt;skew group_name="skewset2" max="5" /&gt; &lt;skew group_name="skewset3" min="10" /&gt;</pre> <pre>&lt;portgroup name="CK"&gt; &lt;ref port_name="CKP" /&gt; &lt;ref port_name="CKN" /&gt; &lt;/portgroup&gt; Skew constraint from Die to PKG &lt;skew group_name="CK" max="10" /&gt;</pre>  |
| <pre>&lt;guard_shield&gt; port_name="端子名" port_id="端子番号" group_name="端子グループ名"  shieldnet_port_name="端子名" shieldnet_port_id="端子番号" shieldnet_group_name="端子グループ名" /&gt;</pre> | N/A<br>N/A<br>N/A<br>N/A<br>N/A                                 | シールド要求。<br>シールドを要求する信号を入出力するportと、シールドに用いる信号を入出力しているportを指定する。<br>シールドを要求するportの端子名<br>シールドを要求するportの端子番号<br>シールドを要求するportが属する端子グループ名。<br>ここで指定した端子グループに属するport全てがシールドを要求する。<br>portは、端子番号(port_id)、端子名(port_name)、端子グループ名(group_name)の、何れかで指定する。port_id、port_name、group_nameを同時に記述することはできない。<br>シールドに用いる信号を入出力しているportの端子名。<br>シールドに用いる信号を入出力しているportの端子番号。<br>シールドに用いる信号を入出力しているportが属する端子グループ名。<br>端子名 (shieldnet_port_name) か端子番号 (shieldnet_port_id)、グループ名 (shieldnet_group_name) の何れかで定義する。双方を同時に記述することはできない。  | Defines the shielding constraint.<br>Specifies the port name which requires a guard shield.<br>Specifies the port ID which requires a guard shield.<br>Specifies the group name which requires a guard shield.<br>It is required that all port(s) belonging to the specified port group should satisfy a constraint of guard shield.<br>The port(s) must be specified with either port name (port_name), port ID (port_id) or group name (group_name).<br>Specifies the port name which is the signal used for a shield.<br>Specifies the port ID which is the signal used for a shield.<br>Specifies the port group name which is signal used for a shield.<br>The shieldnet port(s) must be specified with either port name (shieldnet_port_name), port ID (shieldnet_port_id) or group name (shieldnet_group_name).   | <pre>&lt;guard_shield port_name="CLK" shieldnet_port_name="VSS" /&gt;</pre>   |
| <pre>&lt;constraint&gt; &lt;power&gt;</pre>  |   | 動作仕様   |  |  |
| <pre>&lt;power&gt; min="最小値" typ="狙い値" max="最大値" /&gt;</pre>   | power<br>power<br>power   | 消費電力。機能ブロックの消費電力<br>最小値<br>狙い値<br>最大値  | Defines the min/typ/max power consumption.   |  |

|  |   |   |  |  |
|--|---|---|--|--|
| <pre>&lt;reference xmlns:ZZZZ="http://www.jeita.or.jp/LPB/ZZZZ"  reffile="参照ファイル名" format="言語フォーマット" distance="長さ単位系" scale="縮尺率" &gt;</pre> | <p>N/A</p> <p>N/A</p> <p>N/A</p> <p>N/A</p> | <p>string</p> <p>string</p> <p>string</p> <p>double</p> | <p>上記階層と、このコンポーネントファイルでラップ(wrap)する機能ブロックの接続手続きを定義する。記述例参照</p> <p>XML構文のnamespace宣言。ZZZZの部分には、参照する言語フォーマットにより以下の何れかのキーワードとなる。記述例参照</p> <pre>verilog def spice dx gds xfl ibis JLPB</pre> <p>参照するファイル名。<br/>このコンポーネントフォーマットファイルで、ラップ(wrap)する機能ブロックが定義されたファイル名。</p> <p>機能ブロックの設計言語フォーマット。<br/>SPICE、IBIS、XFL、VERILOG、DEF、GDS、DXF</p> <p>参照するファイルの単位系を指定する。<br/>DXFのような明確な単位系を持たない図形データに対して座標単位を与える場合に使用する。</p> <p>um ... マイクロメートル<br/>mm ... ミリメートル<br/>cm ... センチメートル<br/>m ... メートル</p> <p>ラップする図形データの縮尺率。(0より大きい実数値。)</p>  | <p>Defines the connection procedure between ports in socket section and ports in referenced file.</p> <p>XML namespace definition for the referenced file format. The ZZZZ is replaced to the following keyword according to the referenced file format. See examples.</p> <pre>verilog def spice dx gds xfl ibis JLPB</pre> <p>Specifies the name of reference file.</p> <p>Specifies the design language format. SPICE, IBIS, XFL, VERILOG, DEF, GDS, DXF.</p> <p>Specifies the local unit for refille without unit definition.</p> <p>Specifies the scale rate of a figure. (A larger real value than 0)</p>  |
| <pre>&lt;connection  socket_name="ソケット名" port_name="端子名" port_id="端子番号" &gt;</pre>   | <p>N/A</p> <p>N/A</p> <p>N/A</p>            | <p>string</p> <p>string</p> <p>string</p>               | <p>ソケット部(socket)で定義した端子(port)と、参照しているファイルの入出力端子との対応関係を定義する。参照するファイルの設計言語によって接続記述方式は異なる。以下に、代表的な例を示す。</p> <p>例えば、verilogのようにポートが明確に定義されている言語は、「モジュール名」と「ポート名」の組み合わせで参照される。</p> <pre>&lt;connect socket_name="socket1" port_id="A1"&gt; &lt;verilogref port module="topmodule" portname="DQ1"/&gt; &lt;/connect&gt;</pre> <p>この例では、ソケット名socket1で定義されるソケットに属するA1端子は、verilog記述のtopmoduleのDQ1端子と関連付けられる。</p> <p>Spiceネットでは、サブサーキット名とポート記述順での参照となる。</p> <pre>&lt;connect socket_name="socket1" port_id="A1"&gt; &lt;spiceref port subckt="spicetop" portid="5"/&gt; &lt;/connect&gt;</pre> <p>この例では、socket1のA1端子はspiceのサブサーキットspicetopの5番目に定義されている端子に関連付けられる。</p> <p>DEFでは、IOセルのコンポーネント名とピン名の組み合わせで参照するケースと、ピンを直接参照するケースが考えられる。</p> <pre>&lt;connect socket_name="socket1" port_id="A1"&gt; &lt;defref port comp="BSIO1" pinname="Z"/&gt; &lt;/connect&gt; &lt;connect socket_name="socket1" port_id="A1"&gt; &lt;defref port pinname="I01"/&gt; &lt;/connect&gt;</pre> <p>DXFのような明確なポート定義を持たない図形表現言語では、座標による参照となる。</p> <pre>&lt;connect socket_name="socket1" port_id="A1"&gt; &lt;dxref port x="222" y="999" layer="M1"/&gt; &lt;/connect&gt;</pre> <p>この例では、socket1のA1端子は、図面データのM1層の(222, 999)座標に位置していることを意味する。</p> | <p>Defines the connection between socket ports and terminal in refille.</p> <p>Specify the name of referenced socket.</p> <p>Specifies the ID of referenced port.</p> <p>Specifies the name of referenced port. The port is specified with port name (port_name) or port ID</p>  |
| <pre>&lt;verilogref port module="モジュール名" portname="ポート名" /&gt;</pre>   | <p>N/A</p> <p>N/A</p>                       | <p>string</p> <p>string</p>                             | <p>Verilogの参照</p> <p>参照するverilogのモジュール名</p> <p>参照するポート名。上記moduleで指定したモジュールに属するポートであること。</p>  | <p>Verilog means the logic language used by the logic simulator for a design.</p> <p>module : module name in verilog file<br/>portname : port name in the module.</p> <pre>&lt;reference xmlns:verilog="http://www.jeita.or.jp/LPB/verilog" refille="XXXX.ver" format="VERILOG"&gt; &lt;connection socket_name="socket1" port_id="A1"&gt; &lt;verilogref port module="topmodule" portname="DQ1"/&gt; &lt;/connection&gt; &lt;connection socket_name="socket1" port_id="A2"&gt; &lt;verilogref port module="topmodule" portname="DQ2"/&gt; &lt;/connection&gt; &lt;connection socket_name="socket1" port_id="A3"&gt; &lt;verilogref port module="topmodule" portname="DQ3"/&gt; &lt;/connection&gt; &lt;/reference&gt;</pre> <p>[XXXX.ver]<br/>module topmodule(DQ1,DQ2,DQ3)</p>  |
| <pre>&lt;defref port comp="コンポーネント名" pinname="ピン名" /&gt;</pre>   | <p>N/A</p> <p>N/A</p>                       | <p>string</p> <p>string</p>                             | <p>DEFの参照</p> <p>参照するDEFのコンポーネント名</p> <p>参照するピン名</p> <p>コンポーネント名(comp)が定義されている場合は、そのコンポーネントに属するピンの名称であること。</p> <p>コンポーネント名が記述されていない場合は、DEFのPINSセクションで定義されるピンの名称を意味する。</p>  | <p>DEF(Design Exchange Format) means the design information technology format.</p> <p>comp : component name in DEF file.<br/>pinname : pin name in DEF file.</p> <pre>&lt;reference xmlns:def="http://www.jeita.or.jp/LPB/def" refille="XXXX.def" format="DEF"&gt; &lt;connection socket_name="socket1" port_id="A1"&gt; &lt;defref port comp="SBIO1" pinname="Z"/&gt; &lt;/connection&gt; &lt;connection socket_name="socket1" port_id="A2"&gt; &lt;defref port comp="SBIO2" pinname="Z"/&gt; &lt;/connection&gt; &lt;connection socket_name="socket1" port_id="A3"&gt; &lt;defref port comp="SBIO2" pinname="Z"/&gt; &lt;/connection&gt; &lt;/reference&gt;</pre> <pre>&lt;reference xmlns:def="http://www.jeita.or.jp/LPB/def" refille="YYYY.def" format="DEF"&gt; &lt;connection socket_name="socket1" port_id="A1"&gt; &lt;defref port pinname="PIN1"/&gt; &lt;/connection&gt; &lt;connection socket_name="socket1" port_id="A2"&gt; &lt;defref port pinname="PIN2"/&gt; &lt;/connection&gt; &lt;connection socket_name="socket1" port_id="A3"&gt; &lt;defref port pinname="PIN3"/&gt; &lt;/connection&gt; &lt;/reference&gt;</pre> <p>[XXXX.def]<br/>COMPONENTS 100 ;<br/>- SBIO1 io ;<br/>- SBIO2 io ;<br/>- SBIO3 io ;<br/>END COMPONENTS</p> <p>[YYYY.def]<br/>PINS 10 ;<br/>- PIN1 oD01 ;<br/>- PIN2 oD02 ;<br/>- PIN3 oD03 ;<br/>END PINS</p> |

|  |   |  |  |  |  |
|--|---|--|--|--|--|
| <pre>&lt;spice.ref.port   subckt="サブサーキット名"   portid="ポートの記述番号" /&gt;</pre>  | N/A<br>N/A  | string<br>string   | <b>SPICEの参照</b><br><br>参照するspiceのサブサーキット名<br>参照するポートが記述されている順番。上記サブサーキット(subckt)に属するポートであること   | <b>SPICE (Simulation Program with Integrated Circuit Emphasis) is a language corresponding to the software which simulates the analog operation.</b><br><br>subckt : sub-circuit name in spice file.<br>portid : the order of i/o in sub-circuit.  | <pre>&lt;reference xmlns:spice="http://www.jeita.or.jp/LPB/spice" refid="XXXX.sp" format="SPICE"&gt;   &lt;connection socket_name="socket1" port_id="A1"&gt;     &lt;spiceref.port subckt="top" portid="3"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A2"&gt;     &lt;spiceref.port subckt="top" portid="2"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A3"&gt;     &lt;spiceref.port subckt="top" portid="1"/&gt;   &lt;/connection&gt; &lt;/reference&gt;  [XXXX.sp] subckt top p1 p2 p3;</pre>   |
| <pre>&lt;dxref.ref.port   x="x座標" y="y座標"   dxf.layer="レイヤ"   mount="配置層" /&gt;</pre>  | distance<br>N/A<br>N/A  | double<br>string<br>string   | <b>DXFの参照</b><br><br>参照する端子のXY座標<br>参照する端子が位置する層。<br>端子の配置層。<br>TOP ... 配置層のTOP面に端子が配置されている<br>BOTTOM ... 配置層のBOTTOM面に端子が配置されている   | <b>DXF is a CAD data file format for drawing that is widely used for exchanging data between EDA tools.</b><br><br>x, y : XY coordinates of referred port.<br>dxf.layer : The layer that the port exists.<br>mount : TOP...The port exists above the layer.<br>BOTTOM...The port exists below the layer.   | <pre>&lt;reference xmlns:dxref="http://www.jeita.or.jp/LPB/dxref" refid="XXXX.dxf" format="DXF" distance="mm"&gt;   &lt;connection socket_name="socket1" port_id="A1"&gt;     &lt;dxref.ref.port x="100" y="8978" dxf.layer="L1" module="TOP"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A2"&gt;     &lt;dxref.ref.port x="200" y="8978" dxf.layer="L1" module="TOP"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A3"&gt;     &lt;dxref.ref.port x="300" y="8978" dxf.layer="L1" module="TOP"/&gt;   &lt;/connection&gt; &lt;/reference&gt;</pre>  |
| <pre>&lt;gdsref.ref.port   x="x座標" y="y座標"   gds.layer="レイヤ" /&gt;</pre>   | distance<br>N/A   | double<br>string   | <b>GDS/GDSIIの参照</b><br><br>参照する端子のXY座標<br>参照する端子が位置する層。  | <b>GDS/GDSII is a CAD data file format for IC layout that is the de facto industry standard.</b><br><br>x, y : XY coordinates of referred port.<br>gds.layer : The layer that the port exists.   | <pre>&lt;reference xmlns:gds="http://www.jeita.or.jp/LPB/gds" refid="XXXX.gds" format="GDS"&gt;   &lt;connection socket_name="socket1" port_id="A1"&gt;     &lt;gdsref.ref.port x="100" y="8978" gds.layer="L1"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A2"&gt;     &lt;gdsref.ref.port x="200" y="8978" gds.layer="L1"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A3"&gt;     &lt;gdsref.ref.port x="300" y="8978" gds.layer="L1"/&gt;   &lt;/connection&gt; &lt;/reference&gt;</pre>  |
| <pre>&lt;xfl.ref.port   component="コンポーネント名"   pinname="ピン名" /&gt;</pre>   | N/A   | string   | <b>XFLの参照</b><br><br>参照するXFLのコンポーネント名<br>参照するピン名。<br>上記コンポーネントに属するピンであること。   | <b>XFL is a language for describing layout of PKG or PCB.</b><br><br>component : component name in XFL file.<br>pinname : pin name in XFL file.  | <pre>&lt;reference xmlns:xfl="http://www.jeita.or.jp/LPB/xfl" refid="XXXX.xfl" format="XFL"&gt;   &lt;connection socket_name="socket1" port_id="A1"&gt;     &lt;xfl.ref.port component="NEWSIDIE" pinname="1"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A2"&gt;     &lt;xfl.ref.port component="NEWSIDIE" pinname="2"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A3"&gt;     &lt;xfl.ref.port component="NEWSIDIE" pinname="3"/&gt;   &lt;/connection&gt; &lt;/reference&gt;  [XXXX.xfl] part DIE R-13.5-13.5 13.5 13.5 0 0 0   1 4 -5 B 4 2 -3 -5 B 4 3 -2 -5 B 4 } end part component NEWSIDIE DIE 0 0 1 0 end component</pre>  |
| <pre>&lt;ibis.ref.port   component="コンポーネント名"   signal_name="端子名" /&gt;</pre>  | N/A   | string   | <b>IBISの参照</b><br><br>参照するIBISのコンポーネント名<br>参照する(PIN)のsignal_name。  | <b>IBIS (I/O buffer information specification) model is a language for describing the electrical characteristics of input/output signals of LSI and PKG.</b><br><br>When you refer to IBIS, define the model name of IBIS to refer to at module, and the port name to refer to at portname.<br><br>component : [Component] name in the IBIS file.<br>signal_name[Pin] signal_name in the IBIS file.  | <pre>&lt;reference xmlns:ibis="http://www.jeita.or.jp/LPB/ibis" refid="XXXX.ibis" format="IBIS"&gt;   &lt;connection socket_name="socket1" port_id="A1"&gt;     &lt;ibis.ref.port component="DDR3-1Gbx16" signal_name="Vddq"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A2"&gt;     &lt;ibis.ref.port component="DDR3-1Gbx16" signal_name="DQUS"/&gt;   &lt;/connection&gt;   &lt;connection socket_name="socket1" port_id="A3"&gt;     &lt;ibis.ref.port component="DDR3-1Gbx16" signal_name="DQUJ"/&gt;   &lt;/connection&gt; &lt;/reference&gt;  XXXX.ibis [IBIS ver] 4.2 [File name] XXXXX.ibis --- [Component] DDR3-1Gbx16 [Manufacturer] JEITA FACT [Package]  variable  typ   min   max R_pkg 0.5 0.4 0.6 L_pkg 1.5nH 1.0nH 2.0nH C_pkg 0.4pF 0.2pF 0.6pF --- [Pin] signal_name model_name R_pin L_pin C_pin A1 Vddq POWER A2 DQUS DQ.MODEL 0.58 1.8nH 0.58pF A3 DQUJ DQ.MODEL 0.57 1.85nH 0.57pF ---</pre> |
| <pre>&lt;jlpb.ref.port   module="モジュール名"   socket="ソケット名"   port_name="端子名"   port_id="端子番号" /&gt;</pre>   | N/A<br>N/A<br>N/A<br>N/A  | string<br>string<br>string<br>string   | <b>JEITA コンポーネントファイルの参照</b><br><br>参照するコンポーネントファイルのモジュール名<br>参照するソケット名。上記moduleに属するソケットであること。<br>参照するportの端子名。上記socketに属するportであること。<br>参照するportの端子番号。上記socketに属するportであること。<br>portは、端子番号(port_id)か端子名(port_name)の何れかで指定する。双方を同時に記述することはできない。   | <b>JLPB means the C-Format files of JEITA LPB standard format.</b><br><br>module : module name in C-Format file.<br>socket : socket name in the module.<br>port_name/port_id : port name/id in the socket.   |  |
| <pre>&lt;xxx.ref.port&gt;   (任意)</pre>   |   |  | 番号化された接続方式。これをどう解釈するかはXXXを入力する側のベンダと、XXXを提供する側のベンダとのライセンスで管理する   |  |  |
| <pre>&lt;connection&gt; 0** &lt;/reference&gt; 0** &lt;/module&gt; 1**</pre>   |   |  |  |  |  |
| <pre>&lt;component&gt; &lt;placement   ref_module="参照モジュール名"   inst="インスタンス名"   distance="長さ単位系"   angleunit="角度単位系"   scale="縮尺率"   x="x座標" y="y座標"   z="z座標"   flip="フリップタイプ"   angle="回転角度"   mount="配置層" /&gt;</pre> | N/A<br>N/A<br>distance<br>angle<br>N/A<br>distance<br>distance<br>string<br>double<br>double<br>string<br>double<br>N/A | string<br>string<br>string<br>string<br>double<br>double<br>string<br>double<br>string | <b>moduleの配置情報や、配置したmodule間の制約を定義する。</b><br>(module)が複数定義されている場合、<component>は最初定義されたmodule内の部品配置を表す。<br><br><b>機能ブロックの配置</b><br>参照する機能ブロックのモジュール名。<br>インスタンス名。ユニークであること。<br>配置するmoduleの長さに対する単位系の定義。<br>DXFのような明確な単位系を持たない図形データに対して座標単位を定義する場合に使用する。<br>um ... ミクロメートル<br>mm ... ミリメートル<br>cm ... センチメートル<br><br><b>配置するmoduleの角度に対する単位系の定義</b><br>degree ... 度数[度]<br>radian ... 弧度[ラジアン]<br><br><b>縮尺率 (0より大きい実数値)</b><br><br>参照する機能ブロックを配置するXY座標。<br>機能ブロックの原点を、ここで定義したXY座標に配置する。<br><br><b>z座標: layerからの距離、省略時は、</b><br><b>フリップタイプ</b><br>X ... X軸を中心としたフリップ(上下反転)<br>Y ... Y軸を中心としたフリップ(左右反転)<br><b>回転角度</b> 。参照モジュールの機能ブロックの原点を中心とした反時計回りの回転角度<br>フリップ一回転の順番で実施される<br><br><b>機能ブロックを配置するレイヤ</b><br>TOP...moduleの上面に機能ブロックを配置する<br>BOTTOM...moduleの下面に機能ブロックを配置する | <b>Defines the module(s) placement.</b><br>If the multiple <module(s)> are defined, <component> element defines the location of parts in the first defined module.<br><br>Specifies the module name.<br>Defines the instance name of module. The name should be unique.<br><br>Specifies the local unit for module without unit definition.<br><br>Specifies the local unit for module without unit definition.<br><br>Specifies the scale rate. (A larger real value than 0.)<br><br>Specifies coordinate of origin.<br><br>Specifies the Z coordinate.<br><br>Specifies the type of flip.<br>X: flip vertical.<br>Y: flip horizontal.<br><br>Specifies the angle of the counterclockwise rotation with respect to the local origin.<br><br>Specifies the placement side:<br>TOP : ref.module is placed on top side.<br>BOTTOM : ref.module is placed on bottom side. |   |



概要、詳細に関する記載注意事項

<>から</>までをセクションと呼ぶことにします

```

例 <port id="端子番号" x="x座標" y="y座標" >
    <inductance min="最少値" max="最大値" />
    <delay min="最少遅延" max="最大遅延" />
</port>
    
```

inductanceセクション  
delayセクション  
portセクション

セクションの下に、そのセクションの繰り返し回数を表記します

```

<port id="端子番号" x="x座標" y="y座標" >
    <inductance min="最少値" max="最大値" />
    0...1
    <delay min="最少遅延" max="最大遅延" />
    0...1
</port>
1...
    
```

0から1回の繰り返し。即ちinductanceセクションは無くてもよい  
0から1回の繰り返し。即ちdelayセクションは無くてもよい  
1以上の繰り返し。即ち一個以上のportセクションが必要

オプションな項目はイタリック文字で表記します  
必須項目は**ボールド文字**で表記します

```

例 <module
    name="機能ブロック名"
    type="機能ブロック属性"
    shape_id="参照shape識別番号"
    x="x座標"
    y="y座標"
>
    
```

オプション項目  
オプション項目  
オプション項目

Syntax convention

LPB format form a tree structure.

```

Example.
<port id="port id" x="x coordinate" y="y coordinate">
    <inductance min="minimum value" max="maximum value" />
    <delay min="minimum delay" max="maximum delay" />
</port>
    
```

<inductance> section  
<delay>section  
<port> section

A...B means that you can repeat the previous section from A times to B times.  
A... means that you can repeat the previous section from A times to infinite.  
A means that this section should be repeated A times.

```

Example
<port id="port id" x="x coordinate" y="y coordinate">
    <inductance min="minimum value" max="maximum value" />
    0...1
    <delay min="minimum delay" max="maximum delay" />
    0...1
</port>
1...
    
```

<inductance> section can be repeated from 0 time to 1 time.  
It means that <inductance> section is optional.  
<delay> section can be repeated from 0 time to 1 time.  
It means that <delay> section is optional.  
<port> section should be repeated 1 time to infinite.  
It means <port> section is required.

Italic notation means an item is optional.  
Bold notation means an item is required.

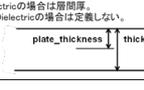
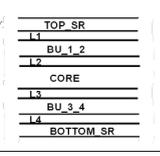
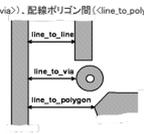
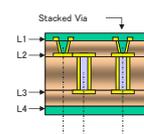
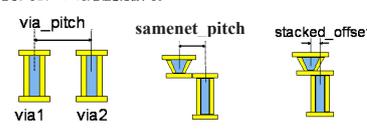
```

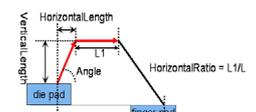
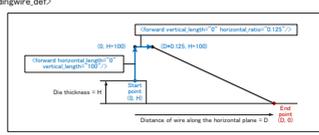
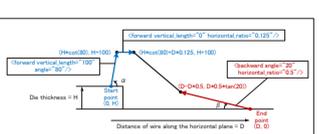
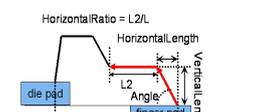
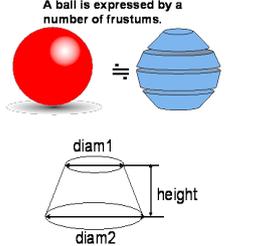
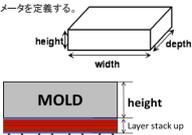
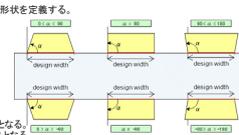
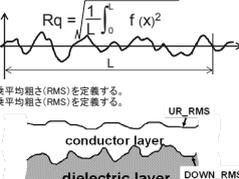
<module
    name="BlockName"
    type="BlockType"
    shape_id="referenced shape id"
    x="x coordinate"
    y="y coordinate"
>
    
```

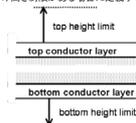
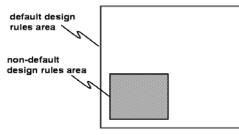
Optional item  
Optional item  
Optional item

座標、表裏はすべてTOP Viewから見たものとし、TOPとBOTTOMはユーザー側にて定義する。

| unit   | 文字種   | フォーマット説明   | Explanation of the format   | 記述例 (Example)   |
|--|---|--|---|---|
| <!-- Data:2013.3.6 -->   | <!--  | コメントは<!-- -->で囲む   | A comment starts with "<!--" and finishes with "-->".   |   |
| <JEITA LPB RFORMA version="バージョン番号">   | N/A   | string   | 仕様バージョン番号   | Format version number   |
| <header  |   |  |   |   |
| project="プロジェクト名"<br>design_revision="ファイルリビジョン番号"<br>date="作成日"<br>author="作成者"<br>email="メールアドレス"<br>company="会社名" | N/A<br>N/A<br>N/A<br>N/A<br>N/A<br>N/A                              | string<br>string<br>string<br>string<br>string<br>string | headerセクションはデザインルールファイルの管理情報と考える。利用者は、headerセクションを処理することにより、このファイルが使用されているプロジェクト名 (project) 作成日 (date) 作成者 (author, email, company) 管理番号 (design_revision) を入手可能となる。<br>プロジェクト名、プロジェクトを定義するユニークな名前<br>ファイルリビジョン<br>作成日<br>作成者<br>作成者のEメールアドレス<br>作成者のメールアドレス<br>作成者の会社名 | header project="JEITA LPB_SAMPLE_PROJECT" design_revision="1.3" date="20120331" author="kaname ozawa" email="ozawa@jeita.jp" company="JEITA" />   |
| <globals>  |   |  |   |   |
| <unit>   |   |  |   |   |
|  |   |  |   |   |
| <distance unit="長さ単位">   | N/A   | string   | 長さ単位: m   | The unit of length.   |
| <angle unit="角度単位">  | N/A   | string   | 角度単位: degree, radian  | The unit of angle.  |
| <area unit="面積単位">   | N/A   | string   | 面積単位: m <sup>2</sup>  | The unit of area.   |
| <time unit="時間単位">   | N/A   | string   | 時間単位: s   | The unit of time.   |
| <resistivity unit="体積抵抗率単位">   | N/A   | string   | 体積抵抗率単位: ohmm(D * m)  | The unit of resistivity of conductor.   |
| <temperature unit="温度単位">  | N/A   | string   | 温度単位: (C:degree Celsius, K:kilvin)  | The unit of temperature.  |
| <voltage unit="電圧単位">  | N/A   | string   | 電圧単位: V   | The unit of voltage.  |
| <power unit="消費電力単位">  | N/A   | string   | 消費電力単位: W   | The unit of watt.   |
| <conductance unit="インダクタンス単位">   | N/A   | string   | インダクタンス単位: H  | The unit of inductance.   |
| <frequency unit="周波数単位">   | N/A   | string   | 周波数単位: Hz   | The unit of frequency.  |
| <impedance unit="インピーダンス単位">   | N/A   | string   | インピーダンス単位: ohm  | The unit of impedance.  |
| </unit>  |   |  |   |   |
| <shape>  |   |  |   |   |
| <rectangle   |   |  |   |   |
| id="識別番号"<br>width="幅"<br>height="高さ"<br>angle="回転角度"  | N/A<br>distance<br>double<br>distance<br>double<br>double<br>double | string<br>double<br>double<br>double<br>double           | shapeセクションでは、padstack(padstack def)を構築する基本形状を定義する。例えば、ボンディングパッドやビアの形状/サイズなどである。<br>原点: 矩形の中心<br>回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。   | Defines the shape.<br>The origin is center of rectangle.<br>The angle is the counterclockwise rotation with respect to the local origin.<br>Defines the identification number<br>Defines the width.<br>Defines the height.<br>Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.   |
| </rectangle>   |   |  |   |   |
| <circle  |   |  |   |   |
| id="識別番号"<br>diameter="直径"   | N/A<br>distance   | string<br>double   | 原点: 円の中心<br>直径  | Defines the shape of circle. The origin is center of circle.<br>Defines the identification number.<br>Defines the diameter.   |
| </circle>  |   |  |   |   |
| <polygon   |   |  |   |   |
| id="識別番号"<br>points="x座標,y座標,x座標,y座標,..."<br>angle="回転角度"  | N/A<br>distance<br>double<br>double                                 | string<br>double<br>double                               | 原点: (0,0)座標を原点とする。<br>座標は始点と終点を合わせて閉じること。<br>回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。  | Defines the shape of closed polygon. The origin is set to (0, 0).<br>The angle is the counterclockwise rotation with respect to the local origin.<br>Defines the identification number<br>Defines the points of XY coordinates. The shape is "closed" (all the lines connect up).<br>Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.  |
| </polygon>   |   |  |   |   |
| </shape>   |   |  |   |   |
| <padstack def>   |   |  |   |   |
| padstack   |   |  |   |   |
| id="padstack識別番号"<br>type="padstackタイプ"  | N/A<br>N/A  | string<br>string   | padstackセクションでは、各レイヤに対するパッドの組み合わせを構成したものを定義する。代表例に、基板のレイヤ間を接続するビアがある。また単独レイヤに存在するダイパッド/パッケージボールパッド/ボンディングパッドなどもpadstackとして定義される。  | Defines the padstack.<br>Defines the identification number<br>Specifies the padstack type.  |
| </padstack>  |   |  |   |   |
| <ref shape   |   |  |   |   |
| shape id="参照shape識別番号"<br>x="x座標" y="y座標"<br>type="pad形状"<br>angle="回転角度"<br>layer="層"                               | N/A<br>distance<br>double<br>double<br>N/A                          | string<br>string<br>string<br>double<br>string           | 参照shape識別番号: 参照するshapeの識別番号<br>x座標, y座標: 参照するshapeの原点座標<br>pad形状 ... クリアランス径<br>Antipad ... 未接続ランド<br>Land ... 通常ランド<br>Drill ... キリ径、ビア外径<br>Hole ... 穴径、ビア内径<br>回転角度: 原点を中心とした反時計回り回転角度。省略時は0とする。<br>層: 参照するshapeを配置するレイヤ   | Specifies the shapes of padstack.<br>shape id ... Specifies the identification number of predefined shape.<br>XY coordinates ... Specifies coordinate of origin. If it is not specified, the origin (0, 0) is set as the default.<br>Antipad ... The diameter of clearance.<br>NonConnection ... The land of Non-connection.<br>Land ... Normal land.<br>Drill ... The diameter of the drill. The outside diameter of the via.<br>Hole ... The diameter of the hole. The inside diameter of the via.<br>angle ... Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.<br>layer ... Specifies placement layer. |
| </ref shape>   |   |  |   |   |
| </padstack def>  |   |  |   |   |
| </globals>   |   |  |   |   |

|   |  |  |  |  |
|---|--|--|--|--|
| (Physicaldesign name="デザインルール名")  |  | Physicaldesignセクションでは、材料(material.def)、レイヤ(layer.def)、スペース(spacing.def)、ピッチ(pitch.def)、ホーリング(wire.def)、ボール(ball.def)、モールド形状(mold.def)、導体構造(conductor.struct)といった物理パラメータを定義する。  | Defines the following physical design rules.<br>- material (material.def)<br>- layer (layer.def)<br>- space (spacing.def)<br>- via pitch (pitch.def)<br>- bonding wire (bondingwire.def)<br>- solder ball (ball.def)<br>- mold form (mold.def)<br>- conductor structure (conductor.struct)   |  |
| <default/>  |  | <default/>キーワードが定義されると、このルールはエリア全体に及ぶ。   | #(default/> attribute is specified, this rule is applied to all area.  |  |
| (material.def)<br><br><conductor<br>material="材料名"<br>volume_resistivity="体積抵抗率"<br>temperature="抵抗率測定温度"<br>/><br>0...<br><br><dielectric<br>material="材料名"<br>permittivity="誘電率"<br>tan_delta="誘電正接"<br>frequency="測定周波数"<br>/><br>0...<br></material.def>  | N/A<br>resistivity<br>temperature<br><br>N/A<br>N/A<br>frequency                             | 材料定義<br>本デザインで使われる材料を定義する。<br><br>導体<br>材料名: COPPERなどの導体名<br><br>絶縁体<br>材料名: FR-4などの絶縁体名   | Defines the material.<br><br>Defines the conductor.<br>Specifies the name of conductor.<br>Specifies the volume resistivity of conductor.<br>Specifies the temperature condition of the volume resistivity of conductor.<br><br>Defines the dielectric.<br>Specifies the name of dielectric.<br>Specifies the dielectric constant(Dk).<br>Specifies the dissipation factor(DF).<br>Specifies the frequency of dielectric properties(Dk and DF).  | (material.def)<br><conductor material="COPPER" volume_resistivity="1.68e-8" temperature="20"/><br><conductor material="GOLD" volume_resistivity="2.33e-8" temperature="20"/><br><conductor material="SOLDER" volume_resistivity="5.17e-7" temperature="20"/><br><dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" frequency="1e9"/><br><dielectric material="RESISTOR_INK" permittivity="4.5" tan_delta="0.035" frequency="1e9"/><br><dielectric material="REGIN" permittivity="4.5" tan_delta="0.035" frequency="1e9"/><br></material.def>   |
| (layer.def)<br><br><layer<br>name="レイヤ名"<br>type="dielectricもしくはconductor"<br><br>thickness="厚み"<br>plate_thickness="メッキ厚"<br>conductor_material="導体材料"<br>dielectric_material="絶縁材料"<br>/><br>0...<br><line_width<br>min="最小配線幅"<br>max="最大配線幅"<br>/><br>0...<br><area_limit<br>min="最小面積"<br>/><br>0...<br></layer><br>1...<br></layer.def> | N/A<br>N/A<br><br>distance<br>distance<br>N/A<br>N/A<br><br>distance<br>distance<br><br>area | レイヤ定義<br>レイヤは上層から下層に向かって定義する。一番最初に定義された層はTOP、一番最後がBOTTOMとなる。<br><br>dielectricもしくはconductor: このTypeで絶縁層か導体層かを識別する。<br><br>厚み: conductorの場合は導体層厚み。Dielectricの場合は層間厚み。<br>メッキ厚: conductorの場合はメッキ厚。Dielectricの場合は定義しない。<br>導体材料: 導体材料名<br>絶縁材料: 絶縁材料名<br><br><br>配線幅に関する制限<br>最大幅は定義しなくてもよい<br><br>面積に関する制限。これ以下の面積の導体パターンは作れない。 | Defines the layer stack up from top to bottom.<br><br>Defines layer name.<br>Specifies the layer types:<br>Dielectric - Dielectric layer<br>Conductor - Conductor layer<br>Specifies the layer thickness.<br>Specifies the plating thickness.<br>Specifies the conductor material name.<br>Specifies the dielectric material name.<br><br>Defines the design rule about line width.<br>Specifies the minimum line width.<br>Specifies the maximum line width.<br><br>Defines the minimum area rule.<br>Specifies the minimum metal area.   | (layer.def)<br><layer name="TOP_SR" type="dielectric" thickness="20" dielectric_material="RESISTOR_INK"/><br><layer name="L1" type="conductor" thickness="10" conductor_material="COPPER"/><br></layer><br><layer name="BU_1_2" type="dielectric" thickness="40" dielectric_material="FR-4"/><br><layer name="L2" type="conductor" thickness="10" conductor_material="COPPER"/><br></layer><br><layer name="CORE" type="dielectric" thickness="100" dielectric_material="FR-4"/><br><layer name="L3" type="conductor" thickness="10" conductor_material="COPPER"/><br></layer><br><layer name="BU_3_4" type="dielectric" thickness="40" dielectric_material="FR-4"/><br><layer name="L4" type="conductor" thickness="10" conductor_material="COPPER"/><br></layer><br><layer name="BOTTOM_SR" type="dielectric" thickness="20" dielectric_material="RESISTOR_INK"/><br></layer.def><br><br> |
| (spacing.def)<br><br><layer<br>name="レイヤ名"<br>/><br><line_to_line<br>space="最小スペース"<br>/><br>0...<br><line_to_via<br>via="padstack_id"<br>space="最小スペース"<br>/><br>0...<br><line_to_polygon<br>space="最小スペース"<br>/><br>0...<br></spacing><br>1...<br></spacing.def>  | N/A<br><br>distance<br><br>N/A<br>distance<br><br>distance                                   | スペース定義<br>配線間(line_to_line)、配線ビア間(line_to_via)、配線ポリゴン間(line_to_polygon)のスペースを定義する。<br><br><br>配線間スペース<br><br>配線ビア間スペース<br>VIA名が指定されていない場合は、全てのVIAとライン間に、このスペーシングルールが適用される。<br>VIAが指定されている場合は、指定されているVIAとライン間のみルールが適用される。<br><br>配線ポリゴン間スペース   | Defines the design rule about space. Spaces between lines(line_to_line), between line and vias(line_to_via), between line and polygons(line_to_polygon) are defined.<br><br>Specifies the layer name.<br><br>Defines the space between lines.<br>Specifies the minimum space between lines.<br><br>Defines the space between line and via.<br>Specifies the padstack-id of via that is applied to the spacing rule.<br>Specifies the minimum space between line and via.<br><br>Defines the space between line and a polygon.<br>Specifies the minimum space between line and a polygon. | (spacing.def)<br><layer name="L1"/><br><line_to_line space="40"/><br><line_to_polygon space="55"/><br></layer><br><layer name="L2"/><br><line_to_line space="50"/><br><line_to_via space="50"/><br><line_to_polygon space="55"/><br></layer><br><layer name="L3"/><br><line_to_line space="50"/><br><line_to_via space="50"/><br><line_to_via via="VIA_L3_L4" space="50"/><br><line_to_polygon space="55"/><br></layer><br><layer name="L4"/><br><line_to_line space="40"/><br><line_to_via space="40"/><br><line_to_polygon space="55"/><br></layer><br></spacing.def>  |
| (pitch.def)<br><br><via_pitch<br>via1="padstack_id"<br>via2="padstack_id"<br>pitch="セクタ間ピッチ"<br>samenet_pitch="同電位ビアのセクタ間ピッチ"<br>stacked_offset="スタックビアのスレ許容値"<br>/><br>1...<br></pitch.def>  | N/A<br>distance<br>distance<br>distance  | ピッチ定義<br>ビア間のセクタ間ピッチ(via_pitch)を定義する。<br><br><br><br>スタックビア禁止時に同電位ビアを最低限度許容値を定義する。<br>スタックビア許可時に許容されるビアスレの許容値を定義する。<br><br>via_pitch      samenet_pitch      stacked_offset<br>  | Defines the pitch between center to center of vias(via_pitch).<br><br>Specifies the padstack-id of vias for which the via-pitch rule applies.<br><br>Specifies the minimum pitch between two vias on different nets.<br>Specifies the minimum pitch between two vias in same net.<br><br>Specifies the maximum acceptable gap between center of stacked vias.  | -NG to use the stack via.<br>(pitch.def)<br><via_pitch via1="VIA_L1_L2" via2="VIA_L1_L2" pitch="250"/><br><via_pitch via1="VIA_L1_L2" via2="VIA_L2_L3" pitch="275" samenet_pitch="225"/><br><via_pitch via1="VIA_L2_L3" via2="VIA_L2_L3" pitch="300"/><br><via_pitch via1="VIA_L2_L3" via2="VIA_L3_L4" pitch="275" samenet_pitch="225"/><br><via_pitch via1="VIA_L3_L4" via2="VIA_L3_L4" pitch="250"/><br></pitch.def><br><br>-OK to use the stack via.<br>(pitch.def)<br><via_pitch via1="VIA_L1_L2" via2="VIA_L1_L2" pitch="250"/><br><via_pitch via1="VIA_L1_L2" via2="VIA_L2_L3" pitch="275" stacked_offset="75"/><br><via_pitch via1="VIA_L2_L3" via2="VIA_L2_L3" pitch="300"/><br><via_pitch via1="VIA_L2_L3" via2="VIA_L3_L4" pitch="275" stacked_offset="75"/><br><via_pitch via1="VIA_L3_L4" via2="VIA_L3_L4" pitch="250"/><br></pitch.def>   |

|  |  |   |  |  |
|--|--|---|--|--|
| <pre>&lt;bondingwire_def&gt; &lt;bondingwire   name="ワイヤ名"   diameter="直径"   material="ワイヤ材料" /&gt; &lt;forward   horizontal_length="水平値"   vertical_length="垂直値"   angle="角度"   horizontal_ratio="水平比" /&gt; 0*** &lt;/bondingwire&gt; &lt;/bondingwire_def&gt; 0*** 1***</pre> | <p>N/A<br/>distance<br/>N/A</p> <p>string<br/>double<br/>string</p>  | <p>ボンディングワイヤ定義<br/>ボンディングワイヤ(&lt;bondingwire&gt;)の材質および形状パラメータを定義する。</p> <p>ワイヤ名、ワイヤ名称<br/>直径、ワイヤ直径<br/>ワイヤ材料、ワイヤ材料 (Au, Cuなど)</p> <p>forwardセクションは、前ボンディングの意味ではなく、1stボンディングポイント側の形状パラメータを表現するものである。JEDEC-4Pointであれば、forwardセクションのみで表現可能となる。図中のDie padまでの高さR-Formatでは定義しない。物理情報が定義されているファイル(例えばC-Format)に定義されている値を使用する。</p>    | <p>Defines the bonding wire geometry and material.</p> <p>Defines the bonding wire name.<br/>Specifies diameter of bonding wire.<br/>Specifies the material name of bonding wire.</p> <p>Defines the bonding wire loop from die side.</p> <p>Reference of the following figure. The height of die-pad in this figure is not defined in R-Format. Normally, the height is defined in the physical definition file such as C-Format.</p>   | <p>JEDEC-4Point<br/>&lt;bondingwire_def&gt;<br/>&lt;bondingwire name="WIREBOND1" diameter="20" material="GOLD"&gt;<br/>&lt;forward horizontal_length="0" vertical_length="100"/&gt;<br/>&lt;forward vertical_length="0" horizontal_ratio="0.125"/&gt;<br/>&lt;length min="500" max="3000"/&gt;<br/>&lt;/bondingwire&gt;<br/>&lt;/bondingwire_def&gt;</p>  <p>JEDEC-5Point<br/>&lt;bondingwire_def&gt;<br/>&lt;bondingwire name="WIREBOND2" diameter="20" material="GOLD"&gt;<br/>&lt;forward vertical_length="100" angle="90"/&gt;<br/>&lt;forward vertical_length="0" horizontal_ratio="0.125"/&gt;<br/>&lt;backward angle="20" horizontal_ratio="0.5"/&gt;<br/>&lt;length min="500" max="3000"/&gt;<br/>&lt;/bondingwire&gt;<br/>&lt;/bondingwire_def&gt;</p>  |
| <pre>&lt;backward   horizontal_length="水平値"   vertical_length="垂直値"   angle="角度"   horizontal_ratio="水平比" /&gt; 0*** &lt;/bondingwire&gt; &lt;/bondingwire_def&gt; 0*** 1***</pre>   | <p>distance<br/>double</p> <p>distance<br/>double<br/>angle<br/>N/A<br/>double</p>                                     | <p>backwardセクションは、後ボンディングの意味ではなく、2ndボンディングポイント側の形状パラメータを表現するものである。JEDEC-5Pointは、forwardセクションとの組み合わせで表現可能となる。図中のDie padまでの高さR-Formatでは定義しない。物理情報が定義されているファイル(例えばC-Format)に定義されている値を使用する。</p>    | <p>Defines the bonding wire loop from substrate side.</p> <p>Reference of the following figure. The height of die-pad in this figure is not defined in R-Format. Normally, the height is defined in the physical definition file such as C-Format.</p>   |  |
| <pre>&lt;length   min="最小長さ"   max="最大長さ" /&gt; 0*** 1***</pre>  | <p>distance<br/>double</p> <p>distance<br/>double</p>  | <p>最小長さ<br/>最大長さ</p>  | <p>Defines the bonding wire length.<br/>Specifies the minimum length of bonding wire.<br/>Specifies the maximum length of bonding wire.</p>  |  |
| <pre>&lt;/bondingwire&gt; &lt;/bondingwire_def&gt; 0*** 1***</pre>   |  |   |  |  |
| <pre>&lt;ball_def&gt; &lt;ball   name="ボール名"   material="ボール材料" /&gt; &lt;frustum   height="高さ"   diam1="上面の直径"   diam2="下面の直径" /&gt; 0*** 1*** &lt;/ball&gt; &lt;/ball_def&gt; 0*** 1***</pre>  | <p>N/A<br/>N/A</p> <p>string<br/>string</p> <p>distance<br/>double<br/>distance<br/>double<br/>distance<br/>double</p> | <p>ハンダボール定義<br/>ボール(&lt;ball&gt;)の材質および形状パラメータを定義する。</p> <p>ボール名、ボール名称<br/>ボール材料、ボール材料 (SnZnなど)</p> <p>A ball is expressed by a number of frustums.</p>   | <p>Defines the material and shape of solder ball.</p> <p>Defines the solder-ball name.<br/>Specifies the material name of solder ball.</p> <p>Defines the geometry of solder ball.<br/>The solder ball is expressed by frustum(s).<br/>Defines the frustums stacked up from top to bottom.</p> <p>Specifies the height of a frustum.<br/>Specifies the diameter of top side of a frustum.<br/>Specifies the diameter of bottom side of a frustum.</p>  | <pre>&lt;ball_def&gt; &lt;ball   name="BGA_Ball"   material="SOLDER" /&gt; &lt;frustum   height="250"   diam1="300"   diam2="300" /&gt; &lt;/ball&gt; &lt;/ball_def&gt;</pre>  |
| <pre>&lt;smold   width="幅"   depth="奥行"   height="高さ"   material="モールド材料" /&gt; 0*** 1***</pre>  | <p>distance<br/>double<br/>distance<br/>double<br/>N/A</p> <p>string<br/>double<br/>string</p>                         | <p>モールド定義<br/>モールド(&lt;smold&gt;)の材質および形状パラメータを定義する。</p> <p>モールド名、モールド名称<br/>モールド材料、モールド材料</p>   | <p>Defines the geometry and material of package mold.</p> <p>Specifies the width of package mold.<br/>Specifies the depth of package mold.<br/>Specifies the height of package mold.<br/>Specifies the material name of mold.</p>  | <pre>&lt;smold   width="12000"   depth="12000"   height="600"   material="RESIN" /&gt; 0*** 1***</pre>   |
| <pre>&lt;conductor_struct&gt; &lt;trapezoidal_angle   layer="レイヤ名"   angle="側面角度" /&gt; 0*** &lt;/conductor_struct&gt; &lt;/Physicaldesign&gt; 0*** 1***</pre>   | <p>N/A<br/>N/A</p> <p>string<br/>double</p> <p>N/A<br/>N/A</p> <p>string<br/>double</p>                                | <p>導体構造定義<br/>導体断面設定 (&lt;trapezoidal_angle&gt;) および表面粗さ設定 (&lt;surface_roughness&gt;) を定義する。</p> <p>導体断面設定定義<br/>エッチングを考慮した導体断面の形状を定義する。</p>  <p>側面角度:<br/>0° &lt; 180° のとき下辺がCAD寸法となる。<br/>0° &gt; 180° のとき上辺がCAD寸法となる。</p> <p>表面粗さ定義<br/>平均線から測定曲線までの偏差の二乗を平均した値の平方根で定義する。</p>  <p>指定した導体レイヤの上面の二乗平均粗さ(RMS)を定義する。<br/>指定した導体レイヤの下面の二乗平均粗さ(RMS)を定義する。</p> | <p>Defines the cross section of conductor, trapezoidal_angle and surface_roughness.</p> <p>Defines the cross section of conductor, trapezoidal_angle and surface_roughness.</p> <p>Specifies the layer.<br/>Defines the angle (alpha) in the drawing.<br/>When it is 0° &lt; α &lt; 180, it's lower size of CAD trace.<br/>When it is 0° &gt; α &gt; 180, it's upper size of cad trace.</p> <p>Defines the surface roughness.</p> <p>Specifies the layer.<br/>Specifies RMS on top surface.<br/>Specifies RMS on bottom surface.</p> | <pre>&lt;conductor_struct&gt; &lt;trapezoidal_angle   layer="L1"   angle="60" /&gt; &lt;trapezoidal_angle   layer="L4"   angle="-60" /&gt; &lt;surface_roughness   layer="L1"   UP_RMS="2"   DOWN_RMS="5" /&gt; &lt;surface_roughness   layer="L4"   UP_RMS="5"   DOWN_RMS="2" /&gt; &lt;/conductor_struct&gt;</pre>   |

|  |   |   |  |   |
|--|---|---|--|---|
| <pre>&lt;Constrainrule&gt; &lt;height_limit&gt;</pre>  |   | <p>Constrainruleセクションでは、高さ制限 (height_limit)、ある領域に独自に割り当てたいデザインルール (design_rule_area) を定義する。</p> <p>高さ制限定義<br/>TOP/BOTTOM層に搭載するモジュールに取り付け高さ制限がある場合に定義する。</p>    | <p>This section contains the limitation of height and non-default design rule area.</p> <p>Defines the limitation of height.</p>   | <pre>&lt;Constrainrule&gt; &lt;height_limit&gt; &lt;top   name="TOP層高さ制限領域名"   height="高さ制限"   shape_id="参照shape識別番号"   /&gt; &lt;bottom   name="Bottom_Connector_Location"   height="200"   shape_id="Rec_6000um_8000um"   x="3000" y="2000"   /&gt; &lt;/height_limit&gt; &lt;design_rule_area   ref_rule_name="C4 Area"   shape_id="SQ_6000um_6000um"   x="0" y="0"   /&gt; &lt;/Constrainrule&gt;</pre> |
| <pre>&lt;top   name="TOP層高さ制限領域名"   height="高さ制限"   shape_id="参照shape識別番号"   /&gt;   x="x座標" y="y座標"   angle="回転角度"   /&gt;</pre>          | <p>N/A<br/>distance<br/>N/A</p> <p>string<br/>double<br/>string</p> <p>distance<br/>angle</p> | <p>TOP層での高さ制限<br/>TOP層に搭載するモジュールに取り付け高さ制限がある場合、その領域を定義する。</p> <p>高さ制限: TOP層表面からの高さ制限値<br/>参照shape識別番号: 参照するshapeの識別番号<br/>TOP層高さ制限領域の形状。<br/>参照shapeの原点とTOP層高さ制限領域の原点を一致させる。</p> <p>x座標、y座標: 参照するshapeの原点座標<br/>回転角度: TOP層高さ制限領域の原点を中心とした反時計回りの回転角度。</p>  | <p>This section defines the maximum height for component on TOP layer.</p> <p>Defines the name of a domain.<br/>Specifies the maximum height for TOP layer.<br/>Specifies the identification number of predefined shape.</p> <p>Specifies coordinate of origin.<br/>Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.</p>  |   |
| <pre>&lt;bottom   name="BOTTOM層高さ制限領域名"   height="高さ制限"   shape_id="参照shape識別番号"   /&gt;   x="x座標" y="y座標"   angle="回転角度"   /&gt;</pre>    | <p>N/A<br/>distance<br/>N/A</p> <p>string<br/>double<br/>string</p> <p>distance<br/>angle</p> | <p>BOTTOM層での高さ制限<br/>BOTTOM層に搭載するモジュールに取り付け高さ制限がある場合、その領域を定義する。</p> <p>高さ制限: BOTTOM層表面からの高さ制限値<br/>参照shape識別番号: 参照するshapeの識別番号<br/>BOTTOM層高さ制限領域の形状。<br/>参照shapeの原点とBOTTOM層高さ制限領域の原点を一致させる。</p> <p>x座標、y座標: 参照するshapeの原点座標<br/>回転角度: BOTTOM層高さ制限領域の原点を中心とした反時計回りの回転角度。</p>  | <p>This section defines the maximum height for component on BOTTOM layer.</p> <p>Defines the name of a domain.<br/>Specifies the maximum height for BOTTOM layer.<br/>Specifies the identification number of predefined shape.</p> <p>Specifies coordinate of origin.<br/>Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.</p>  |   |
| <pre>&lt;/height_limit&gt;</pre>   |   |   |  |   |
| <pre>&lt;design_rule_area</pre> <p>ref_rule_name="デザインルール名"<br/>shape_id="参照shape識別番号"<br/>x="x座標" y="y座標"<br/>angle="回転角度"<br/>/&gt; </p> | <p>N/A<br/>N/A</p> <p>string<br/>string</p> <p>distance<br/>angle</p>                         | <p>独自デザインルール定義。特定領域内のデザインルールだけを変更する場合に使用する。デフォルトルールと異なるルールだけを記述する。例えばC4エリアのような、グローバルデザインルールとは別のローカルデザインルールを設定したい場合、その独自デザインルールの領域を定義する。ただし部分的な層構造を変更することはできない。</p>  <p>参照shape識別番号: 参照するshapeの識別番号<br/>グローバル領域とは別に、ある領域に限定した独自デザインルールの形状。<br/>参照shapeの原点とデザインルール領域の原点を一致させる。</p> <p>x座標、y座標: 参照するshapeの原点座標<br/>回転角度: 領域の原点を中心とした反時計回りの回転角度。</p> | <p>Defines non-default design rules for a specific area. The default design rules in the specific area is overridden by the non-default design rules. You can define only the different rules from the default design rules in (design_rule_area).<br/>CAUTION: You can not change the layer stackup locally. Even if the local design rule includes the statement which defines the layer structure, the definition is ignored.</p> <p>Specifies the name of predefined physical design rule.<br/>Specifies the identification number of predefined shape.</p> <p>Specifies coordinate of origin.<br/>Specifies the angle of the counterclockwise rotation with respect to the local origin. If it is not specified, zero(0) is set as the default.</p> |   |
| <pre>&lt;/design_rule_area&gt;</pre>   |   |   |  |   |
| <pre>&lt;/Constrainrule&gt;</pre>  |   |   |  |   |

# PCB/Package Data Exchange File (XFL) Format

## 1. Reserved Characters

- # any data after # sign in each line is ignored so the user may use it for comments.
- “ ” any data between two double quotation marks are considered as a string.

## 2. Structure

The XFL consists of several sections and each section start with a dot (.) followed by a key word. **.version**, **.unit**, and **.scale** sections consist of one line each. All other sections end with **.end** followed by the same key word. The key word in the **.end** line may be omitted. Except the **.version**, any section may be omitted.

**.version** x y

**.unit** [inch | mm]

**.scale** value

**.layer**  
definition  
**.end** [layer]

**.shape**  
definition  
**.end** [shape]

**.board\_geom**  
definition  
**.end** [board\_geom]

**.padstack**  
definition  
**.end** [padstack]

**.part**  
definition  
**.end** [part]

**.component**  
definition  
**.end** [component]

**.netattr**  
definition  
**.end** [netattr]

**.netlist**  
definition  
**.end** [netlist]

**.via**  
definition  
**.end** [via]

**.bondwire**  
definition  
**.end** [bondwire]

**.route**  
definition  
**.end** [route]

### 3. Description

#### **.version** x y

A version of the XFL file. x is a major version number, y is a minor version number. **.version** must appear before any other section appears.

x     integer  
y     integer

#### **.unit** value

A geometric unit used throughout the XFL file. The value can be either **inch** or **mm**. If this section or the value is omitted, **inch** is assumed as a default.

value   string (**inch** or **mm**)

#### **.scale** value

A geometric scale used throughout the XFL file. Actual dimension of the data in the file is determined by dividing the number by the scale value. For example, if the unit is set to **inch** and the scale is 1000, the geometric data represents mil or 1/1000 of inch. If the unit is set to mm and the scale is 1000, it is micron or micrometer. Default is 1.

value   double

**.layer**

*definition*

**.end [layer]**

Layer stack up. Describes a layer stack up from top to bottom (or from front to back). Each layer is defined as:

name thickness type conducting dielectric1 [dielectric2 dielectric3]

where

|                    |  |
|--------------------|--|
| <u>name</u>        | Name of the layer enclosed by double quotation marks. If unknown, write "".  |
| <u>thickness</u>   | Thickness of the layer. If unknown, write 0.   |
| <u>type</u>        | Type of the layer. A single character defines the layer type.<br><b>S</b> for signal layer<br><b>D</b> for dielectric layer<br><b>P</b> for power or ground layer if it can be differentiated from the signal layer  |
| <u>conducting</u>  | Conducting material name if entered as a string enclosed by double quotation marks.<br>Conductivity if entered as a number. Unit is 1/ohm.mm   |
| <u>dielectric1</u> | Dielectric material name if entered as a string enclosed by double quotation marks.<br>If entered as a number, this field is permittivity and the next two fields <u>dielectric2</u> and <u>dielectric3</u> are permeability and loss tangent, respectively. |

**Note:** Throughout the XFL, signal layer numbers are the numbers that are numbered sequentially from the top by counting only the signal/power/ground layers.

**.shape**  
*definition*  
**.end [shape]**

Shape definition. This section defines shapes that can be referenced from other sections of the file. Available shapes are polygon, rectangle, square, diamond, circle, annular, oblong, finger, bullet, and composite. Each shape is defined as :

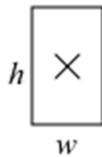
id keyword parameters

where the id is a number that will be referenced by others and it is sequentially numbered from 1. The keyword and parameters are described below.



**id polygon** {*x1 y1 x2 y2 ...*}

Vertices are enclosed by { } and data can be shown in more than one lines. The last point does not need to be the same as the first point. Reference point is at (0,0).



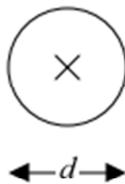
**id rectangle** *width height*

Each rectangle is defined by width and length and the definition must appear in one line. Reference point is at the center of the rectangle.



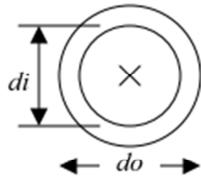
**id square** *width*

Each square is defined by width and the definition must appear in one line. Reference point is at the center of the square.



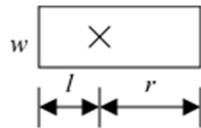
**id circle** *diameter*

Each circle is defined by radius and the definition must appear in one line. Reference point is at the center of the circle.



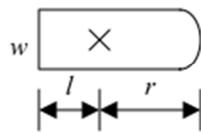
**id annular** *outer diameter inner diameter*

Each donut is defined by outer diameter and inner diameter and the definition must appear in one line. Reference point is at the center of the annular.



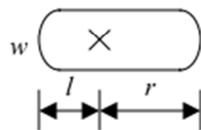
**id oblong** *width left right*

Each oblong is defined by width, left, and right. The definition must appear in one line. Reference point is shown at the left marked as X.



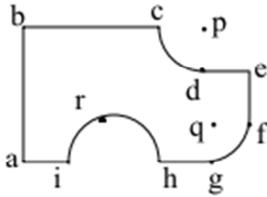
**id bullet** *width left right*

Each bullet is defined by width, left, and right. The definition must appear in one line. Reference point is shown at the left marked as X.



**id finger** *width left right*

Each finger is defined by width, left, and right. The definition must appear in one line. Reference point is shown at the left marked as X.



**id composite** {1<sup>st</sup> point segment1 segment2 ... }

Composite shape consists of lines and/or arcs. The definition is enclosed by { } and it can be shown in more than one lines. There are four types of segments – straight line, clockwise arc (**arc**), counter-clockwise arc (**rarc** or reverse arc) and arc defined by three points (**arc3**).

No keyword between two points indicates that they are connected by a straight line. A keyword **arc**, **rarc** or **arc3** between two points indicates that they are connected by a clockwise arc, a counter-clockwise arc or a three-point method arc, respectively. For **arc** and **rarc**, an arc origin appears after the arc ending point. For **arc3**, a middle point appears after the arc ending point.

The composite shape at the left can be described as:

**2 composite** {x<sub>a</sub> y<sub>a</sub> x<sub>b</sub> y<sub>b</sub> x<sub>c</sub> y<sub>c</sub> **rarc** x<sub>d</sub> y<sub>d</sub> x<sub>p</sub> y<sub>p</sub> x<sub>e</sub> y<sub>e</sub> x<sub>f</sub> y<sub>f</sub> **arc** x<sub>g</sub> y<sub>g</sub> x<sub>q</sub> y<sub>q</sub> x<sub>h</sub> y<sub>h</sub> **arc3** x<sub>i</sub> y<sub>i</sub> x<sub>r</sub> y<sub>r</sub>}

where the number 2 at the beginning is a shape id. Straight lines a-b and b-c, then a counter-clockwise arc from c to d with an origin at p. Straight lines d-e and e-f, then a clockwise arc from f to g with an origin at q. A straight line g-h and a three-point method arc from h to i with a middle point at r. Finally straight line from i to a. i to a is not defined but a straight line will connect the last point to the first point by default.

The same shape can also be described as:

**2 composite** {x<sub>a</sub> y<sub>a</sub> x<sub>i</sub> y<sub>i</sub> **arc3** x<sub>h</sub> y<sub>h</sub> x<sub>r</sub> y<sub>r</sub> x<sub>g</sub> y<sub>g</sub> **rarc** x<sub>f</sub> y<sub>f</sub> x<sub>q</sub> y<sub>q</sub> x<sub>e</sub> y<sub>e</sub> x<sub>d</sub> y<sub>d</sub> **arc** x<sub>c</sub> y<sub>c</sub> x<sub>p</sub> y<sub>p</sub> x<sub>b</sub> y<sub>b</sub>}

**.board\_geom**

*definition*

**.end [board\_geom]**

Exterior geometry of board or package is defined by one of the four methods shown below.

**polygon** {*x1 y1 x2 y2 ...*}  
**composite** {*1<sup>st</sup> point segment1 segment2 ...*}  
**shape** *shapeID x y rotation mirror*  
**shape** *shapeID x y mirror rotation*

The method of defining **polygon** and **composite** are the same as described in the shape section.

The **shape** is placed by defining shape ID, x and y coordinates (global coordinates) of the shape origin (local origin), counter-clockwise rotation in degrees, and mirror indicator. Mirror indicators are:

**X** mirror about X-axis  
**Y** mirror about Y-axis  
**N** no mirror

If the mirror indicator appears after the rotation, the mirror is performed after the rotation. If the mirror indicator appears before the rotation, the mirror is performed before the rotation.

Both mirror and rotation operations are performed with respect to the shape origin (local origin).

Holes (cutouts or voids) are defined by using one or more of the following methods.

**void\_polygon** {*x1 y1 x2 y2 ...*}  
**void\_rectangle** *width length x y*  
**void\_square** *width x y*  
**void\_diamond** *width x y*  
**void\_circle** *diameter x y*  
**void\_composite** {*1<sup>st</sup> point segment1 segment2 ...*}  
**void\_shape** *shapeID x y rotation mirror*  
**void\_shape** *shapeID x y mirror rotation*

**void\_polygon**, **void\_composite**, and **void\_shape** are defined the same way as **polygon**, **composite**, and **shape**, respectively.

**void\_rectangle**, **void\_square**, **void\_diamond**, and **void\_circle** are defined the same way as **rectangle**, **square**, **diamond**, and **circle** are defined in the shape section. They are placed at the coordinates x and y.

**.padstack**  
*definition*  
**.end [padstack]**

This section defines pad stacks and each pad stack is defined as:

pad stack id {pad1 pad2 ....}

where the pad stack id is a number that will be referenced by vias in the via section and it is sequentially numbered from 1. As described below, Pads are defined only by using the predefined shapes in the shape section.

signal layer # shape id shape rotation apshape id ap shape rot

where

signal layer # Signal layer number as appeared in the layer section.

shape id Shape ID.

shape rotation Counter-clockwise rotation angle of the shape in degrees.

ap shape id Anti-pad shape ID. Anti-pad definition is optional.

ap shape rot Counter-clockwise rotation angle of the anti-shape in degrees.

**.part**  
*definition*  
**.end [part]**

Describes a part. Each part is defined as:

part name [ shape llx lly urx ury height [type [**noflip**] [**material**]]]  
{pin1 pin2 ....}

where part name is a name of the part. shape, llx, lly, urx, ury, height and **noflip** are optional. If the keyword **noflip** appears, part will not be flipped when it is place at the back side.

shape Top view shape of the part.  
**R** for rectangle  
**C** for circle  
**D** for round-corner diamond

llx, lly Lower-left coordinates of bounding box

|                 |   |
|-----------------|---|
| <u>urx, ury</u> | Upper-right coordinates of bounding box |
| <u>height</u>   | Height                                  |
| <u>type</u>     | Part type                               |
|                 | <b>R</b> for resistor                   |
|                 | <b>L</b> for inductor                   |
|                 | <b>C</b> for capacitor                  |
|                 | <b>S</b> for solder balls               |
|                 | <b>D</b> for die                        |
|                 | <b>M</b> for molding compound           |
|                 | <b>O</b> for other types                |

**material** Optional. Material name enclosed by “ ”.

Pins are defined as:

pin name x y i/o type [pad\_stack\_id]

where

|                     |  |
|---------------------|--|
| <u>pin name</u>     | Name of the pin. If the name is not known, a sequential number will be used as a name. |
| <u>x</u> <u>y</u>   | Location of the pin with respect to local origin                                       |
| <u>i/o type</u>     | Pin I/O type.  |
|                     | <b>D</b> for driver pin  |
|                     | <b>R</b> for receiver pin  |
|                     | <b>B</b> for bi-directional pin  |
|                     | <b>DT</b> for driver terminator  |
|                     | <b>RT</b> for receiver terminator  |
| <u>pad_stack_id</u> | Optional. Pad stack ID (0 if pad stack is unknown)                                     |

### **.component**

*definition*

**.end [component]**

Describes a component placement. One component placement appears per line and each placed component is defined as:

name part name x y layer rotation [above/below]

where

|               |   |
|---------------|---|
| <u>U-name</u> | U-name. Also known as location identifier or reference designator. No space is allowed in the name. |
|---------------|---|

|                    |  |
|--------------------|--|
| <u>part name</u>   | Part name. The name is enclosed by double quotation marks (“ ”).   |
| <u>x y</u>         | Location of the component origin with respect to the board origin.   |
| <u>layer</u>       | Placement layer number.<br><b>+n</b> for above the layer<br><b>-n</b> for below the layer  |
| <u>rotation</u>    | Counter-clockwise rotation of the component in degrees with respect to the component origin (local origin).  |
| <u>above/below</u> | Optional. This field is ignored if the layer is <b>F</b> or <b>B</b> .<br>Placed above or below the layer.<br><b>above</b> for placed above the layer<br><b>below</b> for placed below the layer |

**.netattr**  
*definition*  
**.end [netattr]**

Net attribute definition. This section defines net attributes such as net class, allowable delays, and other user properties.  
Each attribute group is defined as:

id {attribute name1=value1 attribute name2=value2 ....}

where the id is an attribute group number that will be referenced by nets in the netlist section and it is sequentially numbered from 1. There may be more than one attribute defined for one group. Each attribute group definition may appear in more than one line. Attribute assignments appear in the braces { }. Each attribute assignment consists of attribute name, equal(=) sign, and the value.

**.netlist**  
*definition*  
**.end [netlist]**

This section defines net lists and each net is defined as:

net name net type attribute id {node1 node2 ....}

where

|                     |   |
|---------------------|---|
| <u>net name</u>     | Net name.   |
| <u>net type</u>     | Net type.<br><b>S</b> for signal net ( <b>s</b> if broken)<br><b>P</b> for power net ( <b>p</b> if broken)<br><b>G</b> for ground net ( <b>g</b> if broken) |
| <u>attribute id</u> | Net attribute ID. Zero indicates that the attribute is unknown.   |

Each node is defined as:

U-name pin number i/o type [ {x y layer} ]

where

|                   |   |
|-------------------|---|
| <u>U-name</u>     | U-name. "-" (minus sign) indicates unknown U-name.  |
| <u>pin number</u> | Pin number or pin name.   |
| <u>i/o type</u>   | Pin I/O type. Available types are <b>D</b> , <b>R</b> , <b>B</b> , <b>DT</b> , and <b>RT</b> as described in the part section. A place holder "-" (minus sign) must appear if the type defined for the pin in the part section is to be used. |

Pin location may appear at the end of the node definition. It is optional and must be enclosed by { }. Set the layer number to negative for solder balls.

**.via**  
*definition*  
**.end [via]**

This section defines vias. One via definition appears per line and each via is defined as:

via name pad stack id pad stack rot shape id shape rot **thickness**

where

|                     |  |
|---------------------|--|
| <u>via name</u>     | Via name that will be referenced by routing in the route section.  |
| <u>pad stack id</u> | Pad stack ID. Zero indicates that no pad stack exists for the via. |

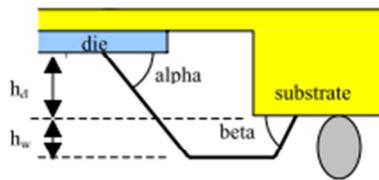
|                      |   |   |
|----------------------|---|---|
| <u>pad stack rot</u> | Counter-clockwise rotation angle of the pad stack         |  |
| <u>shape id</u>      | Shape ID of the via barrel.                               | $t < 0$   |
| <u>shape rot</u>     | Counter-clockwise rotation angle of the via barrel shape. |  |
| <u>thickness</u>     | Optional. Via barrel wall thickness.                      | $t = 0$   |
|                      |   |  |
|                      |   | $t > 0$   |

**.bondwire**  
*definition*  
**.end [bondwire]**

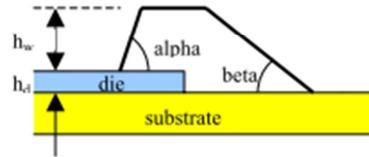
This section defines bond wire geometry. One bond wire definition appears per line and each bond wire is defined as:

id type material diameter h<sub>w</sub> h<sub>d</sub> alpha beta

where the id is a number that will be referenced by routing in the route section and it is sequentially numbered from 1. Others are explained below.



Die-down Configuration



Die-up Configuration

|                      |   |
|----------------------|---|
| <u>type</u>          | Bond wire type.<br><b>D</b> for die-down configuration<br><b>U</b> for die-up configuration                                 |
| <u>material</u>      | Material name or electric conductivity (1/ohm.mm).<br>If it is a name, it must be enclosed by double quotation marks (“ ”). |
| <u>diameter</u>      | Wire diameter.  |
| <u>h<sub>w</sub></u> | Wire loop height.   |

|                      |   |
|----------------------|---|
| <u>h<sub>d</sub></u> | Die height.<br>$H_{die\_pad} - H_{top\_of\_top\_metal\_layer}$ for die-up<br>$H_{die\_pad} - H_{bottom\_of\_bottom\_metal\_layer}$ for die-down |
| <u>alpha</u>         | Die side angle in degrees.  |
| <u>beta</u>          | Substrate side angle in degrees.  |

**.route**  
*definition*  
**.end [route]**

This section defines routed nets and each routed net is defined as:

net name {segment1 segment2 ....}

where net name is one of the nets appeared in the netlist section. Each routed net consists of one or more of segments and each segment is defined by one of the following methods. All of them are in the form of

segment type signal layer number(s) segment definition

**path** layer width {1<sup>st</sup> point segment1 segment2 ... }  
**via** begin layer end layer via name x y rotation [ mirror ]  
**bondwire** begin layer end layer bondwire id x<sub>d</sub> y<sub>d</sub> x<sub>s</sub> y<sub>s</sub>

**polygon** layer {x1 y1 x2 y2 ... }  
**rectangle** layer width length x y  
**square** layer width x y  
**diamond** layer width x y  
**circle** layer diameter x y  
**annular** layer outer diameter inner diameter x y  
**composite** layer {1<sup>st</sup> point segment1 segment2 ... }  
**shape** layer shapeID x y rotation mirror  
**shape** layer shapeID x y mirror rotation

**void\_polygon** layer {x1 y1 x2 y2 ... }  
**void\_rectangle** layer width length x y  
**void\_square** layer width x y  
**void\_diamond** layer width x y  
**void\_circle** layer diameter x y  
**void\_composite** layer {1<sup>st</sup> point segment1 segment2 ... }  
**void\_shape** layer shapeID x y rotation mirror  
**void\_shape** layer shapeID x y mirror rotation

The **path** segment is defined the same way as the composite shape is defined in the shape section except it has a *width* and the last point does not automatically connect to the first point.

The **via** segment requires *begin layer* and *end layer* numbers while other segments requires only one layer number. The via segment also requires

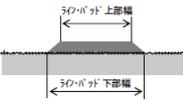
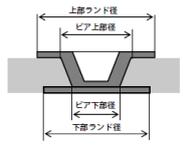
|                 |  |
|-----------------|--|
| <i>via name</i> | Name of the via defined in the via section                                       |
| <i>x y</i>      | Location of the via  |
| <i>rotation</i> | Counter-clockwise rotation angle of the pad stack in degrees                     |
| <i>mirror</i>   | Optional. Padstack mirror flag.<br>Y mirror padstack<br>N do not mirror padstack |

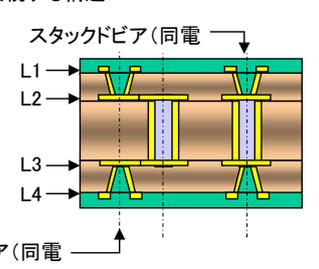
The **bondwire** segment requires

|                                    |  |
|------------------------------------|--|
| <i>begin layer</i>                 | Signal layer number of the one end of the wire. Use negative number to indicate the die. |
| <i>end layer</i>                   | Signal layer number of the substrate side of the wire.                                   |
| <i>bondwire id</i>                 | Bond wire ID. (0 if unknown)   |
| <i>x<sub>d</sub> y<sub>d</sub></i> | Die side coordinate of the wire landing point  |
| <i>x<sub>s</sub> y<sub>s</sub></i> | Substrate side coordinate of the wire landing point                                      |

All other segment types are defined the same way as they are defined in the shape section or in the board\_geom section.



| No. | 分類     | 用語・名称      | 定義・意味   | LSI例          | PKG例  | PWB例                      |
|-----|--------|------------|---|---------------|---|---------------------------|
| 1   | ネットリスト | ポート(名)     | 外部とのインターフェースとなる入出力端子<br>同一階層では全てユニークな名前にする  | ポート           | ピン名<br>ボール<br>BGA<br>リード                        | ピン名                       |
| 2   | ネットリスト | リファレンス(名)  | 機能ブロックの定義名<br>階層にかかわらず全てユニークな名前にする  | リファレンス<br>セル名 |   |                           |
| 3   | ネットリスト | インスタンス(名)  | 機能ブロックを配置する際に付ける名前<br>同一階層では全てユニークな名前にする  | インスタンス        | RefDes  | リファレンス                    |
| 4   | ネットリスト | ネット(名)     | 端子間の接続につけるラベル<br>基本的には同一階層内での定義だが、階層に関係なく接続を表す場合もある(グローバルネット・定義)  | ネット           | ネット   | ネット                       |
| 5   | ネットリスト | バス         | 複数の信号を束ねた配線のこと<br>信号名+数字で表す(数字の省略で全信号を表す場合もある)  | バス            | バス  | バス                        |
| 6   | 形状データ  | DIE        | SoCやメモリなどシリコンチップのこと   | -             | 部品<br>コンポーネント<br>LSI<br>チップ                     | 部品<br>コンポーネント             |
| 7   | 形状データ  | PKG        | パッケージのこと  |               |   |                           |
| 8   | 形状データ  | PWB        | プリント基板のこと (PCBとも呼ばれるが有害物質「ポリ塩化ビフェニル」と区別するため避けられる傾向がある)  |               |   |                           |
| 9   | 形状データ  | ボンディング     | ボンディングワイヤの基板側の着地点の図形  | -             | リード<br>2ndパッド<br>ワイヤボンディング<br>パッド<br>ボンディングパッド  | -                         |
| 10  | 解析条件   | 表面粗さ       | 導体と絶縁体の密着性を上げるために<br>導体表面を化学処理により粗した状態  |               |   | アンカースパイク                  |
| 11  | 解析条件   | 配線断面構造     | サブトラクティブ工法(銅箔の不要部を<br>削除する工法)では、配線の上部と<br>下部では導体の幅が異なる。<br>このような配線の構造を表す。<br> |               |   |                           |
| 12  | 形状データ  | VIA        | 層間の導通接続を行う穴。PWBでは、部品搭載するための穴とは区別される。(部品搭載するための穴はスルーホール)   | VIA<br>コンタクト  | VIA<br>スルーホール<br>レーザービア                         | (貫通)スルー<br>ホール<br>VIA     |
| 13  | 形状データ  | ランド        | 部品の取り付けおよび接続に用いる導体パターン。<br>表面実装用のパッドおよび部品取り付け穴、ビアを囲む導体パターンなどがある。  | -             | ランド<br>パッド                                      | ランド                       |
| 14  | 形状データ  | ドリルホール     | VIAに関するドリルの径  | -             |   | ドリル径、キリ径                  |
| 15  | 解析条件   | VIA3D構造    | VIAに関する3次元的な各種形状の寸法値および、VIA内部への充填材<br>                                       |               |   |                           |
| 16  | 形状データ  | フリップチップパッド | DIEをフェイスダウン(回路面を基板側へ向ける)で搭載する際の<br>基板側の接続点。<br>※ワイヤタイプのボンディングに相当。   |               | FCパッド   |                           |
| 17  | 形状データ  | 認識マーク      | DIEをマウントするための手がかりとなるパターンマーク。  |               | フィデュシャル<br>マーク                                  |                           |
| 18  | 形状データ  | ソルダーレジスト   | プリント基板の半田付けが不要な部分に形成する保護膜のこと。   |               | レジスト  |                           |
| 19  | 形状データ  | スタブ        | 電解メッキのために必要な、回路上不要な配線パターン。  |               | メッキ引き出し<br>線<br>プレーティング<br>バー<br>プレーティング<br>スタブ |                           |
| 20  | 形状データ  | 基板         | 担当分野によって意味合いが大きく異なる。<br>No.8に類似項目があるが、PWBというプリント基板限定のイメージがある。   | シリコン基板        | インターポーザ<br>パッケージ基板                              | マザーボード<br>実装ボード<br>プリント基板 |

| No. | 分類     | 用語・名称    | 定義・意味  | LSI例                 | PKG例                 | PWB例                      |
|-----|--------|----------|--|----------------------|----------------------|---------------------------|
| 21  | ネットリスト | ラッツネスト   | 同一ネット間を結んだ直線。<br>端子間を接続する配線設計を行う際の道標。  | フライライン               | ラッツ                  |                           |
| 22  | 形状データ  | リング      | DIEの周辺を囲んだ配線パターン。<br>電源やグランドで使われることが多い。  |                      | グランドリング<br>電源リング     |                           |
| 23  | 形状データ  | ボール      | BGAタイプパッケージでの外部端子。   |                      | 半田ボール<br>ピン          |                           |
| 24  | 形状データ  | サーマルボール  | 熱を逃がす為にDIE直下に配置されたボール  |                      |                      |                           |
| 25  | 形状データ  | ゲートパターン  | パッケージで封止する際に、樹脂を流す通り道  |                      | ゲート                  |                           |
| 26  | 形状データ  | サーマルVIA  | 熱を逃がす為にDIE直下に配置されたVIA  | —                    | サーマルVIA              | サーマルVIA                   |
| 27  | 形状データ  | サーマルリリーフ | ハンダ付け用に熱を逃がさないための形状  |                      |                      | サーマルVIA                   |
| 28  | 形状データ  | プレーン     | パッケージやボードで主に電源/グランドなどに用いる導体面のこと  | —                    | プレーン<br>ベタ(パタン)      | プレーン<br>面、ベタ(パタン)、<br>メタル |
| 29  | 形状データ  | ポイド      | プレーンに孔をあけるための図形形状のこと   | —                    | 抜きパタン<br>窓<br>ガス抜き穴  | 抜きパタン<br>窓<br>ガス抜き穴       |
| 30  | 形状データ  | 残銅率      | レイヤーごとの導体の占有面積比のこと   | メタルカバレッジ<br>メタルデンシティ | 残銅率                  | 残銅率                       |
| 31  | 形状データ  | シールド     | 信号などへの電磁的および静電的な干渉を制約するために、配置される材料のこと。特にGNDの導体を配置する場合にはGNDシールドと呼ぶ。   |                      | シールド                 | シールド<br>ガードリング            |
| 32  | 解析条件   | 遅延       | ドライバICからレシーバICまで信号が伝播する時間  |                      | 遅延                   | 遅延                        |
| 33  | 解析条件   | スキュー     | 同期式回路で信号の伝播による遅延時間のばらつき。<br>または、基準信号の遅延時間に対して、対象信号の遅延時間のずれ量  |                      | スキュー                 | スキュー                      |
| 34  | 解析条件   | 体積抵抗率    | 材料中を流れる電流に平行な方向の電位の傾きである電流密度に対する比。   |                      | 体積抵抗率                | 体積抵抗率                     |
| 35  | 形状データ  | スタックビア   | 同じ位置にビアを積み上げた構造  |                      | スタックビア               | スタックビア                    |
| 36  | 形状データ  | スパイラルビア  | 同電位のビアをビア中央で接続するのではなく、接続位置を螺旋状にずらして接続する構造<br><br> |                      | スパイラルビア<br>スタックガードビア | スパイラルビア<br>スタックガードビア      |
| 37  | 形状データ  | フィールドビア  | ビア内部を樹脂もしくは導体で埋め込んだビア構造  |                      | フィールドビア              | フィールドビア                   |

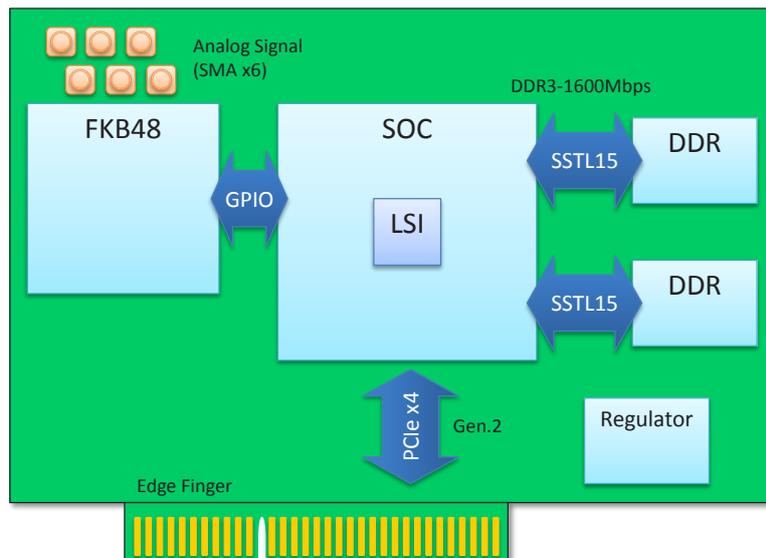
# JEITA LPB相互設計WG

## Golden Sample SPECIFICATION

Rev.1.0



## Golden Sample

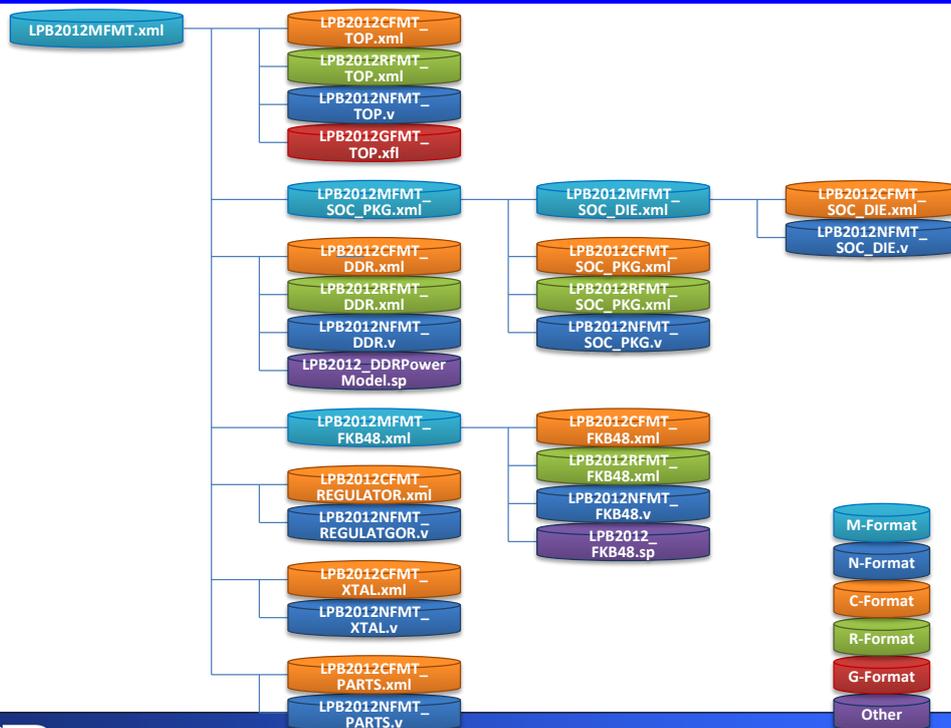


# Golden Sample

|                           |  |
|---------------------------|--|
| SOC                       | LSI, PKGとも新規設計の想定<br><Features><br>・DDR3-Interface<br>・PCI-Express x4 Interface<br>・GPIO Bus (Input:3Byte, Output:3Byte)<br><Package><br>Size 27mm□<br>Ball Pitch 1.0mm<br>Num. of Balls 276 Ball (3Row)<br>Num. of Layers 4 |
| DDR                       | 既存, PKG品<br><Package><br>Size 13.0x9.3mm<br>Ball Pitch 0.8mm<br>Num. of Balls 78 Ball  |
| FKB48                     | 既存, PKG品の想定<br><Features><br>・Analog Input (SMA) 3channel<br>・Analog Output (SMA) 3channel<br>・GPIO Bus (Input:3Byte, Output:3Byte)<br><Package><br>Size 20mm□<br>Ball Pitch 1.0mm<br>Num. of Balls 136 Ball (2Row)          |
| Regulator                 | 既存, PKG品   |
| 水晶                        | 既存   |
| 受動部品 (R, C, Ferrite bead) | 既存   |



## Golden Sampleの構成



# Board

## <Board>

Size 80mm x 100mm  
 Num. of Layers 4



# SOC

## <Features>

- DDR3-Interface
- PCI-Express x4 Interface
- GPIO Bus (Input:3Byte, Output:3Byte)

### <Power/GND>

VDD\_CORE 1.2V for CORE  
 VSS GND for CORE  
 VDD\_DDR 1.5V for DDR-IF  
 VSS\_DDR GND for DDR-IF  
 VDD\_PCI 3.3V for PCIe  
 VSS\_PCI GND for PCIe  
 VDD\_GPIO 3.3V for GPIO  
 VSS\_GPIO GND for GPIO  
 AVDD 3.3V for PLL  
 AVSS GND for Analog

### FKB48

clock 1  
 reset 1  
 GPIO 48  
 Total 50

### PCI-Express

clock 1x2  
 TX 4x2  
 RX 4x2  
 Total 18

### DDR

CK 2x2  
 CA 25  
 Byte 22  
 reset 1  
 ZQ 1  
 Total 53

### PLL

XTAL 2  
 Total 2



# SOC

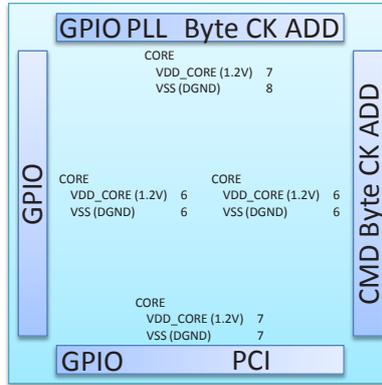
## <LSI>

Size 7mm□  
 Pad Pitch 110um  
 Num. of Pads 240 (60x4)

|                 |    |             |   |                |     |
|-----------------|----|-------------|---|----------------|-----|
| GPIO            |    | PLL         |   | DDR            |     |
| VDD_GPIO (3.3V) | 2  | AVDD (3.3V) | 1 | VDD_DDR (1.5V) | 5   |
| VSS_GPIO (GPIO) | 2  | AVSS (AGND) | 1 | VSS_DDR (DDR)  | 5   |
| Signal          | 6  | XTAL        | 2 | Byte           | 11  |
| Total           | 10 | Total       | 4 | CK             | 1x2 |
|                 |    |             |   | Address        | 8   |
|                 |    |             |   | Total          | 31  |

|                 |    |
|-----------------|----|
| GPIO            |    |
| VDD_GPIO (3.3V) | 7  |
| VSS_GPIO (GPIO) | 7  |
| Signal          | 32 |
| Total           | 48 |

\* TEST Signal (TEST0/1) ... 2pad  
 (PTでのみ使用、Bondingしません)



|                |     |
|----------------|-----|
| DDR            |     |
| VDD_DDR (1.5V) | 8   |
| VSS_DDR (DDR)  | 8   |
| Address        | 8   |
| CK             | 1x2 |
| Byte           | 11  |
| CMD/CNTL       | 10  |
| ZQ             | 1   |
| Total          | 48  |

\* VREFはLSI内部で生成するため、外部印加不要  
 したがって、VREF pad は存在しません

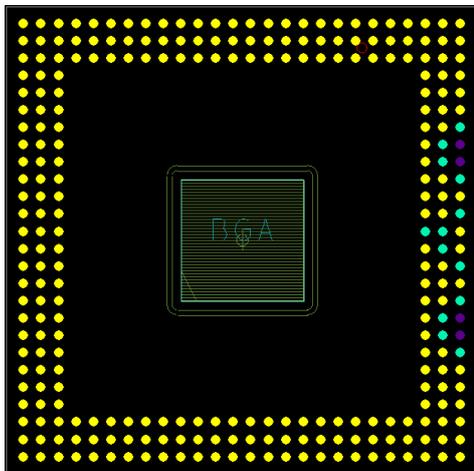
|                 |    |                |    |
|-----------------|----|----------------|----|
| GPIO            |    | PCI-Express    |    |
| VDD_GPIO (3.3V) | 3  | VDD_PCI (3.3V) | 5  |
| VSS_GPIO (GPIO) | 3  | VSS_PCI (PCI)  | 5  |
| Signal          | 12 | Signal         | 18 |
| Total           | 18 | Total          | 28 |



# SOC (cont'd)

## <Package>

Size 27mm□  
 Ball Pitch 1.0mm  
 Num. of Balls 276 Ball (3Row)  
 Num. of Layers 4



## <Power/GND>

VDD\_GPIO 3.3V for GPIO  
 VDD\_PCI 3.3V for PCIe  
 VDD\_DDR 1.5V for DDR-IF  
 VDD\_CORE 1.2V for CORE

VSS GND for CORE & GPIO \*1  
 VSS\_PCI GND for PCIe  
 VSS\_DDR GND for DDR-IF

VDD\_PLL 3.3V for PLL (AVDD)  
 VSS\_PLL GND for Analog (AVSS)

\*1) CORE GNDとGPIO GNDはPKGで接続します。



# FKB48

## <Features>

- Analog Input (SMA) 3channel
- Analog Output (SMA) 3channel
- GPIO Bus (Input:3Byte, Output:3Byte)

## <Power/GND>

|        |                  |
|--------|------------------|
| VDD33  | 3.3V for Digital |
| VSS    | GND for Digital  |
| AVDD33 | 3.3V for Analog  |
| AGND   | GND for Analog   |

## <Digital>

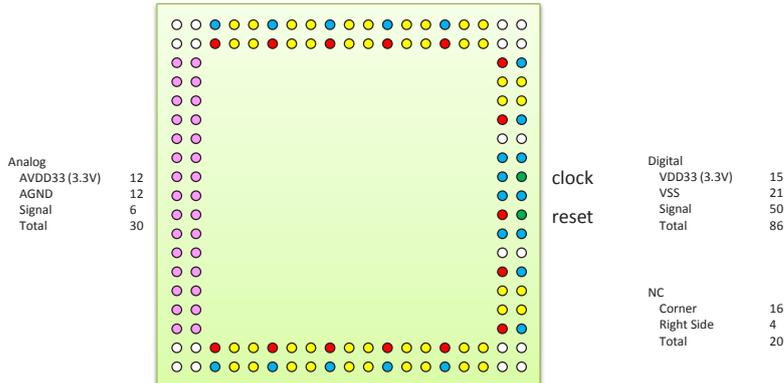
|            |            |
|------------|------------|
| clock      | 1          |
| reset      | 1          |
| GPIO (IN)  | 24 (3Byte) |
| GPIO (OUT) | 24 (3Byte) |
| Total      | 50         |

## <Package>

Size 20mm □  
 Ball Pitch 1.0mm  
 Num. of Balls 136 Ball (2Row)

## <Analog>

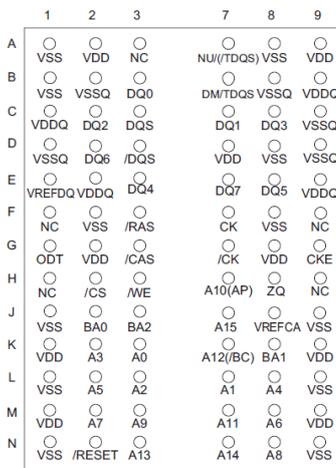
|           |   |
|-----------|---|
| FKBIN0-2  | 3 |
| FKBOUT0-2 | 3 |
| Total     | 6 |



# DDR3-SDRAM

## <Package>

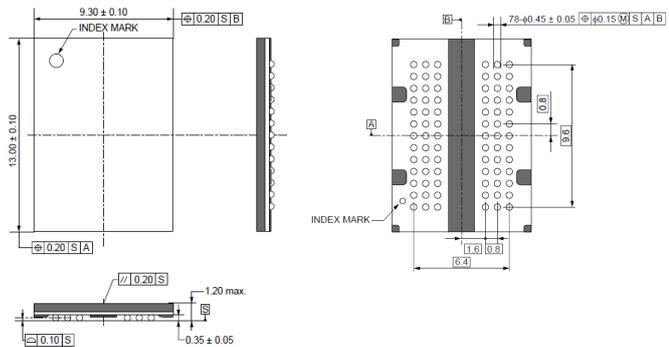
Size 13.0x9.3mm  
 Ball Pitch 0.8mm  
 Num. of Balls 78 Ball



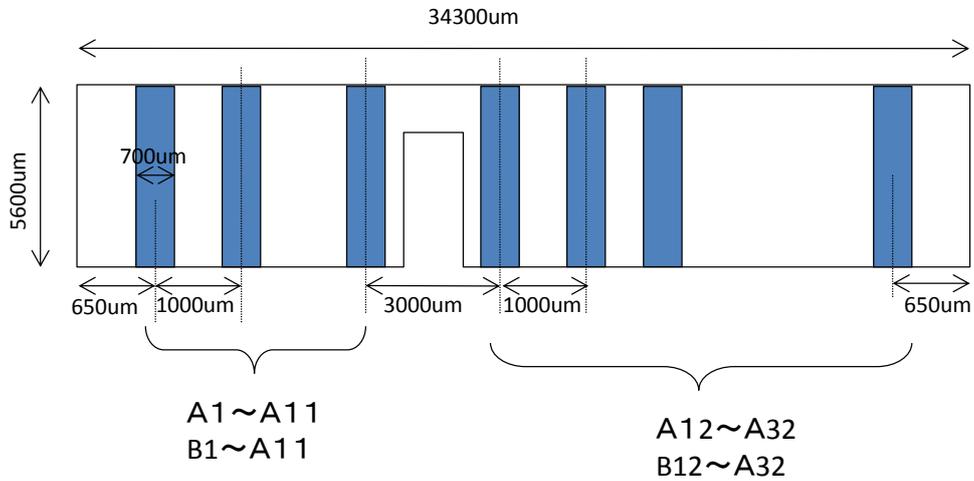
(Top view)

| Pin name                     | Function  | Pin name            | Function                            |
|------------------------------|---|---------------------|-------------------------------------|
| A0 to A15 <sup>1,3</sup>     | Address inputs<br>A10 (AP): Auto precharge<br>A12(BC): Burst chop | /RESET <sup>3</sup> | Active low asynchronous reset       |
| BA0 to BA2 <sup>3</sup>      | Bank select   | VDD                 | Supply voltage for internal circuit |
| DD0 to DD7                   | Data input/output   | VSS                 | Ground for internal circuit         |
| DQS, /DQS                    | Differential data strobe  | VDDQ                | Supply voltage for DQ circuit       |
| TDQS, /TDQS                  | Termination data strobe   | VSSQ                | Ground for DQ circuit               |
| /CS <sup>2</sup>             | Chip select   | VREFDQ              | Reference voltage for DQ            |
| /RAS, /CAS, /WE <sup>3</sup> | Command input   | VREFCA              | Reference voltage                   |
| CKE <sup>2</sup>             | Clock enable  | ZQ                  | Reference pin for ZQ calibration    |
| CK, /CK                      | Differential clock input  | NC <sup>1</sup>     | No connection                       |
| DM                           | Write data mask   | NU <sup>2</sup>     | Not usable                          |
| ODT <sup>2</sup>             | ODT control   |                     |                                     |

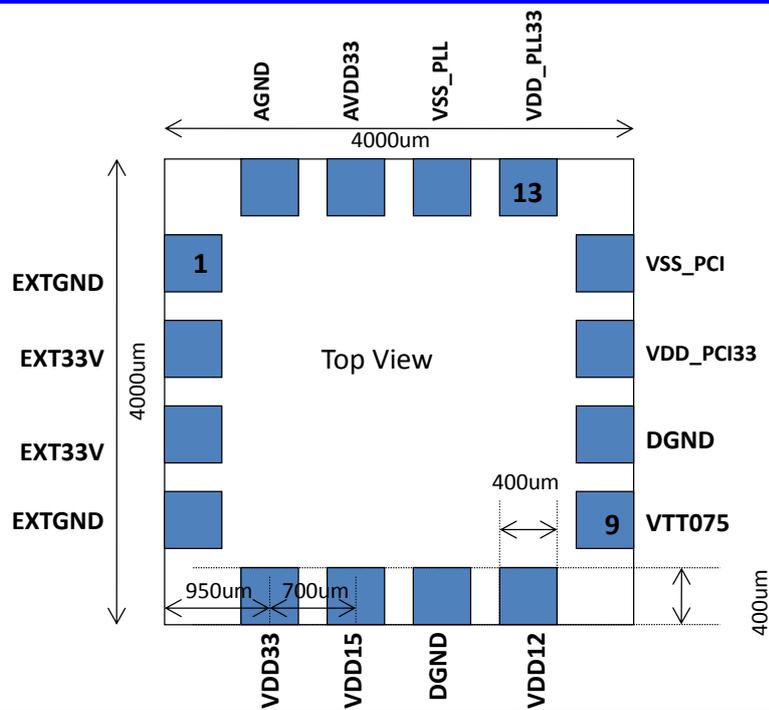
- Notes: 1. Not internally connected with die.  
 2. Don't connect. Internally connected.  
 3. Input only pins (address, command, CKE, ODT and /RESET) do not supply termination.



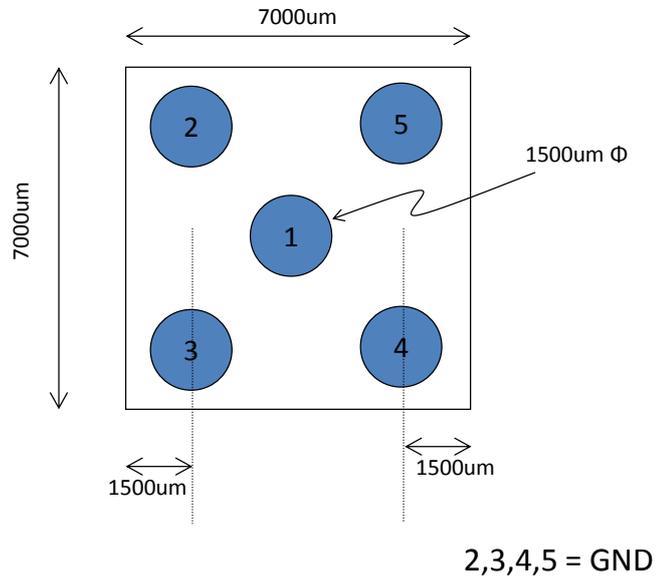
# PCI Express Card Edge



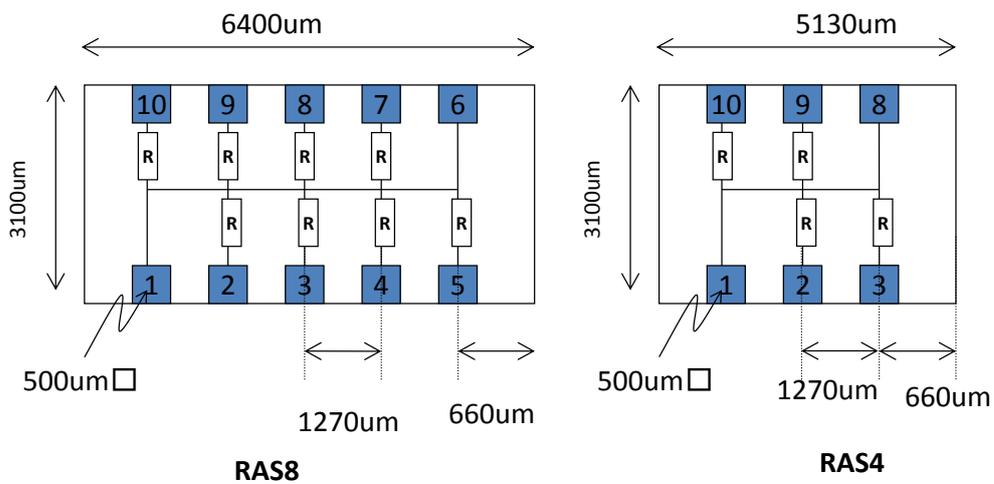
# PMIC / Regulator



# SMA



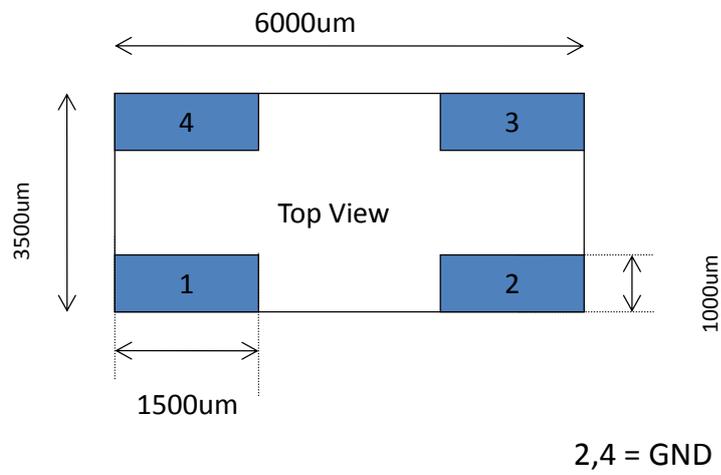
# Register Array



Top View



# crystal unit / XTAL



## 2012エレクトロニクス実装学会サマーセミナー

# LSI・パッケージ・ボード相互設計の効率と品質を向上させるLPB標準フォーマットの効果と活用手法

平成24年8月30日(木) 13:05-14:05  
JEITA LPB相互設計ワーキンググループ

## Agenda

1. JEITA LPB相互設計ワーキンググループについて
  - 設立の背景とゴール
  - 課題の整理とLPB標準フォーマットの策定
2. LPB標準フォーマットについて
  - LPB標準フォーマット詳細
  - LPB相互設計ワーキンググループHP
3. 事例検証
  - 設計フロー改善効果
  - コスト比較
  - 最新状況
4. まとめ

# Agenda

1. JEITA LPB相互設計ワーキンググループについて
  - 設立の背景とゴール
  - 課題の整理とLPB標準フォーマットの策定
2. LPB標準フォーマットについて
  - LPB標準フォーマット詳細
  - LPB相互設計ワーキンググループHP
3. 事例検証
  - 設計フロー改善効果
  - コスト比較
  - 最新状況
4. まとめ

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## LPB相互設計WG設立の背景

### 電子機器産業界(設計現場)の現状と課題

#### 現状

- ・LSI・パッケージ・ボード各分野での連携がとれておらず、全体としての最適化が進まない
- ・フォーマットがばらばらでEDA技術活用の効率化が進まない

#### 設計現場の課題

- ・ツールユーザーがツール間のデータフォーマット調整に対応
- ・作業に時間がかかり本来の設計に使うべき時間のロスが発生
- ・**苦労が大きい割にはそこから生じる恩恵は小さい**



そのような現場の声を受けて2010年4月にLPB-WGが正式に発足

## LPB相互設計WG設立の目的・ゴール

### ■LPB相互設計WG設立の目的

- ・LPBが協力しあって設計を行う為の課題を抽出し、その分析を行い、ソリューションの提案を行う。
- ・具体的にはLPB全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の検討を行い提案を作成する。
- ・提案内容は公開し普及を図る。
- ・これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

### ■議論内容・ゴール

変革ポイント：設計・検証の情報流通改善、時間の有効活用：

|   | ユーザー側のメリット | EDAベンダー側のメリット |
|---|------------|---------------|
| Q | 解析精度、品質向上  | ツール本来の効果を発揮   |
| C | コスト対性能の最適化 | 保守費低減、工数削減    |
| D | 準備、設計期間を短縮 | 標準利用による設計短縮   |

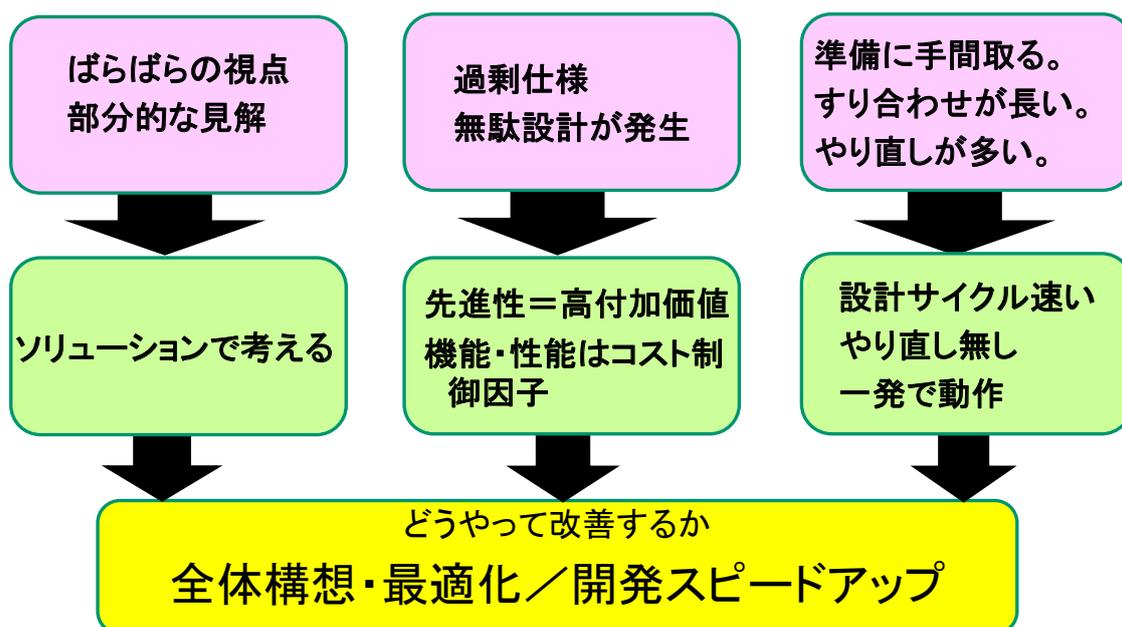
ユーザー、ベンダーの相互作用によるEDA業界の活性化

5

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## 課題の整理

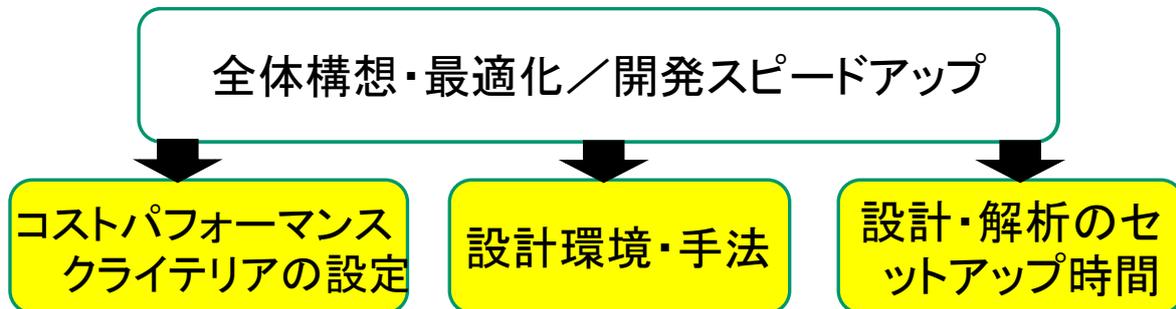
■ 要因を整理すると改善ポイントがわかる。



Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## What? 何を改良？

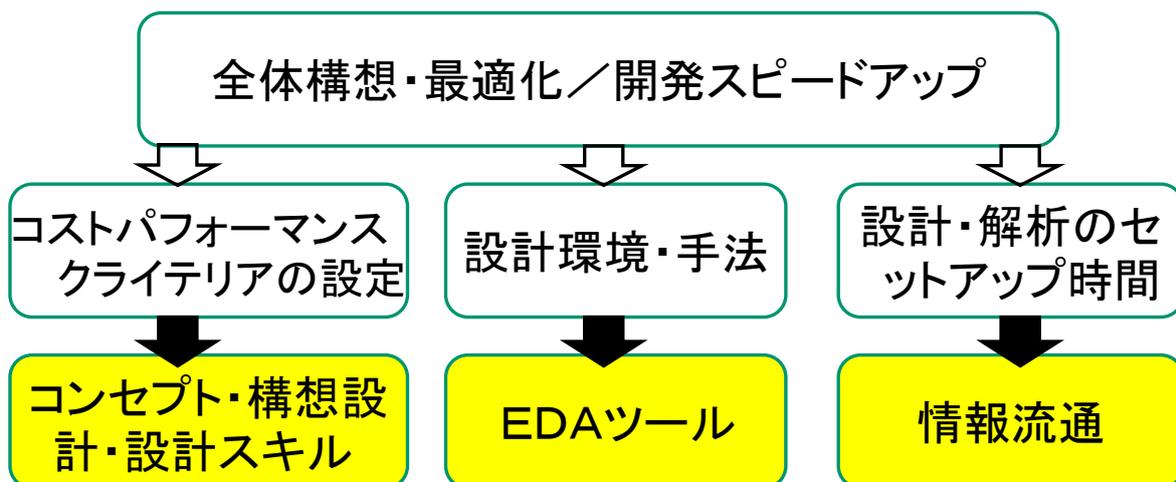
改良点を分析



Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## How? どうやって改良？

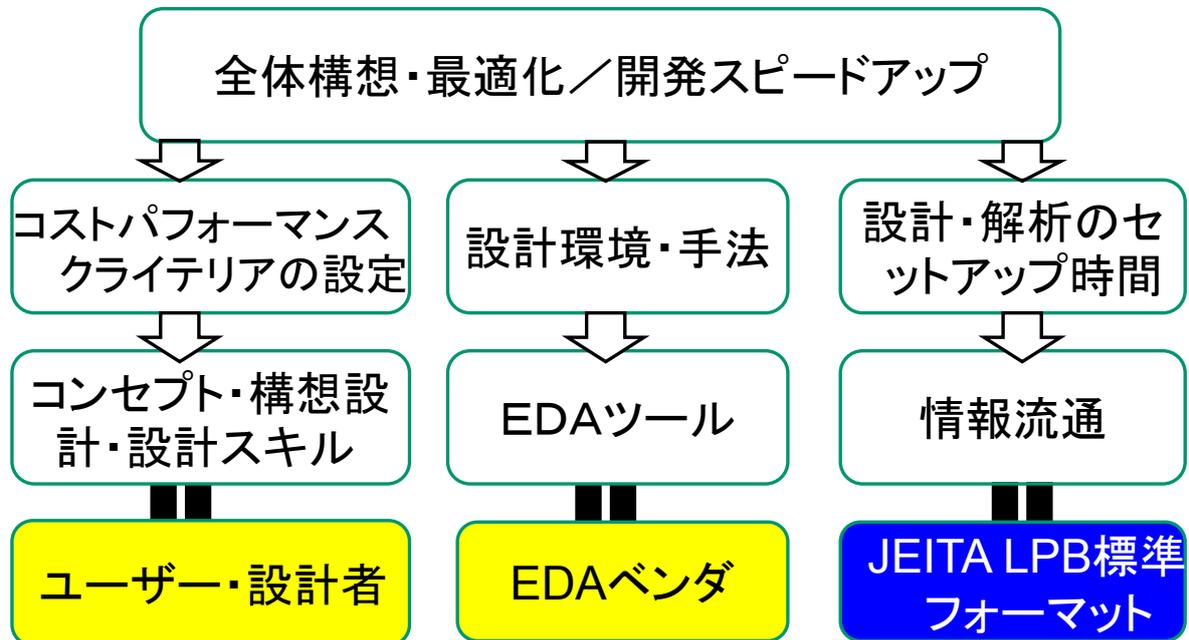
改良点を分析して行動に結びつける。



Copyright©2012 JEITA/EDA/LPB All Rights Reserved

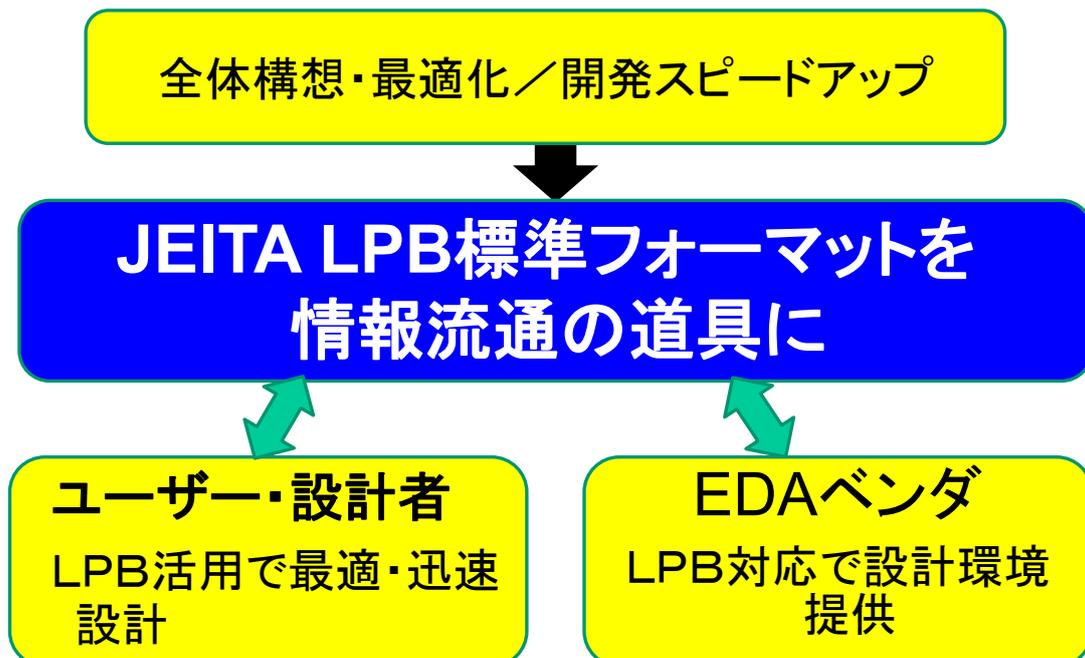
## Who? 誰が改良?

改良点を分析して行動に結びつける。



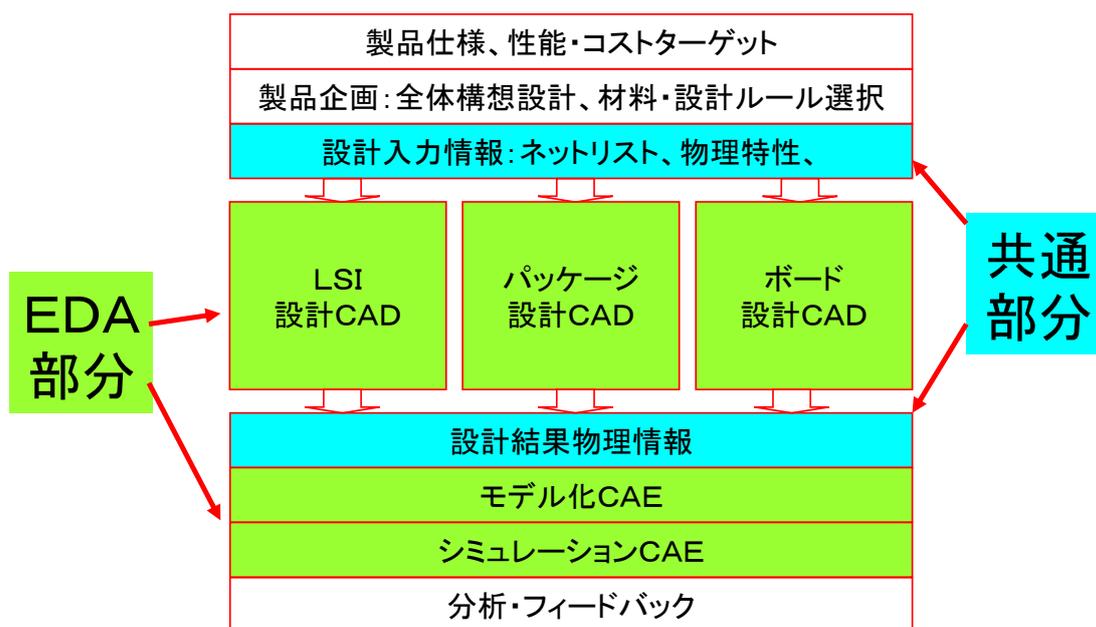
Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## 今回の提案



Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## LPB相互設計におけるEDA部分と共通部分



設計最適化の課題を整理し、競争領域と非競争領域の区別を行い、非競争領域における標準フォーマットをJEITAで検討・策定

## まとめ

### ■ 課題

- 相互設計 : 異文化同士の交流
  - ・ コミュニケーションをもっとスムーズにしたい
- 異文化間交流には、定められたプロトコルが必要
  - ・ 意思の疎通を円滑に...
  - ・ 解析・モデリングツールを設計の道具に...

### ■ ソリューション

- コミュニケーションのためにフォーマットを統一  
*LPB M/N/C/G/R-Format*

# Agenda

1. JEITA LPB相互設計ワーキンググループについて
  - 設立の背景とゴール
  - 課題の整理とLPB標準フォーマットの策定
2. LPB標準フォーマットについて
  - LPB標準フォーマット詳細
  - LPB相互設計ワーキンググループHP
3. 事例検証
  - 設計フロー改善効果
  - コスト比較
  - 最新状況
4. まとめ

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## JEITA LPB標準フォーマット

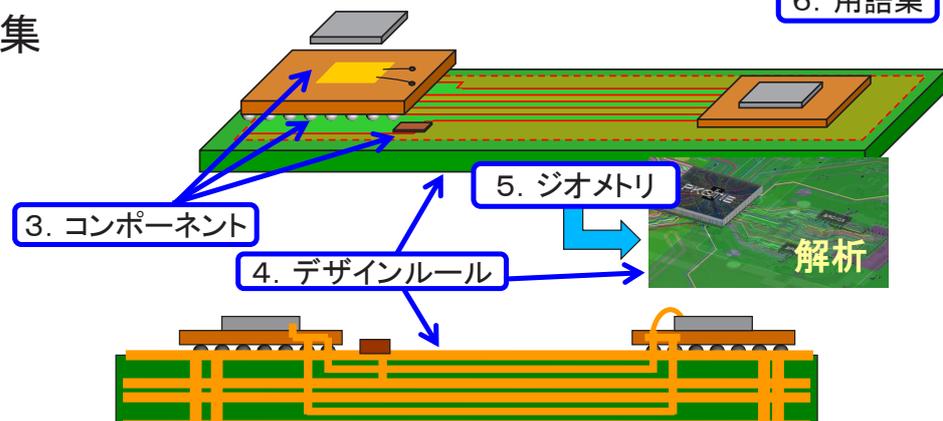
JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理 (M-Format)
2. ネットリスト (N-Format)
3. コンポーネント (C-Format)
4. デザインルール (R-Format)
5. ジオメトリ (G-Format)
6. 用語集

1. プロジェクト管理

2. ネットリスト

6. 用語集



14 Copyright©2012 JEITA/EDA/LPB All Rights Reserved

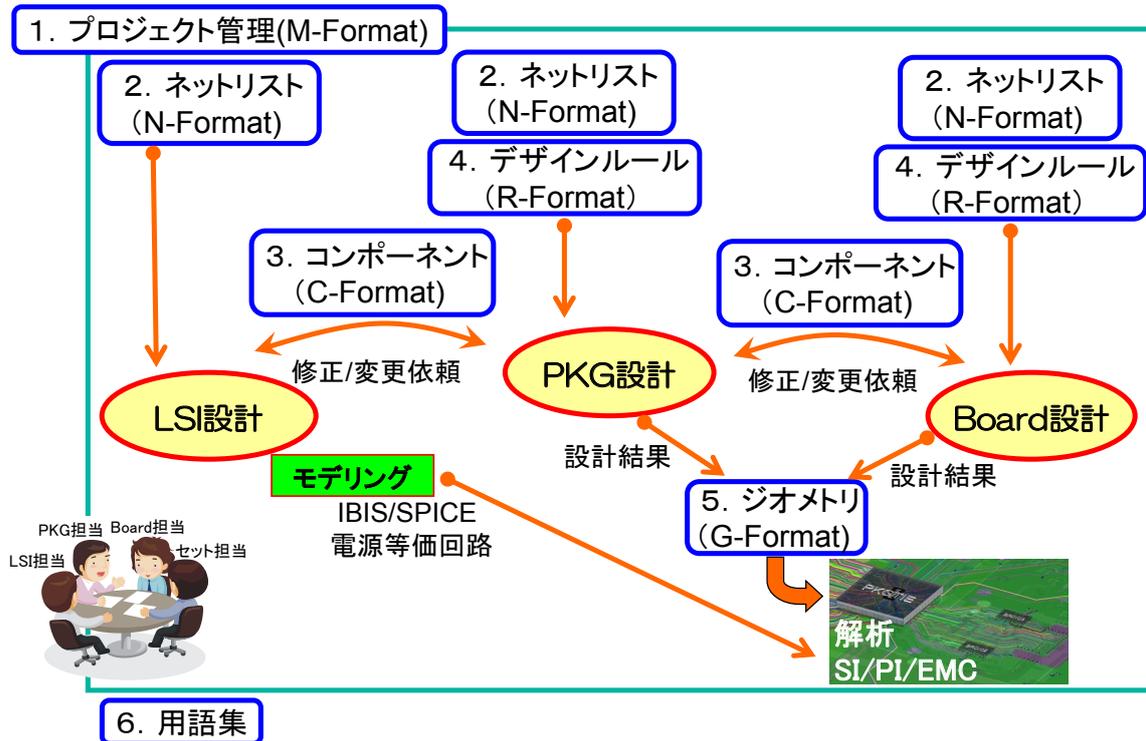
## JEITA LPB標準フォーマット概要

| フォーマット名                | 概要  | フォーマットの書式  |
|------------------------|---|--|
| プロジェクト管理<br>(M-Format) | <ul style="list-style-type: none"> <li>各フォーマットの対応付け</li> <li>更新状況の把握</li> <li>関連ファイルとの対応付け</li> </ul> | XML(独自)<br>流通している既存フォーマットを調査した結果、独自とした                             |
| ネットリスト<br>(N-Format)   | <ul style="list-style-type: none"> <li>接続状況を明確にする</li> <li>信号、電源GNDを表現する</li> </ul>                   | Verilog-HDL(既存)<br>電源GND端子を追加                                      |
| コンポーネント<br>(C-Format)  | <ul style="list-style-type: none"> <li>端子情報の定義</li> <li>制約事項の定義</li> <li>設計状況の提示</li> </ul>           | XML(独自)<br>流通している既存フォーマットを調査した結果、独自とした                             |
| デザインルール<br>(R-Format)  | <ul style="list-style-type: none"> <li>テクノロジーの定義</li> <li>製造製ルールの定義</li> <li>解析条件セットアップ</li> </ul>    | XML(独自)<br>流通している既存フォーマットを調査した結果、独自とした                             |
| ジオメトリ<br>(G-Format)    | <ul style="list-style-type: none"> <li>設計結果を解析に渡す物理情報</li> </ul>                                      | アパッチ: XFL Ver1.0(既存)<br>現時点で公開を認められたフォーマット<br>アパッチ殿からドネーション頂いています。 |

## JEITA LPB標準フォーマット概要

| フォーマット名                | 概要                | フォーマットの書式  |
|------------------------|-------------------|--|
| プロジェクト管理<br>(M-Format) | <b>設計各部の履歴</b>    | 既存フォーマットを調査した結果、独自とした  |
| ネットリスト<br>(N-Format)   | <b>ネット接続表現+VG</b> | (既存)<br>電源GND端子を追加   |
| コンポーネント<br>(C-Format)  | <b>部品・制約・端子</b>   | 既存フォーマットを調査した結果、独自とした  |
| デザインルール<br>(R-Format)  | <b>設計ルール・材料特性</b> | 既存フォーマットを調査した結果、独自とした  |
| ジオメトリ<br>(G-Format)    | <b>解析用形状データ</b>   | XFL Ver1.0(既存)<br>現時点で公開を認められたフォーマット<br>アパッチ殿からドネーション頂いています。 |

# LPB標準フォーマットの位置づけ



## まとめ

| フォーマット名             | メリット  |   |
|---------------------|---|---|
|                     | 設計  | 解析  |
| プロジェクト管理 (M-Format) | <ul style="list-style-type: none"> <li>・制約ルールの履歴管理が容易</li> <li>・検証状況の把握が容易</li> </ul> | <ul style="list-style-type: none"> <li>・最新の解析条件の把握が容易</li> </ul>                            |
| ネットリスト (N-Format)   | <ul style="list-style-type: none"> <li>・統一フォーマットなので、漏れ防止・ミス低減</li> </ul>              | <ul style="list-style-type: none"> <li>・LSI-PKG-Boardの接続設定が省ける</li> </ul>                   |
| コンポーネント (C-Format)  | <ul style="list-style-type: none"> <li>・LSI-PKG-Boardの検討がスムーズに行える</li> </ul>          | <ul style="list-style-type: none"> <li>・制約条件が明確になる</li> <li>・最適化検証が容易に行える</li> </ul>        |
| デザインルール (R-Format)  | <ul style="list-style-type: none"> <li>・事前に設計ルールを明確にし、効率的な設計が行える</li> </ul>           | <ul style="list-style-type: none"> <li>・解析条件が明確になる</li> <li>・解析設定の効率がUPする</li> </ul>        |
| ジオメトリ (G-Format)    | <ul style="list-style-type: none"> <li>・設計資産の活用</li> <li>・リファレンス設計の流用が可能</li> </ul>   | <ul style="list-style-type: none"> <li>・データ変換作業の効率化・簡素化</li> <li>・ツール評価の効率化がはかれる</li> </ul> |

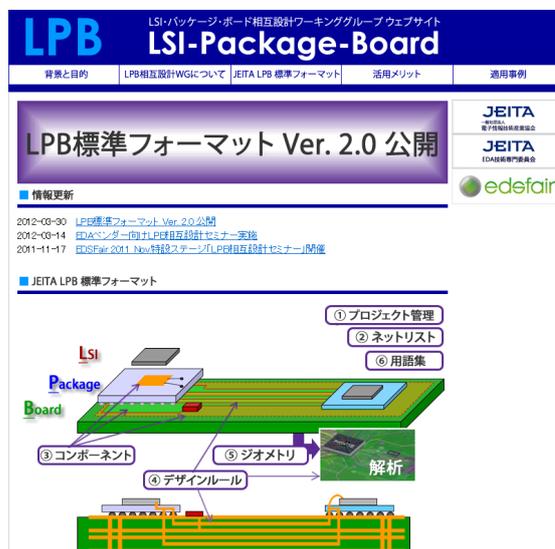


LSI-PKG-Boardで共通に使える統一されたフォーマット  
 →設計・解析の効率化(特に、お互いの意思疎通ミスの防止)  
 →階層内の最適化だけでなく、階層間の最適化が可能



2012年3月30日にLPB相互設計のwebページにおいて、  
LPB標準フォーマット Ver2.0を公開

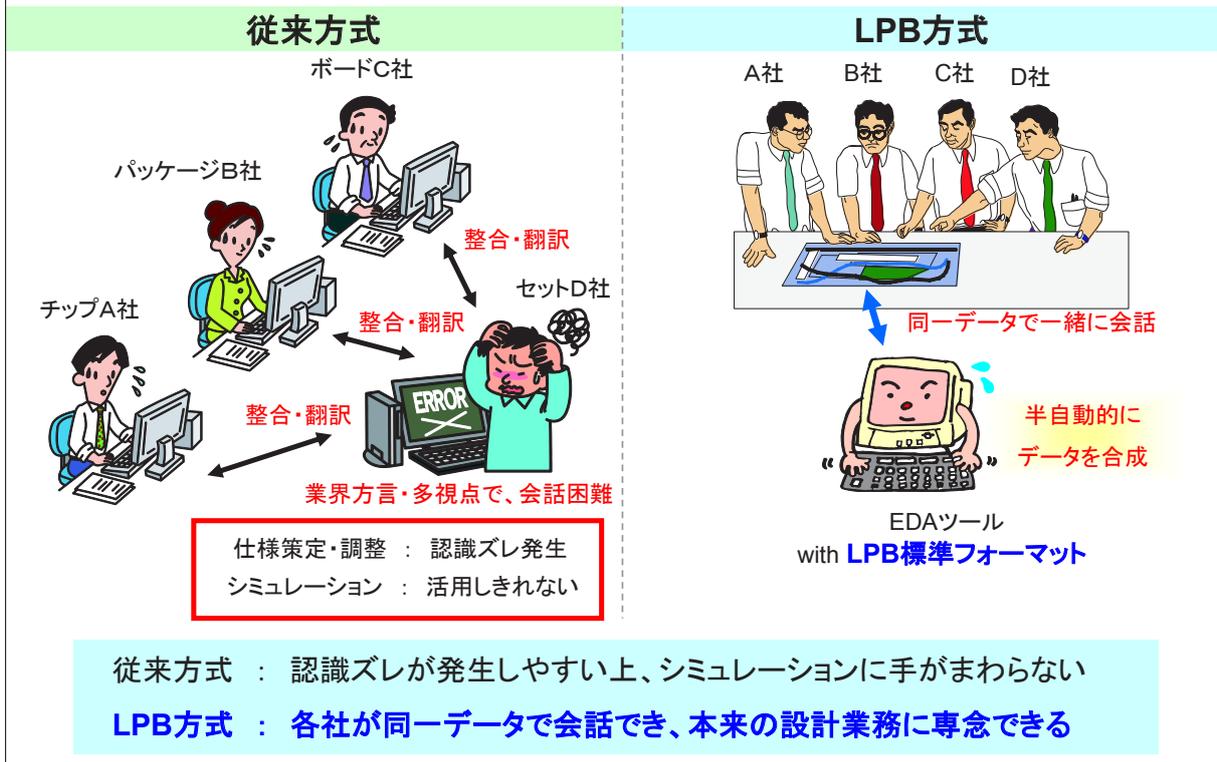
[http://www.jeita-edatc.com/wg\\_lp/home/lpb.html](http://www.jeita-edatc.com/wg_lp/home/lpb.html)



## Agenda

1. JEITA LPB相互設計ワーキンググループについて
  - 設立の背景とゴール
  - 課題の整理とLPB標準フォーマットの策定
2. LPB標準フォーマットについて
  - LPB標準フォーマット詳細
  - LPB相互設計ワーキンググループHP
3. 事例検証
  - 設計フロー改善効果
  - コスト比較
  - 最新状況
4. まとめ

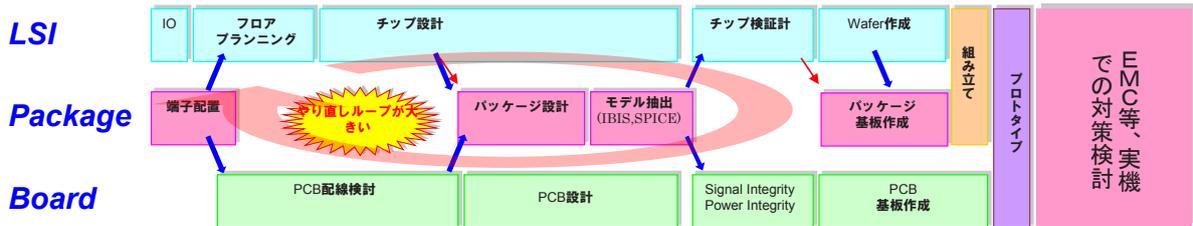
# 事例検証（従来方式とLPB方式のおさらい）



# LPB方式による量産設計フローの改善効果

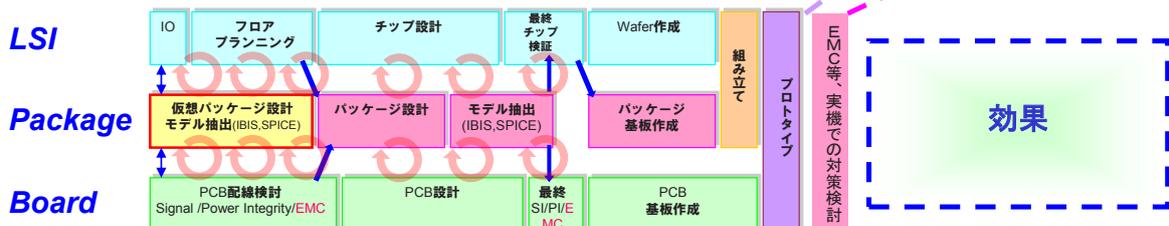
## ■従来方式：現在の主な設計手法

チップ、パッケージ、システムが別々に設計されて最後に全体の検証を行う。



## ■LPB方式：LPBコンカレント協調設計：

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。

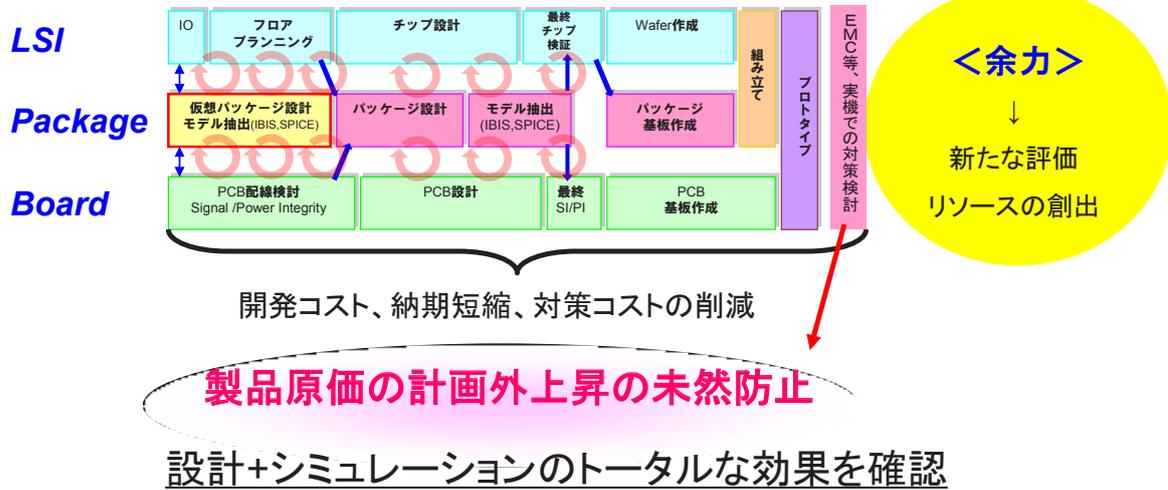


EMCまで対応可能な効果的なフロントローディングを実現

# LPB方式による量産設計フローの改善効果

## ■LPB方式：LPBコンカレント協調設計：

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



## 事例検証

### EDSフェア(2011年11月17日)発表

従来方式とLPBフォーマット方式、それぞれで実際に設計することで比較

#### ■従来方式担当

キャノン

#### ■LPB方式担当

##### ・Chip A

LSI : ソニー  
パッケージ : 富士通  
リコー

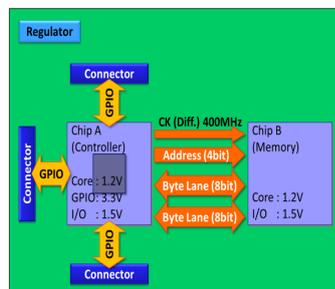
##### ・Chip B

LSI : 東芝  
パッケージ : 図研

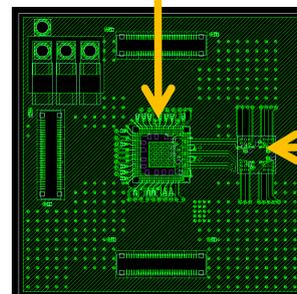
・ボード : トッパンNEC  
パナソニック

・検証 : デンソー

#### DDRをモチーフとして設計



Chip A



LPBフォーマットで仕様書やり取り



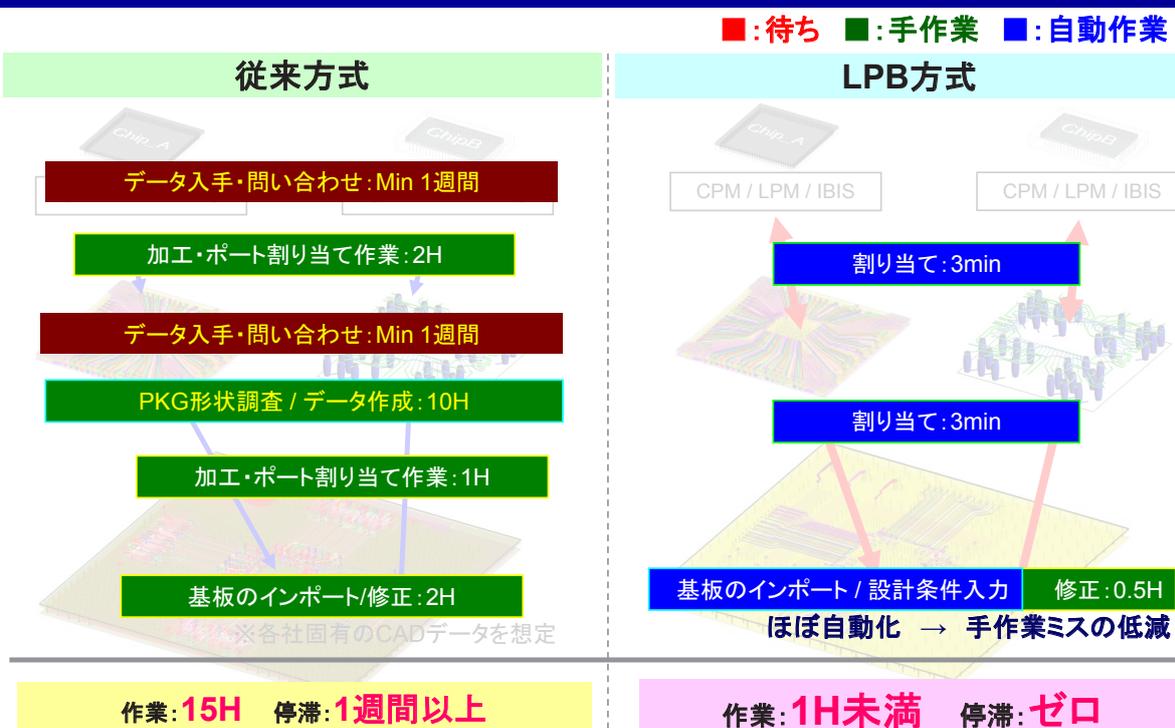
LPB標準フォーマットを適用することのメリットを確認。

## 設計コスト 比較

|  | 従来方式                  | LPB方式(推定)             |
|--|-----------------------|-----------------------|
| <del>1. 仕様説明資料作成</del>   | 2.0h                  |                       |
| 2. 設計者への説明   | 0.5h                  | 0.5h                  |
| <del>3. 基板デザインルール決定</del>  | 3.5h                  |                       |
| 4. 新規ネットリスト作成  | 5.0h                  | 5.0h                  |
| 5. フロアプラン(CAD作業)   | 7.5h                  | 7.5h                  |
| <ul style="list-style-type: none"> <li>✓ ・部品マクロ登録</li> <li>✓ ・部品収集</li> <li>✓ ・配置配線</li> </ul> |                       |                       |
| 6. 修正デバッグ  | 作業時間7.5h<br>(修正3回、3日) | 作業時間2.0h<br>(修正1回、半日) |
| 合計   | 26 H、停滞3日             | 15H、停滞半日              |

▼ 工数42%低減 停滞 1/3以下

## シミュレーションコスト 比較



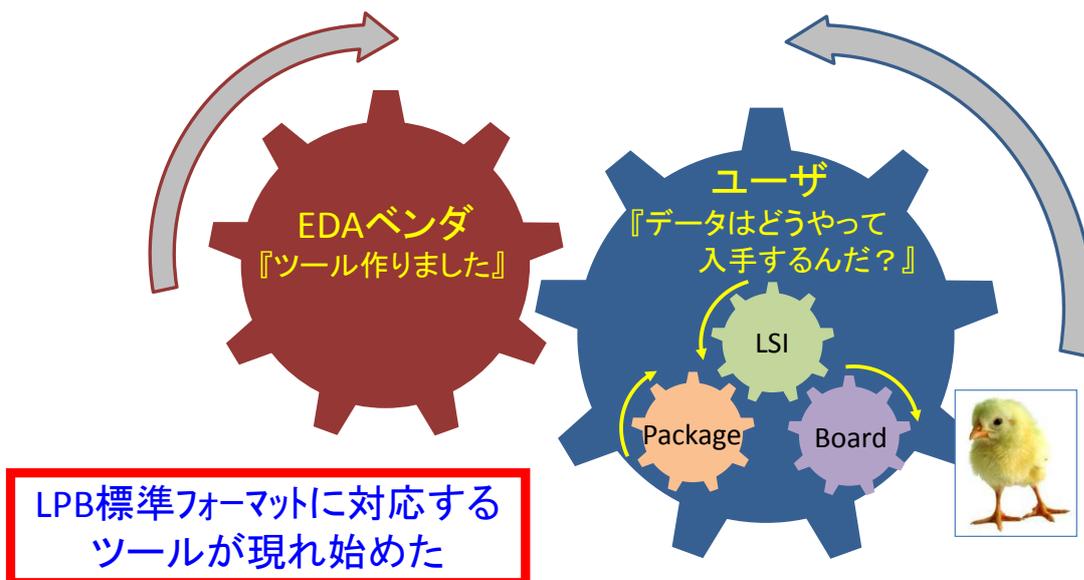
▼ 工数95%低減 停滞 ゼロ化

## 2011年11月時点での状況

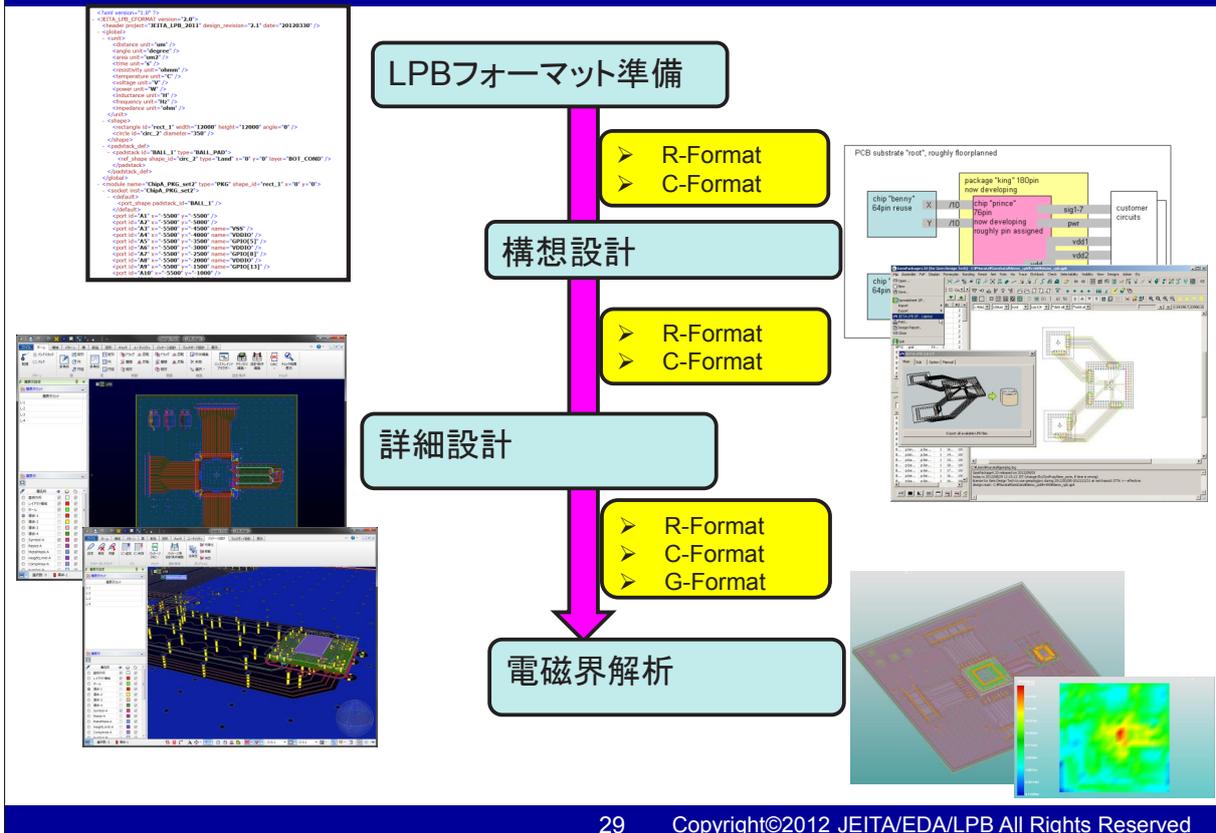


LPB標準フォーマット普及における問題点  
⇒ 対応するツールがない

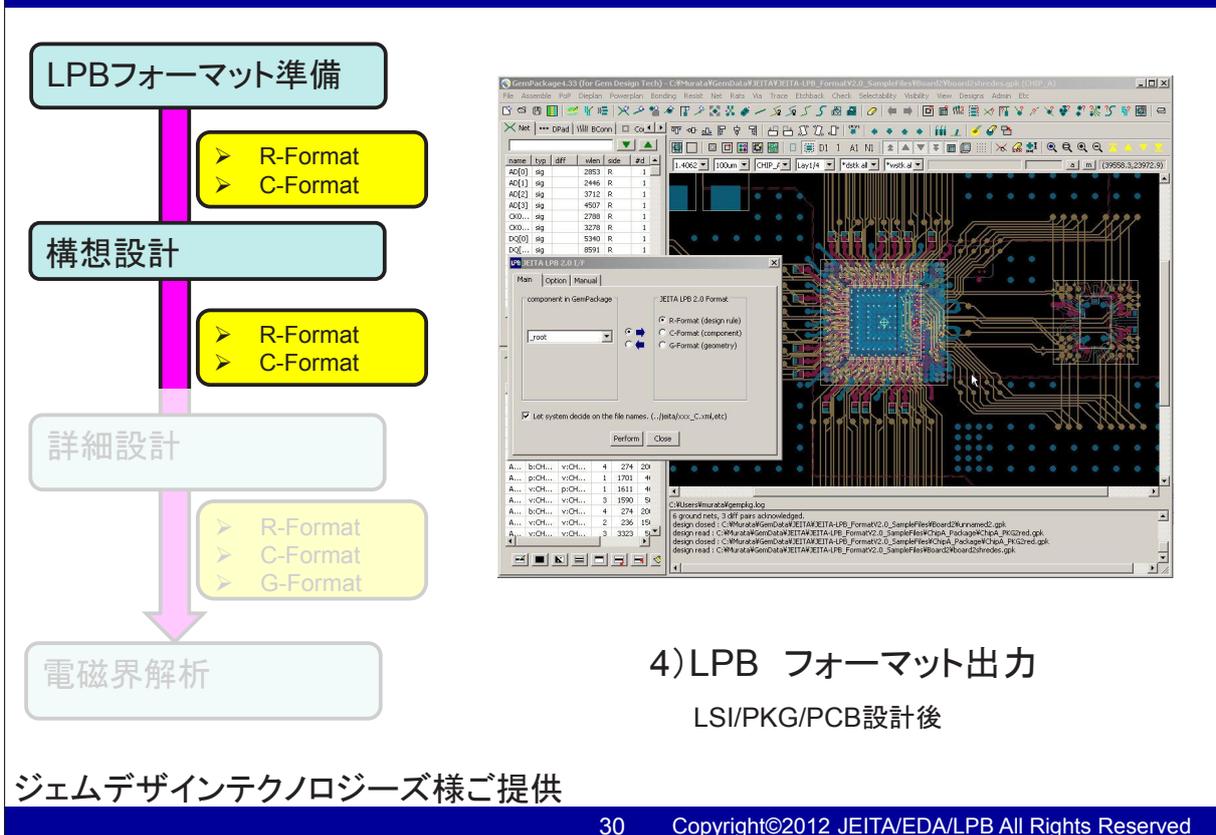
## 最新状況



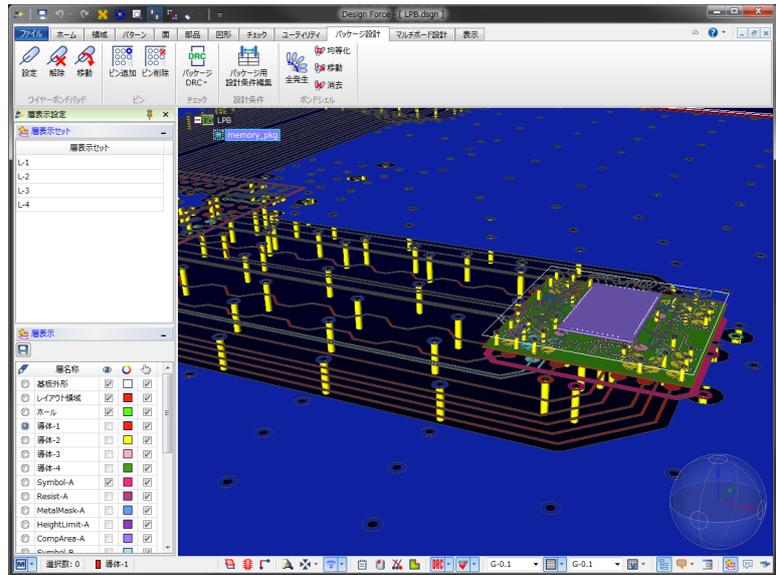
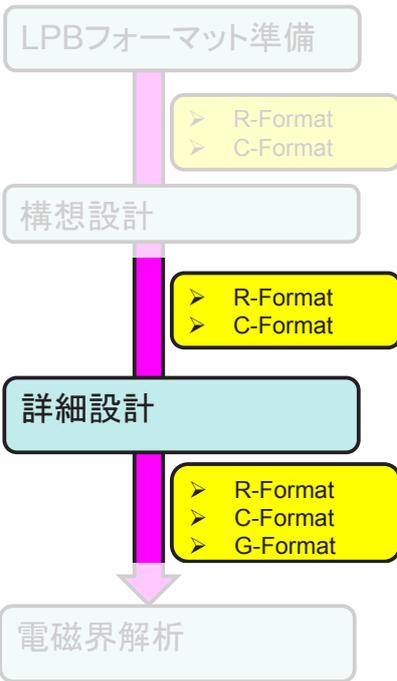
# LPB標準フォーマットを使った設計事例



# LPB標準フォーマットを使った設計事例



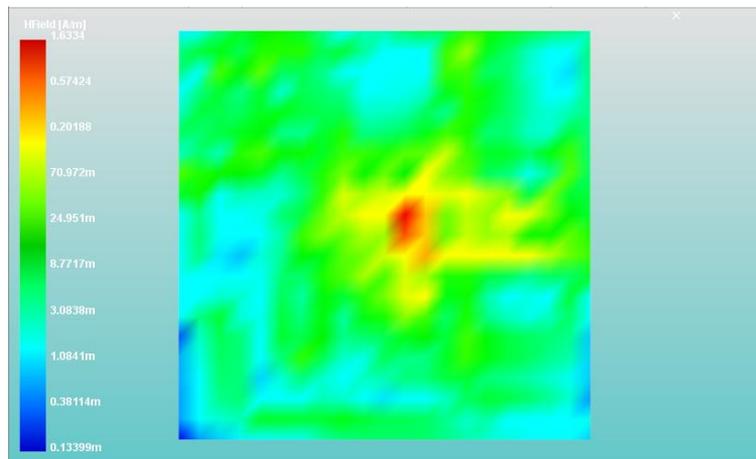
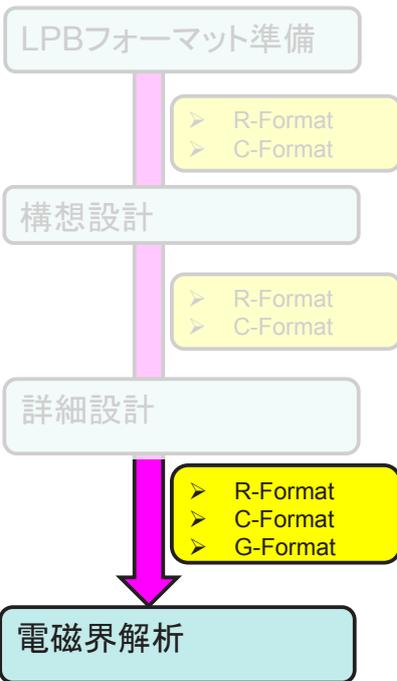
# LPB標準フォーマットを使った設計事例



LSI/PKG/PCBの全体設計も可能

図研様ご提供

# LPB標準フォーマットを使った設計事例



電磁界解析実行

ステイシフト様ご提供

## LPB format Golden Sampleの準備

### 目的

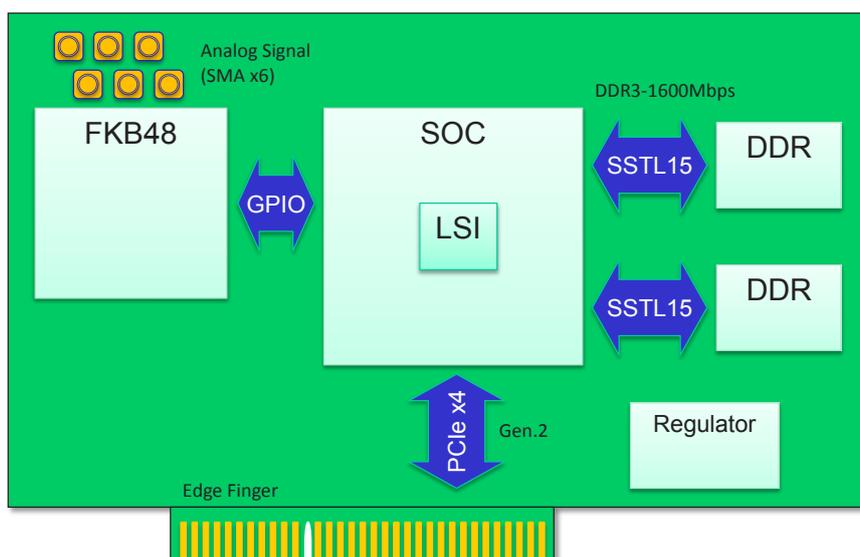
- LPBフォーマット Ver.2.0のテストベンチの役目
- 設計制約のカバー率が高い(多くの項目がチェックできる)
- EDAの接続テストができる

### 具体的には、

- DDR (差動信号, 等長, グルーピング, スワップ)
- 電源分離 (アナログ, PLL)
- Port名がPKG-Boardで異なる
- Port名とNet名が異なる
- ピン数が多い etc

## LPB format Golden Sampleの準備

|           |                    |                           |    |
|-----------|--------------------|---------------------------|----|
| SOC       | LSI, Packageとも新規設計 | 水晶                        | 既存 |
| DDR       | 既存, Package品       | 受動部品 (R, C, Ferrite bead) | 既存 |
| FKB48     | 既存, Package品       |                           |    |
| Regulator | 既存, Package品       |                           |    |



# Agenda

1. JEITA LPB相互設計ワーキンググループについて
  - 設立の背景とゴール
  - 課題の整理とLPB標準フォーマットの策定
2. LPB標準フォーマットについて
  - LPB標準フォーマット詳細
  - LPB相互設計ワーキンググループHP
3. 事例検証
  - 設計フロー改善効果
  - コスト比較
  - 最新状況
4. まとめ

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## まとめ

現状の課題を抽出し、設計を円滑に進めるためのLPB標準フォーマットを策定しました。

LPB標準フォーマットの活用による、設計効率向上効果を確認しました。

LPB標準フォーマットに対応したEDAツールを使用した効果については、継続して検証中です。

Copyright©2012 JEITA/EDA/LPB All Rights Reserved

## LPB標準フォーマットを普及 させましょう。

JEITA LPB相互設計ワーキンググループは、ユーザへの普及、EDAベンダの採用へ向けての活動を継続してまいります。

## Appendix

\* フォーマット詳細

# JEITA LPB標準フォーマット 1:プロジェクト管理ファイル(M-Format)

## 1. プロジェクト管理ファイル

### <目的>

- ・本プロジェクトで使用している各フォーマットファイルの対応付け
- ・各フォーマットファイルの更新状況の把握
- ・参照ファイル(IBISモデル等)との関連付け

### <使用メリット>

- ・LSIとPKG等のように階層間で統一された各フォーマットファイルをやり取りする場合に、更新履歴の把握ができる。
- ・階層内で設計を進める場合でも、制約内容等の変更履歴を把握できる。

### <フォーマット>

- ・XMLベース
- ・独自フォーマット



## プロジェクト管理ファイルのサンプル

```
<?xml version="1.0" encoding="Shift_JIS"?>
```

```
<JEITA_LPB_PROJECT version="2.0">
```

```
  <header
```

```
    project="JEITA_LPB_2011"  
    design_revision="0.1"  
    date="20120108"
```

```
  />
```

```
  <CFORMAT
```

```
    file_name="ChipA_PKG_set2_HR_V2.05_Rev.0.1.xml"  
    design_revision="0.1"
```

```
  />
```

```
  <RFORMAT
```

```
    file_name="ChipA_PKG_set2_DC_V2.05_Rev.0.1.xml"  
    design_revision="0.1"
```

```
  />
```

```
  <NFORMAT
```

```
    file_name="ChipA_PKG_set2.v"
```

```
  />
```

```
  <OtherFile
```

```
    file_name="ChipA.ibs "
```

```
  />
```

```
</JEITA_LPB_PROJECT>
```

Header

プロジェクト名の定義、  
プロジェクト管理ファイルのリビジョン管理、  
プロジェクト管理ファイルの作成日管理

CFORMAT

コンポーネントファイル名の定義、  
コンポーネントファイルのリビジョン管理

RFORMAT

デザインルールファイル名の定義、  
デザインルールファイルのリビジョン管理

NFORMAT

ネットリストファイル名の定義

OtherFile

IBISファイル等の関連ファイル名の定義



# JEITA LPB標準フォーマット 2: ネットリスト(N-Format)

## 2. ネットリスト(N-Format)

### <目的>

- ・階層内の接続関係を明確にする
- ・LPB全体の接続検証を可能とする
- ・信号だけでなく、電源GND端子の接続関係も明確にする

### <使用メリット>

- ・LSI、PKG、PWBの各階層で別々の設計データを持っていると各端子の接続が明確にならないが、ネットリストにて階層間の端子接続関係を明確に定義する。これにより、階層間をまたぐネットに対して、解析ツールで個別に設定していた手間を省く。

### <フォーマット>

- ・Verilog-HDLを基本フォーマットとする
- ・電源端子の書式を追加



## ネットリストのサンプル

```

/* DIE */
module
DIE(SU,SD,DBUS,DQ,DN,VDDC,VSSC,VDDQ,VSSQ);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC; /* PG_NET VDDC */
inout VSSC; /* PG_NET VSS */
inout VDDQ; /* PG_NET VDDQ */
inout VSSQ; /* PG_NET VSS */
endmodule

/* パッケージ */
module
PKG(SU,DBUS,DQ,DN,VDDC1,VDDC2,VDDQ1,VDDQ2,VSS1,VSS2);
input SU;
input SD;
inout [3:0] DBUS;
output DQ;
output DN;
inout VDDC1; /* PG_NET VDDC */
inout VDDC2; /* PG_NET VDDC */
inout VDDQ1; /* PG_NET VDDQ */
inout VDDQ2; /* PG_NET VDDQ */
inout VSS1; /* PG_NET VSS */
inout VSS2; /* PG_NET VSS */

wire VSS;
wire VDDC;
wire VDDQ;

assign VDDC1 = VDDC;
assign VDDC2 = VDDC;
assign VDDQ1 = VDDQ;
assign VDDQ2 = VDDQ;
assign VSS1 = VSS;
assign VSS2 = VSS;

DIE X1
(.SU(SU),.SD(VSS),.DBUS(DBUS),.DQ(DQ),.DN
(DN),
.VDDC(VDDC),.VSSC(VSS),.VDDQ(VDDQ),
.VSSQ(VSS));
endmodule

/* ボード(最上位階層) */
module PWB(VDDC,VDDQ,VSS);
inout VDDC; /* PG_NET VDDC */
inout VDDQ; /* PG_NET VDDQ */
inout VSS; /* PG_NET VSS */

wire [3:0] IBUS;
wire [3:0] DBUS;
wire SU;
wire DQ;
wire DN;

CF1DM C1 (.A(VDDQ),.B(VSS));
CF1DM C2 (.A(VDDQ),.B(VSS));
CF1DM C3 (.A(VDDC),.B(VSS));
CF1DM C4 (.A(VDDC),.B(VSS));

RF1DM Rp (.A(VDDC),.B(SU));
RF1DM R0 (.A(DBUS[0]),.B(IBUS[0]));
RF1DM R1 (.A(DBUS[1]),.B(IBUS[1]));
RF1DM R2 (.A(DBUS[2]),.B(IBUS[2]));
RF1DM R3 (.A(DBUS[3]),.B(IBUS[3]));

PKG X1 (.SU(SU),.DBUS(DBUS),.DQ(DQ),.DN(DN),
.VDDC1(VDDC),.VDDC2(VDDC),
.VDDQ1(VDDQ),.VDDQ2(VDDQ),
.VSS1(VSS),.VSS2(VSS));

BBOX X2
(.IBUS(IBUS),.DQ(DQ),.DN(DN),.VDD(VDDC),.VSS(VSS));
endmodule

/* 受動部品:コンデンサ */
module CF1D(A,B);
input A;
input B;
endmodule

/* 受動部品:抵抗器 */
module RF1D(A,B);
input A;
input B;
endmodule

/* LSI (Black box) */
module
BBOX(IBUS,.DQ,DQ,.DN,DN),.VDD(VDDC),.VSS(VSS));
inout [3:0] IBUS;
input DQ;
input DN;
inout VDD; /* PG_NET VDDC */
inout VSS; /* PG_NET VSS */
endmodule
    
```



# JEITA LPB標準フォーマット 3:コンポーネント(C-Format)

## 3. コンポーネント(C-Format)

### <目的>

- ・LPBの階層間を接続する端子情報の定義
- ・制約事項(信号遅延の制約など)の定義
- ・設計状況(端子における信号遅延時間など)の提示

### <使用メリット>

- ・統一されたフォーマットで階層間接続端子情報をやり取りできるので誤解や確認漏れなどの作業ミスの発生を避けることができる。
- ・設計状況を階層間で共有できるので、LPBのどの段階で調整を行うか事前検討を行うことが可能となる。

### <フォーマット>

- ・XMLベース
- ・独自フォーマット



## コンポーネントファイルのサンプル

| XMLベースの予約語   | unit | type   | 説明   |
|--|------|--------|--|
| <pre> &lt;module   name="機能ブロック名"   type="機能ブロック属性"    shape_id="参照shape識別番号"   x="x座標" y="y座標"   angle="回転角度"   thickness="厚み" /&gt; </pre>             | N/A  | string | モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(<socket>)と、機能ブロックの仕様を定義する仕様セクション(<specification>)と、上位階層と下位階層の接続手続きを定義する参照セクション(<reference>)で構成される。 |
|  | N/A  | string | 上位階層は、ここで定義した機能ブロック名で、この機能ブロックを参照する。   |
|  |      |        | 機能ブロックの属性。LSI,PKG,PWBのキーワードで属性を区別する  |
|  |      |        | LSI ... LSI  |
|  |      |        | PKG ... パッケージ  |
|  |      |        | PWB ... プリント基板   |
|  | N/A  | string | 機能ブロックの外郭形状。参照shapeの原点と機能ブロックの原点を一致させる。  |
|  |      |        | 機能ブロックの原点座標。省略時は(0,0)が原点となる。   |
|  |      | double | 回転角度。機能ブロックの原点を中心とした反時計回りでの回転角度。   |
|  |      | double | 機能ブロックの厚み。   |
| <pre> &lt;socket   inst="インスタンス名" &gt;   &lt;default&gt;     &lt;port_shape padstack_id="参照padstack識別番号" /&gt;   &lt;/default&gt; &lt;/socket&gt; </pre> | N/A  | string | 上位階層との「接続口」(ソケット)を定義する。ソケットは信号の入出力端子の集合である。一つの機能ブロックに複数のソケットを定義することもできる。個々のソケットは、其々に与えたインスタンス名で識別する。                                       |
|  |      |        | socketのインスタンス名。ここで定義したインスタンス名でソケットを参照する。   |
|  |      |        | ソケット内で定義する端子(port)に関するデフォルト値を設定する  |
|  |      |        | 端子(port)のデフォルト形状の定義。   |
|  |      |        | 個々の端子に異なった形状を定義する場合は、<port>定義内の padstack_idを使用する   |
| <pre> &lt;port   id="端子番号"   padstack_id="参照padstack識別番号" </pre>   | N/A  | string | 端子の形状・座標・名称を定義する。  |
|  |      |        | 設計言語により異なる端子定義方法の差異を、ここで吸収する。  |
|  |      |        | また、VerilogやSpiceネットのように物理的な座標を持たない言語の端子に座標を与える。  |
|  |      |        | portには必ず、id(端子番号)もしくは、name(端子名)を定義すること。idとnameの両方を定義しても良い。   |
|  |      |        | 端子番号。<socket>内の個々の端子番号はユニークであること。  |
|  |      |        | 一般的にはJEDECのネーミングルールに従って番号を与える。   |
|  |      |        | 端子形状。  |
|  |      |        | 未定義の場合は、<default>で定義されているデフォルト形状が使用される   |
|  |      |        | デフォルト形状も定義されていない場合は形状未定義(点)を意味する。  |
|  |      |        | 端子形状は、端子番号と共に定義すること。単独では定義できない。  |



# コンポーネントファイルのサンプル

| XMLベースの予約語   | unit type                           | 説明   |
|--|-------------------------------------|--|
| <pre> &lt;module   name="機能ブロック名"   type="機能ブロック属性"   shape_id="参照shape識別番号"   x="x座標" y="y座標"   angle="回転角度"   thickness="厚み"   &gt; </pre> |                                     | <p>モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(&lt;socket&gt;)と、機能ブロックの仕様を定義する仕様セクション(&lt;specification&gt;)と、上位階層と下位階層の接続手続きを定義する参照セクション(&lt;reference&gt;)で構成される。</p> <p>モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(&lt;socket&gt;)と、機能ブロックの仕様を定義する仕様セクション(&lt;specification&gt;)と、上位階層と下位階層の接続手続きを定義する参照セクション(&lt;reference&gt;)で構成される。</p> <p>上位階層は、ここで定義した機能ブロック名で、この機能ブロックを参照する。</p> <p>機能ブロックの属性。LSI,PKG,PWBのキーワードで属性を区別する</p> <p>LSI ... LSI<br/>PKG ... パッケージ<br/>PWB ... プリント基板</p> <p>機能ブロックの外郭形状。参照shapeの原点と機能ブロックの原点を一致させる。</p> <p>機能ブロックのshapeの配置座標を指定する。shapeの原点を、ここで指定した座標に配置する。省略時は(0, 0)に配置する。</p> <p>回転角度。機能ブロックの原点を中心とした反時計回りの回転角度。</p> <p>機能ブロックの厚み。</p> |
| <pre> id="端子番号" padstack_id="参照padstack識別番号" </pre>  | <p>N/A string</p> <p>N/A string</p> | <p>端子番号。&lt;socket&gt;内の個々の端子番号はユニークであること。一般的にはJEDECのネーミングルールに従って番号を与える。</p> <p>端子形状。未定義の場合は、&lt;default&gt;で定義されているデフォルト形状が使用される。デフォルト形状も定義されていない場合は形状未定義(点)を意味する。端子形状は、端子番号と共に定義すること。単独では定義できない。</p>   |



# コンポーネントファイルのサンプル

| XMLベースの予約語   | unit type | 説明   |
|--|-----------|--|
| <pre> &lt;module&gt;   name="ChipA_PKG_set2"   type="PKG"   shape_id="PKG_FRAME"   x="0"   y="0"   thickness="NA"   &lt;socket inst="ChipA_PKG_set2_PORTS"&gt;     &lt;default&gt;       &lt;port_shape padstack_id="BALL_PAD" /&gt;     &lt;/default&gt;     &lt;port id="A1" x="-5500" y="-5500" /&gt;     &lt;port id="A2" x="-5500" y="-5000" /&gt;     &lt;port id="A3" x="-5500" y="-4500" /&gt;     &lt;port id="A4" x="-5500" y="-4000" /&gt;     &lt;port id="A5" x="-5500" y="-3500" /&gt;     &lt;port id="A6" x="-5500" y="-3000" /&gt;     &lt;port id="A7" x="-5500" y="-2500" /&gt;     &lt;port id="A8" x="-5500" y="-2000" /&gt;     &lt;port id="A9" x="-5500" y="-1500" /&gt;     &lt;port id="A10" x="-5500" y="-1000" /&gt;     &lt;port id="A11" x="-5500" y="-500" /&gt;     &lt;port id="A12" x="-5500" y="0" /&gt;     &lt;port id="A13" x="-5500" y="500" /&gt;     &lt;port id="A14" x="-5500" y="1000" /&gt;     &lt;port id="A15" x="-5500" y="1500" /&gt;     &lt;port id="A16" x="-5500" y="2000" /&gt;     &lt;port id="A17" x="-5500" y="2500" /&gt;   &lt;/socket&gt; </pre> |           | <p>モジュールセクションは、上位階層に見せる入出力端子を定義するソケットセクション(&lt;socket&gt;)と、機能ブロックの仕様を定義する仕様セクション(&lt;specification&gt;)と、上位階層と下位階層の接続手続きを定義する参照セクション(&lt;reference&gt;)で構成される。</p> <p>機能ブロック名で、この機能ブロックを参照する。</p> <p>機能ブロックの属性。LSI,PKG,PWBのキーワードで属性を区別する</p> <p>機能ブロックの原点と機能ブロックの原点を一致させる。</p> <p>原点となる。</p> <p>反時計回りの回転角度。</p> <p>ソケットは信号の入出力端子の集合である。個々のソケットは、其々に与えたインスタンス名でソケットを参照する。</p> <p>デフォルト値を設定する</p> <p>は、&lt;port&gt;定義内のpadstack_idを使用する</p> <p>を、ここで吸収する。</p> <p>座標を持たない言語の端子に座標を与える。</p> <p>端子名)を定義すること。idとnameの両方を定義しても良</p> <p>はユニークであること。</p> <p>って番号を与える。</p> <p>ているデフォルト形状が使用される</p> <p>場合は形状未定義(点)を意味する。</p> <p>すること。単独では定義できない。</p> |



# JEITA LPB標準フォーマット 4: デザインルール (R-Format)

## 4. デザインルール (R-Format)

### <目的>

- ・LSI-PKG-PWB全体のテクノロジー(層構成、ライン/スペース等)の定義
- ・製造性のルールの定義
- ・解析セットアップ情報(物性値、詳細断面構造)の定義

### <使用メリット>

- ・解析条件などをLPB間で事前検討を行うことが可能となる。
- ・デザインルールの条件緩和検討など、LPB間で制約事項の必要性和緩和によるメリットとのトレードオフを事前検討することが可能となる。

### <フォーマット>

- ・XMLベース
- ・独自フォーマット



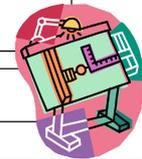
## デザインルールのサンプル

| XMLベースの予約語   | unit | type   | 説明  |
|--|------|--------|---|
| <Physicaldesign name="デザインルール名">   |      |        | Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ピッチ(<pitch_def>)、ボンディングワイヤ (<bondingwire_def>)、ホール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。 |
| <material_def>   |      |        | 材料定義<br>本デザインで使われる材料を定義する。  |
| <conductor<br>material="材料名"<br>volume_resistivity="体積抵抗率"<br>temperature="抵抗値想定温度"<br>>   | N/A  | string | 導体<br>材料名: Copperなどの導体名   |
|  |      | double | 体積抵抗率。Volume_resistivity="1.68e-8"  |
|  |      | double | 抵抗値想定温度。temperature="20"  |
| <insulator<br>material="材料名"<br>permittivity="誘電率"<br>tan_delta="誘電正接"<br>frequency="想定周波数"<br>>   | N/A  | string | 絶縁体<br>材料名: FR-4などの絶縁体名   |
|  |      | double | 誘電率。Permittivity="4.2"  |
|  |      | double | 誘電正接。Tan_delta="0.016"  |
|  |      | double | 想定周波数。frequency="1G"  |
| </material_def>  |      |        |   |
| <layer_def>  |      |        | レイヤ定義、レイヤは上層から下層に向かって定義する。<br>一番最初に定義された層はTOP、一番最後がBOTTOM   |
| <layer<br>name="配線層名"<br>type="dielectric もしくは conductor"<br>thickness="厚み"<br>plate_thickness="メッキ膜厚"<br>conductor_material="導体材料"<br>dielectric_material="絶縁材料"<br>> | N/A  | string | このTypeで絶縁層か導体層かを識別する  |
|  |      | double | conductorの場合は導体層厚み。Dielectricの場合は層間厚  |
|  |      | double | conductorの場合はメッキ膜厚。Dielectricの場合は定義しない  |
|  |      | string | 導体材料名   |
|  |      | string | 絶縁材料名   |
| <line_width<br>min="最小配線幅"<br>max="最大配線幅"<br>>   |      | double | 配線幅に関する制限<br>最大幅は定義しなくてもよい  |
|  |      | double |   |
| <area_limit<br>min="最小面積"<br>>   |      | double | 面積に関する制限、これ以下の面積のshapeは作れない   |
| </area_limit>  |      |        |   |



# デザインルールサンプル

| XMLベースの予約語   | unit | type                           | 説明  |
|--|------|--------------------------------|---|
| <code>&lt;Physicaldesign name="デザインルール名"&gt;</code>  |      |                                | Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。 |
| <code>&lt;material&gt;</code>  |      |                                |   |
| <code>&lt;Physicaldesign="デザインルール名"&gt;</code>   |      |                                | Physicaldesignセクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。       |
| <code>&lt;default/&gt;</code>  |      |                                | <default> キーワードが定義されると、このルールはエリア全体に及ぶ   |
| <code>&lt;material_def&gt;</code>  |      |                                | 材料定義<br>本デザインで使われる材料を定義する。  |
| <code>&lt;conductor material="材料名" volume_resistivity="体積抵抗率" temperature="抵抗値想定温度" /&gt;</code> |      |                                | 導体<br>材料名: COPPERなどの導体名   |
| <code>&lt;/&gt;</code>   |      |                                |   |
| <code>&lt;line_width min="最小配線幅" max="最大配線幅" /&gt;</code>  |      | distal double<br>distal double | 配線幅に関する制限<br>最大幅は定義しなくてもよい  |
| <code>&lt;area_limit min="最小面積" /&gt;</code>   |      | area double                    | 面積に関する制限、これ以下の面積のshapeは作れない   |



# デザインルールサンプル

| XMLベースの予約語  | unit | type                           | 説明  |
|---|------|--------------------------------|---|
| <code>&lt;Physicaldesign name="デザインルール名"&gt;</code>   |      |                                | Physicaldesign name セクションでは、材料(<material_def>)、レイヤ(<layer_def>)、スペース(<spacing_def>)、ビアピッチ(<pitch_def>)、ボンディングワイヤー(<bondingwire_def>)、ボール(<ball_def>)、モールド形状(<mold_def>)、導体構造(<conductor_struct>)、搭載部品(<component_def>)といった物理パラメータを定義する。 |
| <code>&lt;material&gt;</code>   |      |                                |   |
| <code>&lt;Physicaldesign="Designrule1"&gt;</code>   |      |                                |   |
| <code>&lt;default/&gt;</code>   |      |                                |   |
| <code>&lt;material_def&gt;</code>   |      |                                |   |
| <code>&lt;conductor material="COPPER" volume_resistivity="1.68e-8" temperature="20" /&gt;</code>              |      |                                |   |
| <code>&lt;conductor material="GOLD" volume_resistivity="2.33e-8" temperature="20" /&gt;</code>                |      |                                |   |
| <code>&lt;conductor material="SOLDER" volume_resistivity="2.17e-7" temperature="20" /&gt;</code>              |      |                                |   |
| <code>&lt;dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" frequency="1G" /&gt;</code>         |      |                                |   |
| <code>&lt;dielectric material="RESISTOR_INK" permittivity="4.5" tan_delta="0.035" frequency="1G" /&gt;</code> |      |                                |   |
| <code>&lt;dielectric material="REGIN" permittivity="4.5" tan_delta="0.035" frequency="1G" /&gt;</code>        |      |                                |   |
| <code>&lt;/material_def&gt;</code>  |      |                                |   |
| <code>&lt;line_width min="最小配線幅" max="最大配線幅" /&gt;</code>   |      | distal double<br>distal double | 配線幅に関する制限<br>最大幅は定義しなくてもよい  |
| <code>&lt;area_limit min="最小面積" /&gt;</code>  |      | area double                    | 面積に関する制限、これ以下の面積のshapeは作れない   |



# JEITA LPB標準フォーマット 5:ジオメトリ(G-Format)

## 5. ジオメトリ(G-Format)

### <目的>

- ・設計結果を解析環境に渡す際の書式を定義
- ・物理情報
  - 各層ごとの2次元図形
  - VIA, Bump, Bond Wire 3次元的情報
  - 層構造

### <使用メリット>

- ・LPBの階層、ツールに依存しない。
- ・形状データの共有化が可能となる。

### <フォーマット>

- ・PCB / Package Data Exchange File (XFL) Format を使用



# JEITA LPB標準フォーマット 6:用語集

## ■ 用語集

- LPBで使用される用語が各層で異なる場合がある。
- LPB間で誤解を生んだり、意思を伝えるのに時間がかかることがある。
- 共通の用語を定義する。

用語集

Rev.1.0

| No. | 分類     | 用語・名称     | 定義・意味   | ラベル | LSI例          | PKG例   | PWB例          | 関連語          |
|-----|--------|-----------|---|-----|---------------|--|---------------|--------------|
| 1   | ネットリスト | ポート(名)    | 外部とのインターフェースとなる入出力端子<br>同一階層では全てユニークな名前にする                                |     | ポート           | ピン名<br>ボール<br>BGA<br>リード                           | ピン名           |              |
| 2   | ネットリスト | リファレンス(名) | 機能ブロックの定義名<br>階層にかかわらず全てユニークな名前にする  |     | リファレンス<br>セル名 |  |               |              |
| 3   | ネットリスト | インスタンス(名) | 機能ブロックを配置する際に付ける名前<br>同一階層では全てユニークな名前にする                                  |     | インスタンス        | RefDes   | リファレンス        |              |
| 4   | ネットリスト | ネット(名)    | 端子間の接続につけるラベル<br>基本的には同一階層内での定義だが、階層に関係なく接続を表す場合もある(グローバルネット・定義)          |     | ネット           | ネット  | ネット           |              |
| 5   | ネットリスト | バス        | 複数の番号を束ねた配線のこと<br>番号名+数字で表す(数字の省略で全信号を表す場合もある)                            |     | バス            | バス   | バス            |              |
| 6   | 形状データ  | DIE       | SoCやメモリなどシリコンチップのこと   |     |               | 部品<br>コンポーネント<br>LSI<br>チップ                        | 部品<br>コンポーネント |              |
| 7   | 形状データ  | PKG       | パッケージのこと  |     |               |  |               |              |
| 8   | 形状データ  | PWB       | プリント基板のこと (PCBとも呼ばれるが有害物質「ポリ塩化ビフェニル」と区別するため避けられる傾向がある)                    |     |               |  |               |              |
| 9   | 形状データ  | ボンディング    | ボンディングワイヤの基板側の着地点の図形  |     |               | リード<br>2ndバッド<br>ワイヤボンディング<br>バッド<br>ボンディング<br>バッド |               |              |
| 10  | 解析条件   | 表面粗さ      | 導体と絶縁体の密着性を上げるために<br>導体表面を化学処理により粗した状態                                    |     |               |  |               |              |
| 11  | 解析条件   | 配線断面構造    | サブトラクティブ工法(銅箔の不要部分<br>削除する工法)では、配線の上部と<br>下部では導体の幅が異なる。<br>このような配線の構造を表す。 |     |               |  |               | アンカー<br>スライク |



# JEITA LPB相互設計WG

## SDF/EDS Fair 活動報告

2013/1/23



## SDF報告

➤SDF全体での聴講者は125名



➤資料はSDF\_LPBall\_1109final.pptx ftp Up済み



システム・デザイン・フォーラム2012

## LPB相互設計セミナー

競争力を創出する

LPB標準フォーマットの流通と活用

～EDAツールのデモとユーザによる活用方法の議論～

日時:2012年 11月 15日(木) 15:45～17:00

場所:パシフィコ横浜 アネックスホール F201



Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012

2012/09/12

Page3

## 図1 出演者紹介

| 出演者氏名 | 会社名・所属・役職  |
|-------|--|
| 福場 義憲 | JEITA EDA技術専門委員会 LPB相互設計WG 主査<br>(株)東芝 セミコンダクター&ストレージ社<br>アナログ・イメージングIC事業部設計技術開発部<br>設計インフラ技術担当 参事       |
| 富島 敦史 | JEITA EDA技術専門委員会 LPB相互設計WG 広報SWG 主査<br>(株)東芝 セミコンダクター&ストレージ社<br>アナログ・イメージングIC事業部設計技術開発部<br>設計インフラ技術担当 主務 |
| 中川 祐之 | JEITA EDA技術専門委員会 LPB相互設計WG フォーマットSWG 主査<br>富士通VLSI(株)ASIC・COT開発統括部 第3設計部 プロジェクト課長                        |
| 金子 俊之 | トッパンNECサーキットソリューションズ 管理本部設計部マネージャー   |
| 林 靖二  | キヤノン株式会社 生産技術研究所 実装技術第3研究室 主任研究員   |
| 古賀 一成 | (株)図研 技術本部 ELNセクション チーフ・エンジニア  |
| 村田 洋  | (株)ジェム・デザインテクノロジーズ 代表取締役   |
| 門田 和博 | ステイシフト株式会社 技術部 シニア・テクニカルマーケティング & エンジニア  |



Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012

2012/09/12

Page4

# EDS Fair報告

## ➤説明員のご協力ありがとうございました。

| 14                |                    |                    | 15                |                    |                    | 16                |                    |                    |
|-------------------|--------------------|--------------------|-------------------|--------------------|--------------------|-------------------|--------------------|--------------------|
| 10:00-12:00<br>AM | 12:00-14:30<br>PM1 | 14:30-17:00<br>PM2 | 10:00-12:00<br>AM | 12:00-14:30<br>PM1 | 14:30-17:00<br>PM2 | 10:00-12:00<br>AM | 12:00-14:30<br>PM1 | 14:30-17:00<br>PM2 |
| 濱田                | 村田                 | 門田                 | 澤田                | 青木                 | 佐藤                 | 中川                | 古賀                 | 永野                 |
| 富島                | 金子                 | 貝原                 | 大槻                | 岡野                 | 坂田                 | 市川                | 林                  | 金子                 |

➤LPB活動概要、第一回LPBフォーラム告知チラシ、ノベルティ(ブラックサンダー) 各300配布しました。

➤ブースアンケート 48名回収

## ➤LPBブース内セミナー

➤LPB/IBIS 半導体とボードのサプライチェーン連携を担う  
⇒ 福場さん、大槻さん

➤IBISで広がるLSIとボードの連携設計 ⇒佐藤さん(富士通セミコンダクター(招待講演))



# EDS Fair報告

## ■ 来場者数

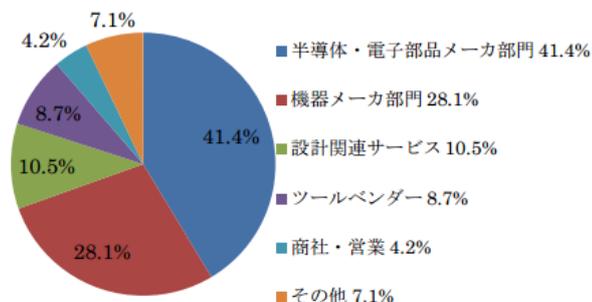
|                   | 11/14(水) | 11/15(木) | 11/16(金) | 合計     |
|-------------------|----------|----------|----------|--------|
| EDSFair 来場者数      | 1,322    | 2,167    | 2,117    | 5,606  |
| 【ご参考:同時開催】ET 来場者数 | 6,691    | 8,118    | 8,004    | 22,813 |

※ EDSFair 来場者数には ET に登録して EDSFair にご来場した方は含まれておりません。

## ■ 来場者の属性

### ➤ 業種

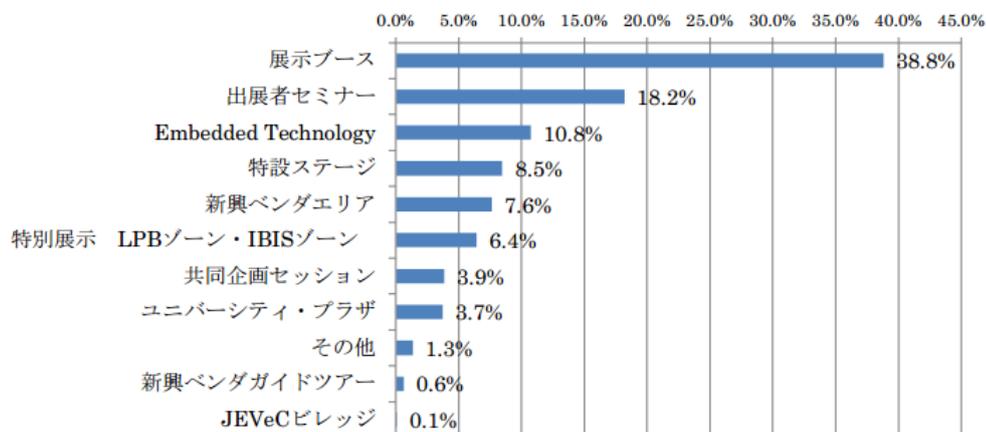
|                |       |
|----------------|-------|
| 半導体・電子部品メーカー部門 | 41.4% |
| 機器メーカー部門       | 28.1% |
| 設計関連サービス       | 10.5% |
| ツールベンダー        | 8.7%  |
| 商社・営業          | 4.2%  |
| その他            | 7.1%  |



# EDS Fair報告

## ➤6.4%(359名)がLPB/IBISゾーンを目的に挙げる

### ➤ 来場の目的(複数回答)



## 升酒の夕べ 報告

- 日時: 2012年11月15日(木) 17:10-18:00
- 参加: 8社
- 費用: 21410円(JEITA負担分)
- 内容: 2斗樽 1台 お酒 1斗分  
日本酒追加 2升  
一合升 30個  
プラスチックコップ 100個
- 鏡開き、升は好評(と思います)
- 升をランダムに配ったのは失敗だった



## 4.3 システム・デザイン・フォーラム 2012 の講演資料

### 4.3.1 EDA 技術専門委員会委員長挨拶

# EDA技術専門委員会紹介

2012年11月15日 @SDF  
EDA技術専門委員会 委員長 河村

2012/11/15

Copyright © JEITA EDA-TC All Rights Reserved 2012

1

#### 組織構造



#### 目的

EDAに関連する技術およびその標準化の動向を調査し、その発展、推進を図り、もって国内外の関係業界の発展に寄与すること

#### ミッション

- 業界全体のEDA技術レベルの向上
- 国際EDA標準化への意見反映、提案
- 最新EDA技術・情報の普及促進

2012/11/15

Copyright © JEITA EDA-TC All Rights Reserved 2012

2

## 委員会の活動



2012/11/15

Copyright © JEITA EDA-TC All Rights Reserved 2012

3

## 委員会の構成



2012/11/15

Copyright © JEITA EDA-TC All Rights Reserved 2012

4

## 本日の発表

### 1. 標準化活動 標準化担当: 田中 玄一 (ルネサス)

- EDA標準化の最新動向

### 2. ナノ世代物理設計WG 主査: 山中 俊輝 (リコー)

- ナノ世代の新しいタイミングコーナーの考え方

### 3. LPB相互設計WG 主査: 福場 義憲 (東芝)

- LPB標準フォーマットの活用

パネル

2012/11/15

Copyright © JEITA EDA-TC All Rights Reserved 2012

5

The screenshot shows the JEITA EDA-TC website interface. At the top, there is a header with the JEITA logo and the text "EDA技術の進展に向けて". Below the header is a navigation menu with items: HOME, 委員会の紹介, 委員会活動, 公開資料ライブラリ, and イベント・関連機関. The main content area features a section titled "EDA技術専門委員会の活動" with sub-sections for "国際標準化", "標準化活動の推進", "日本電子機器業界のEDA技術レベル向上", and "国内学会". A large red banner is overlaid on the page with the URL "http://www.jeita-edatc.com/". At the bottom, there is a "更新情報" (Update Information) section with two entries: "2012.02.15 公開資料ライブラリのEDA技術専門委員会に2010年度 EDA アニュアルレポートを掲載しました。" and "2011.10.31 LPB WGのHPを新規作成しました。(LPB WGのページからリンク)".

2012/11/15

Copyright © JEITA EDA-TC All Rights Reserved 2012

6

#### 4.3.2 EDA標準化のトレンド

～標準化の仕組みから最新動向まで～

## EDA標準化のトレンド ～標準化の仕組みから最新動向まで～

JEITA EDATC 特別委員(標準化担当)  
ルネサスエレクトロニクス(株)

田中 玄一

System Design Forum 2012

JEITA

### 標準とは

互換性, 相互接続性

品質

試験方法

マネジメントシステム

ISO9001

ISO14001



System Design Forum 2012

© Copyright 2012 JEITA

JEITA

標準とは

デファクトで存在

業界団体に標準化推進

公的機関で認証

System Design Forum 2012

© Copyright 2012 JEITA

JEITA  
日本電子工業協会

標準化の目的

- 互換性, 相互接続性
- 品質
- 市場拡大
- 低コスト化



System Design Forum 2012

© Copyright 2012 JEITA

JEITA  
日本電子工業協会

## 標準化の必要性

- 産業競争力強化
- 技術囲い込み (w/特許)
- 戦略的な標準化

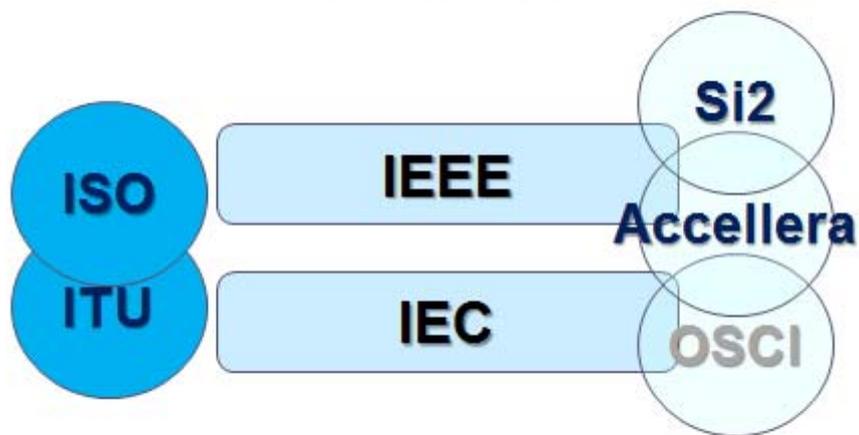
ガラケー      チャデモ

System Design Forum 2012

© Copyright 2012 JEITA

JEITA  
JAPAN ELECTRONIC INDUSTRY ASSOCIATION

## 標準化機関



IEEE: The Institute of Electrical and Electronic Engineers

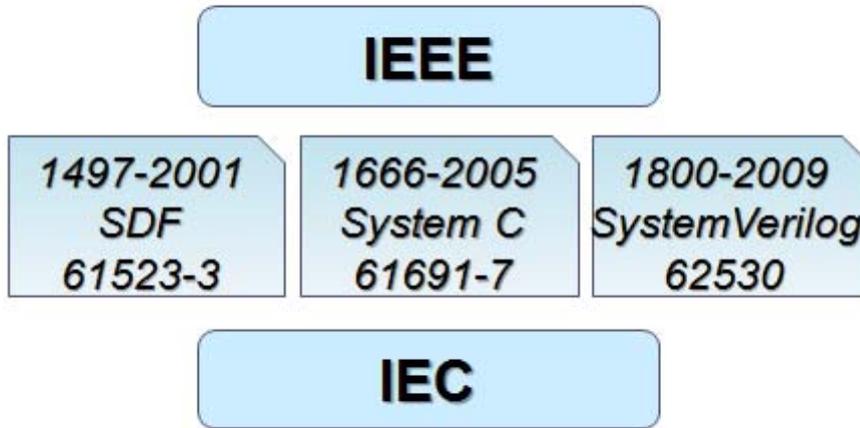
IEC: International Electronic Commission

System Design Forum 2012

© Copyright 2012 JEITA

JEITA  
JAPAN ELECTRONIC INDUSTRY ASSOCIATION

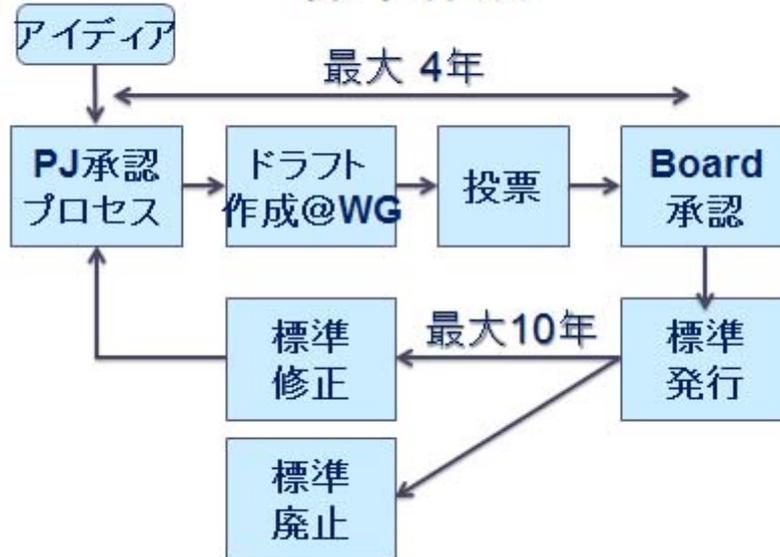
# Dual Logo



# 標準作成



## 標準作成



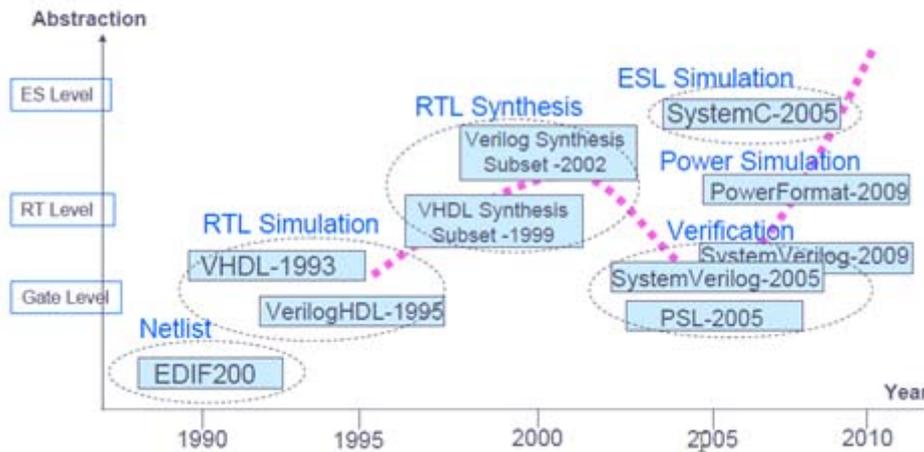
System Design Forum 2012

© Copyright 2012 JEITA

JEITA

## EDA標準(設計言語)トレンド

JEITA EDA標準化活動 1990年開始



System Design Forum 2012

© Copyright 2012 JEITA

JEITA

# EDA標準(設計言語)

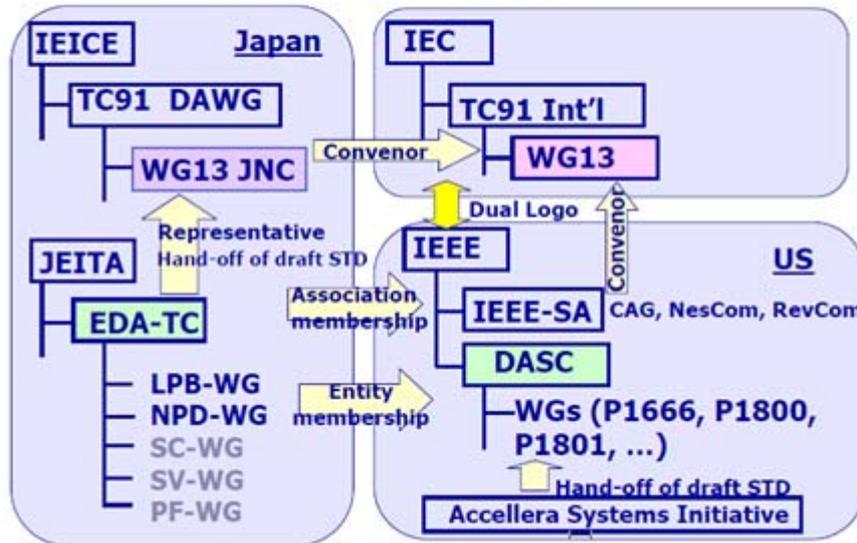
| IEEE Dual Logo International Standards |              |               |         |   |
|--|--------------|---------------|---------|---|
|  | IEEE         | IEC           |         |   |
| VHDL                                   | 1076-1993    | 61691-1       | 1997    |   |
|  | 1076-2008    | 61691-1-2     | 2010    |   |
|  | MultiLogic   | 1164-1993     | †       | † |
|  | MultiPKG     | 1076.2-1996   | †       | † |
|  | SynthesisPKG | 1076.3-1997   | †       | † |
| VHDL-AMS                               | 1076.1-1999  | skipped       | skipped |   |
|  | 1076.1-2007  | 61691-6-1     | 2009    |   |
|  | VHDL-AMS PKG | 1076.1.1-2004 | †       |   |
| VHDL-AMS                               | 1076.1-2010  |               | (2013)  |   |
| VerilogHDL                             | 1364-2001    | 61691-4       | 2004    |   |
|  | 1364-2005    | skipped       | skipped |   |
| RTL Synthesis                          | 1364.1-2002  | 62142         | 2005    |   |
| SystemVerilog                          | 1800-2005    | 62530         | 2007    |   |
|  | 1800-2009    | 62530-1       | 2010    |   |
|  | 1800-2012    | (62530-2)     | (2013)  |   |
| SystemC                                | 1666-2005    | 61691-7-1     | 2009    |   |
|  | 1666-2011    | (61691-7-2)   | (2013)  |   |

System Design Forum 2012

© Copyright 2012 JEITA



# 標準化活動環境



System Design Forum 2012

© Copyright 2012 JEITA



## まとめ

- 標準化とは
- 標準化の仕組み
- EDA 標準

標準化活動への積極的な  
ご参加よろしく願いいたします

#### 4.3.3 ナノ世代物理設計 WG

### ナノ世代物理設計 WG

## ナノ世代テクノロジーに向けた新しい タイミングコーナーの考え方

～微細化における設計対策～  
赤嶺 武一郎 (富士通セミコンダクター)

## Fabless時代のDFMを問う

～設計と製造をいかに補完し合うか～

黒川 敦 (弘前大学)

システムデザインフォーラム2012

NPD-WG主査:山中 俊輝 (リコー)

JEITA Nano Scale Physical Design Working Group

1

### 組織図

半導体技術委員会 (JEITA/電子デバイス部)

EDA 技術専門委員会

標準化推進 課題調査・対策提案

ナノ世代物理設計 WG

LPB相互設計 WG

SystemVerilog WG \* 2012年度休眠

SystemC WG \* 2012年度休眠

EDA技術の普及発展

EDSFair 実行委員会

システム・デザイン・フォーラム実行委員会

JEITA Nano Scale Physical Design Working Group

2

## 活動概要

### ■ 目的

- 次世代テクノロジーノードにおける、LSIの物理設計・検証に関する課題の抽出、および解決手法の提案
- 上記設計手法、あるいは上記設計手法を実現するためのライブラリ・設計データフォーマットの標準化

### ■ 活動内容

- 月1回の会合

### ■ Output

- Annual Report、学会、WEB等で広く一般に公開

### ■ 参加メンバー

- ルネサスエレクトロニクス(株)、パナソニック(株)、(株)リコー、富士通セミコンダクター(株)、メンター・グラフィックス・ジャパン(株)、産業技術総合研究所、千弘技術士事務所、京都大、大阪大、弘前大

JEITA Nano Scale Physical Design Working Group

3

## 研究会の歴史と検討内容

| 年    | 名称                                     | 主な検討内容   |
|------|--|--|
| 1999 | DMD<br>Deci-Micron Design              | 遅延計算手法<br>配線ばらつき<br>低電力設計技術  |
| 2003 | PDM<br>Physical Design Methodology     | チップ内温度差設計インパクト<br>I/O 同時動作ノイズ<br>LPE精度評価用テストベンチ  |
| 2005 | PDS<br>Physical Design Standardization | 電源ノイズ考慮遅延計算手法<br>SSTA精度評価指標<br>温度依存配線ばらつき<br>遷移時間ばらつき  |
| 2007 | NPD<br>Nano-scale Physical Design      | チップ内システムテックばらつき<br>リーク電流ばらつき<br>配線の自己発熱<br>感度付SPEF<br>RTN & NETI ばらつき<br>3D-IC<br>配線ばらつきコーナー |

JEITA Nano Scale Physical Design Working Group

4.3.3 (1) ナノ世代テクノロジーに向けた新しいタイミングコーナーの考え方  
～微細化における設計対策～

**ナノ世代テクノロジーに向けた  
新しいタイミングコーナーの考え方  
～微細化における設計対策～**

発表者:

JEITA EDA技術専門委員会ナノ世代物理設計ワーキンググループ  
赤嶺 武一郎

JEITA Nano Scale Physical Design Working Group

5

**ナノ世代におけるLSI設計課題**

- ・ LSI付加価値
  - ・ 高速・高周波
  - ・ 低消費電力
  - ・ 高集積・高機能
- ・ 微細プロセス
  - Physical Crisis
    - ・ 制御性
    - ・ 干渉効果
    - ・ 量子(粒子)効果
- ・ 微細化と大規模化
  - Statistical Crisis
    - ・ 特性ばらつき
    - ・ 寿命ばらつき
    - ・ 消費電力ばらつき

ITRS 2009 ばらつき制御性

| Year of Production                         | 2009 | 2011 | 2013 | 2015 | 2017 | 2019 |
|--|------|------|------|------|------|------|
| 50% variability                            | 92   | 92   | 10   | 10   | 93   | 93   |
| 50% variability: memory (PDF)              | 42   | 42   | 58   | 61   | 61   | 112  |
| 50% variability: logic device              | 20   | 20   | 29   | 39   | 39   | 50   |
| 50% variability                            | 62   | 62   | 12   | 12   | 62   | 62   |
| 50% variability: performance variability   | 62   | 60   | 63   | 63   | 65   | 69   |
| 50% variability: total power variability   | 63   | 72   | 80   | 88   | 99   | 110  |
| 50% variability: leakage power variability | 108  | 255  | 287  | 331  | 361  | 390  |

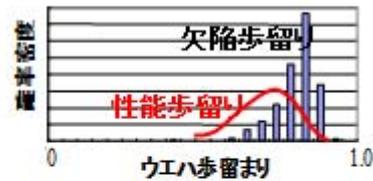
**LSI生産性(歩留まり)の危機  
Physical & Statistical Crisisへの対応が急務**

JEITA Nano Scale Physical Design Working Group

6

## LSIの歩留まりに関わる現象

- ・ 欠陥歩留り
  - 異物(欠陥密度、分布、クラスタ度)
  - 異物の位置(クリティカル面積)
  - チップ面積
- ・ 性能歩留り
  - タイミングばらつきの増大
  - 信頼性劣化量の増大
  - 消費電力(リーク電流)の増大



⇒ナノ世代では“性能歩留り”が主要課題

JEITA Nano Scale Physical Design Working Group

7

## 性能歩留まりへの取り組み

- ・ 性能歩留り
    - タイミングばらつきの増大
- ⇒ この課題に着目し、2011年度は以下のテーマに取り組んだ。

### 1) グローバルコーナーの削減方法

### 2) 微細化に伴う配線コーナーの影響

- 信頼性劣化量の増大
- 消費電力(リーク電流)の増大

JEITA Nano Scale Physical Design Working Group

8

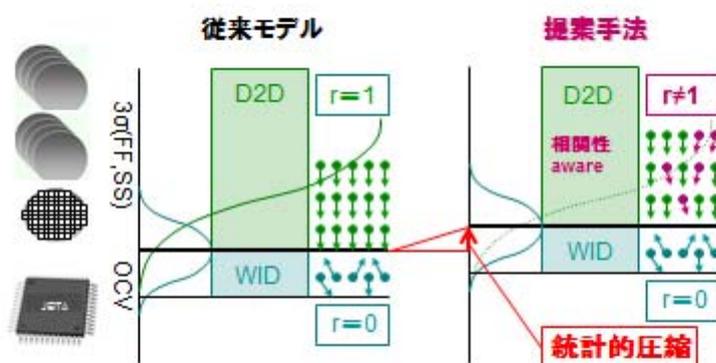
## グローバルコーナー削減手法

小谷 他, 「微細CMOSタイミング設計の新しいコーナー削減方法」, DAシンポジウム, 2012年8月.

JEITA Nano Scale Physical Design Working Group

9

## 新しいばらつきコーナーの提案



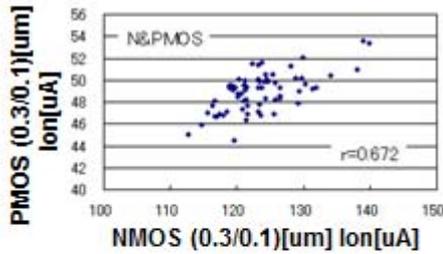
D2Dばらつきの相関性 $r \neq 1$ を考慮することにより、  
**平均15%のコーナー幅削減。**

JEITA Nano Scale Physical Design Working Group

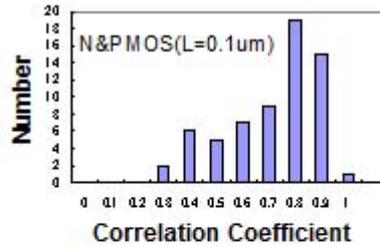
10

## NMOS/PMOSのIon特性相関 @90nm TEG

- NMOSとPMOSのIon特性はチップによって変動の大きさが異なる。  
両者の特性相関は  $r < 1$  でTEGによって相関値の分布を持つ。
- 種々なW寸法に対する NMOS/PMOS相関値の平均は  $r=0.65$ 。



NMOS/PMOS Ion特性相関  
(L:0.1/W:0.30)[um]



相関係数のヒストグラム  
(L:0.1/W:0.18~1.50)[um]

JEITA Nano Scale Physical Design Working Group

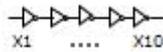
11

## グローバルコーナー計算例

計算条件:

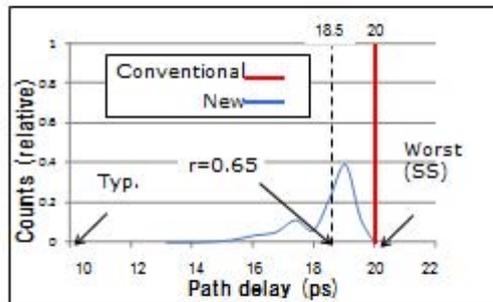
- (1)グローバル相関(r)分布  
NMOS/PMOS Ion特性  
相関  
(L:0.1 W:0.18~1.50)

- (2)遅延分布、回路段数(n)  
Typ./Worst  
=10/20(ps)  
n=10



- (4)計算式

$$k(n, r) = \frac{1}{n} \sqrt{n + r n(n-1)}$$



**平均15%のコーナー幅削減に相当**

JEITA Nano Scale Physical Design Working Group

12

## 微細化に伴う配線コーナーの影響

城間 他, 「微細プロセス(22nm世代)における配線コーナー設計手法の検討」,  
DAシンポジウム, 2012年8月.

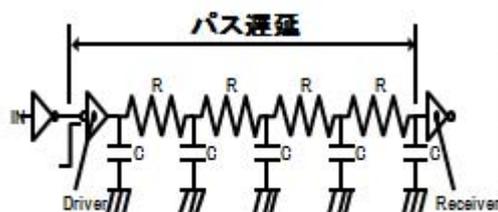
JEITA Nano Scale Physical Design Working Group

13

## 微細化に伴う配線コーナーの影響

22nmプロセスを想定して配線コーナー(パス遅延)を評価。  
これにより、以下の知見を得た。

- 1) **MinC, MinRCが遅延最小にならない**
- 2) **設計制約により配線コーナーの増加を防ぐことが可能**



| 配線コーナー  | 容量  | 抵抗  | RC積 |
|---------|-----|-----|-----|
| Nominal | 中心値 | 中心値 | 中心値 |
| MaxC    | 最大  | 最小  | 小   |
| MaxRC   | 小   | 最大  | 最大  |
| MinC    | 最小  | 最大  | 大   |
| MinRC   | 大   | 最小  | 最小  |

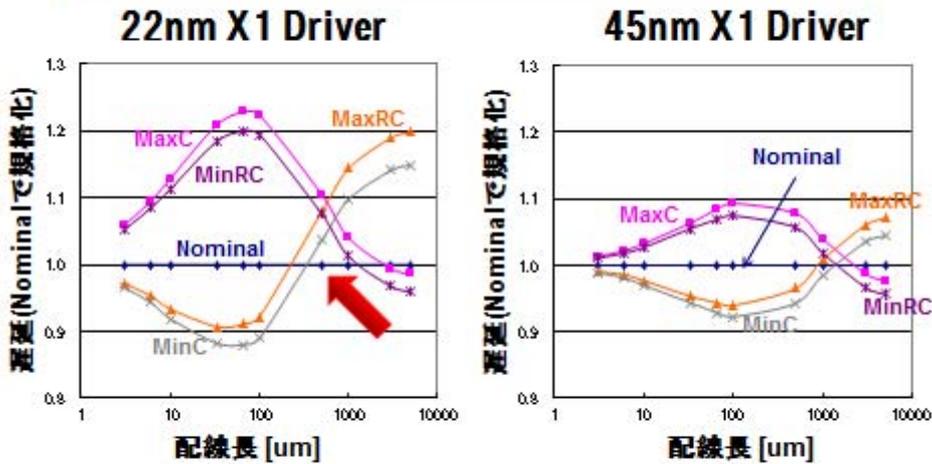
  

|       | 配線厚さ | 幅   | 層間膜厚 |
|-------|------|-----|------|
| ばらつき量 | 5nm  | 5nm | 5nm  |

JEITA Nano Scale Physical Design Working Group

14

## パス遅延のプロセス依存性

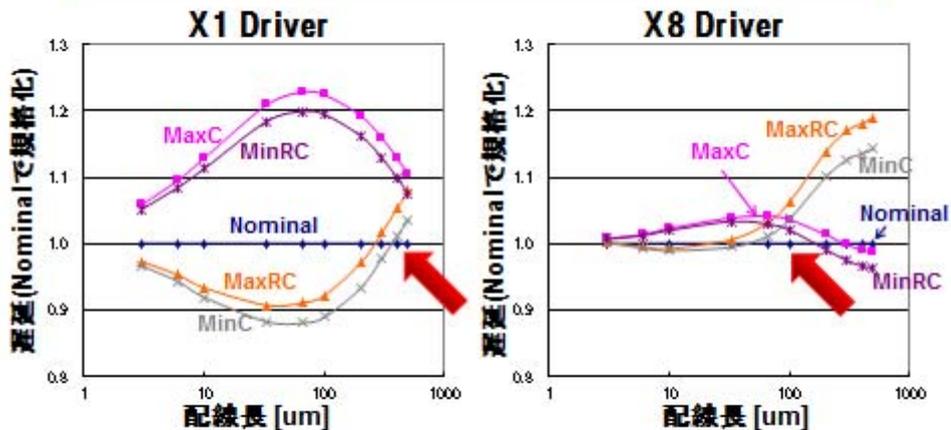


プロセスの微細化により、MinC、MinRCが遅延最小とならない。

JEITA Nano Scale Physical Design Working Group

15

## パス遅延のドライバサイズ依存性



MinC、MinRCが遅延最小とならない領域には、ドライバサイズ依存性がある。

=> 設計制約によりコーナー数増加の防止が可能

JEITA Nano Scale Physical Design Working Group

16

## まとめ

## まとめ

1. ナノ世代の物理設計では、性能歩留まりが主要課題。  
2011年度は性能歩留まりのうち、タイミングばらつきに着目。
2. 新しいばらつきコーナーを提案することにより、平均15%の  
コーナー幅削減が可能であることを示した。
3. 22nm世代では、MinC、MinRCが遅延最小とならないこと、  
設計制約の付加でサインオフコーナーの増加を防ぐことが  
出来る事を示した。

4.3.3 (2) Fabless時代のDFMを問う  
～設計と製造をいかに補完し合うか～

システム・デザイン・フォーラム2012  
日時: 11月15日(木) 14:30-17:00  
会場: パシフィコ横浜 アネックス ホール F201

**Fabless時代のDFMを問う**  
**～設計と製造をいかに補完し合うか～**

国立大学法人 弘前大学  
大学院理工学研究科  
(理工学部電子情報工学科併任)

黒川 敦

©A.Kurokawa

20

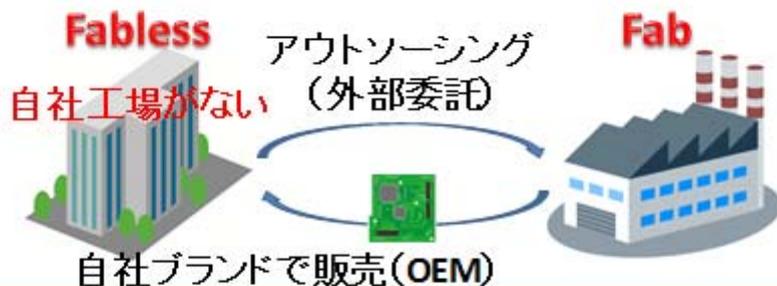
はじめに



©A.Kurokawa

21

# Fablessとは？



会社の呼び方

- Fabless design house**
- Fabless semiconductor firm**
- Fabless design company**      **Fabless company**
- Fabless semiconductor design company**      **Fabless chip company**
- Fabless chip maker**      **Fabless maker**      **Fabless firm**      **Fabless design firm**

© A. Kurokawa

22

# DFMとは？

## Design For Manufacturability

製造容易化設計   製造性考慮設計   製造容易性設計   製造性設計

## Design For Manufacture

製造容易性設計      製造性設計

## Design For Manufacturing

製造容易性設計      製造容易性考慮設計      製造性考慮設計

**DFMは製造を考慮して設計すること**  
**目的は利益率を上げるため**

「DFM」用語自体はLSI自動設計前(30年前)からある♪  
 90nmテクノロジーから頻繁に使われ出した！

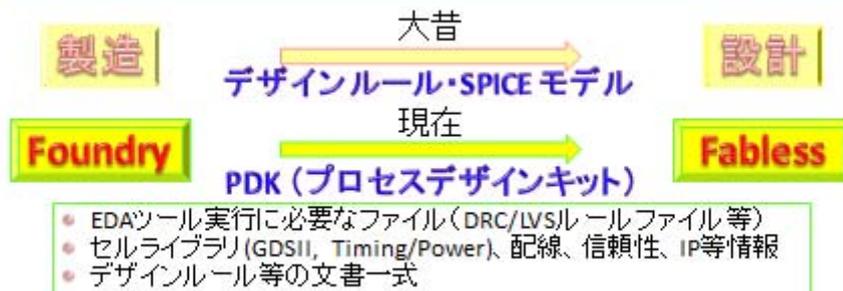
→0.18μm→0.13μm→90nm→65nm→45nm→

レイアウトを単純シュリンクしても動かない！（デザインルールが複雑化）

© A. Kurokawa

23

## DFMの狭義・広義



© A.Kurokawa

製造側から提供される情報に基づいて設計

24

## 製品フローとビジネスモデル



© A.Kurokawa

25



# DFM技術



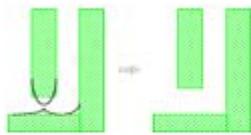
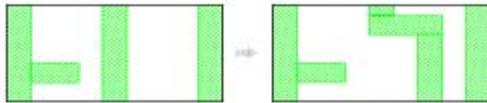
## 製造考慮設計トレンド

|                        | -180nm  | 130nm                     | 90nm             | 65nm  | 45nm                                       | 32nm                                | 22nm-                                 |
|------------------------|---|---------------------------|------------------|---|--|-------------------------------------|---------------------------------------|
|                        | Soft-DFM  |                           |                  |   | Hard-DFM                                   |                                     |                                       |
| <b>General</b>         | Min Pitch<br>Min Spacing<br>Min Line Width<br>Dummy Metal Fills | DRC<br>Enclosure<br>Notch |                  |   | Double Patterning<br>OPC/RET<br>CMP<br>CAA |                                     |                                       |
| <b>Variability</b>     |   |                           | Layout-dependent | LER/LWR<br>Well Proximity Effect<br>STI Stress Effect |  | Poly Spacing Effect<br>Poly Density | RTN<br>Oxide Diffusion Spacing Effect |
| <b>Reliability</b>     | Latch-up<br>HCI   | ESD<br>TDDB(Hard)<br>EM   |                  | SiV<br>NBTI   |  | TDDB(Soft)                          |                                       |
| <b>Timing Analysis</b> | WC/BC STA   | OCV/LOCV/AOCV/POCV STA    |                  |   |  | SSTA                                |                                       |

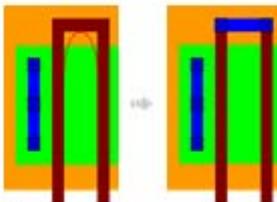
# レイアウト対策技術

リソ考慮設計

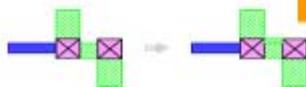
Wire Spreading/Widening/Pushing



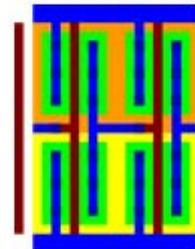
Poly Bent Avoiding



Notch Filling

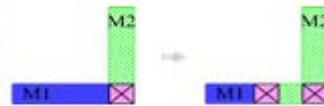


Dummy Poly



ビア不良対策

Double Via



© A.Kurokawa

30

# 設計依存ばらつき因子

| Process     | Pattern  | OPC                           |
|-------------|--|-------------------------------|
| FET         | Poly Pitch (LER)<br>Contact Pitch (CD)                       | Well/Diffusion                |
| Wire        | Interconnect   | Pattern Density               |
|             | Dummy Fills  | Width<br>Tile Size<br>Spacing |
|             | Via & Contact  | Shape<br>Position             |
| Circuit     | Mismatch (Device, Cell placement, Routing)<br>Placement Area |                               |
| Temperature | Thermal Distribution   |                               |
| Voltage     | Power Distribution<br>Power/Ground Noise                     | Crosstalk                     |

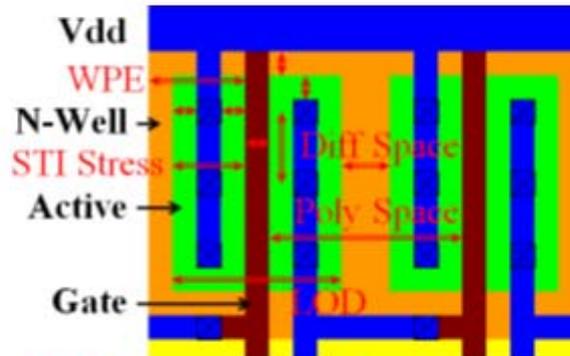
© A.Kurokawa

31

## レイアウト依存ばらつき因子

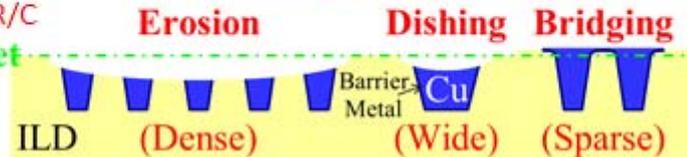
### トランジスタ

変動  
CD/LER  
Vth/Ids



### 配線

変動  
配線R/C  
Target



© A. Kurokawa

32

## 製造ばらつきの最適化設計

品質とコストはトレードオフ？

設計依存ばらつき因子は無数に存在

- ◆ 製造技術者だけではわからない
- ◆ プロセス/温度/電圧/信頼性のばらつきと設計との関係

リソ/平坦化のホットスポット解析結果の利用法

- ◆ 歩留りとチップ面積、設計コストを考慮した柔軟な対策

ばらつき対策/考慮のランク付け

- ◆ DFM各種ばらつき因子と歩留りの関係/感度
- ◆ 電気パラメータ( $V_{th}/I_{on}$ 、遅延や電力)との関係/感度
- ◆ コストに見合った対策・設計

設計側はこれらの実現に向け、  
Foundry & EDAベンダーと強力な連携(役割分担)が必要

© A. Kurokawa

33

# EDA Tools for DFM

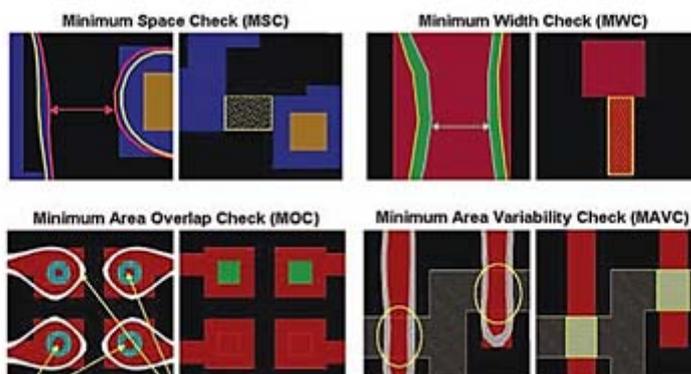
Mentor Graphics

©A.Kurokawa

34

## Calibre® LFD™ (Litho Friendly Design)

- ◆ ホットスポット解析
- ◆ ピンチング、ブリッジング、エリア・オーバーラップおよびCDばらつきを考慮



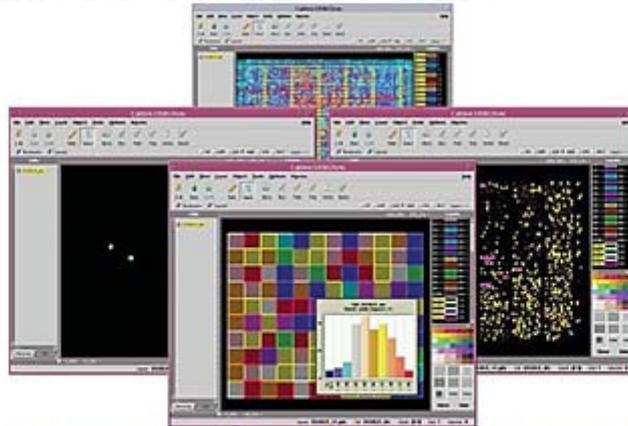
Source: メンター・ジャパン株式会社ホームページ (<http://www.mentorg.co.jp>)

©A.Kurokawa

35

## Calibre® YieldAnalyzer™

- ⊕ ランダムとシステマティックばらつきを解析
- ⊕ クリティカル・エリア解析 (パターン間隔が狭くランダムなパーティクル欠陥によるショートやオープンが起こる確率が平均より高い箇所を特定)
- ⊕ クリティカル・フィーチャー解析 (CFA) も実行



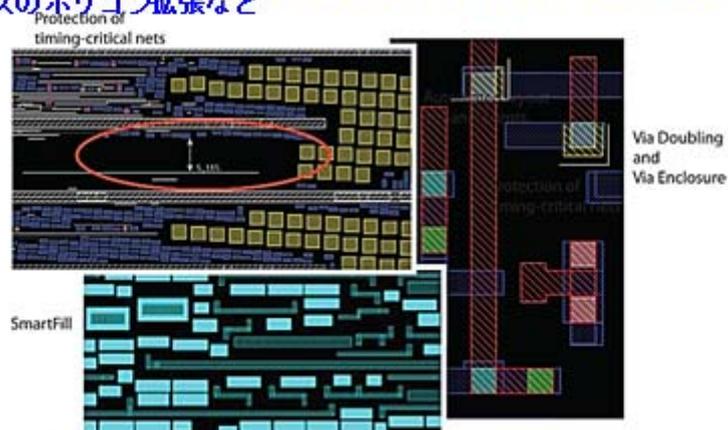
© A.Kurokawa

Source: Mentor Graphics Homepage (<http://www.mentor.com>)

36

## Calibre® YieldEnhancer™

- ⊕ 歩留まり向上につながるレイアウト修正を自動的に実行 (面積を増やすことなく歩留まりを改善)
- ⊕ ダブルビア、ビア・エクステンション、エンクロージャ、最小限のサイズのポリゴン拡張など



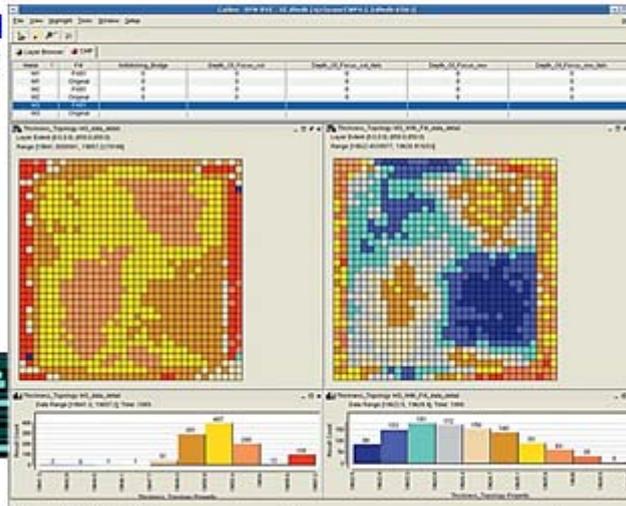
© A.Kurokawa

Source: Mentor Graphics Homepage (<http://www.mentor.com>)

37

## Calibre® CMPAnalyzer™

- ⊕ CMPのばらつきを予測
- ⊕ CMP効果を視覚化して確認可能
- ⊕ Calibre xRCとCalibre xLを組み合わせて、3D回路モデルを作成
- ⊕ フィル・パターン自動挿入



Source: メンター・ジャパン株式会社ホームページ(<http://www.mentorg.co.jp>)

© A.Kurokawa

38

## Design-to-Siliconソリューション・フロー

- ⊕ 製造ばらつき問題全体に対処するソリューションを提供



Source: メンター・ジャパン株式会社ホームページ(<http://www.mentorg.co.jp>)

© A.Kurokawa

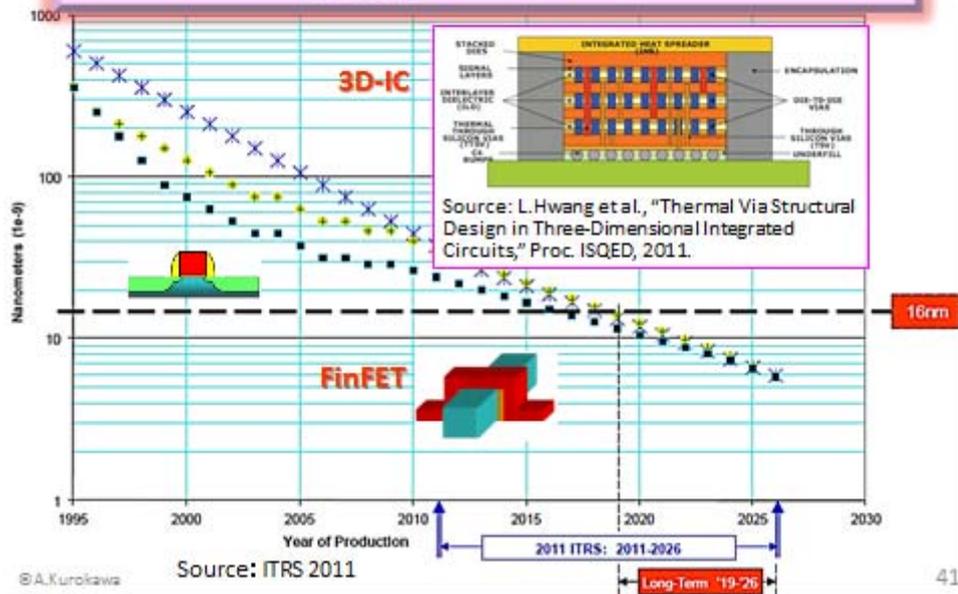
39

# 今後への期待

©A.Kurokawa

40

## 技術トレンド



41

## Fabless（設計）に必要なこと

**システム設計、物理設計に専念！**

**微細設計にはDFMの知識が必須！**

- ▶ チップ面積最小化、歩留り向上等高利潤を得るため
- ▶ 高品質化(差別化)をはかるため
- ▶ 顧客の安心・信頼を得るため(市場不良を回避するため)

**EDAベンダーとFoundryとの連携・協調が重要！**

- ▶ ばらつき考慮高品質LSI製品の創出には、3者連携が必要

**低コスト化！**

- ▶ 無償提供のIP/セルは性能・面積に大差なければ極力利用

**大手(大口)顧客に採用される魅力が必要！**



©A.Kurokawa

42

## Foundry & EDAベンダーへの期待

**詳細な製造(実力)情報の提供**

- ▶ ばらつき、信頼性の詳細な情報

**各種システマティックばらつきに対する  
レイアウト対策の効果**

**タイミングマージンと歩留りとDFM対策レベルとの関係**

- ▶ リソ/平坦化対策前と後ではタイミング解析の条件が異なるはず！

**自由度の高い設計自動化ツール**

- ▶ 面積優先、リソ対策優先等、チップコストと品質を設計者が選択
- ▶ 製造と設計の架け橋として、正確なDFMツールの提供

©A.Kurokawa

43

## 連携

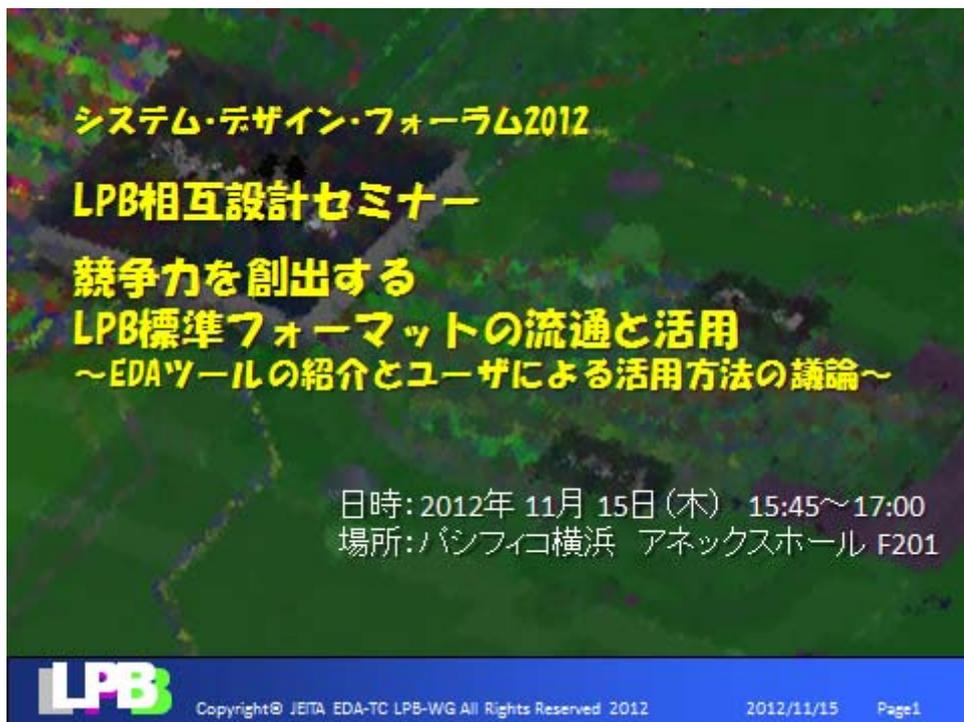


## 略語

| Key | Abbreviation                                | Key | Abbreviation                          |
|-----|---|-----|---------------------------------------|
| BTI | Bias Temperature Instability                | LER | Line-Edge-Roughness                   |
| CAA | Critical Area Analysis                      | LOD | Length OF Diffusion                   |
| CD  | Critical Dimension                          | LPE | Layout Parameter/Parasitic Extraction |
| CMP | Chemical-Mechanical Polishing/Planarization | LVS | Layout Versus Schematic               |
| COT | customer owned tooling                      | LWR | Line Width Roughness                  |
| DRC | Design Rule Check                           | OEM | Original Equipment Manufacturer       |
| DFA | Design For Assembly                         | OPC | Optical Proximity Correction          |
| DFR | Design For Reliability                      | PDK | Process Design Kit                    |
| DFT | Design For Testability/Testing/Test         | RDF | Random Dopant Fluctuation             |
| DFP | Design For Package/Packaging                | RET | Resolution Enhancement Technology     |
| DFY | Design For Yield                            | RTN | Random Telegraph Noise                |
| ERC | Electrical Rule Check                       | SiV | Stress-Induced Void                   |
| EUV | Extreme Ultra-Violet                        | TSV | Through Silicon Via                   |
| HCI | Hot-Carrier Injection                       | WPE | Well Proximity Effect                 |
| IDM | Integrated Device Manufacture               |     |                                       |

© A.Kurokawa 45

#### 4.3.4 LPB 相互設計セミナー



システム・デザイン・フォーラム2012

**LPB相互設計セミナー**

**競争力を創出する  
LPB標準フォーマットの流通と活用**  
～EDAツールの紹介とユーザによる活用方法の議論～

日時: 2012年 11月 15日 (木) 15:45～17:00  
場所: パシフィコ横浜 アネックスホール F201

**LPB** Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012 2012/11/15 Page1

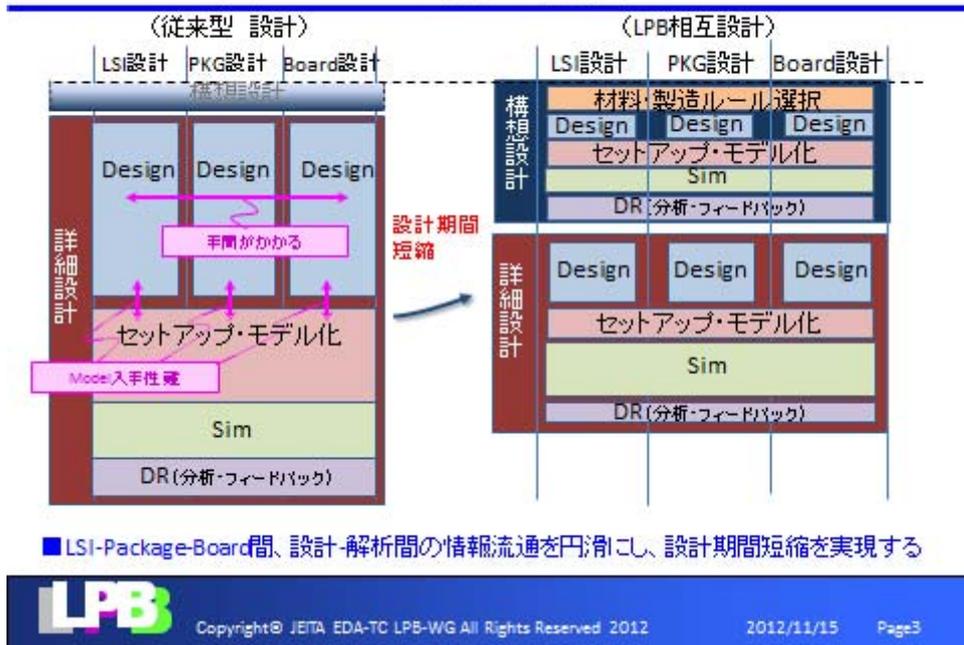
### 図1 出演者紹介

| 出演者氏名 | 会社名・所属・役職  |
|-------|--|
| 福場 義憲 | JEITA EDA技術専門委員会 LPB相互設計WG 主査<br>(株)東芝 セミコンダクター&ストレージ社<br>アナログ・イメージングIC事業部設計技術開発部<br>設計インフラ技術担当参事        |
| 富島 敦史 | JEITA EDA技術専門委員会 LPB相互設計WG 広報SWG 主査<br>(株)東芝 セミコンダクター&ストレージ社<br>アナログ・イメージングIC事業部設計技術開発部<br>設計インフラ技術担当 主務 |
| 中川 祐之 | JEITA EDA技術専門委員会 LPB相互設計WG フォーマットSWG 主査<br>富士通VLSI(株)ASIC-COT開発統括部 第3設計部 プロジェクト課長                        |
| 金子 俊之 | トッパンNECサーキットソリューションズ 管理本部設計部マネージャー   |
| 林 靖二  | キヤノン株式会社 生産技術研究所 実装技術第3研究室 主任研究員   |
| 古賀 一成 | (株)図研 技術本部 ELNセクション チーフ・エンジニア  |
| 村田 洋  | (株)ジェム・デザイン・テクノロジーズ 代表取締役  |
| 門田 和博 | ステイシフト株式会社 技術部 シニア・テクニカルマーケティング & エンジニア  |



**LPB** Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012 2012/11/15 Page2

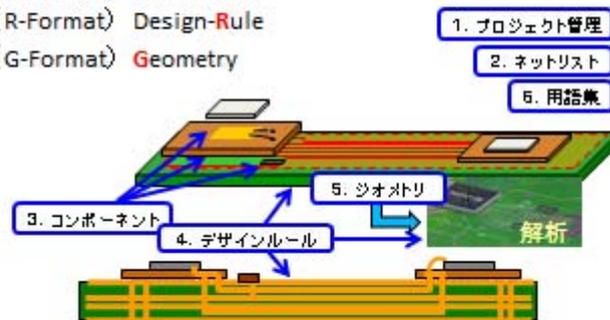
## 図2-1 LPB相互設計フロー



## 図2-2 JEITA LPB標準フォーマット

JEITA LPB標準フォーマットとして5つのファイルと用語集を策定

1. プロジェクト管理 (M-Format) Management
2. ネットリスト (N-Format) Netlist
3. コンポーネント (C-Format) Component
4. デザインルール (R-Format) Design-Rule
5. ジオメトリ (G-Format) Geometry
6. 用語集



## 図2-3 LPB相互設計WG ホームページ

LPB相互設計のwebページから、標準フォーマット Ver2.0を公開

[http://www.jeita-edatc.com/wg\\_lpb/home/lpb.html](http://www.jeita-edatc.com/wg_lpb/home/lpb.html)



## 図2-4 EDS Fair 2011Nov で事例発表

LPBメンバーによる設計事例

従来方式とLPBフォーマット方式、それぞれで実際に設計することで比較

**従来方式相当**  
キャノン

**LPB方式相当**

- ・Chip A  
LSI : ソニー  
パッケージ : 富士通  
リコー
- ・Chip B  
LSI : 東芝  
パッケージ : 國研
- ・ボード : トッパンNEC  
パナソニック
- ・検証 : デンソー

DDRをモチーフとして設計

LPBフォーマットで仕様書やり取り

LPB標準フォーマットを適用することのメリットを確認。



## 図2-5 EDS Fair 2011Nov 終了時の課題



LPB標準フォーマット普及における問題点  
⇒ 対応するツールがない

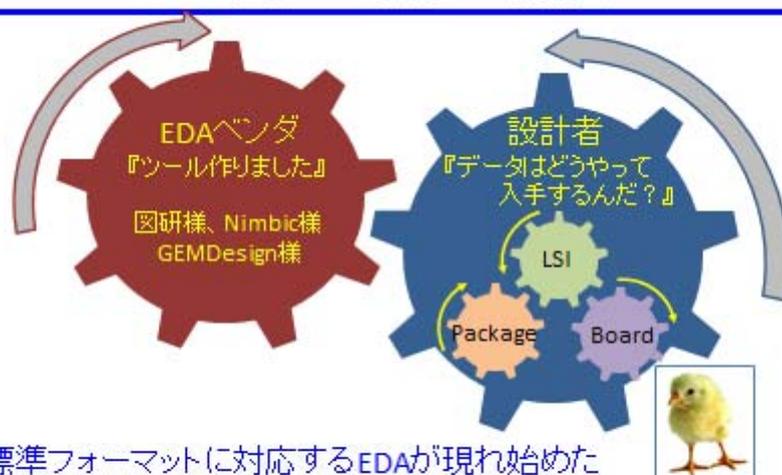


Copyright© JETA EDA-TC LPB-WG All Rights Reserved 2012

2012/11/15

Page7

## 図2-6 現在の課題



標準フォーマットに対応するEDAが現れ始めた  
⇒ どうやって使っていくのか？



Copyright© JETA EDA-TC LPB-WG All Rights Reserved 2012

2012/11/15

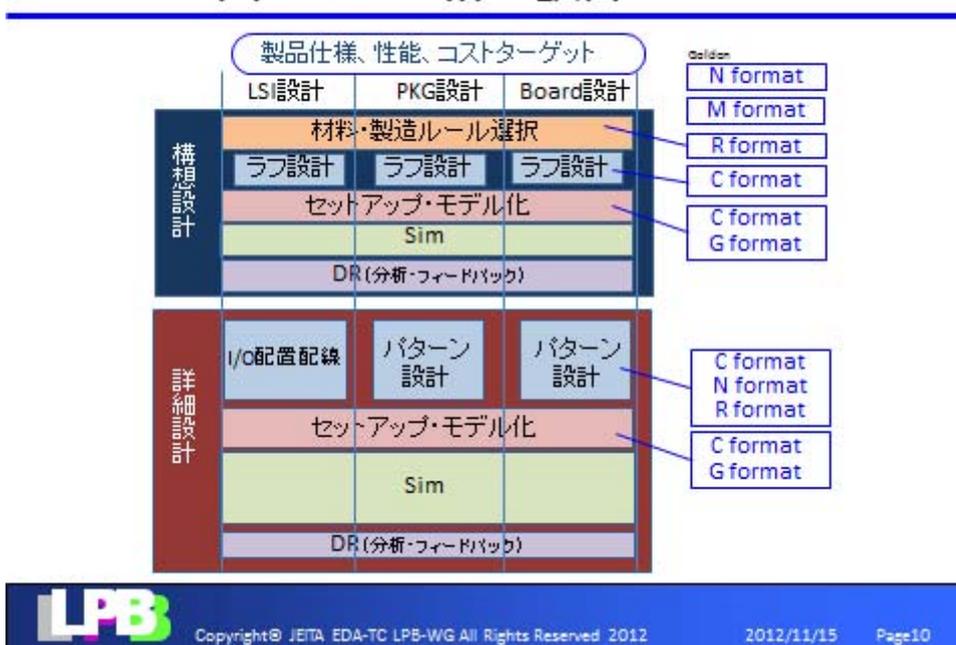
Page8

図2-7 JEITA LPB標準フォーマット概要

| フォーマット名                | 概要         | フォーマットの書式                                      |
|------------------------|------------|--|
| プロジェクト管理<br>(M-Format) | 設計各部の履歴    | 既存フォーマットを調査した                                  |
| ネットリスト<br>(N-Format)   | ネット接続表現+VG | (既存)<br>を追加                                    |
| コンポーネント<br>(C-Format)  | 部品・制約・端子   | 既存フォーマットを調査した                                  |
| デザインルール<br>(R-Format)  | 設計ルール・材料特性 | 既存フォーマットを調査した                                  |
| ジオメトリ<br>(G-Format)    | 解析用形状データ   | PL Ver1.0(既存)<br>を継承されたフォーマット<br>がネーション頂いています。 |

Copyright © JEITA EDA-TC LPB-WG All Rights Reserved 2012 2012/11/15 Page9

図2-8 LPB相互設計フロー



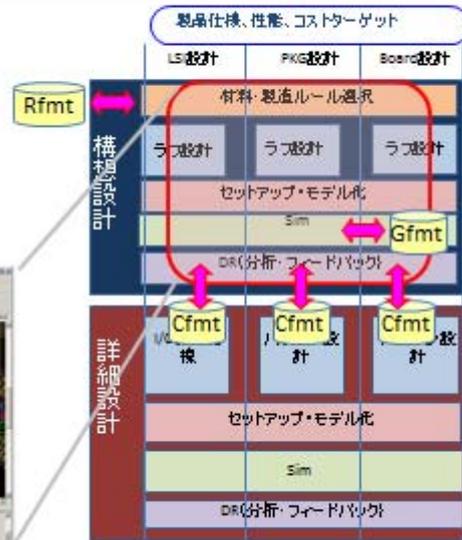
## 図3-1-1 Tool紹介 (GEM design)

### □ 構想設計専用ツール

- > ライブラリス
- > 超倍量設計

### □ R,C,Gフォーマットの入出力をサポート

- > デザインルール発注 (R-in)
- > 構想段階SIP解析を交換 (G-out)
- > 封緘ツールとの連携強化 (C-out)
- > 貴社独自のフロー構築を交換 (R,G,C各in/out)



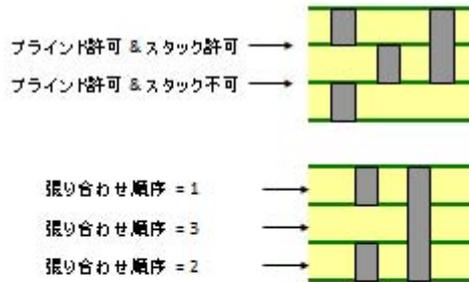
## 図3-1-2 GemPackageを使うと便利な局面



### 図3-1-3 GemPackageの特徴 (1) – ライブラリレス

#### ■ライブラリレス

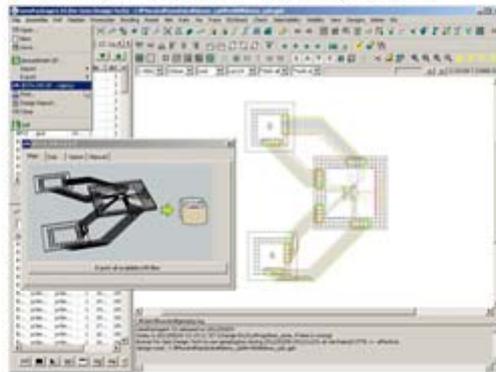
- パッドスタック定義、ビアライブラリ、部品ライブラリなしに、思い立ったらいきなり使い始められます。
- デザインルールさえ、JEITA LPB R-Formatから一発設定できます。



### 図3-1-4 GemPackageの特徴(2) – 超階層

#### ■超階層設計機能

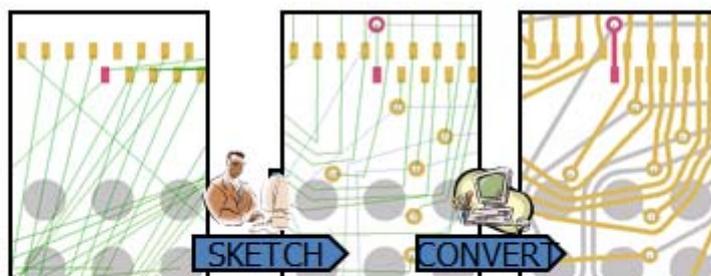
- チップ・パッケージ・ボードを素通しに表示しながら、ピン割り当てや配線とリマワシを検討できます
- 検討結果をC, R, Gフォーマットに一括出力できます



### 図3-1-5 GemPackageの特徴(3) – 基板配線見積もり

#### ■基板配線の見積もり機能

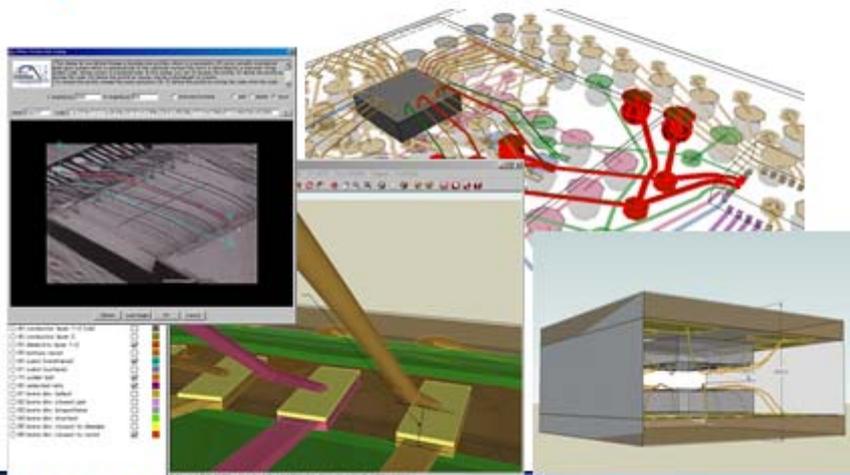
- マウスを使って自由にラッツを曲げられます。
- ラッツを曲げたラフ経路から配線形状を自動生成できます。
- 結果はGフォーマットで出力し、Nimbidに読み込めます。



### 図3-1-6 GemPackageの特徴(4) – 3次元検討

#### ■3次元検討機能

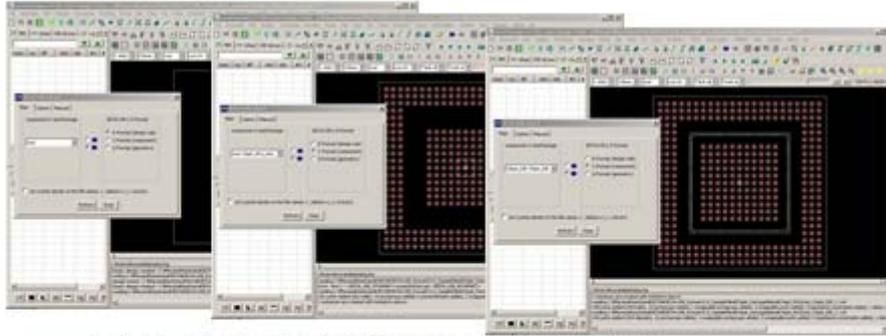
- データをグループアースに出力して、気軽に3次元観察できます。



## Gemは貴社のLPBフォーマット活用を応援します

### ■R,C,Gフォーマットの入出力をサポート

- デザインルール発設定 (R-in)
- 構想段階SI/PI解析を支援 (G-out)
- 詳細ツールとの連携強化(C-out)
- 貴社独自のフロー構築を支援(R,G,C各 in/out)



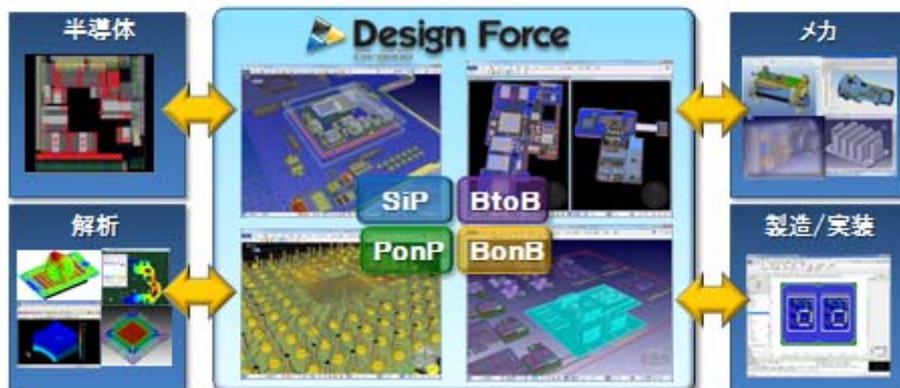
設計ルール、BGA、Chip PadデータをJEITA LPBフォーマットで順に供給した例。



## 図3-2-1 Tool紹介 (Zuken)

### システムレベルデザインの実現

- 基板単体ではなく、システムを設計するためのCADの実現
- LSI/PKG/PCB/メカの垣根を越えたシステムレベルデザインを可能にする統合型設計検証環境



### 図3-2-3 Tool紹介(Zuken)

CR-8000 Design Force - LSI/PKG/PCB全体協調設計環境



**Design Force**  
LSI/PKG/PCB

パッケージ プリント基板

- > LPB G, G Formatに対応
- > SoC/PKG協調設計
- > 最先テクノロジーによるマルチオブジェクト階層設計
- > 3次元実装による大規模複合デバイス設計
- > あらゆる設計プロセスに対応
- > システム視点での信号のトレーサビリティ

|                | LSI設計          | PKG設計  | Board設計 |
|----------------|----------------|--------|---------|
| 構想設計           | 材料・製造ルール選択     |        |         |
|                | ラフ設計           | ラフ設計   | ラフ設計    |
|                | セットアップ・モデル化    |        |         |
|                | Sim            |        |         |
| DR(分析・フィードバック) |                |        |         |
| 詳細設計           | パターン設計         | パターン設計 | パターン設計  |
|                | セットアップ・モデル化    |        |         |
|                | Sim            |        |         |
|                | DR(分析・フィードバック) |        |         |


Copyright© JETA EDA-TC LPB-WG All Rights Reserved 2012
2012/11/15
Page2

### 図3-3-1 協調設計フロー(Nimbic)

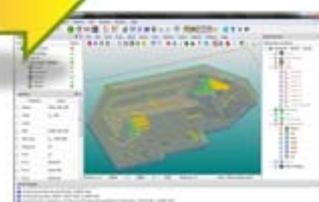
 nWave
  nApex
  nVolt
  nCloud

- M,G-Formatサポートにより容易に協調設計モデルを作成・解析

|                | LS設計           | PKG設計  | Board設計 |
|----------------|----------------|--------|---------|
| 構想設計           | 材料・製造ルール選択     |        |         |
|                | ラフ設計           | ラフ設計   | ラフ設計    |
|                | セットアップ・モデル化    |        |         |
|                | Sim            |        |         |
| DR(分析・フィードバック) |                |        |         |
| 詳細設計           | VQ 配置設計        | パターン設計 | パターン設計  |
|                | セットアップ・モデル化    |        |         |
|                | Sim            |        |         |
|                | DR(分析・フィードバック) |        |         |

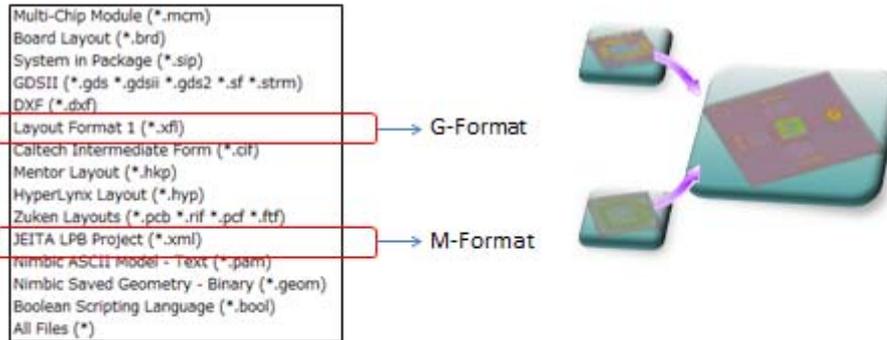



Copyright© JETA EDA-TC LPB-WG All Rights Reserved 2012
2012/11/15
Page3

## 図3-3-2 JEITA LPBフォーマットのサポート

- G-FormatをImportダイアログで選択してImportすると指定したLayoutの電磁界モデルを生成
- 解析対象のM-FormatをImportダイアログで選択してImportするとM-Format内に記述されたDie、PackageおよびBoardのG-Formatを一括でImportして各モデルを作成
- 今後、C-Format(コンポーネント情報)のサポートが完了すると、M-Formatで読み込んだ各モデルをマージして協調解析モデルを一括で行うことが可能となる



## 図3-3-3 LPB協調設計フロー(Nimbic)

- Importダイアログから容易にLPBフォーマットをImportして解析モデル作成・解析

### > 特徴

- Package/PCB特性解析に特化した3D電磁界解析ツール
- 独自の高速境界要素法による高速な大規模モデルの解析
- 3D電磁界シミュレーションにより、BGA、Bondwire、リードフレームの解析も可能
- Cloud Computingによる大規模モデルの超高速解析

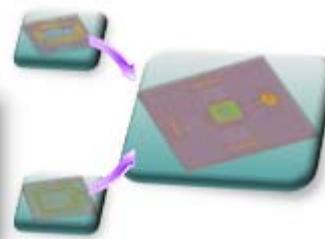
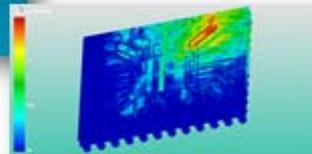


図4-1 LPB相互設計 (協調設計フロー)

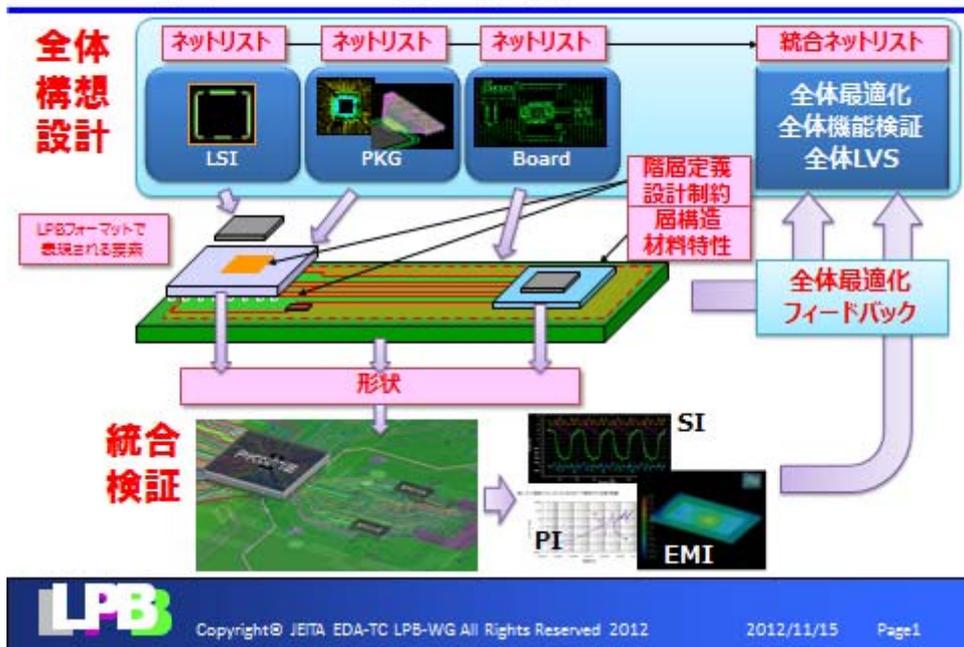
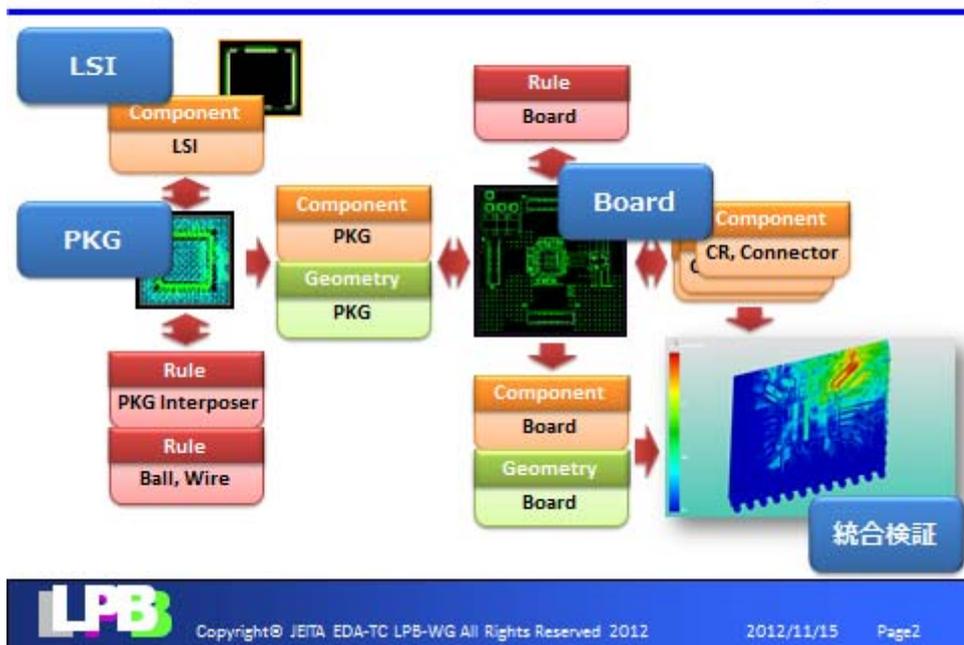


図4-2 LPB Format (フロー⇔情報[format])



## 図4-3 LPB Format (情報[format]⇄サプライチェーン)

情報が流通する

サプライチェーンに係わる皆が、同じフォーマットを共有



## 図5 誰が、どんなフォーマットを用意するのか

|             | G-format | C-format | R-format | N-format | M-format |
|-------------|----------|----------|----------|----------|----------|
| セットメーカー     |          |          |          |          |          |
| LSI設計       |          |          |          |          |          |
| PKG設計       |          |          |          |          |          |
| PKG組立       |          |          |          |          |          |
| Board設計     |          |          |          |          |          |
| Board製造     |          |          |          |          |          |
| コネクタメーカー    |          |          |          |          |          |
| チップ部品メーカー   |          |          |          |          |          |
| Board材料メーカー |          |          |          |          |          |
| PKGフレームメーカー |          |          |          |          |          |
| 汎用LSIメーカー   |          |          |          |          |          |

## 図6 LPBフォーラム 予告

2009年のシステム実装CAE研究会、  
ベンダセミナー等で予言したこと。



2013年3月6日  
第1回LPBフォーラム



2010年 JEITA LPB-WG発足

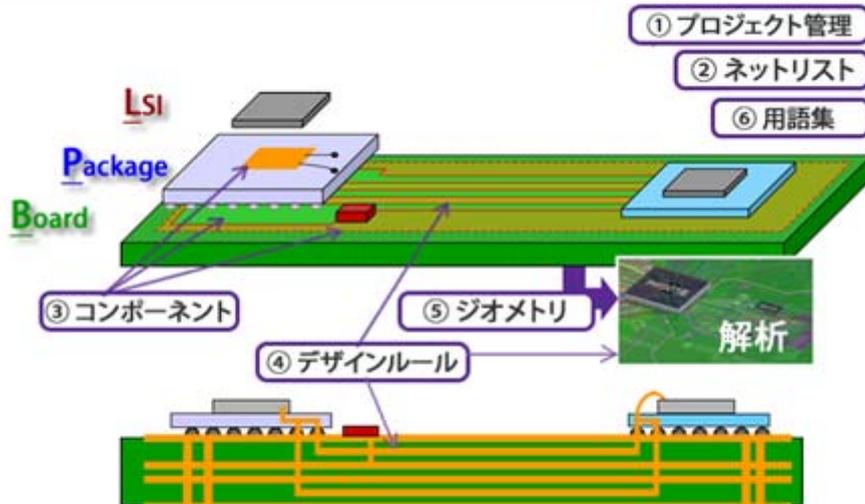


Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012

2012/11/15

Page5

## 付録A 冊子図1: JEITA LPB標準フォーマット



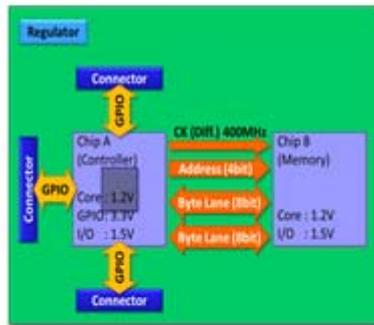
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012

2012/11/15

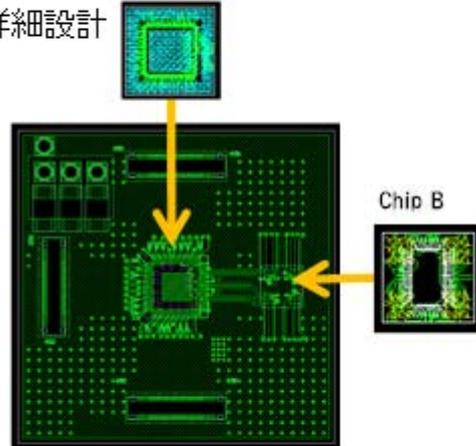
Page1

## 付録B 冊子図2: LPB-WGによる設計事例

構想設計



詳細設計



**LPB**

Copyright© JETA EDA-TC LPB-WG All Rights Reserved 2012

2012/11/15

Page2

## 付録C 冊子図3: LPB標準フォーマットによる効果



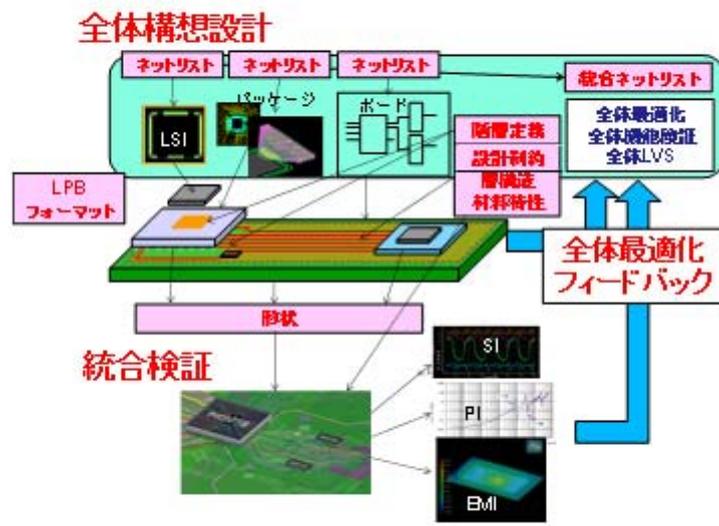
**LPB**

Copyright© JETA EDA-TC LPB-WG All Rights Reserved 2012

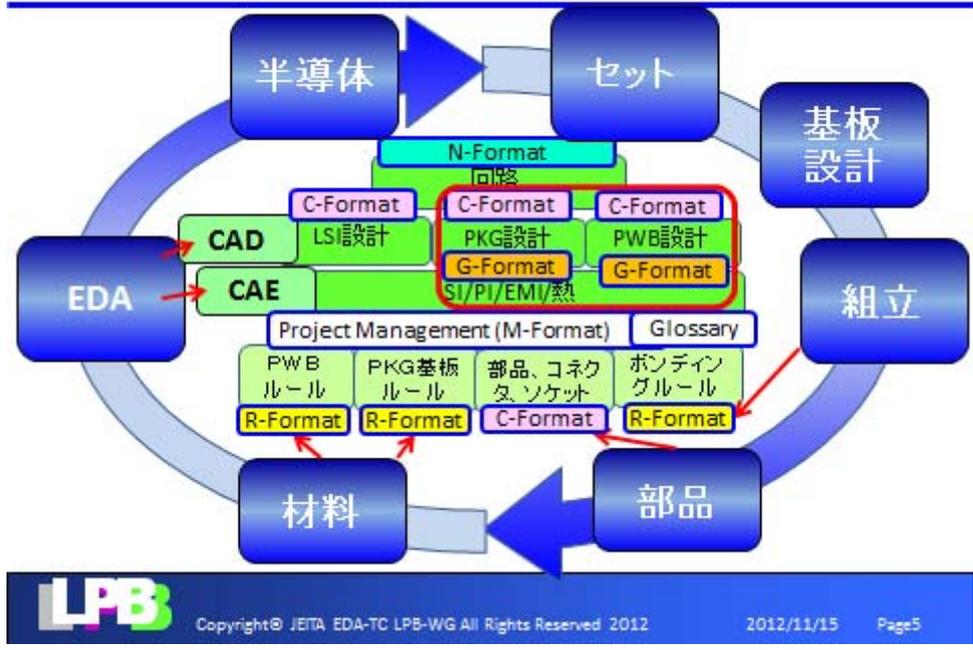
2012/11/15

Page3

付録D 冊子図4: LPB標準フォーマットを使った構想設計環境



付録E 冊子図5: LPB標準フォーマットが使われる場所



付録 F 誰が、どんなフォーマットを用意するのか(解答例)

|             | G-format | C-format     | R-format            | N-format      | M-format |
|-------------|----------|--------------|---------------------|---------------|----------|
| セットメーカー     |          |              |                     | ○             | ○        |
| LSI設計       |          | ○            |                     | ○             | ○        |
| PKG設計       | ○        | ○            | ○                   |               | ○        |
| PKG組立       |          | ○            | ○<br>WB finger size |               |          |
| Board設計     | ○        | ○            | ○                   |               | ○        |
| Board製造     |          |              | ○<br>最小L/S 他        |               |          |
| コネクタメーカー    |          | ○<br>フットプリント |                     |               |          |
| チップ部品メーカー   |          | ○<br>フットプリント |                     | △<br>Ex. 集合抵抗 |          |
| Board材料メーカー |          |              | ○<br>材料物性           |               |          |
| PKGフレームメーカー | ○        |              | ○<br>最小L/S 他        |               |          |
| 汎用LSIメーカー   | ○        | ○            |                     | ○             |          |



EDAアニュアルレポート 2012

2013年6月発行

禁無断転載

|    |  |
|----|--|
| 発行 | 一般社団法人 電子情報技術産業協会 電子デバイス部<br>〒100-0004<br>東京都千代田区大手町1丁目1番3号<br>大手センタービル<br>電話 03-5218-1061      FAX 03-5218-1080 |
| 作成 | 株式会社 栄光舎<br>〒153-0061<br>東京都目黒区中目黒1-8-8<br>電話 03-5794-1071      FAX 03-5794-1081                                 |

Copyright 2013 by Japan Electronics and Information Technology Industries Association

本書中に記載の会社名および商標名は、各社の登録商標、商標です。