



EDAアニュアルレポート 2013

Annual Report on Electronic Design Automation

— システム・オン・チップ時代の向こうに —
Beyond the "System on a Chip" era

2014年6月発行

作 成

半導体技術委員会／EDA技術専門委員会
Semiconductor Technology Committee／EDA Technical Committee

発 行

一般社団法人 電子情報技術産業協会
Japan Electronics and Information Technology Industries Association

【巻頭言】

「高付加価値LSIの設計基盤であるEDA技術発展に向けて」

EDA技術専門委員会 2013年度委員長 大芝 克幸

半導体は、家電製品や情報端末だけでなく、自動車、医療機器などにも搭載され、社会基盤にはなくてはならないものである。近年は、クラウドのような高度情報化社会、エコ社会を実現するために、高信頼性、低消費電力といった高付加価値をもつ半導体製品の提供が強く求められている。特に、増大するバラツキを考慮したタイミング設計技術、低消費電力技術、大規模 LSI の検証技術など、少ない工数で高品質な LSI を設計する技術において、一層の発展が期待されている。これらの技術発展には、国内の半導体産業、大学、官庁間の密接な連携が重要であり、海外の関連業界・機関とも国際的な視野で協調、連携を図っていく必要がある。

EDA 技術専門委員会は、電子情報技術産業協会 (JEITA) における業界活動組織の 1 つとして、電子機器の機能・性能を決定するシステム LSI の設計技術に関わる活動を行っている。設計技術およびそれに関わる標準化の動向を調査・検討し、それらの発展・推進を図り、さらには国内外の関係業界の発展に寄与することを目的とし、以下の 3 つのテーマを設定し活動している。

- (1) EDA 技術の動向・関連情報の調査検討、課題解決への提案
- (2) EDA に関する標準化活動への貢献
- (3) EDA 技術および標準化の普及推進のためのイベント実施・支援

- (1) EDA 技術の動向・関連情報の調査検討、課題解決への提案

2013 年度は、ナノ世代物理設計ワーキンググループ (NPD WG) と LSI-パッケージ-ボード相互設計ワーキンググループ (LPB WG) の 2 つで活動した。

NPD WG では、物理設計における課題の抽出、対策の検討、モデルやフォーマットを含む設計手法の標準化を目的とし、微細プロセスにおける設計課題を予測し、対策の検討、提案を行っている。

LPB WG では、2011 年に提案した LPB フォーマットが EDA ベンダによる採用が進み、2013 年度は、いよいよ国際標準化に向け始動した。

本活動の成果は、関係機関・団体との会議や学会・研究会、セミナー等で発表し、また、アニュアルレポートとして積極的に公開している。

- (2) EDA に関する標準化活動への貢献

標準化担当委員を置き、各ワーキンググループの成果を標準化に結び付けるべく、関連する標準化団体・組織と連携して活動を推進している。

IEEE/DASC、SA には、コーポレート・メンバーとして参加している。毎年、米国での DAC (6 月) や DVCON (2 月) に合わせて開催される DASC 会議には現地で出席し、日本での SystemC Japan (7 月) や EDSFair (11 月) には、米国から来日する関係者と交流を深めると共に、合同で DASC 会議にオンラインで出席している。2013 年度は、LPB フォーマットを IEEE に提案し、規格開発プロジェクト P2401 として作業が開始された。2015 年に IEEE Standard 承認の予定である。

SystemC/SystemVerilog/Power Format など言語関連の WG は、2013 年度も活動休止となったが、投票案件発生時には国内意見を取り纏め IEEE へのフィードバックを行う予定である。

また、IEC TC91/WG13 国内小委員会（EDA 分野）との情報交換・交流を通じて、国際的な標準化活動へも貢献している。本委員会で取り纏めた「設計言語俯瞰図」は、IEC に Technical Report として提案し、IEC/TR 62856 The Bird's-eye View of Design Languages (BVDL) として 8 月に発行された。

(3) EDA 技術および標準化の普及推進のためのイベント実施・支援

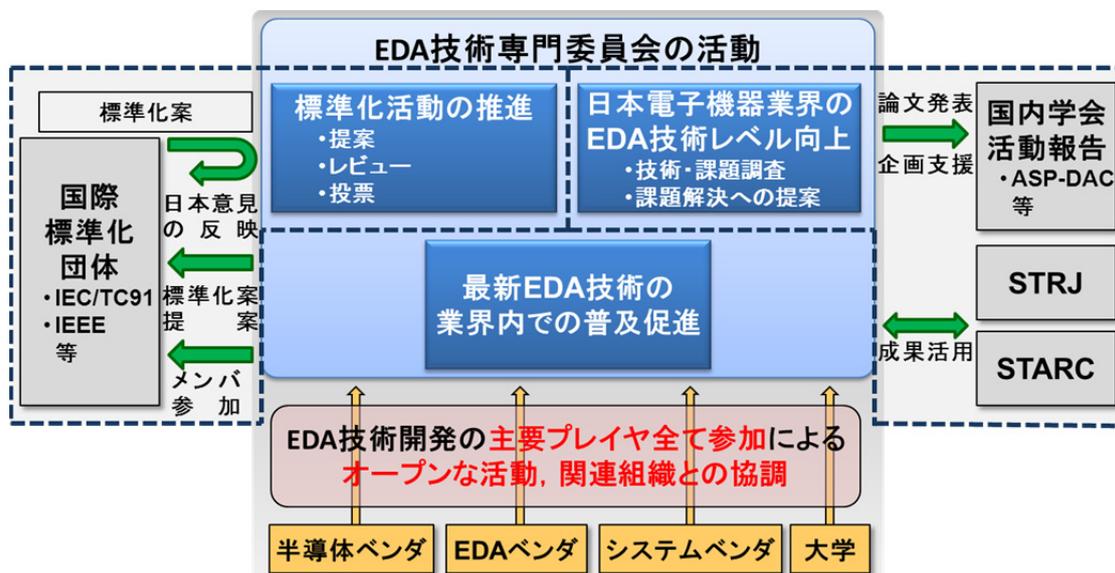
普及活動については、EDSFair (Electronic Design and Solution Fair)、システムデザインフォーラム (SDF: System Design Forum)、LPB WG による LPB フォーラムを開催している。

EDA 技術専門委員会では、EDSFair 実行委員長を任命し、EDSFair 実行委員会を立ち上げると共に、特設ステージをはじめとする EDSFair の企画・運営に当たった。

EDSFair と同時開催したシステムデザインフォーラムでは、EDA 技術専門委員会および傘下のワーキンググループの活動内容と成果を発表した。

LPB WG では LPB 標準フォーマットを定義し、ベンダならびにユーザーを対象にしたセミナーを開催して普及を行った。2013 年度は、ユーザーを対象にしたリファレンス・フローを紹介するセミナーを実施した。

以下の図で、本委員会の活動と関係団体との関わりを示す。



TC91/WG13: 国際電気標準会議/設計自動化
 IEEE: 米国電気電子技術者協会
 ASP-DAC: Asia South Pacific-Design Automation Conference
 STRJ: 半導体技術ロードマップ委員会
 STARC: 半導体理工学研究センター

EDA 技術専門委員会は、上図の関連組織・標準化団体との連携のもと、3つのテーマである EDA 技術調査と課題解決への技術検討、標準化活動、技術と標準化の普及促進という活動を通じ、高度情報化社会、エコ社会の実現に不可欠な高付加価値 LSI の設計を支える EDA 技術の発展、さらには日本の電子情報機器業界の発展に寄与すべく、2013 年度は 12 社約 50 名の業界各社有志の参画により活動した。2014 年度も積極的な活動を継続する予定である。

本報告「EDA アニュアルレポート 2013」は、EDA 技術専門委員会の 2013 年度年次報告として、上記 3 つのテーマについて活動成果をまとめたものである。また、本委員会のホームページにも各種報告を掲載しているので、ご覧いただきたい。

(<http://www.jeita-edatc.com/index-jp.html>)

2013 年度 JEITA/EDA 技術専門委員会 委員一覧

委員長	大芝 克幸	ソニー L S I デザイン(株)	第 2 L S I 設計部門 アナログデザインソリューション部 シニアデザインエンジニア
副委員長	山口 龍一	パナソニック(株)	A I S 社 セミコンダクター事業部 システムインテグレーション 基盤技術開発グループ 参事
副委員長	高倉 正博	ルネサスエレクトロニクス(株)	第二ソリューション事業本部 システムインテグレーション事業統括部 バックエンド設計部 シニアエキスパート
監事	改田 博政	(株)東芝	セミコンダクター&ストレージ社 ミックスドシグナル I C 事業部 設計技術開発部 設計メロドロロジー開発担当 参事
幹事	河村 薫	富士通セミコンダクター(株)	事業本部 共通テクノロジー開発センター 専任部長
委員	林 靖二	キヤノン(株)	生産技術研究所 実装技術研究部 実装技術第 3 研究室 主任研究員
委員	松澤 浩彦	(株)図研	EDA 事業部 E L 開発部 シニア・パートナー
委員	市川 浩司	(株)デンソー	技術開発センター D P - E M C 推進室 開発課長

委員	益子 行雄	日本ケイデンス・デザイン・システムズ社	テクニカルフィールド オペレーション本部 シニアテクニカルセールス マネージャー
委員	飯島 一彦	日本シノプシス(合)	技術本部 本部長 バイスプレジデント
委員	三橋 明城男	メンター・グラフィックス・ジャパン(株)	マーケティング部 ディレクター
委員	畔野 正彦	(株)リコー	電子デバイスカンパニー 第一設計室 11設計グループ
特別委員	田中 玄一	ルネサスエレクトロニクス(株)	第二ソリューション事業本部 システムインテグレーション事業統括部 デザインインフラストラクチャ部 部長
特別委員	山中 俊輝	(株)リコー	画像システム開発本部 LSI開発センター 第二開発室 開発ニグループ シニアスペシャリスト
特別委員	福場 義憲	(株)東芝	セミコンダクター&ストレージ社 アナログ・イメージング事業部 設計技術開発部 設計インフラ担当 システム協調設計 主幹
客員	若林 一敏	日本電気(株)	ESS事業センター シニアエキスパート グリーンプラットフォーム研究所 主幹研究員
客員	今井 正治	大阪大学	大学院 情報科学研究科 情報システム工学専攻 教授

略 語 一 覧

[1] 団体・組織の名称

Accellera	Accellera Systems Initiative 旧Accellera (VIとOVIを統合した、設計記述言語の標準化に関連する活動機関)とOSCI (Open SystemC Initiative : SystemC の標準化団体)が統合
ANSI	American National Standards Institute 米国の標準化国家機関
ASP-DAC	Asia and South Pacific Design Automation Conference アジア・南太平洋地域でのEDA関連の国際学会(1995年に始まる)
GENELEC	European Committee for Electrotechnical Standardization EC(欧州委員会)の電気電子分野に関する標準化機関
DAC	Design Automation Conference 米国で行われるEDA関連の国際学会
DASC	Design Automation Standardization Committee IEEEの下部組織で設計自動化に関する標準化委員会
DVCON	Design & Verification Conference & Exhibition 米国で行われる検証専門の国際会議
ECSI	European Electronic Chips & Systems design Initiative 欧州の設計自動化に関する標準化機関
EDIF Div.	Electronic Design Interchange Format Division EIAの下部組織で電子系の情報データ交換規格の検討機関
EIA	Electronic Industries Alliance 米国の電機電子通信業界団体
ICCAD	International Conference on Computer Aided Design CADに関する国際学会
IEC	International Electrotechnical Commission 国際電気標準会議(電気電子分野に関する国際標準化機関)
IEEE	Institute of Electrical and Electronics Engineers, Inc. 米国の電気電子分野の国際的な学会組織
IPC	Association Connecting Electronics Industries 旧称:Institute for Interconnecting and Packaging Electronic Circuits 米国のプリント基板設計・製造に関する業界組織
ISO	International Organization for Standardization 国際標準化機構 (電気及び電子、通信技術分野を除く全産業分野[鉱工業、農業、医薬品等]に関する国際標準化機関)

IVC	International Verilog Conference OVIが主催するVerilog HDL国際学会であり、2000年にVIUF (VHDL International Users Forum)と統合してHDLCon (International HDL Conference)となり、2003年よりDVCon (Design & Verification Conference & Exhibition)として開催
JEITA	Japan Electronics and Information Technology Industries Association 一般社団法人 電子情報技術産業協会 (電機電子業界団体)
JISC	Japanese Industrial Standards Committee 日本工業標準調査会 (国家審議会、IEC/ISOに対する代表機関)
JPCA	Japan Electronics Packaging Circuits Association 社団法人 日本電子回路工業会
OSCI	Open SystemC Initiative SystemCの標準化団体で、2011年にAccellera Systems Initiativeへ統合
OVI	Open Verilog International Verilog-HDLに関連する技術の標準化と普及推進組織で、2000年にVI (VHDL International)との統合でacceleraに名称変更
SEMATECH	Semiconductor Manufacturing Technology Initiative (Consortium) 半導体技術を向上するために始まった米国の官民プロジェクト
Si2	Silicon Integration Initiative 設計環境の整備促進を支援する米国の非営利法人 (旧CFI)
VASG	VHDL Analysis and Standards Group DASC傘下のVHDL標準化に関するワーキンググループ
VITAL	VHDL Initiative Toward ASIC Libraries VHDLライブラリ標準化団体
VSIA	Virtual Socket Interface Alliance LSIの機能ブロックのI/F標準化を目指している業界団体、2008年解散

[2]標準化・規格に関する技術用語

ALF	Advanced Library Format OVIで検討されたIPをも含むASICライブラリのフォーマット
ALR	ASIC Library Representation ASICライブラリ表現
CALS	Computer Aided Logistics Support/Commerce at Light Speed 製品の技術情報の流通に関するすべての標準化活動の総称
CHDS	Chip Hierarchical Design System SEMATECHが要求仕様を作成した0.25-0.18um世代設計システム

CHDStd	Chip Hierarchical Design System technical data CHDSで使用するデータモデルの標準化
DCL	Delay Calculation Language 遅延計算のための記述言語
DPCS	Delay and Power Calculation System IEEE1481として標準化推進されている遅延と消費電力の計算機構仕様
ECALS	Electronic Commerce at Light Speed 電子機器、半導体、電子部品等の複合電子部品技術情報の流通ならびに ECALS 辞書等の維持管理等、すべての標準化活動の総称
EDI	Electronic Data Interchange 電子データ交換
EDIF	Electronic Design Interchange Format EIAの下部組織で検討されている電子系の情報データ交換規格
ESPUT	European Strategic Program for Research and Development in Information Technology 欧州情報技術研究開発戦略計画
HDL	Hardware Description Language ハードウェア記述言語
IP	Intellectual Property 流通/再利用可能なLSI設計資産(本来は知的財産権の意)
JIS	Japanese Industrial Standards 日本工業規格
SDF	Standard Delay Format 遅延時間を表記するフォーマット
SLDL	System Level Design Language システム仕様記述言語
STEP	Standard for the Exchange of Product Model Data CADの製品データ交換のための国際規格
VHDL	VHSIC(Very High Speed Integrated Circuit) Hardware Description Language IEEE1076仕様に基づくハードウェア記述言語
VHDL-AMS	VHDL-Analog and Mixed-Signal (Extensions) DASCの中で進められているVHDLのアナログ及びミックストシグナルシステムへの拡張

1. EDA技術専門委員会の活動

1.1 2013 年度 JEITA/EDA 技術専門委員会 概要

委員会の名称	EDA 技術専門委員会 (Electronic Design Automation Technical Committee)		
委員会の目的	EDA に関連する技術およびその標準化の動向を調査し、その発展、推進を図り、さらには国内外の関係業界の発展に寄与する		
委員会の構成	会員会社/委員	12 社/12 名	
	特別委員	3 名	
	客員	2 名	
委員会の予算	会費	240,000 円 * 12 社 = 2,880,000 円 (会費 12 社)	
委員会の開催	年 4 回程度	(実績：別紙-2 参照)	
幹事会の開催	必要に応じ開催	(実績：別紙-2 参照)	
担当事務局	JEITA/電子デバイス部	幾見 宣之・細川 照彦	

■EDA 技術専門委員会役員と担当 (敬称略)

・幹事会社 5 社 (5 名)

委員長	：ソニー	大芝 克幸	EDSFair 特設ステージ企画検討会主査 EDSFair 実行委員会委員、ASP-DAC OC
副委員長	：パナソニック	山口 龍一	HP/ML、内規改訂
副委員長	：ルネサエレクトロニクス	高倉 正博	広報パソフレット、アニュアルレポート、システム・デザイン・フォーラム WG 委員
監事	：東芝	改田 博政	会計報告、システム・デザイン・フォーラム WG 主査
			EDSFair 実行委員会委員
幹事	：富士通セミコンダクター	河村 薫	EDSFair 実行委員会委員長、システム・デザイン・フォーラム WG 委員

・特別委員 (3 名)

標準化担当	ルネサエレクトロニクス	田中 玄一
ナノ世代物理設計 WG 主査	リコー	山中 俊輝
LPB 相互設計 WG 主査	東芝	福場 義憲

・客員 (2 名)

上流設計識者、ASP-DAC レゾリューション	大阪大学	今井 正治
ASP-DAC レゾリューション	日本電気	若林 一敏

■2013 年度活動方針

1. 委員会活動の継続的発展

スリムな組織でスムーズな運営と継続可能な体制の確立

- ・「委員の、委員による、委員+業界のため」の活動
- ・活動のロードマップを作成し将来展望を持って進む
- ・健全で公平感のある財務体質の確立（会費、次期繰越金）

委員会の効率的な運営

- ・ルールを守る
- ・議論に重点
- ・予算の最適運用

2. 標準化の推進と展開

- ・LPB フォーマットの国際デビュー（DAC、DATE）と積極展開
- ・IEEE-SA に Basic メンバー → Advanced 登録も検討
- ・IEEE/DASC メンバー（継続）
- ・国際会議（IEEE/DASC）出席
- ・標準化団体との協議・関係構築

■活動計画の概要<別紙-1 参照>

<別紙 - 1>

活動計画の概要

1. EDA 技術の動向&関連情報の調査検討、課題解決への提案

(1) WG による技術動向とニーズ調査

- ・最先端テクノロジー：ナノ世代物理設計 WG、LPB-WG
- ・設計言語：今年度は言語関連の WG はすべて休会

(2) 関連機関、団体、キーパーソン等との合同会議、意見交換、交流

- ・STARC、STRJ、JIC、JPCA、JIEP 等

(3) 国内外の学会、研究会、イベントへの参加と連携

2. EDA 技術および標準化の普及推進のためのイベント実施、支援

(1) 「EDSFair2013」開催

- ・ET との同時開催で EDSFair 開催を継続
- ・特設ステージの運営体制（幹事会社＋委員会社有志＋JESA）継続

(2) 各種ワークショップ、講演会の開催

- ・システム・デザイン・フォーラムの実施を検討
- ・LPB フォーラム

3. EDA に関する標準化活動への貢献と関連機関、団体への対応

(1) EDA 設計言語およびモデル標準化のための技術的検討と提案

- ・LPB-WG を継続し、LPB 相互設計環境標準化に向けた活動を実施
- ・SystemC、SystemVerilog、VHDL、A-HDL、PowerFormat などは、必要に応じて対応（WG の再開等）

(2) 国際的な関連機関、団体への参画・連携と標準化活動への協力

- ・標準化担当委員を中心に委員会で対応
- ・IEEE/DASC、IEEE-SA、Accellera Systems Initiative、Si2 等との連携
DASC 会議（6 月@DAC、6 月@SystemC Japan、11 月@EDSFair、3 月@DVCon）
IEEE-Basic の資格を継続→Advanced も検討

4. 委員会活動の広報

(1) 広報パンフレットの配布@EDSFair2013

(2) アニュアルレポートの発行（下記 HP でも公開）

(3) WWW ホームページの公開 <http://www.jeita-edatc.com/>

(4) 活動成果の発表

- ・システム・デザイン・フォーラム：標準化活動
- ・学術論文：ナノ世代物理 WG
- ・セミナー：LPB-WG

2013 年度 JEITA/EDA 技術専門委員会 開催実績

年/月	技術専門委員会	懇親会	幹事会	関連イベント
2013/4	4/19(金) (東京地区) ・13 年度役員審議、承認 ・12 年度専門委員会/WG の年間活動報告 ・13 年度事業活動計画 ・委員名簿更新内容確認 ・12 年度予算執行状況報告 ・12 年度版アニュアルレポート報告 ・EDSFair2013 実行委員会および 特設ステージ企画検討 WG、SDF 活動報告 ・13 年度予算案	○ (2012 年度 慰労 会)	4/19	
2013/5				
2013/6				・DAC2013 (6/2-6/6) @Austin, TX ・SystemC Japan (6/21)
2013/7	7/26(金) (東京地区) ・標準化活動/WG 進捗報告 ・EDSFair2013 実行委員会および 特設ステージ企画検討 WG、SDF 活動報告 ・12 年度版アニュアルレポート配布 ・EDSFair 用パンフレット原稿作成依頼予告		7/26	
2013/8				
2013/9				
2013/10	10/25(金) (大阪地区) ・標準化活動/WG 進捗報告 ・EDSFair2013 実行委員会および 特設ステージ企画検討 WG、SDF 活動報告 ・EDSFair 用パンフレット配布		10/25	
2013/11				・EDSFair2013 (11/20-22) @横浜
2013/12				
2014/1	1/17(金) (東京地区) ・標準化活動/WG 進捗報告 ・EDSFair/SDF 実施報告 ・アニュアルレポート作成分担		1/17	
2014/2				
2014/3				・DVCon2014 (3/2-6) @San Jose, CA ・DATE2014(3/24-28) @Dresden

1.2 2013年度 JEITA/EDA 技術専門委員会 WG 開催実績

月	ナノ世代物理設計 WG 関連		
2013年 4月			
5月	5/10(金) 13:00-17:00	第1回ナノ世代物理設計 WG	ルネサスエレクトロニクス 武蔵事業所
6月	6/13(木) 10:00-17:00	第2回ナノ世代物理設計 WG	ルネサスエレクトロニクス 武蔵事業所
7月	7/ 5(金) 10:00-17:00	第3回ナノ世代物理設計 WG	ルネサスエレクトロニクス 武蔵事業所
8月			
9月	9/ 6(金) 10:00-17:00	第4回ナノ世代物理設計 WG	JEITA 409 会議室
10月	10/11(木) 10:00-17:00	第5回ナノ世代物理設計 WG	JEITA 関西支部 第1会議室
11月	11/ 6(水) 10:00-17:00	第6回ナノ世代物理設計 WG	JEITA 405 会議室
	11/29(金)-30(土)	ナノ世代物理設計 WG/集中審議 パナソニックリゾート大阪	
12月			
2014年 1月	1/16(木) 10:00-17:00	第7回ナノ世代物理設計 WG	JEITA 412 会議室
2月	2/14(金) 10:00-17:00	第8回ナノ世代物理設計 WG	JEITA 関西支部 第1会議室
3月	3/14(木) 10:00-17:00	第9回ナノ世代物理設計 WG	富士通エレクトロニクス本社 12F 応接室

月	LPB 相互設計 WG 関連		
2013年 4月	4/16(火) 13:00-17:00	第1回 LPB 相互設計 WG	JEITA 413 会議室
5月	5/23(木) 13:00-17:00	第2回 LPB 相互設計 WG	JEITA 402 会議室
6月			
7月	7/ 5(金) 13:00-17:00	第3回 LPB 相互設計 WG	日本教育会館 810 号室
8月			
9月	9/ 6(金) 13:00-17:00	第4回 LPB 相互設計 WG	JEITA 403 会議室
	9/27(金) 13:30-17:00	第2回 LPB フォーラム	JEITA 416 会議室
10月	10/18(金)-19(土)	LPB 相互設計 WG/集中審議 西伊豆 中荘	
11月	11/20(水)-22(木)	EDSFair/SDF パシフィコ横浜	
12月			
2014年 1月	1/10(金) 13:00-17:00	第5回 LPB 相互設計 WG	JEITA 401 会議室
2月			
3月	3/ 4(火) 13:30-17:00	第3回 LPB フォーラム	JEITA 413-414 会議室
	3/14(金) 13:00-17:00	第6回 LPB 相互設計 WG	JEITA 412 会議室

1.3 JEITA/EDA 技術専門委員会ホームページ

1.3.1 開設の目的

電子情報技術産業協会（JEITA）の EDA 技術専門委員会の活動状況を公開し、EDA 技術に関する標準化や技術調査に関するご理解とご協力を頂くことを目的とする。

1.3.2 ホームページの構成

2006 年度にホームページを一新し、よりわかりやすく、欲しい情報に容易にアクセスできるような構成にした。ホームページは日本語版の他に英語版も用意し、英語版を最初に表示することで海外からの利用者の利便性を考慮している。日本語版、英語版の切り替えは簡単にできるように構成されている。本委員会の成果は、ドキュメントとして閲覧できると共に、ダウンロードすることもできる。

ホームページは以下の URL からアクセスすることができ、データ更新やメンテナンスは担当委員が行っている。

<http://www.jeita-edatc.com/>

日本語版・英語版は、それぞれ次のエントリーで構成されている。

日本語版：	英語版：
委員会の紹介	Introduction of a committee
委員会活動	Committee activity
公開資料ライブラリ	Open data library
イベント・関連機関	Event・A related organization
お問い合わせ	Inquiry
サイトマップ	Site map

(1) 委員会の紹介/Introduction of a committee

委員長挨拶、活動と成果、メンバーをサブエントリーとする。本委員会の概要、前年度の活動内容・成果、本年度の活動計画、委員会メンバーを紹介している。

(2) 委員会活動/Committee activity

下記の委員会の活動を紹介している。

- ・ナノ世代物理設計 WG
- ・LSI・パッケージ・ボード相互設計 WG
- ・SystemVerilog WG
- ・SystemC WG
- ・PowerFormat WG
- ・EDSFair 実行委員会

なお、LSI・パッケージ・ボード相互設計 WG は、2011 年度から、独自のホームページを開設し、WG のページからリンクを張っている。

(3) 公開資料ライブラリ/Open data library

「公開資料ライブラリ」のページでは、EDA 技術専門委員会内の各委員会・WG の活動報告や各委員からの発表資料等を適宜掲載している。主な掲載資料を以下に示す。なお、英語版では、日本語版と同一の日本語資料を掲載している。

- ・EDA 技術専門委員会（過去のアニュアルレポート）
- ・EDA 標準化小委員会（SystemC 推奨設計メソドロジー、Power Format 比較表など）
- ・ナノ世代物理設計 WG（過去の資料）
- ・EDSFair 実行委員会（システムデザインフォーラムの紹介）
- ・システムレベル設計研究会（旧サイトへのリンク）
- ・その他（過去の委員会活動報告）

(4) イベント・関連機関/Event・A related organization

「関連の会議」では、次の関係の深い EDA 関連技術委員会を紹介している。

- ・IEEE/DASC（電気電子学会/設計自動化標準化委員会）
- ・IEC/TC91/WG13（国際電気標準会議/電子実装技術委員会）

また、「関連機関」では、本委員会に関連のある 17 機関を紹介し、委員会名称はそれぞれのホームページへリンクされている。

(5) お問い合わせ/Inquiry

質問項目を入力するためのフォームが表示され、ホームページ管理者へのメールを送信することができる。

(6) サイトマップ/Site map

ホームページを構成している全体一覧が表示されるので、参照したいページに直接アクセスしたい場合に利用していただきたい。

2. 各技術委員会の活動報告

2.1 EDA 標準化活動

2.1.1 標準化活動概要

(1) 発足の背景とミッション

JEITA/EDA 技術専門委員会の標準化活動は、1990 年の EIAJ/EDIF 研究委員会設立に始まり、当初は EDA に関するグローバルな重要課題に対して日本の業界を代表する唯一の機関として、特に設計記述言語の仕様標準化とその啓蒙等に多大な貢献を果たしてきた。近年、設計記述言語は高度化し、普及が進んだ。しかし、設計生産性のさらなる向上および、それを支える EDA ツールの効率的な開発・利用を進めるためには、設計技術言語の国際標準化は依然として重要なテーマである。そこで、標準化関連の活動をより明確に位置づけるため 2000 年 11 月に EDA 標準化小委員会が設立し活動を開始した。その後 2011 年度に入り標準化活動の見直しを行い、標準化小委員を廃止し、EDA 技術専門委員会の下に標準化担当委員を置く体制に変更し現在に至っている (図-1 参照)。

世界的には EDA 関連の標準は IEC (International Electrotechnical Commission) と IEEE (The Institute of Electrical and Electronics Engineers) で議論し、制定されてきた。IEC ではデザインオートメーションを議論する TC (Technical Committee) 91/WG (Working Group) 13、14、15、IEEE ではコンピュータサイエティの DASC (Design Automation Standards Committee)、および SA (Standards Association) である。2002 年、IEC と IEEE が Dual Logo 協定を締結したことにより、IEEE 標準は IEC での技術審議なく最終ドラフト投票のみで IEC 国際標準に昇格できるようになった。

国内では IEC の対応機関は、日本工業標準調査会 (JISC: Japanese Industrial Standards Committee) である。また、TC 毎に国内委員会があり、電子情報通信学会や JEITA に組織化されている。TC91 (電子実装技術) 国内委員会は JEITA にあり、TC91 のハードウェア設計記述言語関連のワーキンググループ (WG13) の国内委員会は電子情報通信学会にある。

JEITA/EDA 技術専門委員会は、2002 年度に IEC/TC93 国内委員会と協調体制を確立し IEC/TC93/WG2 の各種標準化提案を直接審議できる体制を構築した。2003 年度には、SystemC および SystemVerilog の標準化を業界として検討・推進する目的で、それぞれワーキンググループを発足させた。2007 年度には、CPF (Common Power Format) と UPF (Unified Power Format) の 2 つの Power Format の標準化案の議論と統一を目的に、検討ワーキンググループを発足させた。SystemC は、ますます重要性が認識されているシステムレベルの設計言語の 1 つであり、SystemVerilog は IEEE1364 (Verilog HDL) の後継・検証技術の拡張である。CPF/UPF の Power Format は、主にシステム LSI の低消費電力化設計の効率化を目的とした設計言語である。これらワーキンググループは、日本の標準化組織として、海外の関連団体と連携し、言語仕様の専門的な技術検討と改善提案を通じて、標準化へ貢献することを目指して活動を行っている。Power Format 検討ワーキンググループは目的を達成したため、2010 年 3 月に解散した。

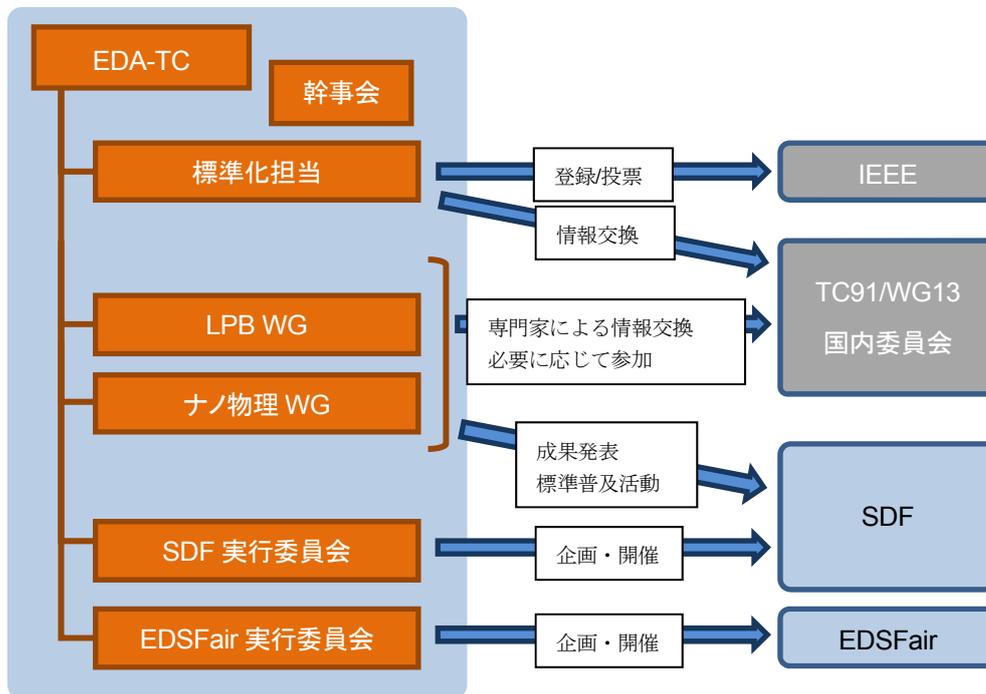


図-1 EDA 技術専門委員会の体制

(2) 2013 年度活動 国内活動

標準化活動の大きな成果として、LPB WG の LPB フォーマットを EDA 関連で日本初の国際標準 (IEEE 規格) とするべく議論を本格化。国内では WG 内での議論に留まらず、複数回のフォーラム開催、国内でのベンダセミナーでの情報発信、日本開催の国際学会での情報発信を行った。

JEITA/EDA 技術専門委員会提案の「設計言語俯瞰図」は、IEC TC91/WG13 メンバーで最終確認を行った後、投票によって無事承認され、Technical Report として 2013 年 8 月に登録を完了した。IEC/TR 62856 The Bird's-eye View of Design Languages (BVDL)

(3) 2013 年度活動 国際活動

本年度は LPB フォーマットの IEEE 標準化に向けた活動を本格化し、念願の日本初の EDA 標準へ向け、実現の第一歩を踏みだした。DASC 会議への直接参加、国際学会 DAC での展示による情報発信を通じ IEEE DASC メンバーの協力を得て、LPB フォーマットを IEEE P2401 として、IEEE SA による WG 設置承認まで完了し、次年度 WG 活動を開始するステップまで進めた。

詳細は 2.3 節 LPB 相互設計 WG 内で紹介する。

① IEEE DASC 情報交換

2013 年度は IEEE DASC 会議/メンバーとの情報交換を 4 回参加。JEITA EDA 技術専門委員会の状況報告も実施。2 回は米国開催で田中特別委員を派遣。2 回は日本に開催を誘致した。対面会議を複数回実施することによりキーマンとの交流を深められ、IEEE P2401 実現に向け、強固な協力関係を構築できた。

DAC 会議	6 月 5 日	米国オースティン市
SystemC Japan	6 月 21 日	新横浜
EDSFair	11 月 21 日	横浜
DVCon2014 会議	3 月 6 日	米国サンホセ市

② IEC/TC91/WG13 国際連携

田中特別委員 (WG13 メンバー) が下記 2 回の IEC/TC91/WG13 会議に出席し、国際標準化活動を推進すると共に、EDA 技術専門委員会 (日本側) の意見反映を実施した。

IEC/TC91/WG13 会議	6 月 5 日	米国オースティン市
DVCon2014 会議	3 月 6 日	米国サンホセ市

2.1.2 IEEE/DASC (電気電子学会/設計自動化標準委員会)・IEEE-SA (標準協会)

(1) 活動の概要

IEEE は米国に本部を置く電気、電子、情報、などの国際的な学会である。また、この分野の標準化活動を長年にわたり、しかも広範囲に実施している。SA は IEEE 標準規格を管理する組織であり、新規規格と規格メンテナンスの提案承認、規格投票作業と規格化承認を管理する。DASC は Computer Society の下部組織として、SA の支援を受けながらエレクトロニクス産業における設計自動化関連の標準化活動を行っている。

活動の中心は、標準設計記述言語 (HDL: Hardware Description Language) の VHDL と Verilog HDL に関連する設計と検証であり、タイミング情報、論理合成、算術関数とテストの標準化に注力している。これら設計言語に関連して、システムレベルまで適用範囲を拡大して、Analog Mixed Signal、ソフトウェアとハードウェア協調設計等の拡張の標準化を検討している。2005 年には SystemVerilog と SystemC という高位設計技術言語、設計と検証を統合した記述言語の標準化作業が完了し、2009 年および 2012 年には SytemVerilog、2011 年には SystemC がそれぞれ第一回目の改定作業を完了している。

(2) JEITA/EDA 技術専門委員会との関連

これまでは EDA 技術専門委員会は IEEE/DASC のメンバーとして関連する WG に参加し、標準化案に日本の意見を反映してきた。2004 年 12 月には IEEE-SA のメンバーにもなり、IEEE の標準化活動に、ドラフトレビュー・標準化案の改善の提案・投票を通じて積極的に参加している。

今年度は、EDSFair2013 の会期中 2013 年 11 月 21 日に IEEE/DASC との情報交換会を DASC 会議と共に、日本で開催した。米国からは Stan Krolikoski 氏 (DASC 委員長)、Dennis Brophy 氏 (DASC 委員)、電話会議で P1801 Chair の John Biggs 氏、Erich Marcher 氏、日本からは、田中標準化担当委員、LPB WG 福場主査、他 LPB WG メンバー4 名が出席した。会議において、EDA 技術専門委員会からは、活動状況の紹介として LPB フォーマットの標準化への検討状況を説明し、DASC 側からは IEEE での標準化の P1801 での実例や注意点の説明を受けるなど LPB フォーマットの標準化へ向けた情報共有を行い、日本初 EDA IEEE 標準実現への加速ができた。

(3) IEEE 規格投票について

本年は、EDA に関連する規格そのものに対する投票はなかったが、規格検討のための WG 設立に関する投票を 4 件実施した。いずれも可決されている。

- P2401 LBP Format (新規)
- P1666.1 SystemC-AMS: (新規)
- P1801 パワーフォーマット (UPF) (改訂)
- P1801 パワーフォーマット (UPF) (誤記訂正)

2.1.3 IEC/TC91/WG13 (国際電気標準会議/デザインオートメーション)

IEC の SMB (Standardization Management Board・標準管理評議会) は、TC93 に対して P メンバー数を 5 以上にすることを求め、TC93 も P メンバー数の増加に向けて何年も努力を続けたが成功せず、2012 年 2 月、SMB において TC93 の解散と TC91 への合流が決定された。その後、TC91 での調整を終え WG13-15 の 3WG で活動を再開した。また、DA (Design Automation) を扱う 3WG のみで従来同様、国内サブ委員会として電子情報通信学会下で活動継続することとなった。韓国や中国では旧 TC93 と TC91 との合流に手間取っており、旧 TC93 メンバーがうまく活動できていないという現実がある一方、日本では TC91 への合流がスムーズに進み従来通り問題なく活動できている。

(1) 活動の概要

IEC は 1906 年に設立された国際標準化機関であり、すでに 100 歳を越える。設計自動化を取り扱う IEC/TC93 は 1992 年に設立された。TC93 の全体会議は毎年開催され、スイス、英、仏、米、デンマーク、日、英、米、独、伊と開催された。その後 2012 年に TC91 傘下での活動を開始し現在に至る。

(2) TC91/DA の組織とワーキンググループ (WG)

TC91/DA は 3 つの WG から構成されている。今までの各 WG の主な活動を示す。

- WG13 : 部品・回路・システム記述言語、モデルのハーモナイゼーション：
 - (a) 設計検証記述言語 SystemVerilog とシステム記述言語 SystemC の言語仕様拡張と利用普及のためのモデル化を検討。
 - (b) 国際規格のメンテナンス (VHDL、VHDL-AMS、PSL、SDF、DCL/SPEF、IBIS 等)。
 - (c) STEP Electrical (ISO 規格) と EDA 標準の整合性の検討。
 - (d) EDIF と AP-210 との整合性の検討。
 - (e) 言語間の Interoperability の検討
- WG14 : 再利用可能部品ライブラリ、規格適合性テストの具体的事案の議論。

日・米・欧の各プロジェクト間の仕様整合と連携の検討、日本からは JEITA/ECALS プロジェクトの成果を提案している。IBIS も話題に取り上げられている。最近では電子カタログの流通に関する規格案が議論の中心となっている。
- WG15 : システムテスト記述言語、ATML (Automatic Test Markup Language) の検討。

2.2 ナノ世代物理設計ワーキンググループ (Nano Scale Physical Design Working Group)

2.2.1 目的

半導体デバイス・配線テクノロジーの進化に伴い、新たな設計上の課題があらわれてきている。また、これらの課題に対処するため各社が開発した設計手法や設計情報が、標準化されず、設計環境の開発・サポートコストが削減できない事例や、EDAツール間あるいは半導体ベンダと顧客との間の情報授受がうまく行えない事例が増えてきている。

一方、国内半導体ベンダではFabless化が進み、提供されるプロセス情報や設計環境のみでは、設計品質を保つことが困難になった。そのため、これまで以上に製造と設計を補完する種々の事象をいかにスムーズにやりとりする仕組みを作るかが重要となる。

上記課題を背景として、本ワーキンググループでは、次のような調査、課題検討、および標準化を実施することにより、より効率的な設計環境の実現に貢献することを目的として活動する。

- ナノ世代テクノロジーノードにおける、LSI の物理設計・検証に関する参加各社の共通課題の抽出、および解決手法の提案
- 半導体ベンダとその顧客との間でやり取りするライブラリや設計情報等を規定する、設計ルール・ガイドラインの作成
- LSI の物理設計、検証手法の精度、互換性や効率を向上できるライブラリ・設計情報フォーマットの標準化
- 各種ライブラリを用いて行う検証が十分な精度で行えるかを判定するための標準ベンチマーク・データの作成

2.2.2 活動内容

2013 年度は参加各社の抱えている設計課題を再調査・分類することで、テーマを再検討した。従来からの活動テーマに加え、現在問題となっている課題を再調査することで、活動テーマの優先順位付けを行い、以下の4テーマを今後の活動テーマとして位置づけた。

- ノイズ発生メカニズムとモデリングの検討
- ばらつき要素の分類・標準化
- 低電圧におけるばらつき評価
- 次世代 Tr.構造における物理設計課題の検討

将来を見据えたテーマとしては「低電圧動作回路ばらつき評価」や「次世代 Tr.構造における設計課題」を、現状の設計課題からのテーマとしては「ノイズ発生メカニズム」や「ばらつき要素の分類」などに取り組み、各テーマに対して改善策の提案を行っていく。

DFM などの先端プロセスに関しては、JEITA の生産技術専門委員会とも連携して活動を進める。これら活動で得られた成果は、本アニュアルレポートや学会発表などを通じて、広く公表を行っていく。

今年度の活動としては、上記テーマの選定と課題の調査までを行う。具体的な改善策や手法の提案については、来年度以降の成果として報告していく。

今年度の活動から得られた各テーマの課題と今後の展開を以下に記す。

(1) ノイズ発生メカニズムとモデリングの検討

今年度は各社で抱えているノイズに関する課題に対して共有、調査を行った。

調査の中で、DIE/PKG/PCB の協調設計における問題の調査を行い、一般的に抱える各社の課題をまとめた。また、過去の本 WG のノイズに関する成果を再確認した。

来年度は各社共通の課題である jitter を中心に調査を進めていく。

(2) ばらつき要素の分類

過去検討した配線コーナー・ばらつき削減技術を総括するため、グローバル・ローカル・システムティックばらつき等の定義を再確認した。グローバル・ローカル・システムティック・ランダムばらつき定義、それぞれの成分分離に関する文献、およびパス遅延でのばらつき圧縮技術に関する文献の調査を実施した。

(3) 低電圧におけるばらつき評価

今年度は低電圧動作時に Transistor ばらつきが、Ring Osc.の動作や消費電力等の特性に及ぼす影響を検討し、Transistor の特性 Center 値を見直すことで、ばらつき耐性が向上できる可能性を見出した。来年度は低電圧におけるばらつき Simulation、ばらつき条件策定を統計、実験計画を用いて効率的におこなう設計手法の検討を進めていく。

(4) 次世代 Tr.構造における物理設計課題の検討

次世代プロセスルールである、16nm 以降のテクノロジーでは、これまでに扱われてきたプレーナー型のトランジスタに代わり、立体構造を持つ FinFET に移行している。これに伴い、物理設計で考慮すべきことを検討する必要がある。本年度は、FinFET に特徴的な寄生容量成分と信号伝搬遅延の関係について調査を行った。

これらの活動で得られた成果は、次のような形態により無償で一般に公開する。

- アニュアルレポート
- JEITA のホームページ
- 関連学会の研究会・学会における発表や論文誌への投稿

成果の詳細は本アニュアルレポートの付録に掲載した。

2.2.3 参加メンバー

主査	山中俊輝	(株)リコー
副主査	赤嶺武一郎	富士通セミコンダクター(株)
委員	山口龍一	パナソニック(株)
同	城間誠	パナソニック・デバイス・システムテクノ(株)
同	熊野義則	(株)リコー
同	金本俊幾	ルネサスエレクトロニクス(株)
同	小谷憲	ルネサスエレクトロニクス(株)
同	安茂博章	ソニー(株)
同	長谷川尚	ソニーLSIデザイン(株)

2.3 LPB (LSI・パッケージ・ボード) 相互設計ワーキンググループ

2.3.1 LPB 相互設計ワーキンググループ (本委員会) 活動報告

2.3.1.1 背景と設立までの経緯

2.3.1.1.1 日本工業製品の状況

電子機器 (セット) の開発は高性能化、低価格化、商品サイクルの短期化が顕著となり、これに対応するためにセットの機能面、設計/製造面でのグローバル化が進んでいる。この中で市場競争力を生む商品企画と開発力が課題である。かつて、日本工業製品は機能・性能・品質において差別化を図ってきたがこの要素を保持したまま、国際市場において開発競争に勝ち残るための手段が模索されている。これまで日本の企業において、LPB 各分野においては個別に切磋琢磨しており設計のノウハウは構築されている。しかしながらそれらを共有しない閉塞性、企業間の考え方の違い、設計結果保証要求に対して情報公開の消極的態度など、様々な要因で LPB 相互の設計現場の連携が十分に取れていたとは言い難い。結果として全体としての最適化が進まず、単価、開発コストや開発期間において国際市場での競争力は向上せず、むしろ低下の傾向にあるとすら言える。

2.3.1.1.2 開発環境における問題

設計を効率的に行うには EDA の整備や改良、情報の収集が迅速に行われなければならない。各企業個々にこれらの開発環境の整備は行われてきており、ノウハウとして一般には公開されていない。しかしながらこの閉塞性が設計に必要な情報の流通を阻害しており、また、EDA の整備コストの増大や、VOC (Voice Of Customer) の分散によりツールの改良が行われない等の弊害を生んでいる。これらは競争すべき分野と協調すべき分野が明確にされていないために、本来複数の企業が協力して効率化をするべき分野の要素まで各企業の機密内容に含まれていると拡大解釈されていたことに問題の本質があると考えられる。

2.3.1.1.3 技術的背景

システムの高速度化と電源・インターフェースの低電圧化でタイミングやノイズに対するマージンが少なくなってきた。また、コスト競争の激化によりコストと性能のバランス設計は益々重要となっている。これまで設計は LSI・パッケージ・ボード (以下、LPB) それぞれ別々に設計ガイドに従って行われてきた。しかしながら設計マージンの減少に伴いあらかじめ LPB 各所個別の設計ガイドを定めることが難しくなり、LPB 全体で協調して設計ターゲットを決める必要が出てきた。すなわちシステム的设计途上でシミュレーションによって設計指針を決める手法への変革が必要であり、そのためには迅速でかつ正確なシミュレーションを行える環境が必要となった。

2.3.1.1.4 特性面における LPB 相互設計の必要性一例

LPB が相互に協調して設計すべき部分の一例として電源網の設計がある。LPB 上の電源網 : Power Delivery Network (以下、PDN) (図 2.3.1-1) はノイズを小さくするためにインピーダンス

スを下げるように設計をする。LPB 各部に存在するインダクタンス成分とキャパシタンス成分により共振が起こる。共振が発生する周波数ではインピーダンスが極端に大きくなる。すなわち LPB 各部の PDN モデルを正確にシミュレーションに反映しないと全体の PDN の設計が正しく出来ない (図 2.3.1-2)。このシミュレーションを実行するためには LSI の PDN 等価モデル、パッケージやボードの形状情報、構成材料の電気特性、構成部品の等価モデルなど様々な情報を揃えなければならない。この際に LPB の各部分の設計情報の書式や仕様の違い、必要パラメータが共有されていない事などが効率的な設計が出来ない要因となっている。

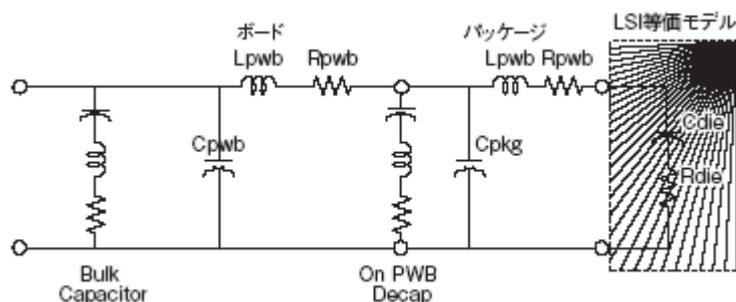


図 2.3.1-1 LPB の電源網 (PDN) の等価回路

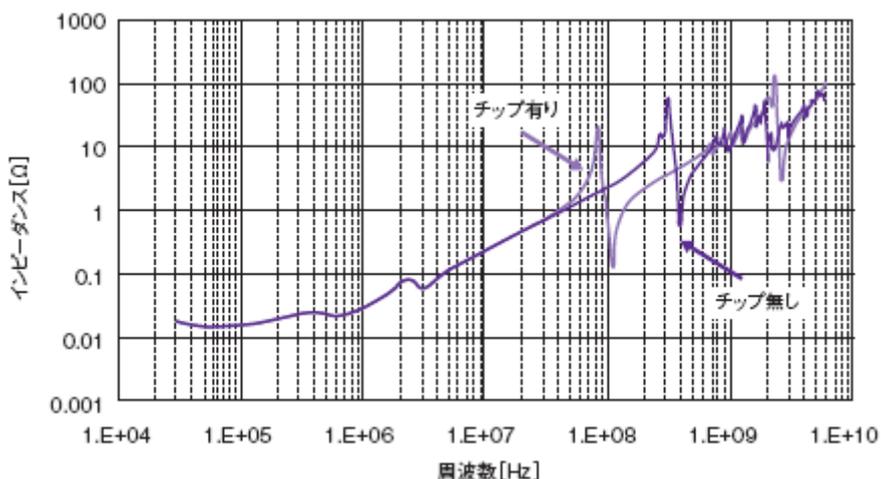


図 2.3.1-2 LPB の電源網 (PDN) の等価回路

2.3.1.1.5 JEITA における LPB 相互設計 WG の発足

開発の難易度アップ、コスト・開発期間の国際競争の激化は設計のやり方へも変革を求められる。個々の最適化ではセット全体の最適化を実現するのは難しくなり全体を見越した設計が LPB 個々にも求められる。そこで LPB の設計をある 1 つのパーティーに集約する手段も考えられるが、これは非現実的である。LPB それぞれの物理的事象はスケールが違いすぎ、個々の専門の技術者が腕を振るわなければならない。ここで LPB がうまく連携できる仕組みが必要となってきた。この声を受けて JEITA の半導体部会、EDA 技術専門委員会の下に各企業の代表が集まり半年の準備ワークグループ活動を経て 2010 年 4 月に LPB 相互設計ワークグループ (以下、LPB-WG) が正式発足した。このワークグループでは設計最適化の課題を整理し、設計効率

を向上させる標準化を行うことを目的としている。特に LPB は設計工期やシミュレーション時間を短縮することに注力している。シミュレーション時間を一例として LPB-WG の活動範囲を説明する。シミュレーション時間とは一般に実行時間をイメージすることが一般的である。しかしながら工期から考えるとシミュレーション時間とは準備段階の情報収集やセットアップ、そして計算実行時間の合計と考えるべきである。これまでシミュレーション時間を短縮するには計算時間を短縮することに注力されてきたが、これは EDA ツールの改良やコンピュータの処理能力の改良で行われてきた。しかしながら実際にはシミュレーション時間の内訳は準備段階のほうが計算時間よりも長くかかっているのが実情である。この準備段階に費やす時間を短縮するのが LPB-WG の標準化の活動範囲となる。情報を交換する書式を同一にし、必要な情報をリストにすることで情報収集時間とセットアップにかかる時間は飛躍的に短縮する。さらに情報を交換するしくみがあれば、さらなる短縮が可能となる。例えば、コミュニティの形成や e-コマースの活用、クラウドなどデータベースの整備等が考えられる。LPB フォーラム（後述）はこの目的で設立されている。標準のみならず情報流通手法まで開発することが LPB-WG の役割範囲としている。（図 2.3.1-3）

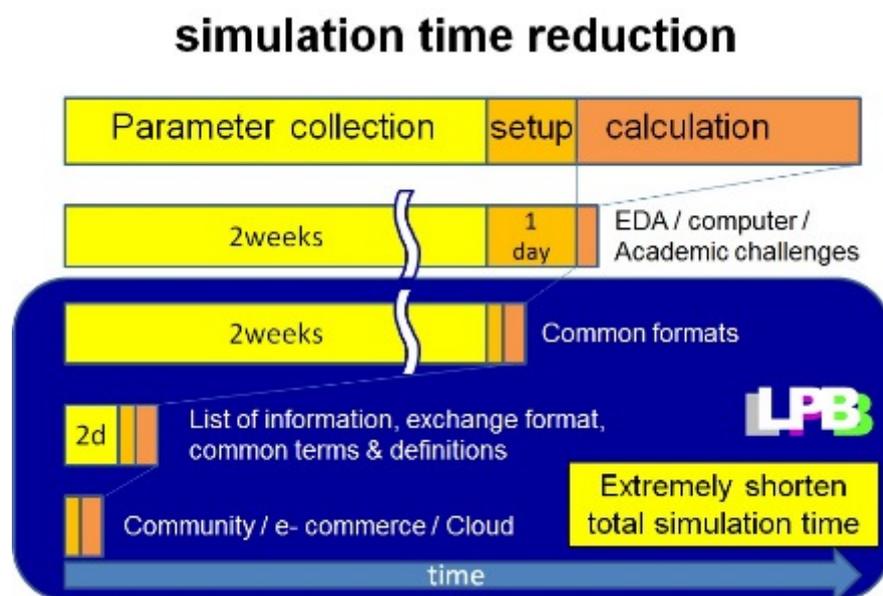


図 2.3.1-3 シミュレーション時間の削減の概念

2.3.1.2 LPB 相互設計解説

2.3.1.2.1 LPB 相互設計 WG の目的とゴール

- 1、LPB が協力しあって設計を行うための課題を抽出しその分析を行いソリューションの提案を行う。
- 2、具体的には LPB 全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の標準を開発する。
- 3、標準化提案内容は公開し普及を図る
- 4、これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

2.3.1.2.2 LPB 相互設計の概念解説 ～個別設計と相互設計～

LPB 相互設計がこれまでの設計思想と異なる点を説明しておく。

2.3.1.2.2.1 従来型個別設計の概念

従来の設計手法は紙に書いたレベルの大まかなセットの製品仕様が決定されると LPB 別々に設計がスタートし、その個々分野内で最適化が行われてきた。これを個別設計という呼び方にここでは定義する。個別設計においても LPB が完全に別々に設計が行われていたわけではなく当然すり合わせは行われてきたが場当たりの確認が多く、また、共通の認識も乏しいためお互いの情報の公開・流通がし難い場合も多く、時間がかかるものであった。それでも日本企業においては LPB 各部門の設計力は高く、品質・特性といった面での差別化は図られていたといえる。しかしながら上記背景に述べたような市場要求の変化に対してこの方法では以下の問題に直面することになっている。(図 2.3.1-4)

- 1、全体最適化が困難
- 2、設計解析の準備に時間がかかる
- 3、やり直しが発生し開発期間増大
- 4、リソースの重複

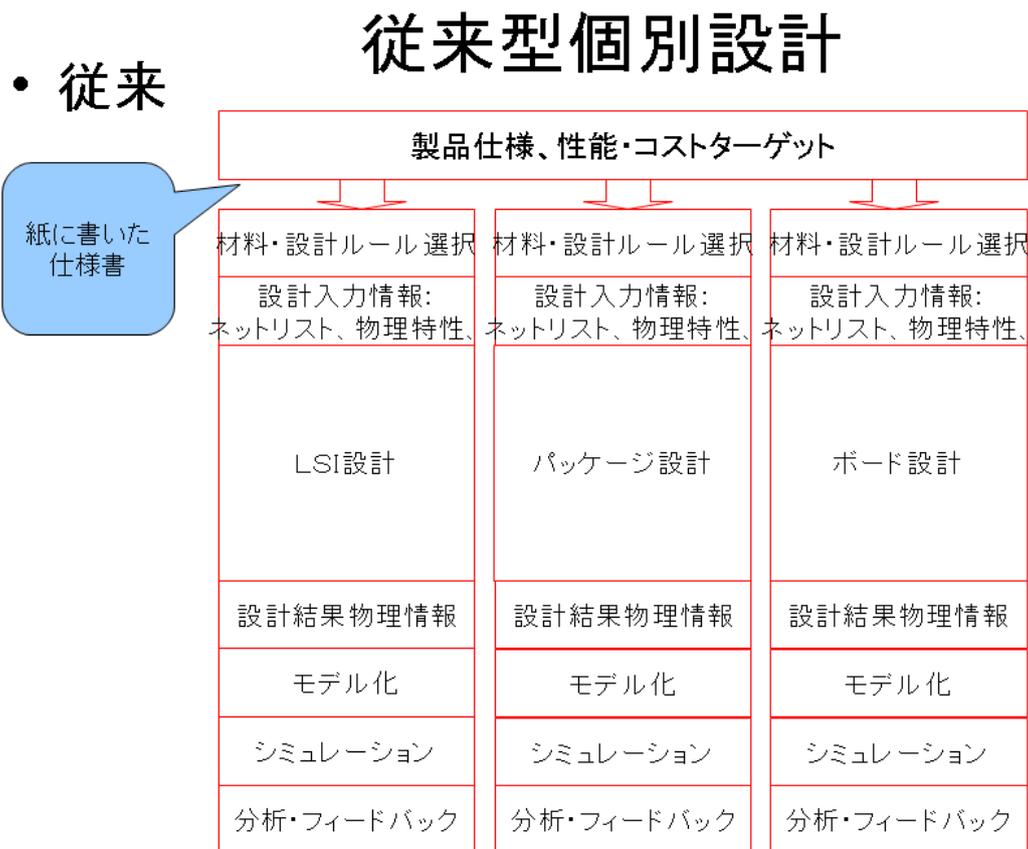


図 2.3.1-4 従来型個別設計

2.3.1.2.2.2 LPB 相互設計の概念

個別設計の課題を克服する方法として LPB 各部門が協力しあって設計を進めるスタイルを相互設計と定義する。相互設計においては全体構想設計を十分に行い各部の設計基準を設定し、

その後は個々に設計を行う。設計終了後は全体を統合したシミュレーションを行い、設計へのフィードバックを適所に行う。これにより下記の効果を期待する。(図 2.3.1-5)

- 1、全体最適化を可能にする。
- 2、設計・解析期間を短縮。
- 3、やり直しを最小に留める。
- 4、リソースの分担。

LPB相互設計

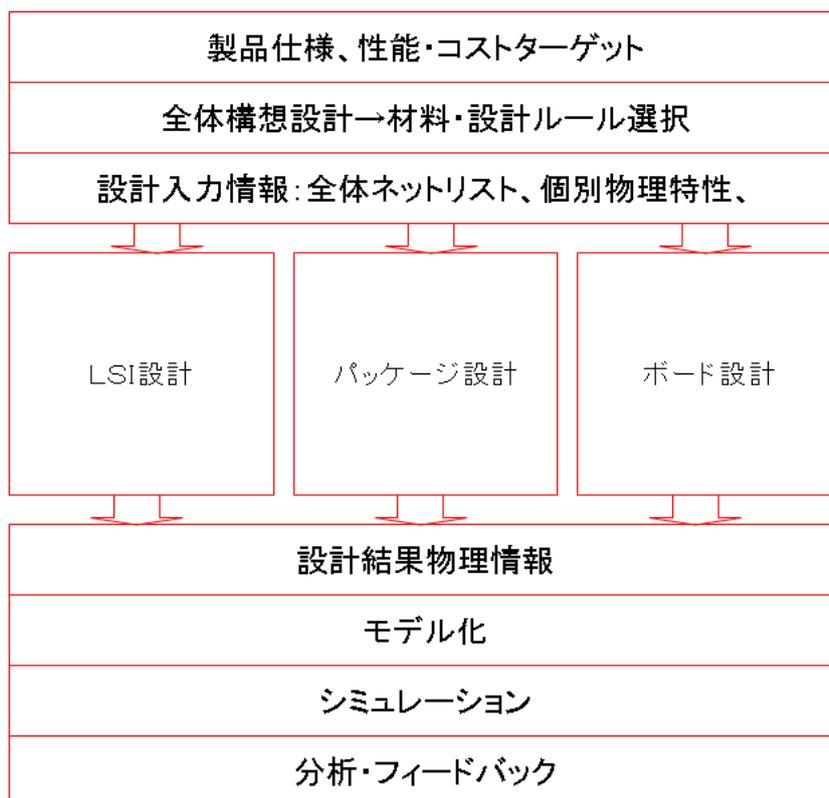


図 2.3.1-5 LPB 相互設計

2.3.1.2.2.3 EDA の面からみた LPB 相互設計

LPB 相互設計の内 EDA を使って設計検証する部分を考える。

EDA が使われる工程の前段階では必ず入力データの準備がある。LPB 相互設計ワークグループの分析によると、この準備の段階において情報の流通が十分ではなく、書式の違いがあり、EDA のセットアップに多大な時間を要しており相互設計の実現を阻む要因の 1 つになっている。LSI の設計は比較的 1 つの EDA ベンダツールでフロアプラン、詳細設計、検証、ECO (Engineering Change Order) でまかなわれ、工程間のやりとりも統一書式 (DEF など) がある。一方、パッケージやボードの設計では設計ツールと検証ツールは別々で、しかもツール間でデータの互換性はない。ベンダごとにもデータ書式はバラバラで、複数の EDA ツールを駆使して最適な設計環境の構築には多大な投資と開発リソースが発生する。また、この流通性の悪さが EDA ツールを変えることの動機が削がれる。その結果ユーザーから EDA ツールに対する改良

要求は単一のものとなりがちで、EDA ベンダは ROI を考慮すると改良を積極的に行わないという状況も発生する。

2.3.1.2.2.4 競争領域と共通化領域

相互設計における競争領域と共通化すべき部分とを分類してみる。構想設計や設計、検証の作業は各社のノウハウなど機密内容が含まれる。それに比して EDA の入力部分は各社で共通化できる内容であり相互設計の実現を促進する効果が期待できることからこの部分について JEITA では共通仕様化を検討・推進することとなった。(図 2.3.1-6)

相互設計におけるEDA部分と共通化部分

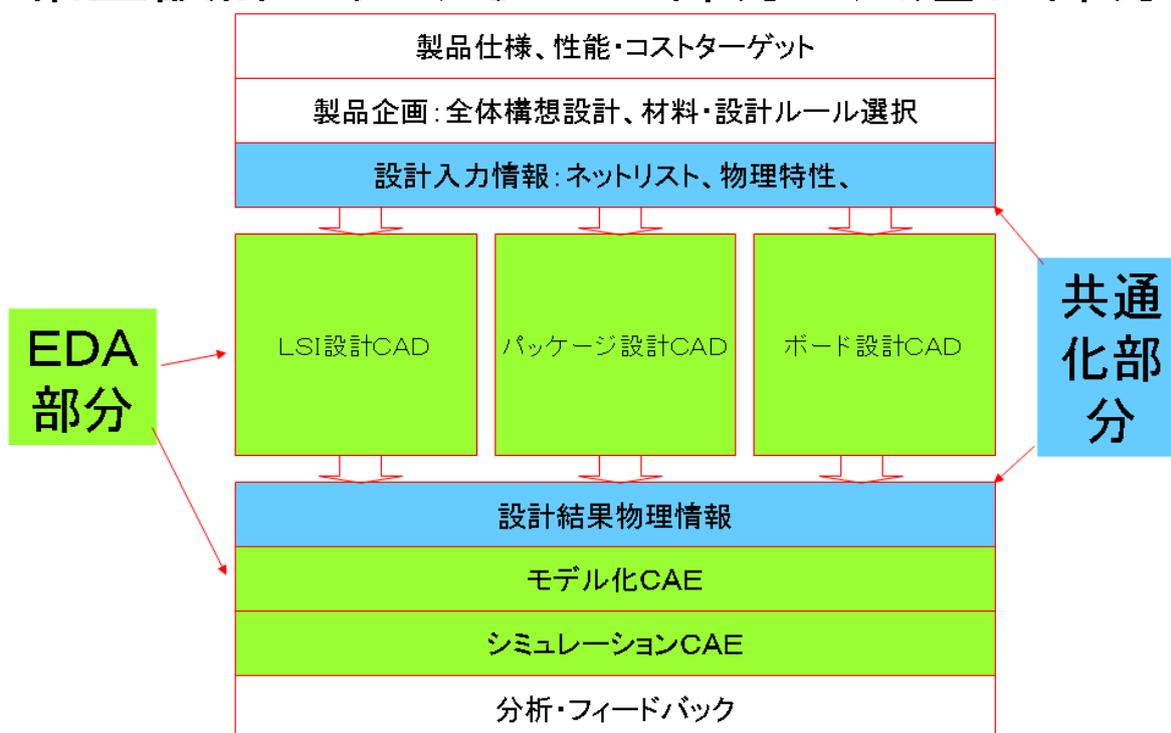


図 2.3.1-6 相互設計における EDA 活用部分と共通化部分

2.3.1.3 LPB 相互設計共通仕様

2.3.1.3.1 課題の整理

LPB 相互設計を行おうとすると多くの問題点に直面する。

1、LPB でネットリストがバラバラ

それぞれのネットリストのやり取りの際に変換をする必要があり、煩雑な上にミスが起きやすい。LPB が別々に設計変更を加える際に接続にフィードバックがかかり難しくしばしば接続エラーが発生する。全体のネットを管理しないために全体での接続検証や機能検証など EDA を使ったアプローチが整備されない。

2、LPB で設計結果の形状データがバラバラ

LPB で設計結果の出力データフォーマットはバラバラであり、これにより解析ツールへの読み込みが一元的に出来ないために全体解析を難しくしていた。別々なフォーマットはEDA ツールに読み込む際に、EDA ツール側に複数のフォーマットに対応する機能を整備することが必要でその準備に時間とコストが発生する。それぞれの書式に対するバージョンアップも常に対応し続ける必要があり管理コストも発生し続ける。また、違う書式のデータは違った付加情報が必要とし、その情報収集にも多大な時間と労力を要しているのが現状である。(図 2. 3. 1-7)

LPB相互設計にはインターフェースが統一される必要有り。

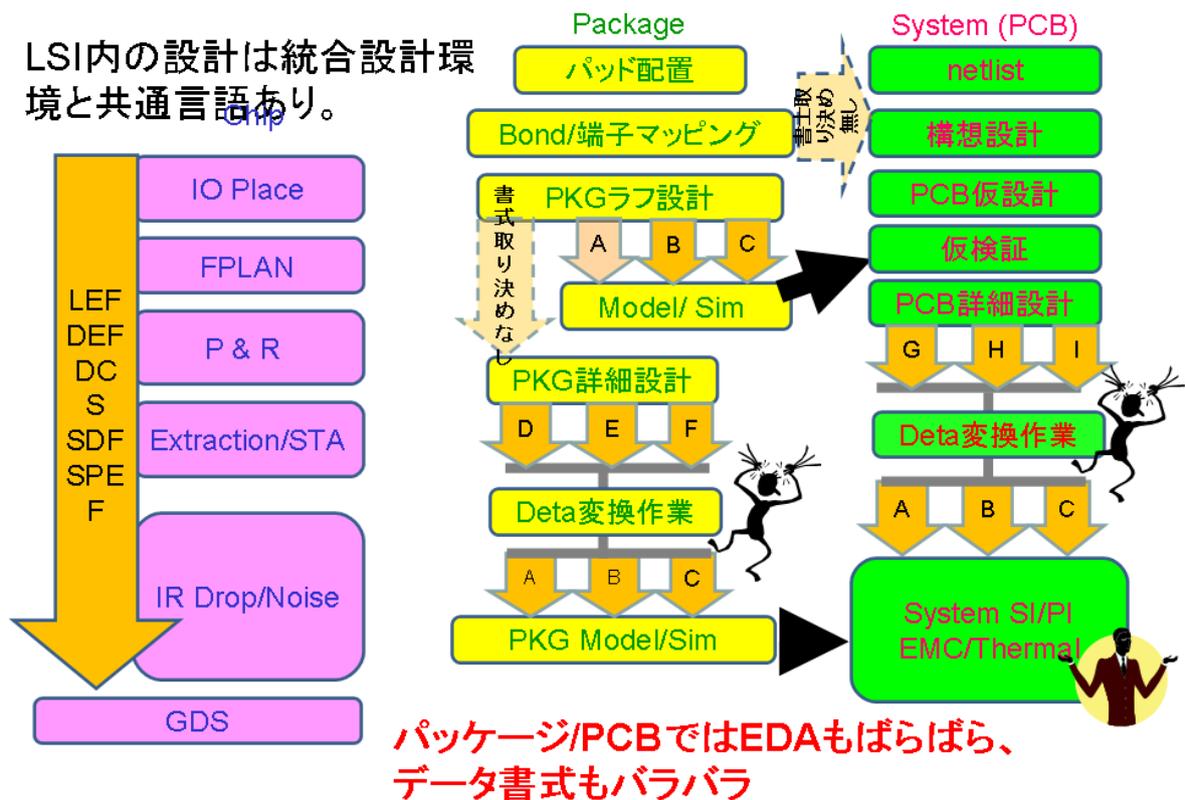


図 2. 3. 1-7 パッケージ・ボードはインターフェースが統一されていない

3、LPB の合成が煩雑

LPB は別々に設計されるためにそれぞれの繋ぎあわせでミスが生じやすい。例えば、LSI のフリップやローテーションでは頻繁に連絡ミスや誤解、思い込みで事故が起こる。パッケージとボード間でもその向きでミスが発生することもある。解析ツール上でLPBを合成するには画面を見ながら手作業で位置合わせや向き合せを行って接続するのが常識的に行われている。これではミスは撲滅できない。

4、設計途上の設計制約の・設計結果へのフィードバックの難しさ

LPB の間で設計制約に対する考え方がバラバラで、与える情報量・質・書式に差があることがある。これらは設計途上での誤解や追加の煩雑なコミュニケーションを生み、結果として確認待ち時間や反復的な設計やり直しによる時間のロスを生じることがある。一方、設計後も書

式の多様性やそれに伴うインターフェースの複雑化により検証結果を設計にフィードバックするのも煩雑となり、フィードバックを避けて問題を残したままにしたり、比較的簡単なところのみフィードバックすることに留まって全体の最適化が進まない状況にも陥りやすい。(図 2.3.1-8)

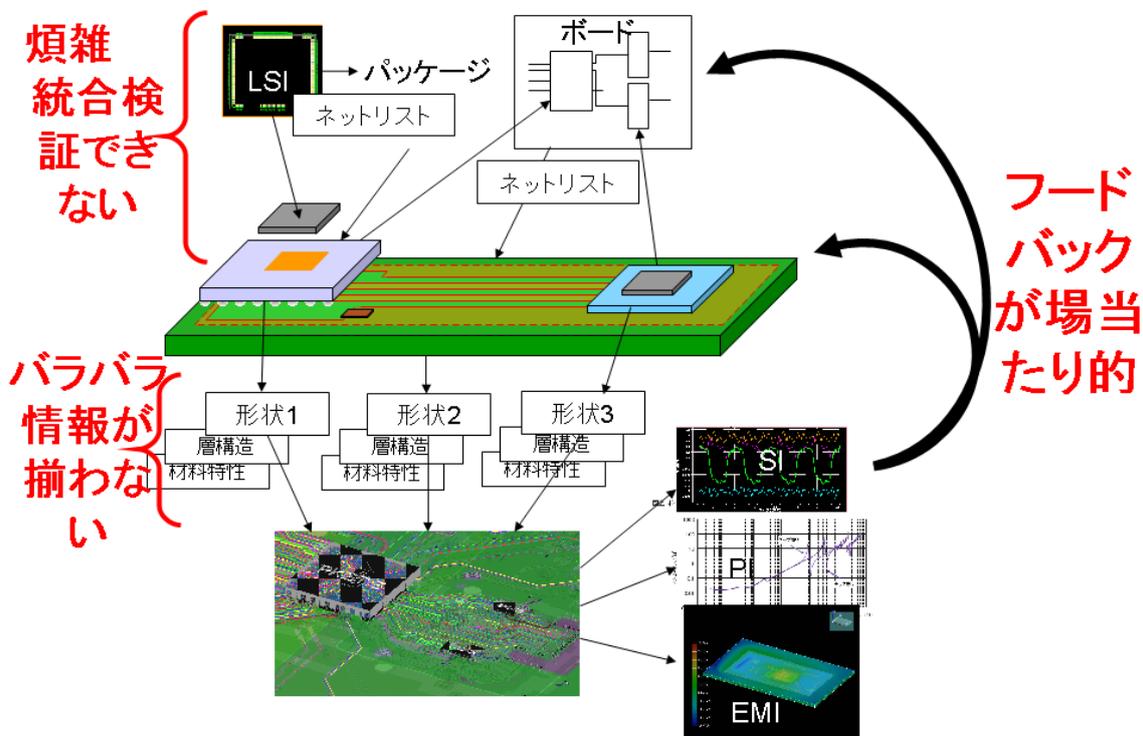


図 2.3.1-8 インターフェースが統一されていないまま相互設計を行った場合の問題点

2.3.1.3.2 標準フォーマットの作成

LPB 相互設計標準フォーマットを策定した。2010 年の活動結果では下記 5 点を策定し V1.0 としてリリースをしている。

LPB-V1.0

- 1、ネットリスト：VerilogHDL の拡張 (SPICE 制約互換)
- 2、階層定義情報：独自定義 XML 出力
- 3、設計制約情報：独自定義 XML 出力
- 4、設計結果形状情報 既存フォーマット
- 5、用語集

これに基づき 2011 年の活動で設計試行を行った結果、仕様の変更が必要となり LPB-V2.0 に改定を行っている。(図 2.3.1-9)

LPB-V2.0

- 1、プロジェクト管理 (M-Format)
- 2、ネットリスト (N-Format)
- 3、コンポーネント (C-Format)
- 4、デザインルール (R-Format)
- 5、ジオメトリ (G-Format)
- 6、用語集

LPB-1.0 から LPB-2.0 への大きな変更点は開発プロジェクトにおいてそれぞれのインターフェース標準フォーマットの履歴を管理する「プロジェクト管理」フォーマットの追加と、「階層定義」「設計制約」に記載される内容を大幅に改定し、「コンポーネント」「デザインルール」に仕分けなおしたことである。

さらに、2012年にはEDAベンダへの採用とツールへの導入が進む過程で、フォーマットの齟齬の修正や改良が必要となり LPB-V2.1 が作成され 2013年3月にリリースした。LPB-V2.1の構成は LPB-V2.0 と同じであり、各フォーマットが改定されている。

JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理(M-Format)
2. ネットリスト(N-Format)
3. コンポーネント(C-Format)
4. デザインルール(R-Format)
5. ジオメトリ(G-Format)
6. 用語集

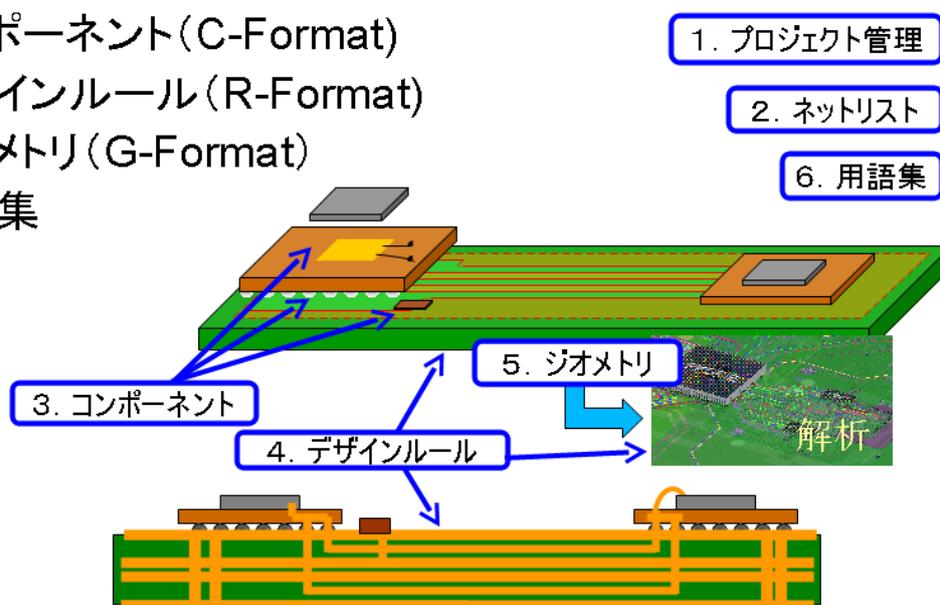


図 2.3.1-9 LPB 標準フォーマット

各標準フォーマットの詳細についてはインターフェースフォーマット SWG の活動報告の章を参照。

プロジェクト管理フォーマット：製品の開発プロジェクトの中では LPB それぞれに標準フォーマットに沿ってインターフェースファイルが準備されるが、それぞれの設計工程の最適化や改変によりインターフェースファイルも逐次アップデートされる。LPB 相互に連絡なしにファイルをアップデートすると設計結果に不整合がおりミスややり直しの原因となる。システム全体でインターフェースファイルのバージョンを管理する目的でそれぞれのバージョン名を記述する。

ネットリスト：LPB 全体での接続管理を目的とし、将来 LPB 全体の接続検証や機能検証ができる EDA 環境の開発が促進されることを狙って Verilog-HDL を基本ネットリストとした。形状情報と完全に分離した接続情報に徹して階層構造にも柔軟に対処が可能である。弱点としては電源グラウンドのネットがないことへの対処と、パッケージ・ボードの検証に使われている SPICE との互換性を持たなければならない。これらにより、LPB 共通仕様では Verilog-HDL の書式に電源グラウンド端子を追加したり、SPICE におけるピン並びに制約と同じ制約を課す拡張仕様が加えられている。

コンポーネント：コンポーネントファイルは LPB 各部の設計結果をつなぎ合わせる場合の部品の物理的な形状、接続位置・方向、設計上の制約を定義する。流通している同様なフォーマットで必要となる情報がすべて含まれている書式がないため、本 WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするために XML の書式を採用している。

デザインルール：LPB 各部の設計ルールを記述する。ライン、VIA やスペース、走行性をあらわす。解析のセットアップのための材料物理特性や詳細断面構造もあわせて定義する。流通している同様なフォーマットで必要となる情報がすべて含まれている書式がないため、本 WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするために XML の書式を採用している。

ジオメトリ：ジオメトリは設計結果を解析環境に渡す際の書式を定義する。各層ごとの 2 次元図形と、VIA、Bump、Bond Wire の 3 次元的情報、2 次元情報を積み上げて立体構造にするための層構造（縦方向の寸法）などと記述する。テキストでの表現が必須であり、シンプルでかつある程度の精度をもった書式が必要である。これは独自の書式の開発は困難であることから EDA ベンダが提供した書式（XFL）を採用している。

用語集：LPB 各部の設計文化の違いにより同じ物理形状、材料などに対して別の表現をすることがある。例えば、Via は Via と呼ばれるだけでなく PTH など製造方法を表した表記がされることがある。この LPB 共通仕様の中では基本的に 1 つの設計要素は 1 つの表記をするよう言葉の定義をしている。

図 2.3.1-10 は具体的に設計のどの部分でどのフォーマットが使用されるかの概略を示している。

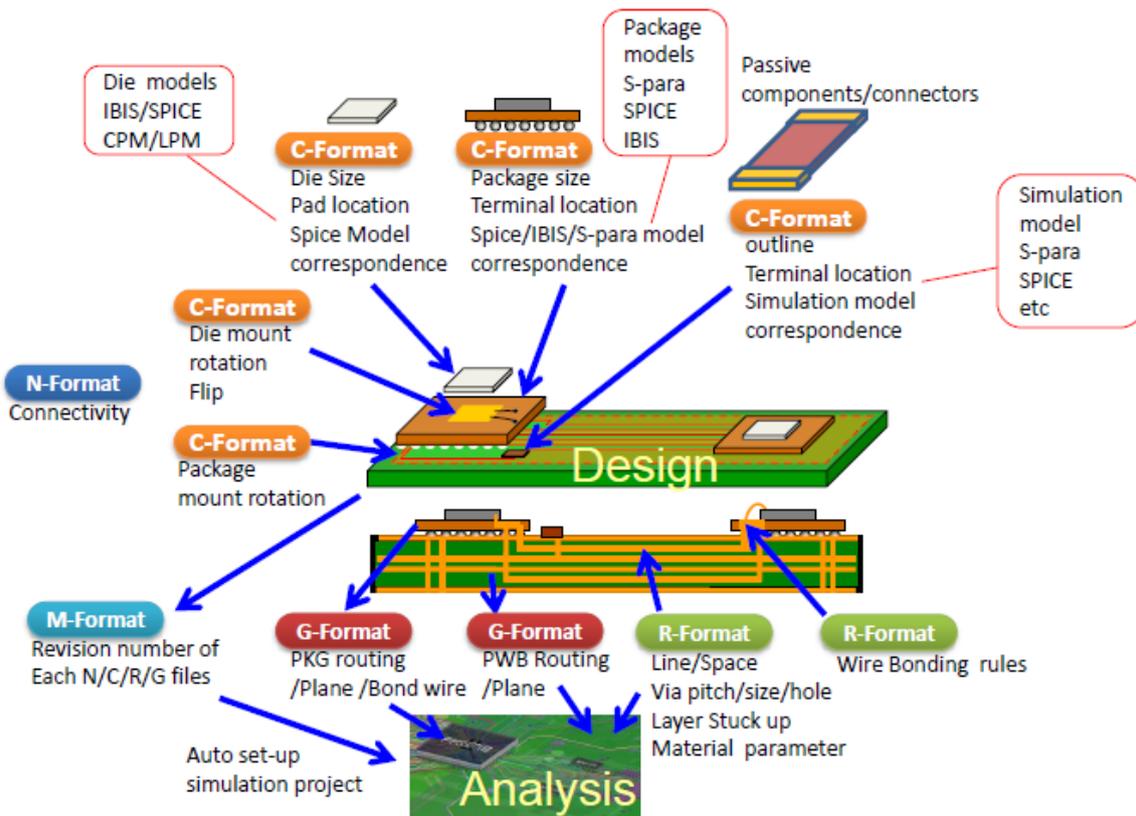


図 2. 3. 1-10 各 LPB 標準フォーマットの使われる部分の概略図

2. 3. 1. 3. 3 LPB 相互設計標準フォーマットにより期待する効果

これまで詳細設計段階で「すり合わせ」が行われてきたが標準フォーマットができると全体での情報伝達が容易になり、より早い段階での全体設計構想が練ることができることが期待される。全体構想設計が行われて、LPB 各部の設計仕様が詳細設計前に明確化されることにより各部の個別の設計はやり直しの少ない短期間の設計完了が期待される。また、解析も全体を見越した検討が可能となり、スムーズにできれば解析にかかる時間も取れるようになり吟味した設計フィードバック案が作成できる。また、構想設計と統合解析の関係が出来上がっていると、設計のフィードバックは LPB どの部分に適用するべきかを考察した上で行えるようになり全体最適化が促進されることが期待される。EDSFair2011Nov. でパネル討議を行った結果、半導体側からの期待値として設計前半の全体設計構想の部分を主導し、設計最適化を促進したいというコメントがあった。一方、セット側のコメントとしては後半の統合検証がやりやすく、効率的に解析かつ、解析の項目を増やしてしっかりやり製品の品質保障責任を果たせることを期待している。この設計スタイルが定着すると LPB の水平分業だけではなく、半導体とセットの開発分担という縦の分業も促進される。(図 2. 3. 1-11)

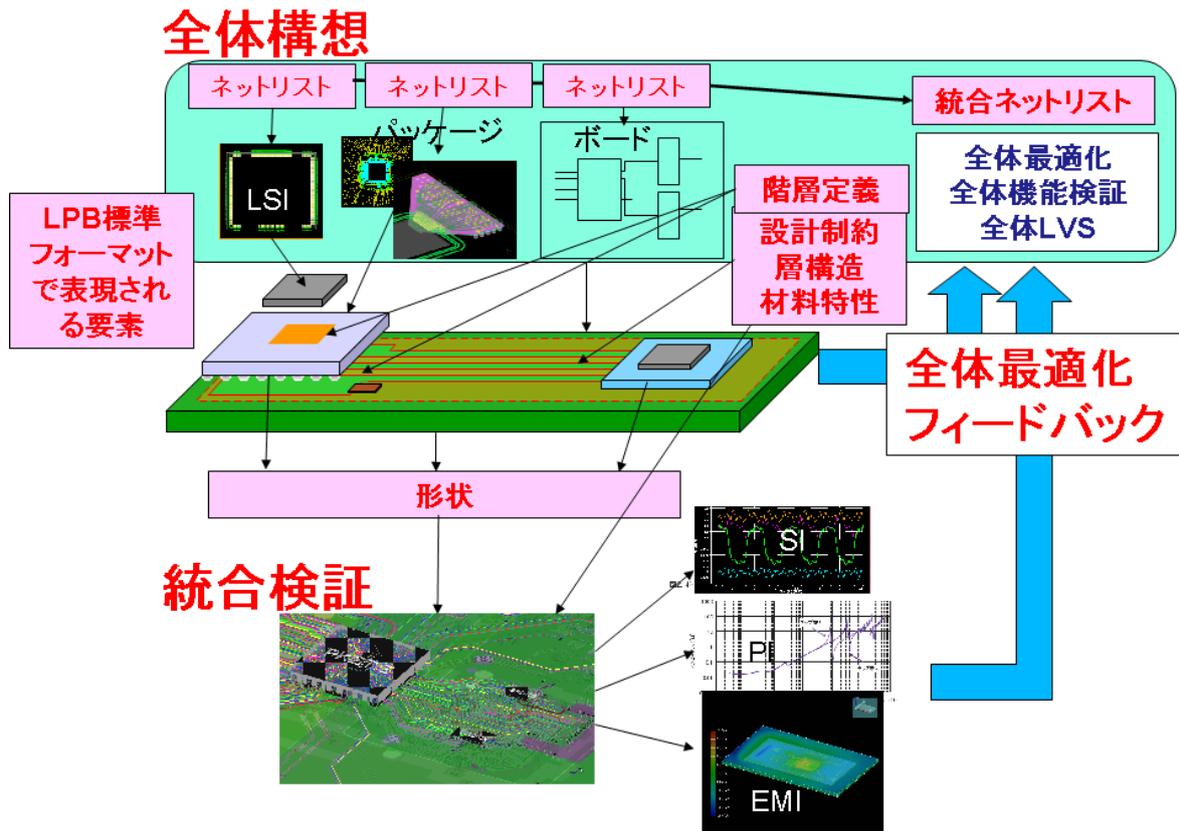


図 2.3.1-11 インターフェイスフォーマットを整理した LPB 相互設計

この構想の下、LPB 相互設計共通仕様様の効果を可視化する。縦方向を時間軸とみなして各工程の相対的な工程期間を示す。(図 2.3.1-12)

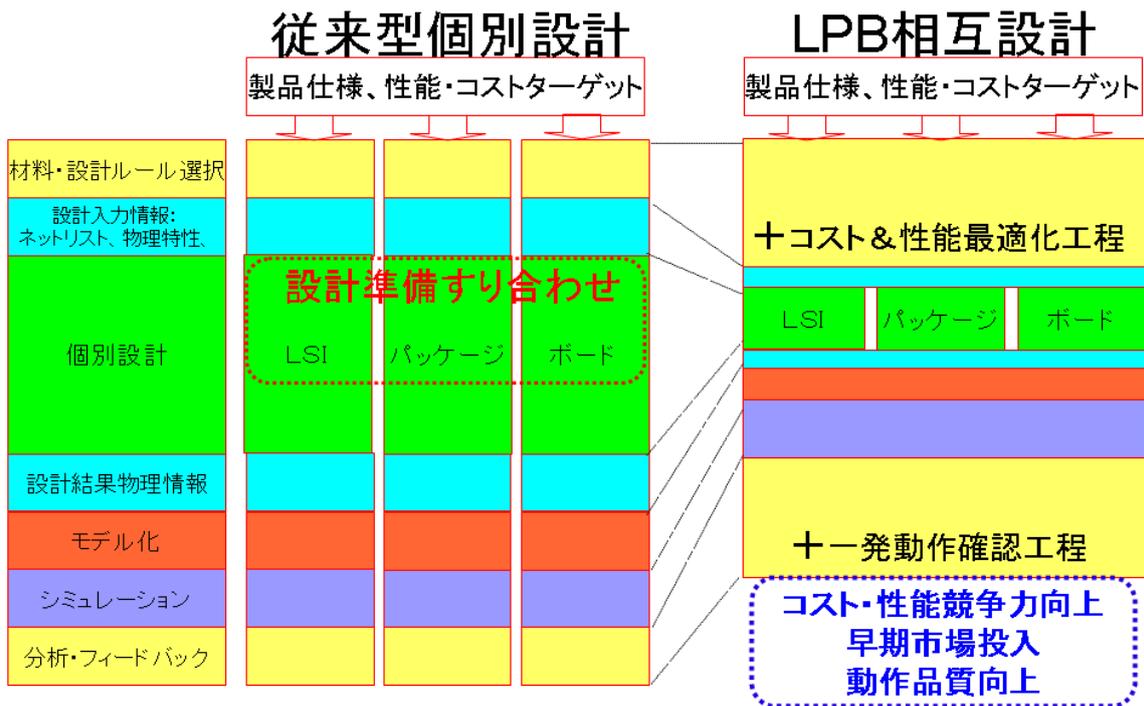


図 2.3.1-12 LPB 相互設計の効果 設計スタイルの変革

従来の個別設計に比較して構想段階と分析・フィードバックの段階に時間をかける代わりに実際の設計期間を短縮する。これらによりコスト・性能のバランス最適化と設計品質の向上を狙う。今まで時間のかかっていた設計・解析の準備にかかる時間も短縮する。これらにより全体の開発期間を短縮可能とし、完成品での不具合を減少させ結果として市場投入を早める。

商品の市場での成功にはその時の市場にニーズにマッチした仕様の製品をいち早く市場投入することが重要であり構想設計をより早い段階で精度よく実施する必要がある。そのためには、開発に係る情報がそろっており、かつ直ぐに設計プロセスに使用可能な状況でなければならない。設計に係る情報とは LPB 各部分の設計結果だけでなく、設計に入る前に必要なデザインルールや材料の電気・物理特性、受動部品やコネクタなどの形状や電気モデル、組み立て（パッケージまたはボード）の際のルール（配置制約、ボンディングルール等）等、サプライチェーンから情報を集めなければならない。現状、それら情報の収集は人対人のコミュニケーションに大きく依存し、異種サプライヤー間で言葉の定義の違いによる相互理解にかかる余分な時間と、提供されたデータもそのまま設計ツールに読み込みができない書式であり、書式の合わせこみを行う時間が大きく発生している。これらが構想設計の実施を妨げ、時間不足となりいきなり詳細設計に入らなければならない状況を引き起こす。構想設計が不十分のまま詳細設計を行うとやり直しが多く発生する原因となる。情報のやり取りに LPB 標準フォーマットを活用することによって効率よく情報の収集や設計結果の提供ができるようになる。必要な情報は LPB 標準フォーマットで明らかになっており、LPB 標準フォーマットで記載された情報ファイルを要求、または提出すればよい。（図 2.3.1-13）。

バリューチェーンにおけるLPB情報共有

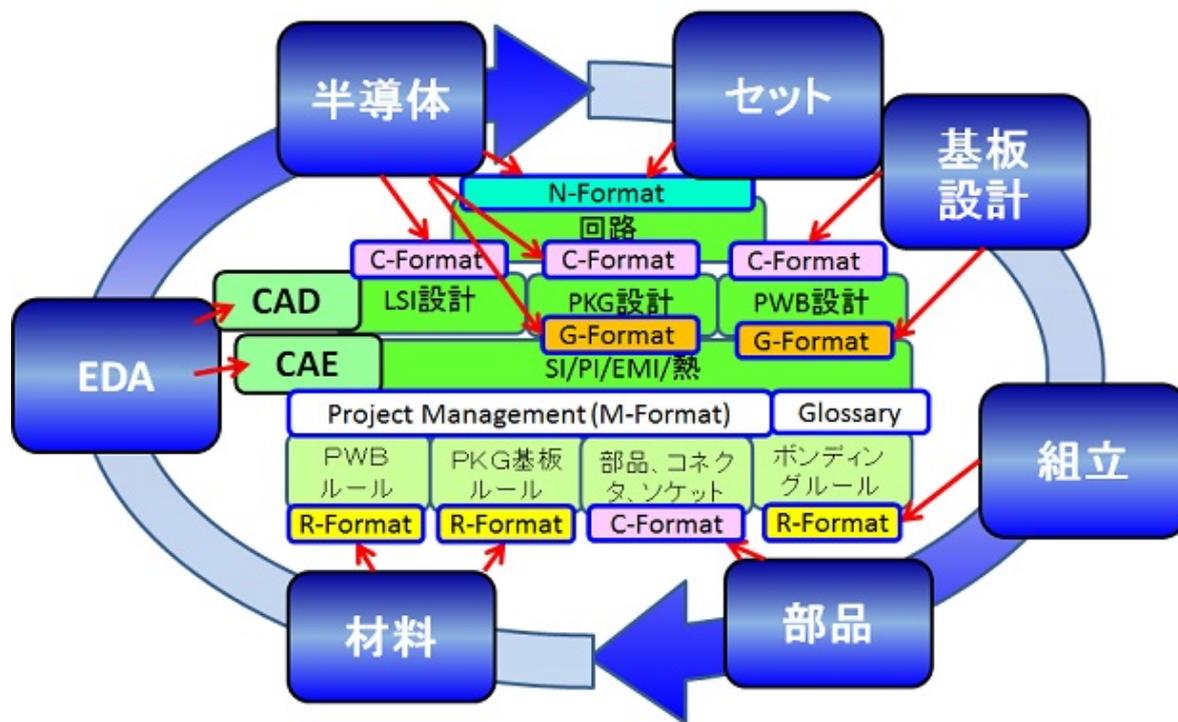


図 2.3.1-13 LPB 標準フォーマットを使った情報共有

また、あらかじめ材料、部品についての LPB 標準フォーマットによる情報ファイルを複数集めておき、構想設計の過程でどの材料・部品を使うか容易に試し選択することが可能となってくる。このようにサプライチェーンが協力し合って情報を集め、競争力のある製品を市場に出して成功すればサプライチェーン全体がエコシステムとして成功していく。このように1つ1つの情報が設計の価値を高めていくバリューチェーンが成立する。

2.3.1.3.4 開発効率における JEITA LPB 標準フォーマットの効果実例

LPB 標準フォーマットによる設計効率の改善は（図 2.3.1-3）に概念を説明している。ここでは実際の事例によりどの程度の改善が見込まれるかを実験した。小規模な模擬セットを想定して LPB 標準フォーマットを使って実設計を行った（図 2.3.1-14）。この結果、この程度の設計事例であっても従来の詳細設計や検証にかかっていた時間を 61%削減し、情報を待っている時間を 2 週間以上削減することが出来た。

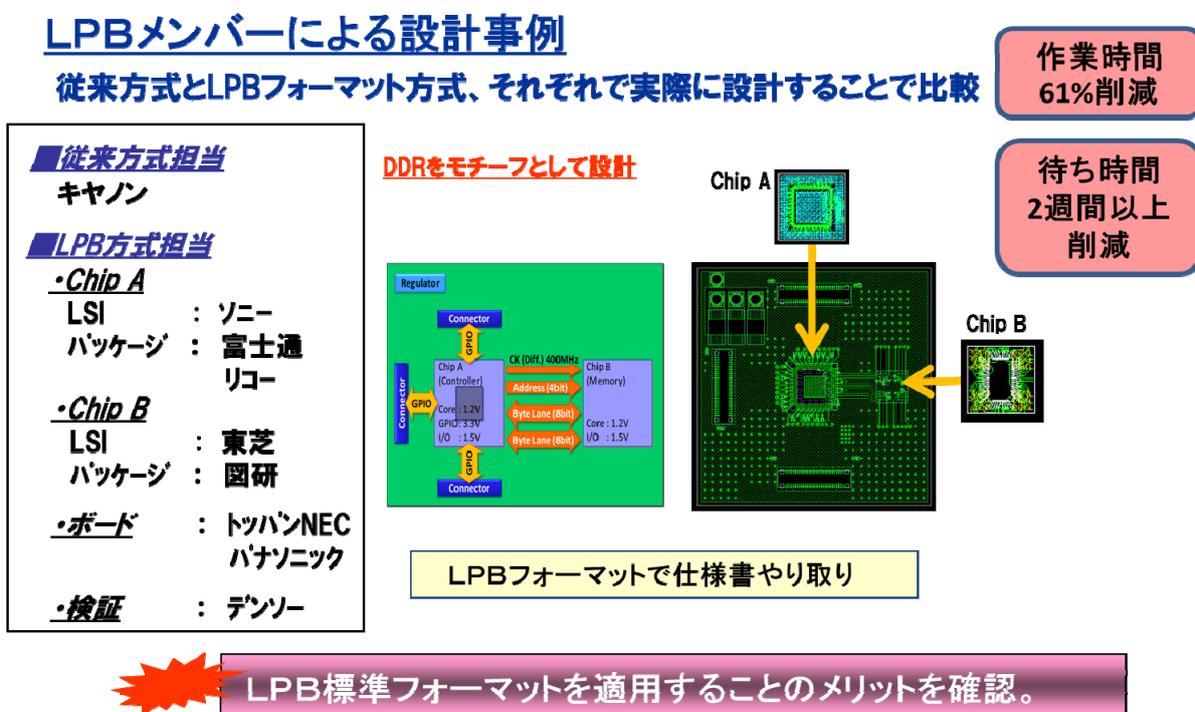


図 2.3.1-14 LPB 標準フォーマットを使った設計事例とその効果

2.3.1.4 LPB 相互設計ワークグループ活動

2.3.1.4.1 構成メンバー（表-1）

2010年 16社／20名＋特別委員3名 客員1名 大学／1名
 2011年 17社／23名＋特別委員2名 客員1名 大学／1名
 2012年 17社／21名＋特別委員4名 客員1名 大学／1名
 2013年 12社／20名

主 査：福場義憲 株式会社 東芝

副主査：大槻隆志 株式会社 リコー（標準化準備サブワーキンググループ主査）

副主査：中川祐之 富士通 VLS 株式会社（インターフェースフォーマット・
 LPB フォーラムサブワーキンググループ主査）

副主査：富島敦史 株式会社 東芝（広報サブワーキンググループ主査）

表 2.3.1-1 LPB 相互設計ワーキンググループメンバー（2013 年度）

氏名	正副	役職	所属	子会社
福場義憲	正	主査	株式会社 東芝	
林 靖二	正		キヤノン株式会社	
松澤浩彦	正		株式会社 図研	
古賀一成	副		株式会社 図研	
濱田誉人	正		ソニー株式会社	
川畑 航	副		ソニー株式会社	
市川浩司	正		株式会社 デンソー	
津田剛宏	副		株式会社 デンソー	
岡野資睦	副		株式会社 東芝	
富島敦史	副	副主査 広報 S SWG 主査	株式会社 東芝	
青木孝哲	副		株式会社 東芝	
益子行雄	正		日本ケイデンス・デザイン・システムズ社	
齊藤義行	正		パナソニック株式会社	
中川祐之	正	副主査 フォーマット フォーラム SWG 主査	富士通株式会社	富士通 VLSI 株式会社
折原広幸	副		富士通株式会社	富士通アドバンステクノロジー(株)
大塚育生	副		富士通株式会社	富士通アドバンステクノロジー(株)
澤田 修	正		メンター・グラフィックス・ジャパン株式会社	
大槻隆志	正	副主査 標準化 SWG 主査	株式会社 リコー	
貝原光男	副		株式会社 リコー	
永野民雄	正		ルネサスエレクトロニクス株式会社	

2.3.1.4.2 活動内容

ワークグループ内で3つのサブWGを構成して活動をしている。2013年度は下記3グループ。

①インターフェースフォーマット・LPB フォーラム SWG

- ・リファレンスフローの提案
- ・ゴールデンサンプル（テストベンチ）の整備、リリース
- ・LPB-V2.1のEDAツールへの導入サポート。
- ・LPB フォーラムの開催 VOC（Voice of Customer EDA ベンダやユーザーからのフィードバック）の収集
- ・フォーマットの改良

②広報 SWG

- ・LPB 標準フォーマットの普及活動
- ・EDSFair 展示ブースの企画・出展・運営
- ・SDFのステージ企画と実施

③標準化 SWG

- ・LPB 標準フォーマットの国際規格への提案
- ・国際展示会・国際学会での標準化提案

以上、3つのSWGが協力しあってLPB標準フォーマットの普及と国際標準化を促進する活動を行っている。

活動は8回の本委員会を実施した（内2回は10月に連日で行った）。本委員会や集中討議の間にはSWGが複数回の委員会を行い、それぞれの役割における検討結果や成果を議案として本会議と集中討議に提出し討議と審議を行った。

また、本活動を上位委員会のEDA技術専門委員会への報告を行った。

本委員会日程

4月16日（発足からの通算第26回）

5月23日（同第27回）

7月5日（同第28回）

9月6日（同第29回）

10月18日（同第30回）

10月19日（同第31回）

1月10日（同第32回）

3月14日（同第33回）

（図2.3.1-15）

	4	5	6	7	8	9	10	11	12	1	2	3
WG	▲ 第26回 4月16日	▲ 第27回 5月23日 懇親会		▲ 第28回 7月5日			▲ 第29回 9月6日	▲ 第30/31回 10月18/19日 集中討議 場所 西伊豆 中荘		▲ 第32回 1月10日		▲ 第33回 3月14日
イベント	Nimbic 5/24 JIEP/JPCA 6/6	◆ LPBフォーラム・ワークショップ		◆ シミュレーションのカ		◆	◆	◆ EDSFair ◆ 最先端実装技術シンポジウム 11/28		◆ LPBフォーラム		◆
標準化		◆ DAC				◆ CBITEC ◆ 国際標準化戦略策定		◆ PAR				◆
								◆ EMC compo				

図 2.3.1-15 LPB 相互設計ワーキンググループ活動記録 (2013 年度)

- 本年度は国際標準化を開始した。
 - ・IEEE Standard Association (IEEE SA) への提案 (Project Approval Request : PAR) を行い承認得た。これにより標準化開発ワーキンググループ (プロジェクト番号 P2401) を IEEE SA 内に開設した。
 - ・2014 年度は標準ドキュメント開発がメインのタスクとなる。
- 国際標準化アピールのために米国・欧州向けの展示を行った。
 - ・米国向けに Design Automation Conference 2013 に展示を行った。この際に IEEE SA メンバーとの面談を行って IEEE SA での国際標準化を行うことになった。
 - ・欧州向けの国際標準化のアピールのために欧州が中心の EMCCompo 学会での発表を行った。
- リファレンスフローを作成して公開した。
- 普及活動としてベンダセミナーや実装学会での発表や展示会も積極的に行った。
- 展示会出展
 - ・昨年に引き続き EDSFair2013 にて LPB/IBIS ゾーンの設定と行い、展示と共に同ゾーン出展者と共同運営を行って LPB 標準フォーマットの採用促進を PR した。
 - ・SDF2013 においてパネル討議を行った。
 - ・CEATEC の JEITA コーナーでパネルを展示した。
- LPB フォーラムは JEITA LPB-WG が主催し、ユーザー・EDA ベンダ参加の会合である。昨年度 3 月に発足し、今年度は 3 回のフォーラムを行った。
 - 第 2 回 LPB フォーラム 9 月 27 日 リファレンスフローを検討
 - 第 3 回 LPB フォーラム 10 月 23 日 SDF2013 での発表と兼ねて。リファレンスフロー実施例
 - 第 4 回 LPB フォーラム 3 月 4 日 LPB 実例、EDA ベンダ採用状況 Update、座談会

各活動の詳細はサブワーキンググループの項目を参照。

2.3.1.4.3 今後の課題と活動方針

LPB 標準フォーマットを使った相互設計の効率化については国際標準化をもって一般論として完成したといえる。しかしながら個々の設計事例によっては設計フローや集めるべき情報が異なることは考えられる。例えば、シグナルインテグリティ (SI) とパワーインテグリティ (PI) でも異なると考えられる。SI では伝送路を IBIS や SPICE で表現して形状の情報を持たないシミュレーションが予想されるが、PI では電源プレーンや搭載部品の形状情報を用いて電磁界解析することが多い。これらはフローも収集するモデルも異なってくる。12月に発表を行った EMCCompo2013 (2.3.4章の標準化準備サブワーキンググループを参照) では IBIS モデルや EMC シミュレーションモデルとの連携を要望された。

よって、来年度以降はユースケース (それぞれの設計目的別) を想定して個別のリファレンスフローを考え、LPB 標準フォーマットの活用方法や不足している仕様を明らかにしていく。必要に応じて規格の追加・改良を行っていかなければならない。

2014年度は以下の3つのアイテムを活動の骨子とする。

1. 国際標準化
 - LPB 標準フォーマットを IEEE 標準として制定する活動を行う。
2. 標準化戦略
 - 具体的な LPB 相互設計の応用例を用いてケーススタディーを行い標準化によって優位となる部分の抽出を行う。必要に応じて標準化規格を追加開発する。(例: EMC や IBIS シミュレーションにおけるモデルと LPB 標準フォーマットの連携等)
3. LPB 相互設計導入推進
 - 参加メンバー各社における LPB 標準フォーマットによる相互設計導入の支援を行う。(サンプルデータやリファレンスフローの充実。EDA ツールやサプライチェーンでの導入拡大推進等。)

以降サブワーキンググループごとの活動報告

2.3.2 LPB 相互設計 WG 広報サブワーキンググループ

2.3.2.1 目的

JEITA LPB 標準フォーマットのユーザーや EDA ベンダへの採用拡大を推進する。

2.3.2.2 活動内容

2012 年度までに、標準フォーマットに対応する EDA ベンダは 10 社となり、また、EDSFair や LPB フォーラムでの情報発信により、フォーマットの認知度は上がってきた。

今年度も引き続き JEITA 内外で、発表や出展を行い、標準フォーマットを活用することによるメリットを理解してもらい、LPB 相互設計の普及に努めることを活動の中心とした。

具体的な活動内容

1. JEITA の企画運営する EDSFair への出展
2. SDF2013 (システムデザインフォーラム) での LPB フォーラムの開催
3. 展示会、セミナーでの展示、発表

活動実績

- 2013/5/24 に開催されたステイシフト株式会社主催 NIMBIC 技術セミナーにて、「LSI・パッケージ・ボード相互設計の効率と品質を向上させる LPB 標準フォーマットの効果と活用手法」と題し、LPB 標準フォーマットを活用することによりもたらされる、設計効率と品質の向上について紹介すると共に、フォーマットの普及状況や標準化動向などを含め、LPB 相互設計ワーキンググループの活動について報告を行った。

添付資料 : 4.2.1 LPB_nimbic_20130524

- 2013/6/6 に開催された、JIEP 最先端実装技術シンポジウムにて、「高速伝送を練る構想設計環境の実現 -LSI・パッケージ・ボード (LPB) の情報流通と EDA 環境考察-」と題し、高速伝送路の最適化を構想設計段階から考察するために、部品・材料・設計ルールを十分に揃えるための EDA 環境の実現方法を考察し、JEITA 標準フォーマットの役割を解説した。

関連 URL : 一般社団法人日本電子回路工業会:最先端実装技術シンポジウムホームページ :

<http://www.jpccashow.com/show2013/jp/event/jiep02.php>

(2014 年 3 月 31 日現在)

添付資料 : 4.2.2 2013JPCAShow_Highspeed-LPB20130606

- 2013/9/13 に開催された、株式会社 エーイーティー主催のシミュレーションの力ワークショップにて、展示ブースを出展。LPB 標準フォーマットの役割と最新の標準化動向、EDSFair/SDF の告知などの PR 活動を行った。セミナーの合間ではあったが、40 名程度の訪問があった。

- 2013/10/1-5 に開催された、CEATEC での JEITA ブースに、パネルを展示。LPB 標準フォーマットの紹介と改善事例等の PR 活動を行った。

添付資料 : 4.2.3 CEATEC2013-Panel-Final

- 2013/11/20-22 に開催された、JEITA 主催の EDSFair2013 に展示ブースを出展し、LPB 標準フォーマットの紹介と、最新の標準化動向などの PR 活動を行った。また、本年度は連携をテーマに 1 大学 3 団体 10 社で、LPB/IBIS ゾーンとし、ブース内でのセミナーを開催し、最新の LPB 連携の現状と EDA ソリューション、IBIS 作成と活用方法の解説を行った。
- また、EDSFair 会期中の 2013/11/20 に開催されたシステムデザインフォーラム特設ステージにて、「実演!! LPB はここまで来た!」～リファレンスフローのデモと効果の考察～と題した講演を行った。
CAD/CAE ツールを使った設計事例の実演を行い、フォーマットの活用方法を実感してもらい、その効果を考察。実際の設計を想定した LPB 標準フォーマットを用いたリファレンスフローを提案した。
また、普及に欠かせない国際標準化の取り組みも紹介した。

関連 URL : 日経 BP 社 Tech-on 記事

<http://techon.nikkeibp.co.jp/article/EVENT/20131113/316120/> (2014 年 3 月 31 日現在)

<http://techon.nikkeibp.co.jp/article/EVENT/20131114/316462/> (2014 年 3 月 31 日現在)

(注) 登録制サイトのため、別途 ID、パスワードの設定が必要な場合があります。

関連 URL : 一般社団法人 電子情報技術産業協会 EDSFair2013 ホームページ

http://www.edsfair.com/special/lpb_ibis.html

<http://www.edsfair.com/special/stage.html>

添付資料 : 4.3 SDF2013 講演資料 20140315

- 2013/11/21 に行われ EDSFair 企画ワインの夕べにおいて、LPB/IBIS ゾーン出展 14 者と共に、「升酒の夕べ」を開催。LPB 相互設計ワーキンググループ主査福場義憲氏と神戸大学永田真教授による「鏡開き」を行い、升酒を多数のユーザーに振る舞うイベントを行った。
- 2013/11/28 に開催された JIEP 部品内蔵技術委員会にて、「LSI/Package/Board(LP)の相互設計を実現する JEITA LPB フォーマットとその国際標準化」と題した講演を行い、フォーマットの効果と最新国際化状況を PR した。

添付資料 :

2.3.2.3 広報サブワーキンググループメンバー

リーダー	富島 敦史	(株)東芝
メンバー	松澤 浩彦	(株)函研
メンバー	林 靖二	キヤノン(株)
メンバー	益子 行雄	日本ケイデンス・デザイン・システムズ社
メンバー	貝原 光男	(株)リコー
メンバー	津田 剛宏	(株)デンソー
メンバー	折原 広幸	(株)富士通アドバンステクノロジー

2.3.3 LPB 相互設計 WG インターフェイスフォーマット・LPB フォーラムサブワーキンググループ

2.3.3.1 目的

LPB 相互設計 WG で、LPB を統合的に扱う設計環境の実現に向け、その課題の分析をする中で、LSI、Package、Board の設計・解析で扱うツールが異なり、データフォーマットが異なること、さらに、Package、Board の設計・解析環境では、EDA ベンダ間でデータフォーマットが統一されていないため、必要情報が揃わない、設計・解析のセットアップに膨大な時間とリソースがかかる、結果が共用できない、といったことが明らかになった。

そこで、ツール間のデータフォーマットの統一を検討するサブワーキンググループを立ち上げ、①LPB 全体の管理、②接続記述、③部品・制約・端子情報、④設計ルール・材料特性情報、⑤解析用形状データのフォーマットを『JEITA LPB 標準フォーマット』として策定した。また、JEITA LPB 標準フォーマットの理解を深めるため、および EDA 開発に使えるテスト用のデータとして『Golden Sample』を整備している。

サブワーキンググループは 2010 年度より継続して活動しており、

2010 年度 LPB 標準フォーマット Ver. 1.0

2011 年度 LPB 標準フォーマット Ver. 2.0

2012 年度 LPB 標準フォーマット Ver. 2.1

Golden Sample Ver. 1.0

としてリリースしている。

一方で、LPB 相互設計 WG のプレゼンテーションをご覧になられた方や、LPB フォーラム参加者からは、

- 設計の流れの中で、いつ、どのようなデータが、入出力しているのか良くわからない。
- その際、LPB 標準フォーマットを使用すると、何が良いのか？ 何に役立つのか？
- LPB の出発点に必要なデータは何か？ それらがどう変わっていくのか知りたい。

といった声が寄せられている。

今年度は、上記も考慮に入れ、

1. Reference Flow 整備

LPB 相互設計 WG が想定しているフローを策定する。

2. Golden Sample の拡充

2012 年度にリリースした Golden Sample は設計が完了した最終形であるため、その途中課程として、Reference Flow の各ステップで変化する記述例を用意する。

を目的に活動を行った。

2.3.3.2 活動内容

(1) Reference Flow 整備 (Reference Flow Ver. 1.0 のリリース)

図 2.3.3-1 は LPB 相互設計の Reference Flow を示す。(1)Block Diagram から (10)Final Layout Check までの作業の流れと、それぞれの作業の間でどのようなファイルの受け渡しが行われているかを示している。

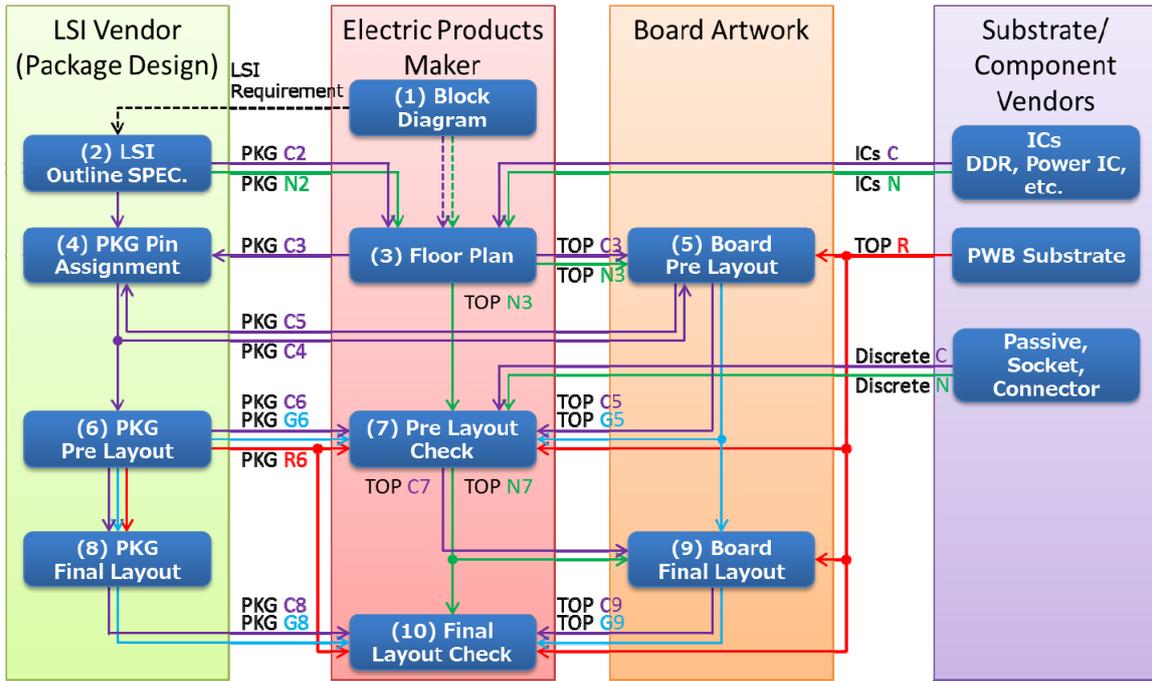


図 2.3.3-1 Reference Flow

(2) Golden Sample の拡充

図 2.3.3-2 は Golden Sample の概略図を、図 2.3.3-3 は Golden Sample の File 構成を示す。

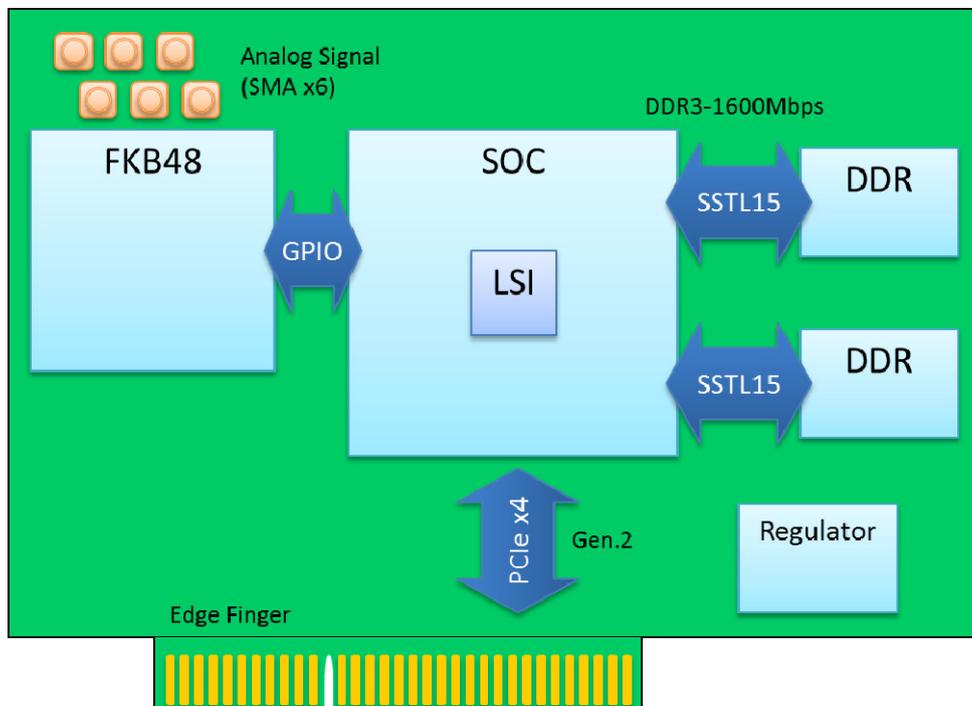


図 2.3.3-2 Golden Sample の概略図

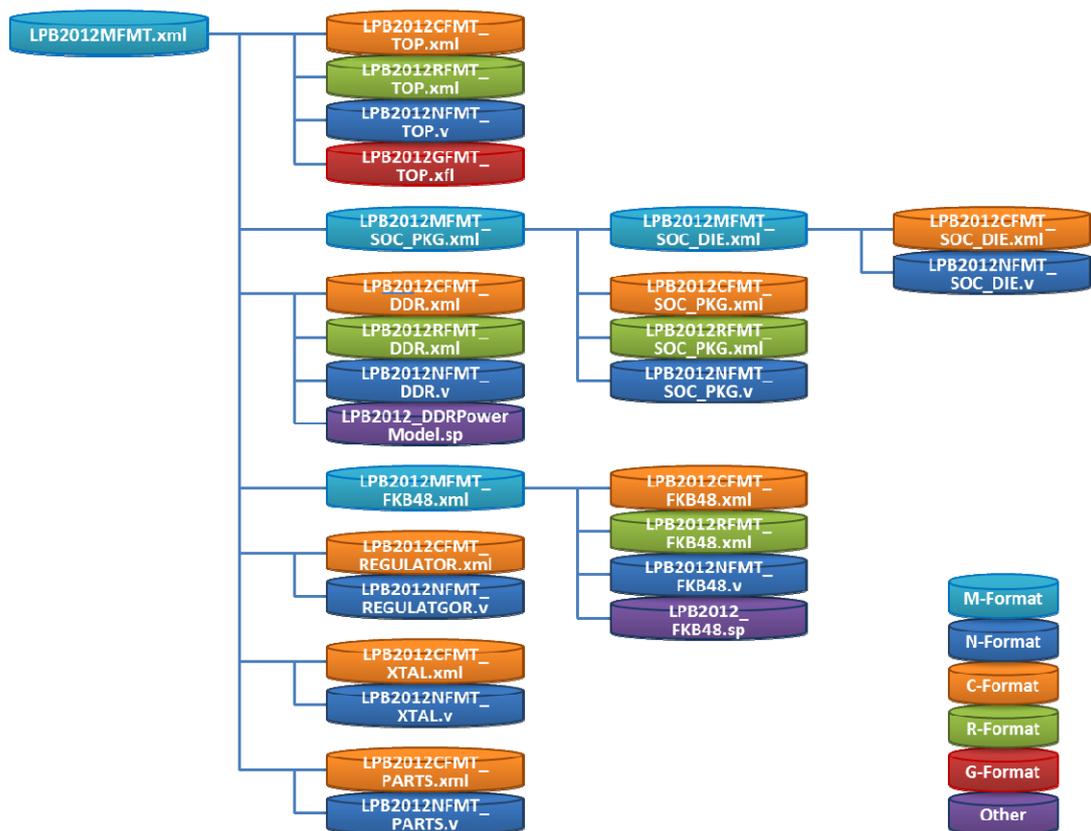


図 2.3.3-3 Golden Sample の File 構成

表 2.3.3-1 は図 2.3.3-1 に示した Reference Flow において、図 2.3.3-3 に示した各ファイルがどのように変遷していくかを示す。今回の Golden Sample 拡充においては、これら途中段階のファイルを用意し、設計の流れの中で、内容がどのように変わっていくのか (Update されていくのか) が具体的に分かるようにした。

表 2.3.3-1 Reference Flow の各設計段階における Golden Sample File の変遷

Flow	LSI Package				TOP (Board)				Others	
	C	N	R	G	C	N	R	G	C	N
1 Block Diagram										
2 LSI Outline SPEC.	C2 Pin座標あり 信号アサイン未	N2 信号雜音含む 保は完成形								
3 Floor Plan	C3 Pinアサインの リクエスト				C3 主要部品のみ 仮置き	N3 部品は全部入っ ている			各ICの C-Format	各ICの N-Format
4 PKG Pin Assignment	C4 リクエスト対応 制約入る									
5 Board Pre Layout	C5 Pinアサインの修 正リクエスト				C5 Placementが変 わる		R Board Rule	G5 Pre Layout Artwork		
6 PKG Pre Layout	C6 Artwork反映し た制約入る		R6 PKG Rule	G6 Pre Layout Artwork						
7 Pre Layout Check					C7 Decap, 抵抗の 変更/追加	N7 部品の変更/追 加			Discrete部品の C-Format	Discrete部品の N-Format
8 PKG Final Layout	C8 最終版			G8 PKG Final Artwork						
9 Board Final Layout					C9 Decap, 抵抗の 調整等			G9 Final Layout Artwork		
10 Final Layout Check										

2.3.3.3 LPB フォーラム

LPB 標準フォーマットを活用した相互設計に関する意見交換の場として、LPB フォーラムを開催している。第1回は2012年3月に開催した。2013年度は表2.3.3-2のとおり第2回～第4回の計3回開催した。

表 2.3.3-2 2013 年度に開催した LPB フォーラム

	開催日時	会場	概要
第2回	2013/9/27	JEITA 大手センタービル	参加者：28名 Reference Flow (Draft 版)を紹介し、それに関して参加者で議論した(グループ討議形式)。
第3回	2013/11/20	パシフィコ横浜 EDSFair 特設ステージ	参加者：39名 「実演!! LPB はここまで来た!」 ～リファレンスフローのデモと効果の考察～ と題してプレゼンテーションを実施した。
第4回	2014/3/4	JEITA 大手センタービル	参加者：54名 “Link Together”をテーマに、LPB の連携、ものづくりの連携、業界の連携などについて、プレゼンテーションや座談会形式での議論を行った。

2.3.3.4 参加メンバー

サブワーキンググループのメンバーは下記のとおり。

2013年度はこのメンバーで、サブワーキンググループを計7回開催した。

リーダー	中 川 祐 之	富士通 VLSI 株式会社
サブリーダー	青 木 孝 哲	株式会社 東芝
メンバー	永 野 民 雄	ルネサスエレクトロニクス株式会社
同	濱 田 誉 人	ソニー株式会社
同	齋 藤 義 行	パナソニック株式会社
同	澤 田 修	メンター・グラフィックス・ジャパン株式会社
同	大 塚 育 生	富士通アドバンステクノロジー株式会社
同	折 原 広 幸	富士通アドバンステクノロジー株式会社

2.3.4 標準化準備サブワーキンググループ

2.3.4.1 目的

2.3.4.1.1 標準化の目的、背景

前年度、標準化準備 SWG においては以下を JEITA LPB 標準フォーマットの標準化へ向けての目的とし、さらには日本のエレクトロニクス製品の国際的競争力を高めることを大きな目標とし、その実現において国際標準化は大きな意味を持つということを WG の一致見解とし、国際標準化へ向けての議論を重ねてきた。

〈標準化の目的〉

- ・フォーマットを普及させるための標準化
→LPB-WG 活動における設計の立場としての本来の目的である現場における設計効率向上のための普及手段
- ・EDA ベンダからの強い要望
→EDA ツールへのフォーマット適用に対する理由付け。EDA ベンダ内でのフォーマット採用に向けての大義名分。
- ・JEITA LPB-WG としての成果

国際的な標準化団体として、デジュール、デファクト、フォーラムといった様々な形態があるなか、JEITA LPB 標準フォーマットとしての適合性、営利目的/非営利目的を含む目的、JEITA との連携性、公的影響度/普及性、その他を鑑み、調査検討を行った結果、JEITA LPB-WG としては、デジュールである公的な国際標準化団体として IEEE と IEC の 2 つを選択した。

今年度はそのいずれを先行して標準化活動を行っていくかの議論を活動のスタートとして、国際標準化に向けての具体的な活動計画を立て、着実に実施してきた。

2.3.4.2 活動内容

2.3.4.2.1 今年度活動項目

今年度の大きな活動項目は以下を設定。

- ターゲットとする国際標準化団体の決定
- 具体的標準化ステップの立案
- ステップ案に基づいた活動
- ロビー活動
- LPB フォーマット類似標準調査、および連携
- 広報 SWG、フォーマット SWG との活動連携

2.3.4.2.2 今年度活動内容

2.3.4.2.2.1 ターゲットとする国際標準化団体の決定

前年度選択した IEEE あるいは IEC のいずれを先行して国際標準化へ向けての活動を開始するかの議論を標準化準備 SWG 内で実施。

どちらが LPB 標準フォーマットの目的により適合しているかということを観点として調査・議論を重ねたが、以下がその要点である。

〈要点〉

- ・ LPB フォーマットは EDA ドリブンであり、EDA は IEEE と関係がある。
- ・ IEC はどちらかということと製造関連標準である。
- ・ IEEE 標準規格になると IEC 標準規格になる近道 (Dual Logo 契約) がある。
よって、まず IEEE から始め、IEC につなげる。
- ・ DAC (Design Automation Conference) は IEEE がスポンサーの 1 つでもある。
IEEE キーマンが多く参加しており、ロビー活動効果大。

以上の内容から、4 月 25 日に開催された JEITA LPB-WG 標準化準備 SWG にて、LPB フォーマットの国際標準化活動は、IEEE から始めることに決定。

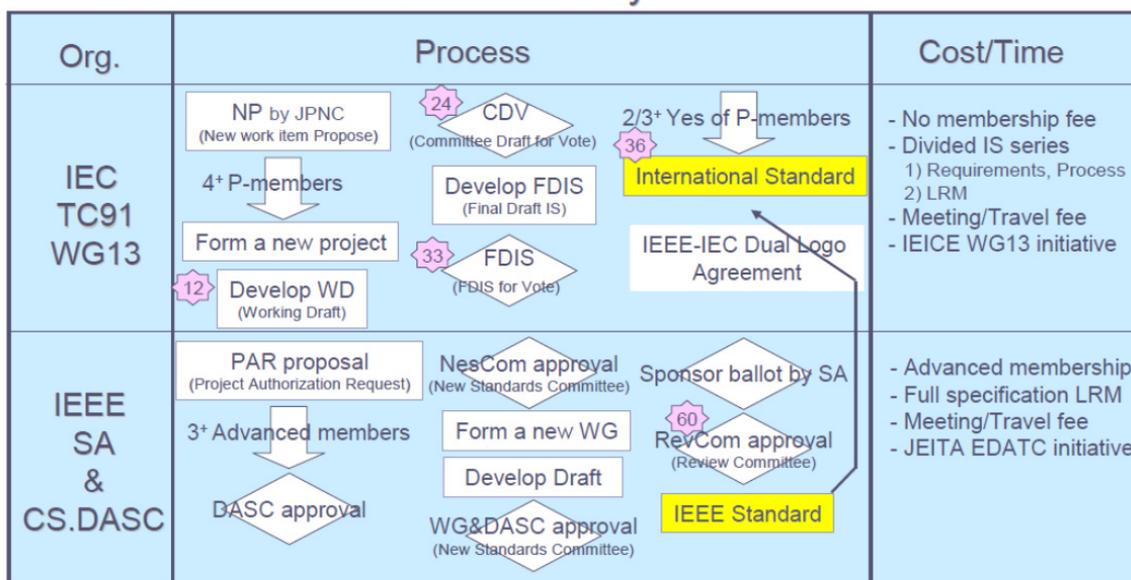
2.3.4.2.2.2 具体的標準化ステップの立案

■ IEEE と IEC の標準的ステップおよび期間

ここではまず IEEE と IEC の一般的な標準化に向けてのステップを参考として記載する。

Road to International Standard (IS) publication

- To align and set strategies to achieve the target in a cost- and time-effective way



Legend MM: Time Limit (Months)

図 2.3.4-1 国際標準化への道のり

JEITA LPB-WG において優先活動として決定した IEEE については PAR (Project Authorization Request) Proposal から IEEE Standard まで 60 か月 (5 年) であり、IEC については NP (New work item Propose) から International Standard までが 36 か月 (3 年) となっている。

また、前記決定要因として記載した “IEEE-IEC Dual Logo Agreement” の Path が明記されている。

■LPB 標準フォーマットの IEEE 国際標準化へ向けての具体的ステップ

前述のとおり、IEEE における一般的な標準化までの期間は 60 か月となっているが、後述する DAC (Design Automation Conference) での JEITA LPB-WG 活動の紹介、さらにその後の IEEE/DASC (Design Automation Standards Committee) キーマンとの直接対話における LPB 標準フォーマットの重要性説明、標準化へ向けてのステップ案の JEITA LPB-WG からの提示に対して、IEEE/DASC キーマンから期間も含めた具体的標準化ステップ案のアドバイスをいただいた。

以下が IEEE/DASC キーマンからの標準化ステップ案である。

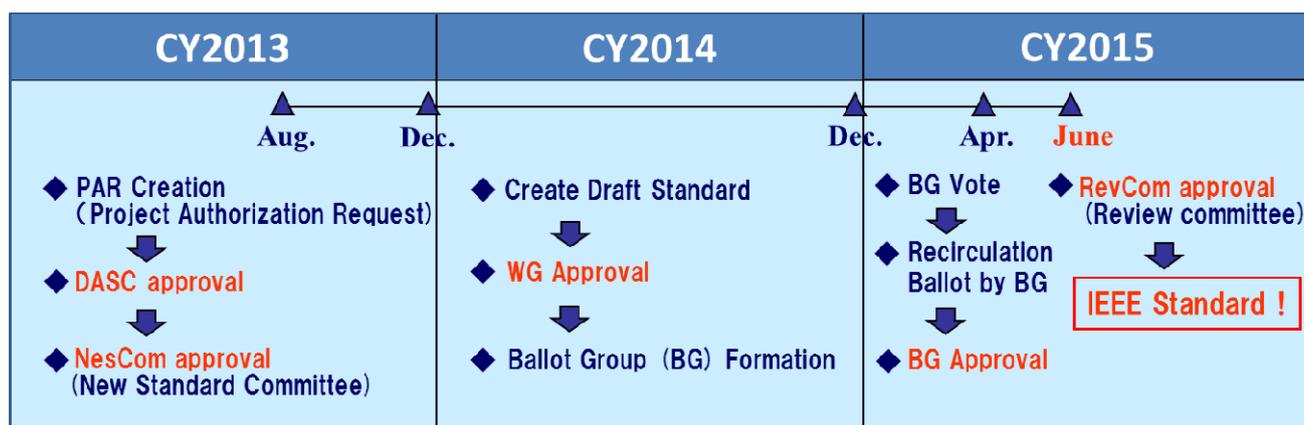


図 2.3.4-2 IEEE 国際標準化へのステップ

この案によれば、PAR 作成から IEEE Standard までは約 2 年の期間となっており、前述した一般的な期間である約 5 年に対して、その半分以下の期間を提案された。

JEITA LPB-WG においては、このステップに基づいて、早速活動を開始した。

最初のステップである PAR 作成を 8 月から開始。

2.3.4.2.2.3 ステップ案に基づいた活動

① 1st ステップ

DASC Approval に向けて

■PAR (Project Authorization Request) 作成 (2013/8/22～)

標準化準備 SWG において、まずは PAR のフォーマット、および他標準における既存 PAR 事例の内容調査を行い、Draft を作成。

■PAR 最終案を提出 (2013/8/28)

標準化準備 SWG で最終案を作成し、LPB-WG 主査福場氏から IEEE/DASC 委員長である Stan 氏へ提出。

(PAR 最終案は添付資料参照)

■IEEE/DASC による PAR 最終案をチェック (2013/9/4)

IEEE/DASC 委員長 Stan 氏による PAR チェックおよび校正。

<PAR 内容抜粋>

Standard Format for LSI-Package-Board Interoperable Design

Scope:

This standard defines a common interoperable format that will be used for the design of (a) Large Scale Integrated (LSI) circuits, (b) Packages for such LSI circuits and (c) Printed Circuit Boards on which the packaged LSI circuits are interconnected. Collectively such designs are referred to as “LSI-Package-Board” designs. The format provides a common way to specify information/data about the project management, net lists, components, design rules, and geometries used in LSI-Package-Board designs.

Purpose:

The general purpose of this standard is to develop a common format that LSI-Package-Board design tools can use to exchange information/data seamlessly, as opposed to having to work with multiple different input and output formats.

■Project Number 取得 (2013/9/24)

PAR に対する Project Number “P2401” として IEEE に Assign された。

DASC Approval に向けて、9/27 から 2 週間かけて IEEE Advanced Members による投票が行われた。

■DASC Approval (2013/10/10)

IEEE Advanced Members による投票の結果、PAR に対する正式承認となった。

② 2nd ステップ

NesCom Approval に向けて

■NesCom (New Standard Committee) Approval (2013/12/11)

12月に開催されたIEEEにおけるNesComにおいて、P2401 LSI Package Board PARが承認され、標準化へ向けての正式なWGとして発足。

② 3rd ステップ

Create Draft Standard

■IEEE Press Release (2014/2/27)

IEEEにて標準化へむけての2つのWGが発足されたことがプレスリリースとしてアナウンスされたが、その1つがLPB標準フォーマット(Interoperability of Large Scale Integration, Package and Board Design)である。

<URL 出典: IEEE ニュース>

http://standards.ieee.org/news/2014/P1666-1_P2401_working_groups.html

■P2401 WG Kickoff (2014/4)

4月にWebにおいてワールドワイドでキックオフを実施するように現在企画中。

2.3.4.2.2.4 今後の活動計画

■Draft 作成にあたっての準備

- ・Draft 作成ガイドラインのスタディ・理解
- ・他標準の内容確認(例えば、P1801)

■Draft たたき台作成

- ・上記IEEE発行のガイドラインに則り、LPB-WGでアウトラインを作成。
- ・それをベースにTechnical Writer、Professional Translatorに依頼。

2.3.4.2.3 ロビー活動

IEEE国際標準化へ向けての1stステップであるDASC Approvalを得るためにJEITA LPB-WGとしては積極的なロビー活動を実施。

ターゲットとしては、IEEEがスポンサーの1つでもあるDAC (Design Automation Conference)にJEITA LPB-WGとして出展することで、LPB-WGの活動内容紹介、およびLPB標準フォーマットのメリットのアピールを行い、IEEE主要メンバーおよびEDAベンダキーマンへの理解および浸透を図った。

また、その後IEEE/DASC委員長、副委員長の来日時にJEITA LPB-WGメンバーと会合をもち、さらに詳細な説明を行い理解を深めた。

さらに、12月に奈良で開催されたEMC CompoにJEITA LPB-WGとして出展、発表を実施。

以下にそれらの内容について述べる。

2.3.4.2.3.1 DAC (Design Automation Conference)への出展

2013年6月3日～5日 USA AustinにてJEITA LPB-WG活動展示

<主な内容>

- ・LPB-WG活動展示・説明
- ・LPBフォーマットの紹介・効果のアピール
- ・EDAツールへの適用事例紹介
- ・IEEEキーマンとの面談



図 2.3.4-3 DACでのJEITA LPB-WG展示パネルおよび風景

<成果>

- ・IEEE/DASC (Design Automation Standards Committee)の全面的支持得られた。

2.3.4.2.3.2 JEITA –IEEE ミーティング

2013年6月21日 IEEE/DASCキーマンとJEITA LPB-WGミーティング
～横浜にて～

IEEE/DASC出席者：委員長 Stan Krolikoski氏 (Cadence社)
メンバー Dennis Brophy氏 (Mentor社)

<主な内容>

- ・IEEE/DASC側からDASC Standardについての最新情報、およびJEITA LPBフォーマットに関するコメントをいただいた。
- ・JEITA側からJEITA LPB-WG活動について説明
- ・IEEE Standardへ向けてのアドバイス

<成果>

- LPB フォーマットの提案は very interesting
- LPB フォーマットは、情報流通には very important
- DASC 側から今後の標準化へ向けての Schedule 提案いただいた。

2.3.4.2.3.3 EMC Compo 出展

2013 年 12 月 15 日～17 日 奈良にて開催。

チュートリアル（福場・中川・古賀・渡辺）：12 月 15 日、

ポスター展示：12 月 15 日～17 日

<内容および成果>

- EMC シミュレーションにどう役立つかの視点で LPB フォーマットを紹介。
- シミュレータの性能改善は EDA ベンダが着々と進めているが、データのセットアップの手間は削減の余地があり、LPB フォーマットはそこを狙っている。
それにより各設計フェーズでシミュレーションの機会を増やせることを主張。
- XML ベースであることが好評。
- ブース(ポスター展示)には 30 人程度が来場

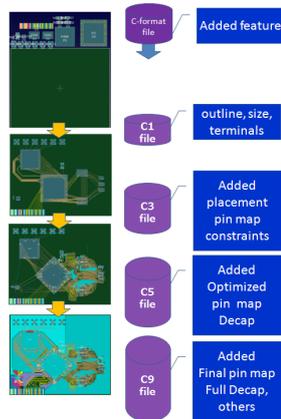
<事例紹介>

LPB 標準フォーマットを使用することによるメリットを強調。

LPB Examples of LPB

■ Growth of LPB files in design steps

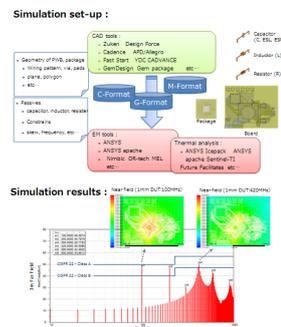
LPB files will grow every time you go through the process of design.



One of design process is completed, new information is added to the LPB files, or LPB files will be changed according to the design result. This makes it possible to pass information easily and accurately by passing LPB files to the next design process.

In the example on the left, it will be updated every time the files in C format is going through the design process. Component placement and pin mapping information will continue to be added or modified to the files written in C format.

■ Simulation



Simulation can be set up accurately and within a very short time by using the LPB files.

To do complex simulations such as EMI, it is necessary to provide many kind of accurate information. To collect such data had been taken long time. Therefore EMI simulation had been done very end of product development. LPB standard format can help to gather the information from early stage so that EMI simulation can be done before making the products.

Need more info? Contact us.
contact@lpb-forum.com

図 2.3.4-4 EMC Compo での LPB 標準フォーマット事例発表

2.3.4.2.4 LPB フォーマット類似標準調査、および連携

2.3.4.2.4.1 Si2 について

Si2 (Silicon Integration Initiative) は米国の標準化コンソーシアムであり、そこで検討している CPIP (Chip Package Interface Protocol) が JEITA LPB 標準フォーマットに類似しているのではということから、Si2 側から JEITA LPB フォーマットにおけるドキュメントを送ってほしいとの要望があり、JEITA LPB-WG 内でもその対応について検討した。

<CPIP について>

- Si2' OPEN 3D TAB から“CPIP”内容はダウンロード可能。
- CPIP は、SPICE のヘッダーにコメント文として PIN、PAD の座標等が記載されるというもの。

<Si2 に対する対応>

- Si2 には JEITA LPB フォーマット、M/N/C/R/G-Format すべてを隠さずに提出。

2.3.4.2.4.2 FUJIKO について

FUJIKO は福岡大学友景教授が中心となって、部品内蔵基板のための 3D フォーマットの検討および国際標準化活動を行っているコンソーシアムである。

LPB 標準フォーマットとも関連するフォーマットであり、JEITA LPB-WG と FUJIKO の交流を 2013 年度から開始した。

<今後の連携>

LPB 標準フォーマットは構想設計段階で使われるフォーマットであり、一方、FUJIKO は板製造に使われるフォーマットであり、それぞれが連携することでワンストップソリューションを提供できると考えるため、今後も密に交流を深めていくことで合意。

<LPB フォーラムにおける FUJIKO の紹介 (2014/3/14) >

前回の交流会で話ができた LPB フォーラムへの参加、および福岡大学友景教授による FUJIKO の紹介が実現。

お互い日本発信のフォーマットとして、日本のエレクトロニクス発展のために今後も LPB-WG との連携を確認。

<紹介内容>

- ・ FUJIKO フォーマットの紹介。FUJIKO は JPCA EB01、EB02 をフォーマット化したものである。
- ・ EB01 の国際標準 (IEC TC91) への取り組み。
標準化の意味としては自分たちで自由にコントロールできるという優位性がある。
- ・ フォーマット実証用の部品内蔵基板の製作状況。
- ・ FUJIKO の軸足は部品内蔵基板に特化。

2.3.4.2.5 広報 SWG、フォーマット SWG との活動連携

JEITA LPB-WG における 3 つの SWG が連携して、国際標準化へ向けての活動を行っている。

来年度の IEEE 標準化ステップである Draft 作成には LPB-WG メンバー全員の力を結集して取り組む。

■ LPB-WG Activity

LPB-WG is working at 3 Sub Working Group(SWG)

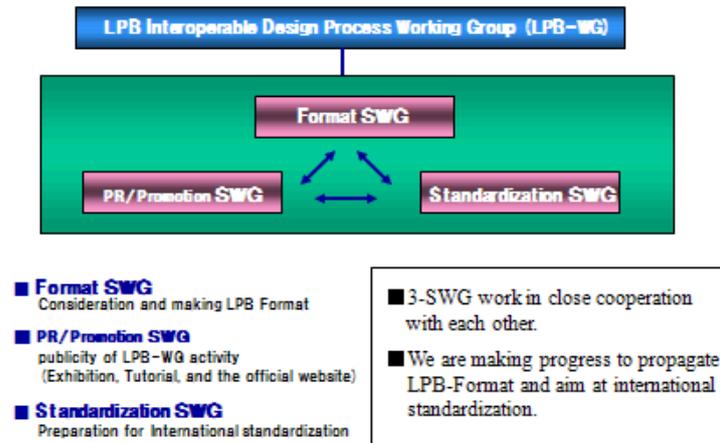


図 2.3.4-5 LPB-WG 活動組織

2.3.4.3 標準化準備 SWG 参加メンバー

リーダー	大 槻 隆 志	株式会社 リコー
メンバー	福 場 義 憲	株式会社 東芝
同	田 中 玄 一	ルネサスエレクトロニクス株式会社
同	市 川 浩 二	株式会社 デンソー
同	川 端 航	ソニー株式会社
同	岡 野 資 睦	株式会社 東芝

3. 各種イベント（主催／協賛）報告

3.1 Electronic Design and Solution Fair 2013 (EDSFair2013)

一般社団法人 電子情報技術産業協会 (JEITA) は、2013 年 11 月 20 日 (水) から 22 日 (金) の 3 日間、横浜国際平和会議場 (パシフィコ横浜) にて、設計ソリューションの必須技術を網羅する展示会『Electronic Design and Solution Fair 2013』(略称: EDSFair 2013 [イー・ディー・エス・フェア 2013]) を開催した。

国内半導体業界および電子機器産業界の発展に寄与することを目的として、国内の LSI 設計者・EDA 技術者・同関係者に対して、最先端設計ソリューション、最先端設計技術、EDA 技術に関する情報発信と関係者間での情報共有の場を提供した。

近年の半導体部品はソフトウェア・リッチなシステム構成が主流となり、ハードウェアのみならずソフトウェアも含めた並行開発や、半導体も含めたあらゆるハードウェア・コンポーネント、ソフトウェア・コンポーネントのサプライチェーンを連携させた製品開発の重要性が高まっている。半導体設計の面ではアナログ・リッチなデザイン、3D IC、微細化プロセスへの対応など、ますます高度化する設計課題の克服が大きな壁となって立ちはだかっている。さらに IC 設計者は、例えば、プリント基板や筐体も含めた熱設計を、開発の初期段階から検討するなど、装置・プリント板設計との連携が必要になってきた。設計者としては常に新しい領域にチャレンジすることが必要になってきており、開催テーマを『開け! 未来への扉』とした。

そのチャレンジを応援できるような新しいソリューションとして最先端技術・サービスの展示、出展社セミナーを実施した。特別企画としては、会期初日に前回好評だった ET との共同企画セッションを開催し、また、特設ステージ企画を会期中 1 日 1 セッション開催した。併せて、システム・デザイン・フォーラム 2013 も開催し、エンジニア、管理職、若手技術者まで、多くの方々に有益な情報を発信し、最先端の技術動向を習得できる場を提供した。さらに、今年の新企画として、設計者同士の交流の場を提供する目的で、設計者交流ラウンジを開催した。

技術・サービスの展示では、エンジニアが注目する最新技術やトピックスに関する展示をまとめた特別ゾーンとして、LSI・パッケージ・ボードの相互設計に関する技術と IBIS (I/O Buffer Information Specification) モデルに関する展示を集めたゾーン、普段接することの少ない国内外のベンチャー企業の展示を集めた新興ベンダエリアを設置した。

また、今回も新興ベンダ・ガイド・ツアーを実施、普段接する機会の少ない新興ベンダの最新技術紹介・質疑応答のサポートを行った。

3.1.1 EDSFair2013の概要

■ 名称

Electronic Design and Solution Fair 2013 (略称:EDSFair2013)

■ 同時開催

Embedded Technology 2013 (組込み総合技術展)

■ 会期

2013年11月20日(水)～22日(金) 3日間

■ 開場時間

11月20日(水) 10:00～17:00

11月21日(木) 10:00～18:00 [17:00～18:00 ワインのタベ]

11月22日(金) 10:00～17:00

■ 会場

パシフィコ横浜 (展示ホール/アネックスホール)

■ 入場

全来場者登録入場制

○当日登録:入場料 1,000 円

○Web 事前登録・招待券当日登録:入場無料

■ 主催

一般社団法人 電子情報技術産業協会 (JEITA)

■ 協力

Electronic Design Automation Consortium (EDAC)

■ 後援

経済産業省、アメリカ合衆国大使館、日本半導体商社協会 (DAFS)、横浜市

■ 協賛

一般社団法人 組込みシステム技術協会 (JASA)、一般社団法人 電子情報通信学会 (IEICE)、

一般社団法人 情報処理学会 (IPSJ)、一般社団法人 日本電子回路工業会 (JPCA)

■ 運営

一般社団法人 日本エレクトロニクスショー協会 (JESA)

〒100-0004 東京都千代田区大手町 1-1-3 大手センタービル 5 階

電話:(03)6212-5231 FAX:(03)6212-5225 E-mail:info2013@edsfair.com

3.1.2 開催概況

来場者数、出展社数、各イベントへの参加者数は以下のようであった。

来場者数	2,499名
出展社数	43社・団体（52小間）
出展社セミナー	24セッション、延べ286名聴講
EDSFair×ET 共同企画セッション	156名聴講
特設ステージ	3セッション、延べ214名聴講

会期中の来場者数と近年の来場者数の推移、来場者の業種、来場目的、出展傾向を以下に示す。

会期中の来場者数

	11/20（水）	11/21（木）	11/16（金）	合計
来場者数	523名	939名	1,037名	2,499名
ET 来場者数	6,142名	8,047名	7,296名	21,485名

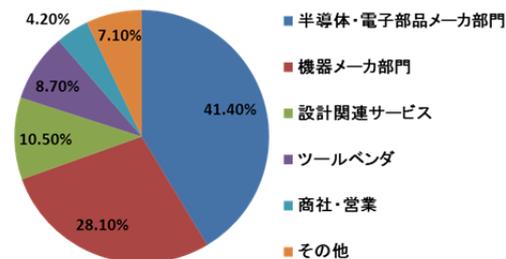
来場者の推移

開催年	2012	2011Nov.	2011	2010	2009	2008
来場者数	5,606	6,189	8,016	9,300	9,117	10,431

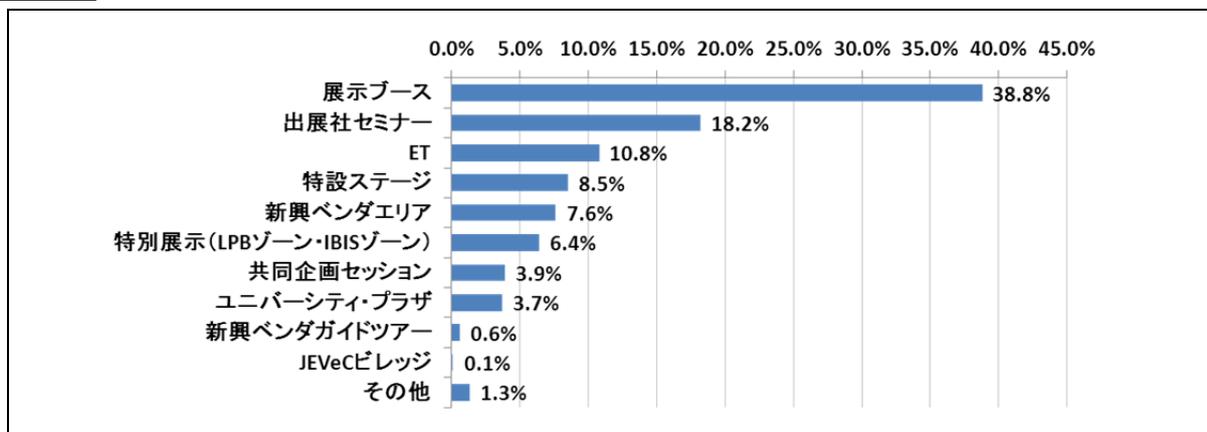
来場者数の減少傾向が続いている。この減少傾向をまず止めることが必須である。

来場者の業種

半導体・電子部品メーカー部門	41.4%
機器メーカー部門	28.1%
設計関連サービス	10.5%
ツールベンダ	8.7%
商社・営業	4.2%
その他	7.1%



来場目的



出展傾向

出展社数 (小間数)	通常出展 エリア	新興ベンダ エリア	特別企画 ゾーン	ユニバーシティ プラザ	合計
2013	21 (26)	7 (8)	14 (17)	1 (1)	43 (52)
2012	40 (72)	10 (9)	9 (9)	2 (2)	61 (92)
2011Nov.	42 (97)	8 (9)	-	3 (3)	80 (109)
2011	47 (176)	14 (17)	-	6 (6)	118 (199)

今回は、大手出展者が ET の展示へ移行する、あるいは出展を中止するなどの動きがあり、EDSFair は中小ベンダや海外ベンダの展示会という“位置づけ”が鮮明になった。ソフトウェア重視の傾向は今後も変わらないと考えられるため、大手ベンダが戻ってくる可能性は低い。対象展示者を中小ベンダに絞った場合に、EDSFair の今後のあり方を検討すべき時期に来ている。

3.1.3 出展社一覧

■ 通常出展エリア *一段下げは共同出展

(株)アストロン	CM エンジニアリング(株)
アトレンタ(株)	(株)シンコム
Avant Technology Inc.	Jasper Design Automation Inc.
Space Codesign Systems Inc.	タナーリサーチジャパン(株)
(株)アプリスター	TOOL(株)
アルデック・ジャパン(株)	日本リアルインテント(株)
アンシス・ジャパン(株)	Berkeley Design Automation, Inc.
アパッチデザインソリューションズ(株)	プロプラスデザインソリューション(株)
(株)NTT データ数理システム	Blue Pearl Software, Inc
カーボン・デザイン・システムズ・ジャパン(株)	MunEDA GmbH
サイバネットシステム(株)	

■ 新興ベンダエリア

アーキテック(株)	SPEC INDIA
InfiniScale S.A	タワージャズジャパン(株)
(株)ウインドワード	(株)日本サーキット
Oski TECHNOLOGY	

■ ユニバーシティ・プラザ

会津大学 齋藤研究室

■ 特別展示 LPB ゾーン IBIS ゾーン

IBIS Quality Framework (JEITA EC センター EDA 標準 WG)

(株) Oscillated Recall Technology

ギガヘルツテクノロジー(株)

神戸大学大学院 システム情報学研究科

JEITA EDA 技術専門委員会 LSI パッケージ・ボード相互設計ワーキンググループ

JEITA 集積回路製品技術小委員会

(株) ジェム・デザイン・テクノロジーズ

(株) 図研

Nimbic, Inc. (ステイシフト(株))

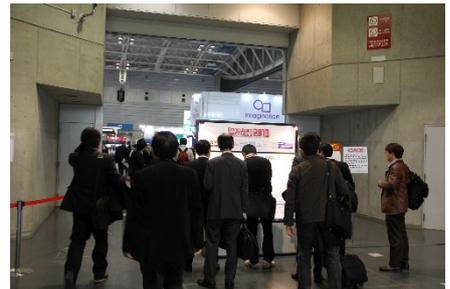
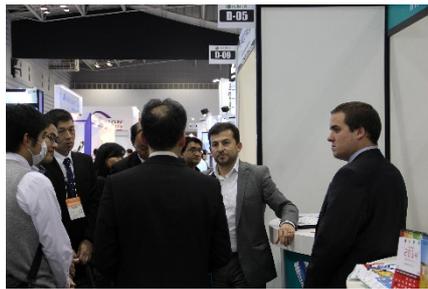
日本ケイデンス・デザイン・システムズ社

(株) 日本サーキット

Future Facilities(株)

メンター・グラフィックス・ジャパン(株)

(株) モーデック



3.1.4 出展カテゴリ

●ハードウェア・ソリューション:

システム LSI、ASIC/ASSP、MPU/MCU/DSP、FPGA/PLD デバイス、その他

●ハードウェア開発環境 (EDA):

LSI 設計関連ツール:

システムレベル設計 (RTL より高位)、論理設計 (RTL~ネットリスト)、論理検証、アナログ設計・検証、レイアウト、レイアウト検証・解析、LSI 信号解析、テスト設計 (DFT/BIST/ATPG など)、DFM 関連 (OPC/RET/PSM/LRC/TCAD など)、ASIC プロトタイプング、その他

PCB/SIP 設計関連ツール:

回路図作成、アナログ設計・検証、レイアウト、SI/PI/EMC 解析、電磁界解析、熱解析、その他

●ソフトウェア・ソリューション:

組込み OS、デバイスドライバ、ファームウェア、ミドルウェア、仮想開発環境・技術、その他

●LSI テスト、計測器:

LSI テスタ、PCB テスタ、計測器、その他

●IP コア、マクロ、セルライブラリ:

●組込みプロセッサ開発環境:

リコンフィギャラブルプロセッサ、ICE、デバッガ、マイコン CASE、コンパイラ/クロスコンパイラ、シミュレータ、ハード/ソフト協調設計環境、その他

●設計サービス関連:

デザインセンタ、設計サービス、設計コンサルティング、試作・製造、IP 流通サービス、その他

●設計インフラ (WS/PC、ネットワーク):

●設計データ管理ツール:

設計データ管理、その他

●マスクメーカ、ファウンダリメーカ:

●大学(研究室)、コンソーシアム:

●PR 関連:

出版物、その他

3.1.5 開会式

EDSFair2013・ET2013 の開催に先立ち、開催初日の 11 月 20 日（水）午前 9 時 45 分より展示ホール B の 1 階（コンコース）において開会式が行われた。

冒頭、ET 主催者代表として、一般社団法人 組込みシステム技術協会の築田 稔 会長から主催者挨拶があり、続いて EDSFair 主催者を代表して、一般社団法人 電子情報技術産業協会の齋藤 昇三 半導体部会部会長より主催者挨拶があった。その後、来賓の横浜市 経済局長の牧野 孝一 氏、富士通セミコンダクター株式会社 事業本部ハイパフォーマンスソリューション事業部事業部長 大槻 浩一 氏、株式会社 コア エンベデッドソリューションカンパニー 社長 雨宮 直喜 氏、株式会社 村田製作所 通信事業本部 コネクティビティ商品事業部 ソリューションサービス部システム開発課課長 能澤 伸幸 氏、ルネサスエレクトロニクス株式会社 執行役員常務 大村 隆司 氏に加え、一般社団法人 組込みシステム技術協会 築田 稔 会長、一般社団法人 電子情報技術産業協会の齋藤 昇三 半導体部会部会長によるテープカットが行われ、EDSFair2013 ならびに ET2013 が開幕した。



3.1.6 EDSFair×ET 共同企画セッション

会期初日の11月20日にはETとの共同企画セッションにて「第一線のエンジニアに聞く、組み込み機器の開発事例と「成功の法則」 — ここまで来た！ システム&ソフトウェア開発最前線」と題し、デジタル家電や画像処理機器、ネットワーク機器など、いくつかの組み込み機器の開発事例とそのプロジェクトを「成功」に導いた要因、そして「失敗」しないための設計の考え方や適切な評価・検討手法について、ベンダが本音の議論を展開し、EDSFair・ET双方から **156名**の聴講者を集めた。

日時:2013年11月20日(水) 13:00-15:00 会場:パシフィコ横浜 アネックスホール「F205+ F206」		聴講者数 156名
「第一線のエンジニアに聞く、組み込み機器の開発事例と「成功の法則」 — ここまで来た！ システム&ソフトウェア開発最前線」		
デジタル家電や画像処理機器、ネットワーク機器など、いくつかの組み込み機器の開発事例を紹介した。また、そのプロジェクトを「成功」に導いた要因、そして「失敗」しないための設計の考え方や適切な評価・検討手法について、電子機器メーカー、およびCPU、リアルタイムOS、開発環境のベンダが本音の議論を展開した。		
【モデレータ】 テクニカル・ライター／コンテンツ・キュレーター 中山 俊一 氏		
【パネリスト】 アーム(株) 代表取締役社長 内海 弦 氏 イーソル(株) エンベデッドプロダクツ事業部長 上倉 洋明 氏 日本シノプシス合同会社 システムレベルソリューションズ FAE マネージャー 中野 淳二 氏 (株)富士通研究所 ユビキタスプラットフォーム研究所 主管研究員 山下 浩一郎 氏 (株)リコー ワーク・ソリューション開発本部 第六開発室 室長 木村 貞弘 氏		



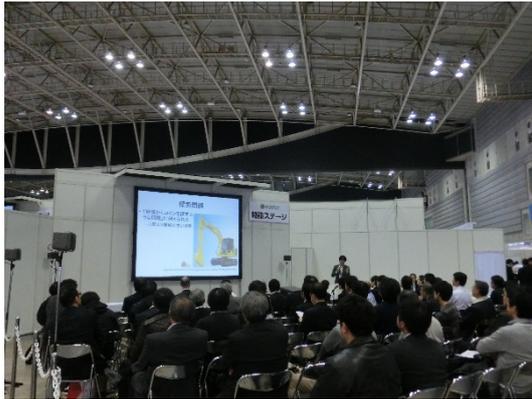
3.1.7 特設ステージ

特設ステージでは「今さら聞けない統計解析」と題し、電子回路の設計においても必要になっている統計理論についての講演や、「アナログ設計技術の今後」と題し、最新の研究成果を紹介すると共に、今後の方向性と可能性について述べた。最終日には「電腦将棋アルゴリズム」と題し、コンピュータ将棋の技術について、最前線で戦うプログラマ達が解説したセッションを開催した。特設ステージは **3セッション**合計で、延べ **214名**の聴講者を集めた。

セッション1	聴講者 67名
日時:2013年11月20日(水) 15:00-16:00 会場:会場内特設ステージ	
今さら聞けない統計解析	
LSI 設計で現れるばらつきでは、正規分布による近似が成立しないことも多くあります。動作を検証するにはどの範囲で調べればいいのか、ばらつきを前提とした最適化はどうすればいいのか、悩んでいる設計者も多いのではないでしょうか。対象や要求される精度に応じ、コーナー解析、モンテカルロ手法、最尤推定など、様々な手法が使われていますが、どのような条件が成立するときどの手法が有効なのか、判断するための基礎となる統計理論について数学の専門家が分かりやすく説明します。	
【講演者】 西井 龍映 氏 九州大学 マス・フォア・インダストリ研究所 教授 【オーガナイザ】 松岡 英俊 氏 (株)富士通研究所 ハードウェア技術研究所 デザインエンジニアリング研究部 主管研究員	

セッション2	聴講者 77名
日時:2013年11月21日(木) 11:00-12:00	
アナログ設計技術の今後	
これからのアナログ設計は性能だけでなく、回路の標準化や設計の自動化などの使用のし易さ、省力化、開発コストの低減が強く求められるものと思われる。そこで本講演においては、このような現状を踏まえ CMOS の微細化や低電圧化への対応方法、アナログ・RF 回路の標準化の可能性、デジタルアシスト技術の活用方法、アナログ回路の自動レイアウトの可能性などについて研究室の最新の研究成果を紹介すると共に、今後の方向性と可能性について述べる。	
【講演者】 松澤 昭 氏 東京工業大学 大学院理工学研究科 教授 【オーガナイザ】 山口 龍一 氏 パナソニック(株) AIS 社 セミコンダクター事業部 システムインテグレーション 基盤技術開発グループ 参事	

セッション3	聴講者 70名
日時:11月22日(金) 13:00-14:30	
電腦将棋アルゴリズム	
プロ棋士との対戦が話題になっているコンピュータ将棋の技術について、最前線で戦うプログラマ達が解説します。チェスでディーブブルーがカスパロフに勝ったのは 1997 年でした。将棋がここまで来るのに時間がかかった理由の1つは、状態数がチェスよりもはるかに多いためとされています。この間に、ハードが性能向上しただけでなく、ソフトも進歩しました。その進歩とは？そして、この技術は今後何を変えるのでしょうか？将棋や囲碁より、もっと状態数の多い問題は……、電子回路設計？	
【講演者】 山本 一成 氏 HEROZ(株) エンジニア 横山 大作 氏 東京大学 生産技術研究所 助教 【オーガナイザ】 金澤 裕治 氏 (株)富士通研究所 ハードウェア技術研究所 デザインエンジニアリング研究部 主任研究員	



3.1.8 設計者ラウンジ

パネルディスカッション 1 日時:2013年11月21日(木) 13:00-14:30 会場:会場内特設ステージ		聴講者 286名
サルでは分からないアナログ設計技術 ～日本人だけわからないアナログ設計技術～		
<p>日本の半導体の設計技術はバブル以降衰退の一途をたどっている。 日本が再び半導体で復活するにはアナログ設計技術が必要云々…とされているが、既に海外のアナログ専門メーカーはアナログ設計技術に磨きをかけ、さらにその強さを増しつつある。 日本に必要な本当のアナログ設計技術とは何か？各分野で著名なパネリストを迎えて討論し、今後の日本の半導体のたどるべき方向を考えていく。</p>		
【モデレータ】 柳 孝裕 氏 パイリサーチラボ合同会社 代表		
【パネリスト】 松澤 昭 氏 東京工業大学 大学院理工学研究科 教授 松谷 康之 氏 青山学院大学 理工学部 教授 倉重 克己 氏 アイリンク合同会社 篠原 慈明 氏 (株)デジアン・テクノロジー 代表取締役社長 赤澤 幸雄 氏 (株)ファイ・マイクロテック 代表取締役社長 崎山 恵三 氏 HS Links(株) 代表取締役社長 根塚 智裕 氏 (株)デンソー 半導体先行開発部 担当課長 牧山 クリストス 氏 シリコンプラネット(株) 代表取締役社長 横山 昇峰輝 氏 ProPlus Design Solutions Inc シニアテクニカルコンサルタント		

パネルディスカッション 2

日時:2013年11月21日(木) 15:00-16:30

オープンハードウェア時代のエンジニアリング

エンジニアリングが果たすべきアカウンタビリティは、単に製品の性能や品質に留まらず、コストや市場も含めたより大きなコンセプトを理解し、それらすべてを引き受けることに変わりつつある。

自分の関わる製品(=ビジネス)の当事者であるという意識を持ち、求める成果を達成するために、主体的に責任を持って行動することが求められている時代だともいえる。システム、半導体、組込みソフト、ベンチャー・キャピタルの各セクションからなるパネリストを迎え、このような時代に要求されるエンジニアリング像について議論する。

【モデレータ】

岡村 淳一 氏 (株)Trigence Semiconductor CTO

【パネリスト】

岡田 充弘 氏 京セラ ドキュメントソリューションズ(株) ソフト開発本部 システム開発統括部部長

木村 貞弘 氏 (株)リコー 総合経営企画室 新規事業開発センター T-PT リーダー

辻 邦彦 氏 京都マイクロコンピュータ(株) 東京オフィス ゼネラルマネージャ

本村 天 氏 (株)産業革新機構 戦略投資グループ ヴァイスプレジデント

古手川 博久 氏 富士通セミコンダクター(株) 事業本部 SoC 設計センター 第一検証技術部部長

今回初めての試みとして、設計者の交流の場を提供することを目的として、設計者ラウンジを開催した。2回のパネルディスカッションの形式で、延べ286名の参加者を集め、熱のこもった議論が展開された。

3.1.9 出展社セミナー

技術発表、製品PRが行える場として出展者セミナールームを提供した。

今回は2会場にてテーマ毎に6つのトラックで、合計24セッションを開催した。

日時	11月20日(水)~11月22日(金) 11:00~16:45
会場	展示会場内諸室 CM3・DM2
聴講料	無料

セッショントラック名	セッション数
【EE】システム設計・検証トラック	4
【ED】機能検証/テスト設計/設計・検証サービストラック	9
【EA】AMS 設計検証/電磁界/熱/流体解析トラック	5
【EL】LowPower/IP/DFM/DFYトラック	1
【EP】ロジック設計&フィジカル設計/検証トラック	2
【EF】フリートラック	3
合計	24



3.1.10 特別ゾーン

【特別展示 LPB ゾーン IBIS ゾーン】

LPB 連携の現状と EDA ソリューション、IBIS 作成と活用方法について、参加各社より展示とプレゼンテーションが 3 日間行われた。

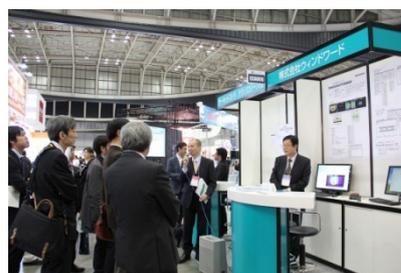
【新興ベンダエリア】

普段接することが少ない国内外のベンチャー企業のソリューションを集めた「新興ベンダエリア」に、国内外から 7 社が出展した。

3.1.11 新興ベンダ・ガイド・ツアー

日本の設計技術・EDA 技術の第一人者にツアーガイドをお願いし、ツアーガイドによる国内外の新興企業の主要な技術の紹介後、ブースへ同行訪問し、各社の技術紹介・質疑応答をサポートした。

11月21日(木) 12:20-13:20	11月22日(金) 11:30-12:30
D-05 InfiniScale S.A C-11 (株)ウィンドワード C-08 タワージャズジャパン(株)	C-10 アーキテック(株) C-21 Avant Technology Inc. C-12 Oski TECHNOLOGY
若林 一敏 氏 NEC ESS 事業センター 兼 中央研究所 グリーンプラットフォーム研究所	今井 浩史 氏 (株)東芝 セミコンダクター社&ストレージ社



3.1.12 ワインのタベ

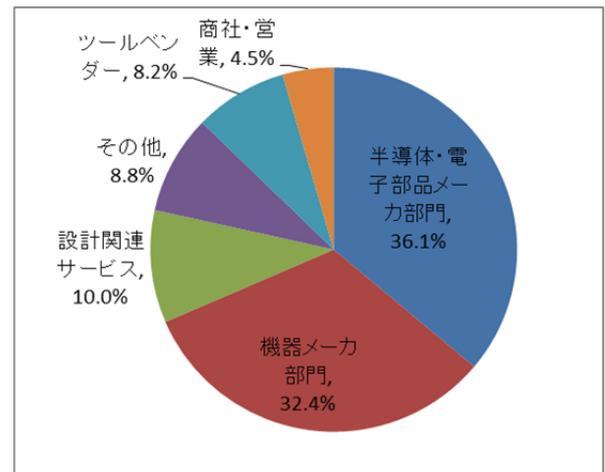
11月21日(木) 17:00~18:00 の時間帯、展示会場内ラウンジにおいて、来場者と出展者との交流の場として「ワインのタベ」を開催した。多くの方々にご参加いただき、1年に1度、関係者との交流をはかる場として活用された。

3.1.13 来場者アンケート

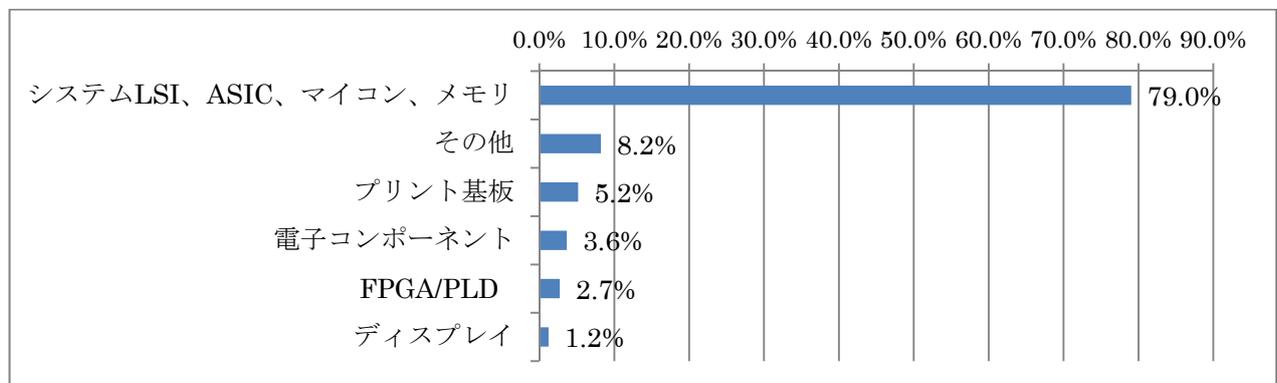
- 業種詳細

- 業種

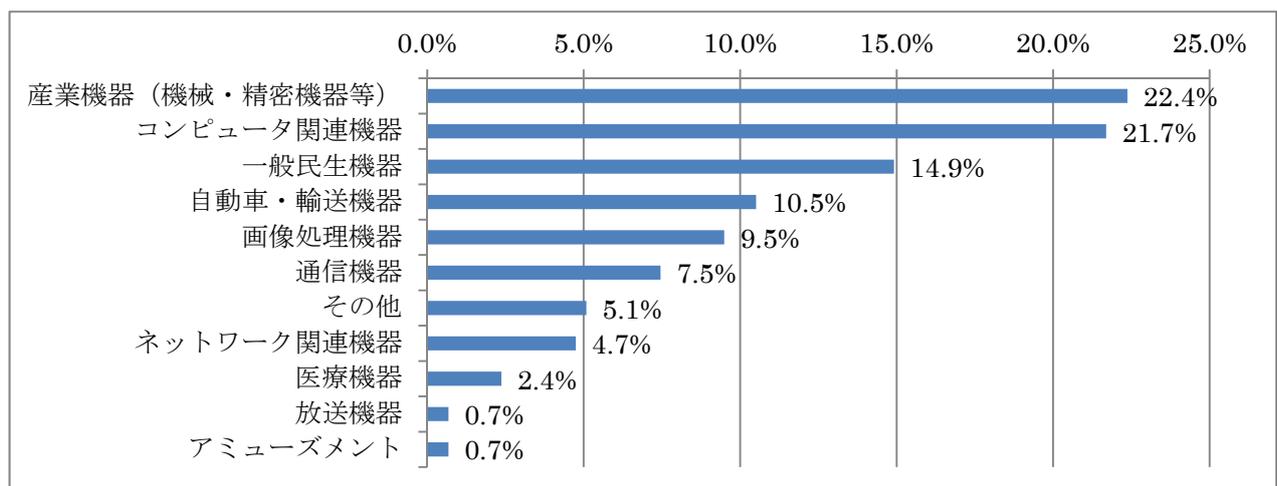
半導体・電子部品メーカー部門	36.1%
機器メーカー部門	32.4%
設計関連サービス	10.0%
ツールベンダ	8.2%
商社・営業	4.5%
その他	8.8%



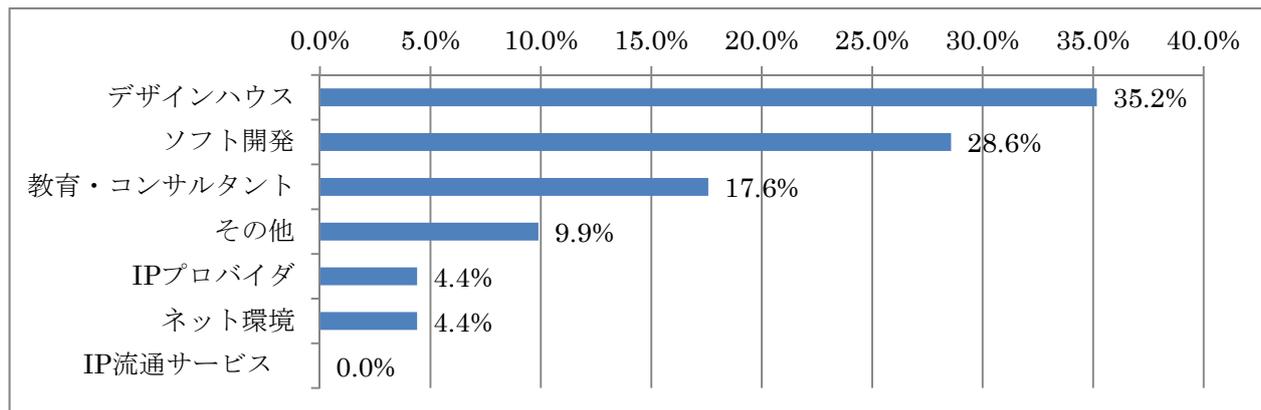
半導体・電子部品メーカー部門 36.1%



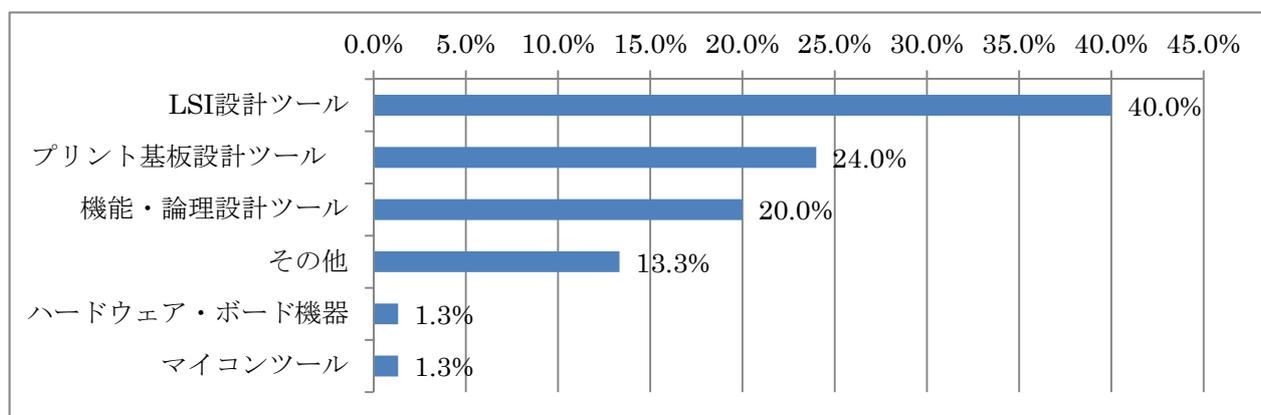
機器メーカー部門 32.4%



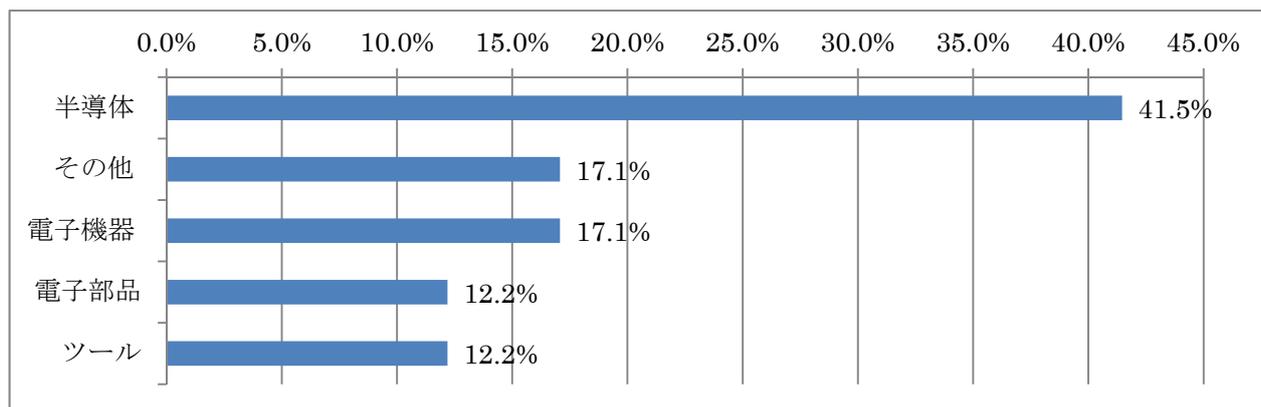
設計関連サービス 10.0%



ツールベンダ 8.2%

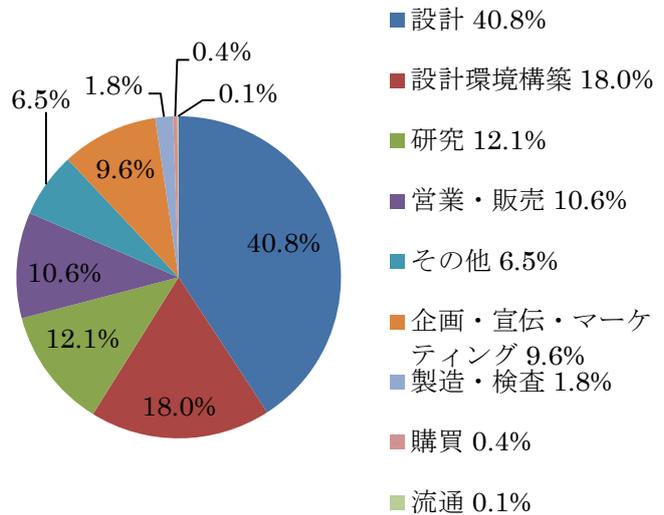


商社・営業 4.5%



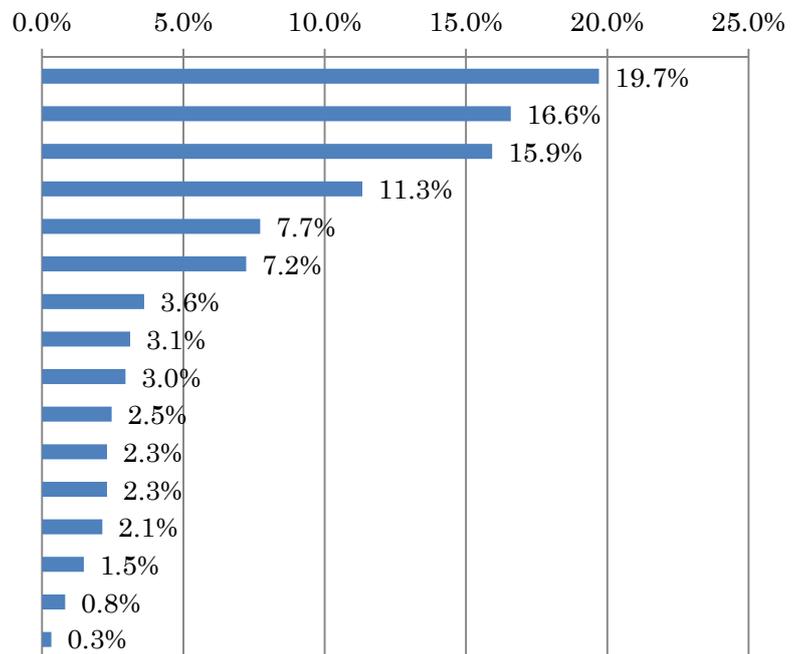
職務

設計	40.8%
設計環境構築	18.0%
研究	12.1%
営業・販売	10.6%
その他	6.5%
企画・宣伝・マーケティング	9.6%
製造・検査	1.8%
購買	0.4%
流通	0.1%

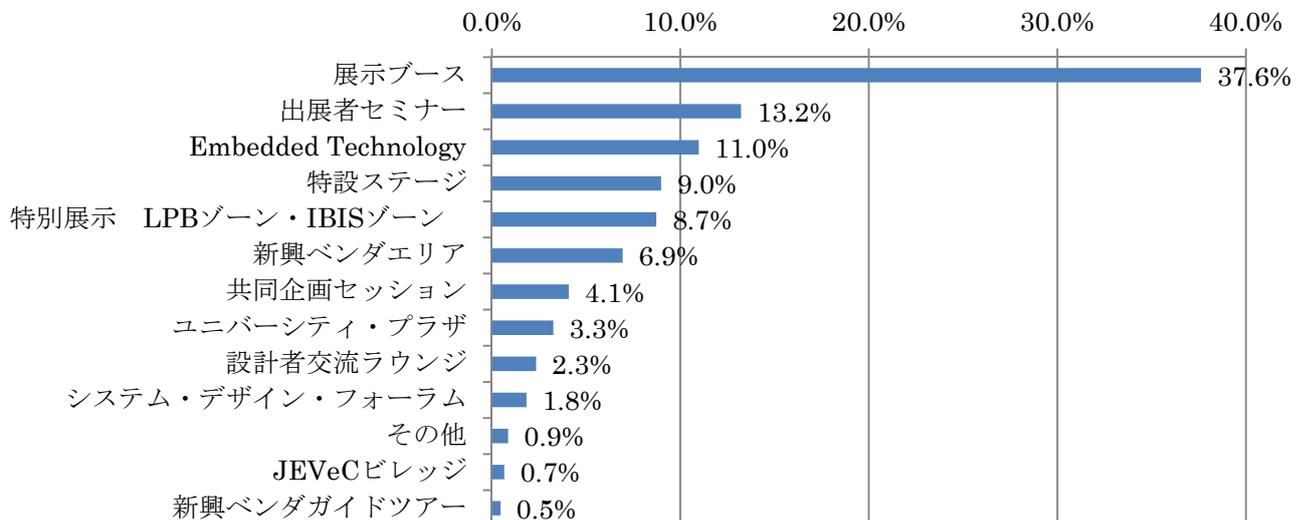


職務の詳細

機能(RTL)	19.7%
アナログ	16.6%
システムレベル	15.9%
レイアウト	11.3%
ソフトウェア・ファームウェア	7.7%
PCB	7.2%
論理(ゲートレベル)	3.6%
FPGA/PLD	3.1%
カスタム	3.0%
IC Package	2.5%
テスト	2.3%
IP マクロ	2.3%
リソ/マスク/プロセス/製造	2.1%
装置実装	1.5%
SiP	0.8%
TCAD	0.3%

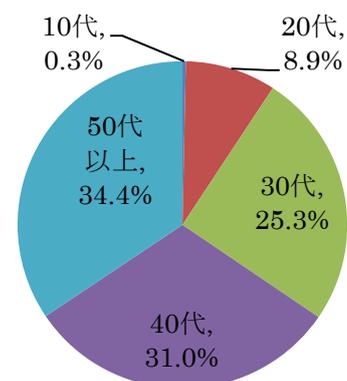


➤ 来場の目的(複数回答)



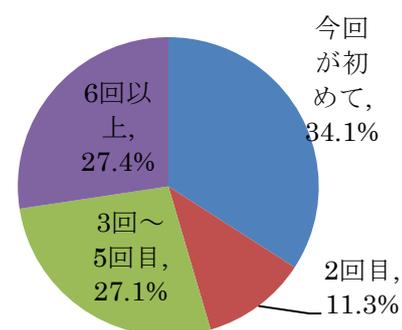
➤ 年代

	2013	2012	2011.11	2011.1
10代	0.3%	0.2%	0.1%	0.1%
20代	8.9%	10.2%	9.4%	10.0%
30代	25.3%	26.0%	27.9%	27.9%
40代	31.0%	37.3%	36.7%	36.7%
50代以上	34.4%	26.3%	25.9%	25.3%



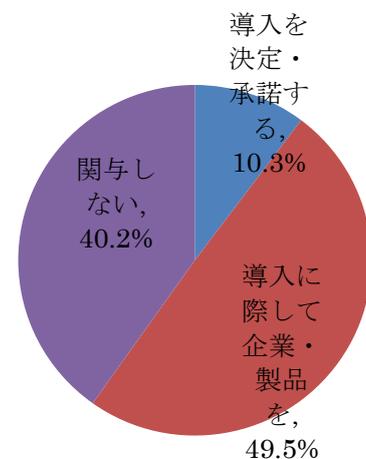
➤ 来場頻度

	2013	2012	2011.11	2011.1
今回が初めて	34.1%	23.1%	28.5%	30.9%
2回目	11.3%	12.5%	11.6%	13.5%
3回～5回目	27.1%	31.6%	30.6%	30.5%
6回以上	27.4%	32.8%	29.3%	25.1%



➤ 製品導入

	2013	2012	2011.11	2011.1
導入を決定・承諾する	10.3%	9.2%	8.1%	9.9%
導入に際して企業・製品を評価・推薦する	49.5%	51.6%	52.2%	50.4%
関与しない	40.2%	39.2%	39.7%	39.7%



➤ 認知経路

	2013	2012
その他	20.8%	18.0%
出展者からの E-mail	19.8%	22.8%
EDSFair 事務局からの E-mail	18.6%	22.3%
DM(EDSFair 案内状)	14.2%	13.4%
検索サイトからリンク	11.1%	11.9%
出展者のホームページからのリンク	7.3%	6.3%
ET Web サイトからリンク	4.6%	3.5%
新聞・雑誌	3.7%	1.8%

3.1.14 来場誘致策

■ 広報活動

➤ 報道発表(リリース配信)

EDSFair2013 (11月20日～22日)
* 出展募集開始リリース(3/18)
* 開催告知／取材誘致リリース(11/18)
* プレスルーム設置(11/20～22)
* 終了報告リリース(11/22)

➤ プレス登録数

EDSFair2013	EDSFair2012	EDSFair2011 Nov.
登録数: 67 名	登録数:97 名	登録数:110 名

■ 宣伝活動

EDSFair データベースへのメール配信

過去ご登録いただいた来場者データベースおよび、EDSFair2013 の事前登録者に向けて、「EDSFair OFFICIAL MAIL NEWS」を配信。

Vol.	配信日	配信件数
Vol.1	3月4日	9,254件
Vol.2	6月6日	9,290件
Vol.3	10月5日	9,281件
Vol.4	11月1日	9,324件
Vol.5	11月8日	9,356件
Vol.6	11月12日	9,381件
Vol.	配信日	配信件数
Vol.7	11月15日	9,437件
Vol.8	11月18日	9,463件
Vol.9	11月19日	9,491件
Vol.10	11月20日	9,530件
Vol.11	11月25日	9,565件
Vol.12	12月4日	9,561件

- PRツール(印刷物)の作成
 - ・案内状/招待券/封筒
 - ・会場案内図(和文)

- 公式 Website

<http://www.edsfair.com>

アクセス数:34,280

ユーザー数:22,543

PV数:119,474(平均PV3.49)

- Online Members Site

<https://regist.jesa.or.jp/edsfair-regist/index.php>

事前登録期間:10月1日~11月22日

登録者数合計:18,964名 ※過去の登録者を含む全EDSFairメンバー数

本年度事前登録者数:1,584名

3.1.15 EDSFair2013 実行委員会

実行委員長	富士通セミコンダクター(株)	河村 薫
副委員長	日本シノプシス合同会社	藤井 浩 充
委員	イノテック(株)	坂井 仁
委員	TOOL(株)	中根 麻 子
委員	(株)東芝セミコンダクター社&ストレージ社	改田 博 政
委員	メンター・グラフィックス・ジャパン(株)	秋谷 美 和
委員	一般社団法人 電子情報技術産業協会	幾見 宣 之
特別委員	(株)EDA エクスプレス	菰田 浩
EDA-TC 委員長	ソニーLSI デザイン(株)	大 芝 克 幸

3.1.16 まとめ

今回は、大手ベンダがすべて出展を中止または、ET への出展を行い、ハードウェアだけではなく、ソフトウェア重視の方向性が明確になった年であった。これは数年前からその傾向がはっきりとしてきた時代の大きな流れであり、EDA 技術の専門展示会として 20 年間続いた EDSFair はその役目を終えたと考えられる。

EDSFair は出展者と来場者に 2 つの機能を提供してきた。多くの来場者の目に触れる展示会の機能と、既存顧客・潜在顧客との交流の場としての機能である。展示会機能としての EDSFair は、今後は ET や CEATEC のような、アプリやシステムを含めた総合展示会にシフトしていくべきであろう。設計者の交流の場としての EDSFair については、別途新規な場の提供について検討が必要であろう。特に大手ベンダのプライベートセミナーに相当するようなセミナー中心の交流の場の提供が、中小ベンダにとって必要だと考える。

これまで、長年にわたって EDSFair を支えていただいた多くの出展者や来場者の皆様に深く感謝すると共に、新しい形での展示会やセミナーにおいて、引き続き日本の半導体産業のさらなる発展に向けてお力添えを賜りたいと切望する次第である。

3.2 システム・デザイン・フォーラム 2013

3.2.1 はじめに

EDA 技術専門委員会活動成果の業界内アピールと成果の普及、及び最新 EDA 技術の普及促進と標準化の推進の一環として、EDA 技術専門委員会主催による“システム・デザイン・フォーラム 2013”を、EDSFair2013 と同期して 2013 年 11 月 20 日に開催した。

EDA 技術専門委員会では、“システム・デザイン・フォーラム”を、次のように、ほぼ毎年継続して開催してきた。

- ・1990 年から 1994 年 “EDA 標準化フォーラム”を 4 回開催。

EDA 標準化活動の発表とその一般への普及を図ることを目的。

- ・1999 年から 2002 年 “EDA フォーラム”を 2 回開催。

EDA 技術専門委員会の活動に係る内容の発表、討論の場を目的。

- ・2004 年 “システム・デザイン・セミナー”

最新の設計技術、課題を設計事例と共に紹介するため 2 日間の日程で開催。

- ・2005 年 “システム・デザイン・フォーラム 2005”

1 日目 SystemVerilog ユーザ・フォーラムと SystemC ユーザ・フォーラム。

2 日目 SoC に関連した設計技術、課題等を含めた設計事例を紹介する 2 セッションと、LSI/パッケージ/基板を含めた統合設計に関するパネル討論のセッションを開催。

- ・2006 年 “システム・デザイン・フォーラム 2006”

“SystemVerilog ユーザ・フォーラム”と“SystemC ユーザ・フォーラム”の 2 セッション。両設計言語の標準化動向の紹介、チュートリアル、設計適用事例紹介を実施。

- ・2007 年 “システム・デザイン・フォーラム 2007”

“SystemVerilog ユーザ・フォーラム”と“SystemC ユーザ・フォーラム”の 2 セッションに、65nm 以下のプロセスノードで深刻化するプロセスばらつきを打破する最新の設計技術動向を紹介するフィジカル・デザイン・フォーラムを新たに加え、計 2 日間 3 セッションを開催。

- ・2008 年 “システム・デザイン・フォーラム 2008”

“SystemC ユーザ・フォーラム”と“Power Format フォーラム”の 2 セッションを開催。“SystemC ユーザ・フォーラム”では、最新の SystemC 標準化動向、TLM2.0 のチュートリアル、JEITA SystemC ワーキンググループの取り組みの報告と、設計適用事例の紹介を実施。“Power Format フォーラム”では、最新の低消費電力設計技術の紹介と、個々に Power Format 標準化を目指す 2 つの団体 Accellera Organization, Inc.、Si2 (Silicon Initiative, Inc.) 双方からの標準化活動の最新状況や設計適用事例の紹介と、JEITA Power Format 検討ワーキンググループの Power Format の標準化に対する検討状況の報告を行った。

・2009年 “システム・デザイン・フォーラム 2009”

「SystemC ユーザ・フォーラム 2009」に加えて、新たに、プロセス微細化による製造ばらつきの問題に対して、「最先端統計から見た 32nm ばらつき予測と設計法」をテーマとした、「ナノ世代物理設計フォーラム」を開催。SystemC ユーザ・フォーラム 2009 では、OSCI (Open SystemC Initiative) による SystemC の最新動向の紹介、JEITA SystemC ワーキンググループによる、システム設計から実装、検証を含む SystemC 推奨設計メソドロジの紹介、半導体理工学研究センター (STARC) による TL モデリングガイドの紹介、SystemC を用いた高位合成適用事例、および TLM2.0 を利用した回路設計事例を報告。また、ナノ世代物理設計フォーラムでは、プロセスの微細化により、新たな設計上の課題としてあらわれてきた製造ばらつきによる設計の収束性および製造時の良品率の低下に対処するため、ばらつきの影響を考慮できる統計的な設計手法の現状を報告した。

・2010年 開催見送り。

EDA 技術専門委員会の各活動のフェーズが、「有償」で開催するシステム・デザイン・フォーラムに合致しない等の理由により開催を見送った。

ただし、ナノ世代物理設計 WG および LPB 相互設計 WG から魅力的な講演が可能であるため、EDSFair2010 特設ステージに「特別協力」する形で 3 セッションを「無償」で開催した。

・2011年 “システム・デザイン・フォーラム 2011”

EDA 技術専門委員会の各活動である、標準化、LSI・パッケージ・ボード相互設計 WG、ナノ世代物理設計 WG からの報告 3 件に加えて、JEITA の半導体技術委員会傘下の半導体技術ロードマップ専門委員会 (STRJ) 内の設計技術とテストの 2 つの WG から発表いただいた。開催日時・会場に関しては、集客力を考えて、従来と同様に EDSFair と同時開催し、EDSFair の特設ステージ用に確保したアネックスホールの会議室の空き時間を使用することで安価に開催できた。

・2012年 “システム・デザイン・フォーラム 2012”

EDA 技術専門委員会の各活動である、標準化、ナノ世代物理設計 WG、LSI・パッケージ・ボード相互設計 WG からの 3 件に加えて、“Fabless 時代の DFM を問う”と題して、弘前大学の先生に講演して頂いた。開催日時・会場に関しては、集客力を考えて、従来と同様に EDSFair と同時開催し、EDSFair の特設ステージ用に確保したアネックスホールの会議室の空時間を使用することで安価に開催できた。

今年度 (2013 年度) は、さらなる集客の増加を考え、EDSFair 内の特設ステージにて開催し、各 WG の活動を報告した。LSI・パッケージ・ボード相互設計については、昨年を引き続き、セミナー形式を採用した。

3.2.2 システム・デザイン・フォーラム 2013 概要

- 開催日時：2013年11月20日（水）13:00-14:45
- 開催場所：パシフィコ横浜 展示ホール 特設ステージ
- 参加費：無料
- 主催：一般社団法人 電子情報技術産業協会 EDA 技術専門委員会
- 開催案内プログラム

EDA 技術専門委員会の活動を紹介するセッションです。3回目となる今回は、EDA 標準化担当と LPB 相互設計 WG から以下の内容を報告します。多数の皆様のご参加をお待ちしております。

■日時：2013年11月20日 13:00-14:45

■場所：パシフィコ横浜 展示ホール 特設ステージ 聴講無料

■プログラム

- 1) EDA 技術専門委員会委員長挨拶
大芝 克幸 氏：ソニーLSI デザイン(株)
- 2) EDA 標準化のトレンド
～標準化の仕組みから最新動向まで～
田中 玄一 氏：ルネサスエレクトロニクス(株)
- 3) LPB フォーラム：「実演!! LPB はここまで来た！」
～リファレンスフローのデモと効果の考察～
福場 義憲 氏：(株)東芝
大槻 隆志 氏：(株)リコー
中川 祐之 氏：富士通 VLSI(株)
村田 洋 氏：(株)ジャム・デザインテクノロジーズ
益子 行雄 氏：日本ケイデンス・デザイン・システムズ社
古賀 一成 氏：(株)図研
渡辺 亨 氏：アンシス・ジャパン(株)
関 茂雄 氏：(株)日本サーキット

3.2.3 開催結果とアンケートまとめ

- ・聴講者数は39名と昨年の125名に比べ激減、アンケート（回答数：17名）での満足度（高評価）は、EDA標準化のトレンドが81%、LPBフォーラムが94%と好評との結果となった。聴講者数激減は、ET×EDSFair共同企画セッションの時間帯と重なったのが原因の1つを考えられる。

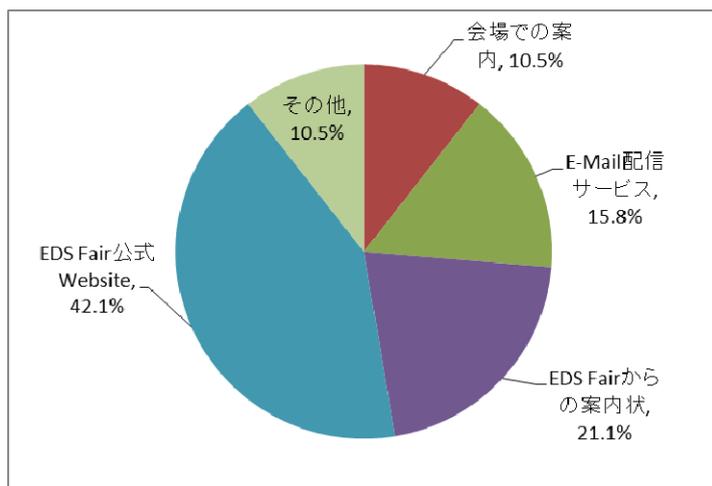
【会場風景】



- ・当日、聴講者にアンケートの記入をお願いしたが、その集計結果（回答数：17件）を以下に示す。

【質問1】 今回のフォーラムは何でお知りになりましたか？（複数回答あり）

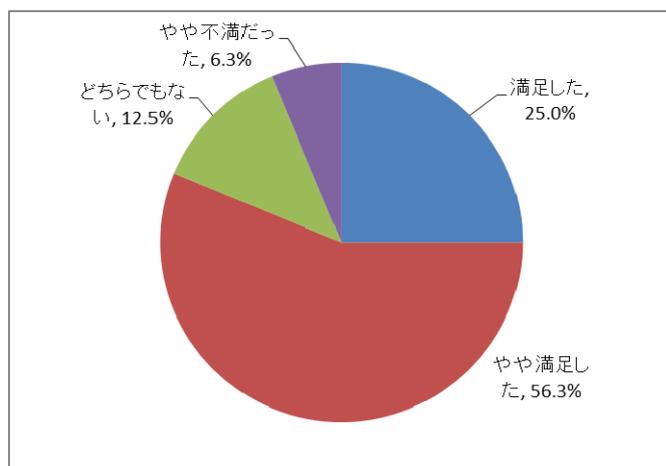
前年同様に、EDSFairの公式WebsiteやEDSFairからの案内状、E-mail配信サービスで本フォーラムを知った方が多かった。



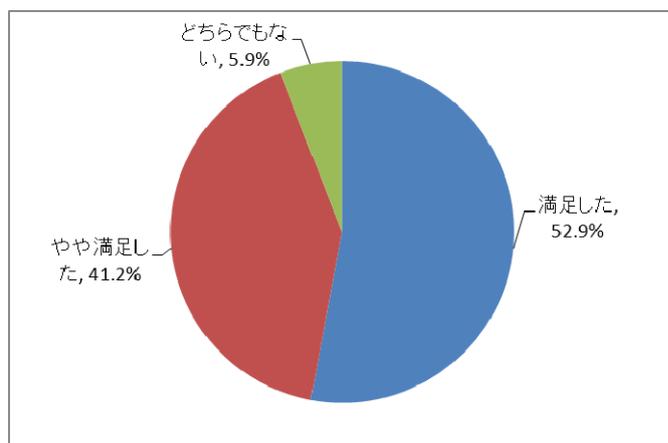
【質問2】 各フォーラムセッションの内容（満足度）についてお聞かせください。

「満足+やや満足」の割合が、EDA標準化のトレンドは81%、LPBフォーラムは94%と好評な結果となった。

1) EDA 標準化のトレンド



2) LPB フォーラム



【質問 3】 フォーラム全体に関するご意見をお願いします。

- ・ 着実に前に進んでいる印象でした。具体的なフローのイメージが出来てきた所も良かったと思います。リファレンスフローなのでやむ無しですが、実際はセットメーカーサイドでも機能追加、変更等発生すると思うので、そのような内容も含め時間軸を考慮した上でどのように設計が進むかを見られるとより良かったと思います。
- ・ 今まで以上に広く交流できることで、予想外のメリットを見出せると思います。これをフォーラムでさらに有効活用してください。
- ・ 非常に面白かった
- ・ 質疑応答をしても良いでしょう。多少時間が長いですね。
- ・ 活動の内容と意義（効果）についてはわかりましたが、実際に普及させるための働きかけ状況、越えなければいけない課題について、もう少し突っ込んだ内容が聞きたかったです。せっかく各立場の企業のメンバーが揃っていたので、その辺りの討論が聞ければ興味深いと思います。

【質問 4】 フォーラムの運営・会場に関するご意見をお願いします。

- ・ アネックスホール内の部屋で聞きたかった。展示ホールの特設ステージでは聞き取りにくい。内容が良かったので残念です。

【質問 5】 今後取り上げてほしいテーマを記述願います。

- ・ ナノ世代設計（物理）WG の内容
- ・ テストを取り上げて欲しい。JTAG が有力だと思う。

3.2.4 まとめと今後に向けて

今年度(2013年度)は、集客力の増加を考え、EDSFair 内の特設ステージにて開催し、各 WG の活動を報告した。LSI・パッケージ・ボード相互設計については、昨年引き続き、セミナー形式を採用した。

開催結果として、聴講者数は 39 名と昨年の 125 名に比べ激減した。ET×EDSFair 共同企画セッションの時間帯と重なったのが原因の 1 つを考えられる。また、アンケートには 17 名から回答があり、「満足+やや満足」の割合が、EDA 標準化のトレンドは 81%、LPB フォーラムは 94%と好評な結果となった。昨年度と比較しても、「満足+やや満足」の割合は、EDA 標準化が 41%⇒81%、LPB フォーラムが 68%⇒94%と大幅に改善した。

今後は、従来通り EDA 技術専門委員会の活動を報告すると共に、今回の ET×EDSFair 共同企画セッションのような企業のエンジニアが興味を持つテーマを選定することが重要であると考ええる。

3.2.5 システム・デザイン・フォーラム 2013WG 委員 (敬称略、順不同)

主査	改田 博政	EDA-TC 幹事	東芝
アドバイザー	高倉 正博	SDF 前年度主査	ルネサスエレクトロニクス
委員	河村 薫	EDSFair 実行委員長/SDF2014 主査	富士通セミコンダクター
委員	福場 義憲	LPB 相互設計 WG 主査	東芝
委員	田中 玄一	標準化担当	ルネサスエレクトロニクス
事務局	石崎 芳典・鳥飼 浩平・森 美枝子		日本エレクトロニクスショー協会

3.3 ASP-DAC 2014

3.3.1 はじめに

Asia and South Pacific Design Automation Conference (ASP-DAC) は、VLSI およびシステム LSI の設計技術や設計自動化技術をテーマにしたアジア太平洋地域での最大規模の国際会議である。ASP-DAC は米国で開催されるこの分野のトップ・コンファレンスである Design Automation Conference (DAC)、International Conference on Computer Aided Design (ICCAD) や欧州で開催される Design, Automation and Test in Europe (DATE) とはシスター・コンファレンスの関係にあり、お互いにリエゾンを交換して協力関係を持っている。

ASP-DAC は、電子情報通信学会や情報処理学会などの学会だけでなく、電機メーカーおよび半導体メーカーの業界団体である JEITA (会議開始当時は EIAJ) と EDSFair (会議開始当時は EDAT) の支援のもとで 1995 年に開始された。業界団体である JEITA が ASP-DAC のような国際会議の支援を行っているのは、次のような理由による。電機メーカーや半導体メーカーが国際競争力のある電子製品の開発を行うためには、マーケティングや製品企画だけでなく、大規模・高機能・低消費電力のシステム LSI の最適設計を短期間で行える設計力を持つ必要がある。そのためには、最新の設計自動化技術についての情報収集と研究開発を行う必要がある。一流の国際会議を国内で開催することにより、わが国からより多くの技術者と研究者が参加して最先端の設計技術および設計自動化技術についての情報収集、情報交換などを行うことが可能になる。

3.3.2 会議の開催経緯

ASP-DAC の第 1 回目の会議は 1995 年 8 月 30 日から 9 月 1 日にかけて幕張メッセの日本コンベンションセンターで、情報処理分野の国際学会である International Federation on Information Processing (IFIP) の TC10 WG10.2 および WG10.5 に属する CHDL および VLSI という名称の 2 つの国際会議と並列開催の形で開催された。第 2 回目は 1997 年 1 月に開催され、それ以降毎年 1 月に開催されてきた。この間、1999 年には香港 (中国) で、2002 年にはバンガロール (インド) でそれぞれ開催された。2007 年以降は、日本と国外で交互に開催するというローテーションで運営されている。今回の会議 (ASP-DAC 2014) は 19 回目で、シンガポールで 1 月 20 日 (月) から 1 月 23 日 (木) の日程で開催された。

3.3.3 ASP-DAC 2014 の概要

ASP-DAC 2014 の概要を表 1 に示す。一般講演としては、29 カ国から投稿された 343 編の論文の中から 108 編が採択され、3 日間にわたって並列の 4 つのトラック、26 のセッションで発表された。表 1 からわかるように、論文の投稿数については前回横浜で開催された ASP-DAC 2013 より多い 343 件であり、論文の採択率は前回と同じ 31% と、この分野での他の国際会議 (DAC、ICCAD、DATE) とほぼ同じ水準を維持している。これまでどおり、ASP-DAC は名実ともに一流の国際会議であると評価できる。

基調講演のタイトルと講演者を表 2 に、特別セッションのタイトルを表 3 に、有料チュートリアルのタイトルを表 4 に示す。日本開催時にはデザイナーズ・フォーラムを実施するのが通例であるが、今回は実施されず、その分特別セッションのセッション数が多くなっている。

発表された論文の中から、表 5 に示す 1 件の論文に Best Paper Award が授与された。また、今年度の新しい試みとして、10 年前の ASP-DAC 2004 で発表された論文の中から引用件数など点からその

後の研究に最も影響を与えた論文として、表 6 に示す 1 件の論文に 10-Year Retrospective Most Influential Paper Award が授与された。また、デザイン・コンテストに応募した作品の中から、表 7 に示す Best Design Award および Special Feature Award がそれぞれ 1 件選ばれて表彰された。前回から学生フォーラムは実施されていない。

表 1 : ASP-DAC 2012、2013、2014 の比較

開催年	2012 年	2013 年	2014 年
日時	2012 年 1 月 30 日(月) ～2 月 2 日(木)	2013 年 1 月 22 日(火) ～25 日(金)	2014 年 1 月 20 日(月) ～23 日(木)
会場	シドニー (オーストラ リア) Sydney Convention Centre	横浜市 (日本) パシフィコ横浜	シンガポール Suntec Convention & Exhibition Centre
論文投稿数	287	311	343
論文投稿国 (地域) 数	28	29	29
論文採択数 (採択率)	98 (34%)	97 (31%)	108 (31%)
キーノート アドレス	3 件	3 件	4 件 (うち 1 件は Banquet Keynote) (表 2 参照)
一般講演	25 セッション(98 編)	25 セッション(97 編)	26 セッション(108 編)
特別セッション (招待講演等)	9 セッション	6 セッション	9 セッション (表 3 参照)
デザイン・ コンテスト	2 セッション	1 セッション	1 セッション
学生フォーラム	昼休みに実施 (Student Forum)	---	---
有料チュートリアル	5 件 (全日 5 件)	5 件 (2 時間 5 件)	8 件 (表 4 参照) (半日 8 件)
デザイナーズ・ フォーラム	---	4 セッション (招待講演 2、 パネル討論 2)	---

表 2 : 基調講演

講演タイトル	講演者
All Programmable SOC FPGA for Networking and Computing in Big Data Infrastructure	Ivo Bolsens (Xilinx, U.S.A.)
Designing Analog Functions without Analog Transistors	Georges Gielen (Katholieke Universiteit Leuven, Belgium)
Beyond Charge-Based Computing	Kaushik Roy (Purdue University, U.S.A.)
(Banquet Keynote) The Art of Innovation - How Singapore Will Continue to Drive the Progress in Semiconductor Technologies	Ulf Schneider (SSIA, Singapore)

表 3 : 特別セッションのタイトル

種類	セッション・タイトル
招待講演	セッション 1S: Normally-Off Computing: Towards Zero Stand-by Power Management
	セッション 2S: EDA for Energy
	セッション 3S: Neuron Inspired Computing using Nanotechnology
	セッション 4S: Design Automation Methods for Highly-Complex Multimedia Systems
	セッション 5S: Billion Chips of Trillion Transistors
	セッション 6S: Overcoming Major Silicon Bottlenecks: Variability, Reliability, Validation and Debug
	セッション 7S: Brain Like Computing: Modelling, Technology, and Architecture
	セッション 8S: Design Flow for Integrated Circuits using Magnetic Tunnel Junction Switched by Spin Orbit Torque
	セッション 9S: The Role of Photons in Harming or Increasing Security

表 4 : Tutorial のタイトル

トピック	種類	タイトル
PD1	半日	Energy-efficient Datacenters
PD2	半日	Digital Microfluidic Biochips: Towards Hardware/Software Co-Design and Cyber-physical System Integration
PD3	半日	On Variability and Reliability; Dynamic Margining and Low Power
PD4	半日	Architecture Level Thermal Modeling, Prediction and Management for Multi-core and 3D Microprocessors
SD1	半日	High-Level Specifications to Cope With Design Complexity
SD2	半日	Many-core and Heterogeneous System-Level Verification Methodology
SD3	半日	The Formal Specification Level: Bridging the Gap between the Spec and its Implementation
SD4	半日	High-Level Synthesis for Low-Power Design

表 5 : Best Paper Award が授与された論文

論文タイトル・著者
2B-1: "Flexible Packed Stencil Design with Multiple Shaping Apertures for E-Beam Lithography," Chris Chu (Iowa State Univ., U.S.A.), Wai-Kei Mak (National Tsing Hua Univ., Taiwan)

表 6 : 10-Year Retrospective Most Influential Paper Award が授与された論文

論文タイトル・著者
2E-2: "Design Diagnosis Using Boolean Satisfiability," Alexander Smith, Andreas Veneris, Anastasios Viglas (Univ. of Toronto, Canada)

表 7 : デザイン・コンテストにて表彰された設計

種類	論文タイトル・著者
Best Design Award	1A-1: "A Dual-Loop Injection-Locked PLL with All-Digital Background Calibration System for On-Chip Clock Generation," Wei Deng, Ahmed Musa, Teerachot Siriburanon, Masaya Miyahara, Kenichi Okada, Akira Matsuzawa (Tokyo Institute of Technology, Japan)
Special Feature Award	1A-7: "A Single-Inductor 8-Channel Output DC-DC Boost Converter with Time-Limited Power Distribution Control and Single Shared Hysteresis Comparator," Jungmoon Kim, Chulwoo Kim (Korea Univ., Republic of Korea)

3.3.4 論文の投稿状況

2004年から2014年の、ASP-DACへの論文投稿数の地域別の推移を図1に示す。図1に示すように、ここ数年は、安定的に300件程度の投稿がある。名実ともに、ASP-DACは設計自動化分野の国際会議として定着したと言ってよいであろう。

表8に、日本からの論文投稿数の推移と、全世界から投稿された論文に占める割合を示す。日本からの論文投稿数が全体に占める割合は、ここ数年は10%前後である。論文投稿数が多かったのは、米国の96編（前回は71編）、中国の54編（前回は39編）、台湾の32編（前回は52編）、日本の26編（前回は24編）、インドの21編（前回は8編）であった。

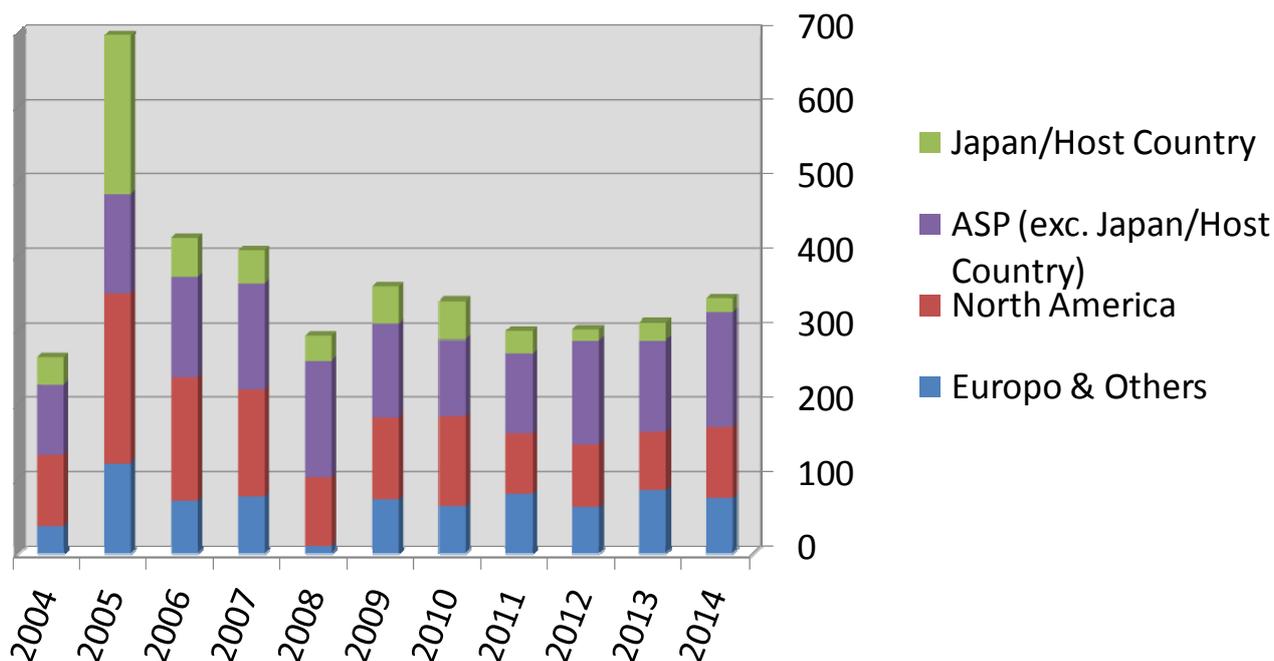


図1 地域別論文投稿数

表8：日本からの論文投稿数と全体に占める割合

地域 \ 年	'01	'02	'03	'04	'05	'06	'07	'08	'09	'10	'11	'12	'13	'14
日本 (割合)	29 (18%)	24 (9%)	42 (18%)	36 (12%)	46 (7%)	51 (12%)	44 (11%)	31 (9%)	50 (14%)	33 (10%)	31 (10%)	24 (8%)	24 (8%)	26 (8%)
全体	161	269	235	291	692	424	408	350	355	340	300	287	311	343

次に、研究分野別の論文投稿数および採択論文数を表9に示す。ASP-DAC 2014では、研究分野を15種類に分類して論文の査読と採否の決定を行った。今回論文投稿数が多かった分野は、分野2のシステムレベル合成と最適化、分野3のシステムレベルのメモリ・通信設計およびネットワークオンチップ、分野4の組み込み・リアルタイムシステム、分野8のタイミング・消費電力・熱の解析・最適化、分野13bの新アプリケーションであった。

表 9：分野別の論文投稿数と採択論文数

分野	研究分野	投稿数	採択数	採択率
1	System-Level Modeling and Simulation/Verification	24	7	29.2%
2	System-Level Synthesis and Optimization	27	7	25.9%
3	System-Level Memory/Communication Design and Networks on Chip	36	10	27.8%
4	Embedded and Real-Time Systems	36	10	27.8%
5	High-Level/Behavioral/Logic Synthesis and Optimization	26	8	30.8%
6	Validation and Verification for Behavioral/Logic Design	13	5	38.5%
7a	Physical Design (Placement)	12	4	33.3%
7b	Physical Design (Routing)	16	5	31.3%
8	Timing, Power, Thermal Analysis and Optimization	27	9	33.3%
9	Signal/Power Integrity, Interconnect/Device/Circuit Modeling and Simulation	16	7	43.8%
10	Design for Manufacturability/Yield and Statistical Design	25	7	28.0%
11	Test and Design for Testability	15	5	33.3%
12	Analog, RF and Mixed Signal Design and CAD	16	7	43.8%
13a	EDA and Design Methodologies for Emerging Technologies	26	8	30.8%
13b	Emerging Applications	28	9	32.1%
	合 計	343	108	31.5%

3.3.5 参加者の内訳

ASP-DAC への地域別の参加者数の推移を図 2 に示す（チュートリアルのみ参加者を除く）。また、日本からの参加者の推移を表 10 に示す（日本開催時のみ）。今回の全参加者数は 270 名であった。日本からの参加者数は正確なデータは無いが 50 名程度とのことで、日本開催時に比べると少なく、全参加者の減少の要因となっている。

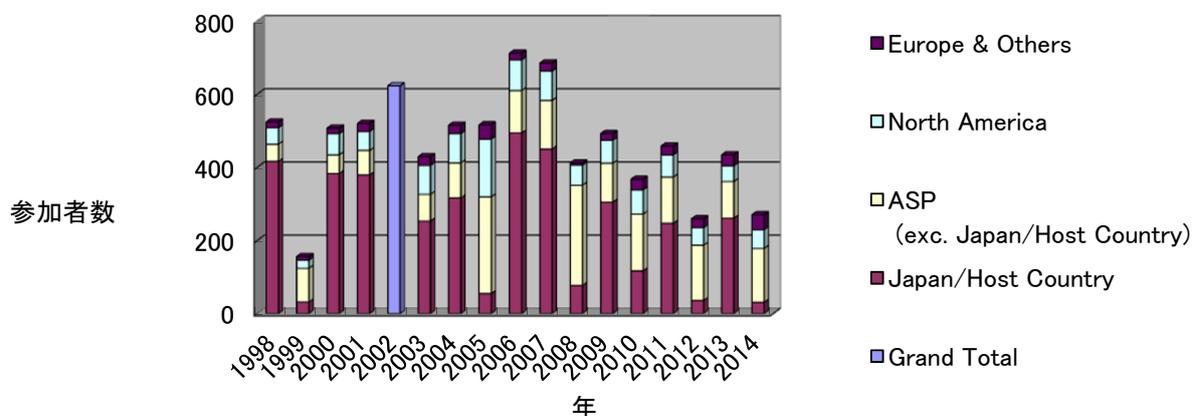


図 2 地域別参加者の推移

表 10：日本開催年の日本からの参加者数と全体に占める割合
(チュートリアルのみ参加者を除く)

地域 \ 年	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014
日本 (割合)	--	253 (59%)	316 (61%)	--	494 (70%)	450 (66%)	--	305 (62%)	--	247 (54%)	--	261 (60%)	--
全体	623	429	515	516	708	685	412	492	367	458	259	434	270

3.3.6 今後の展望

ASP-DAC の今後の開催予定を表 11 に示す。引き続き、隔年で日本開催になる模様である。

表 11：ASP-DAC の今後の開催予定

年	開催予定地	開催時期	実行委員長
2015 年	幕張 (日本)	2015 年 1 月 19 日 (月)～22 日 (木)	内山邦男 氏 (日立製作所)
2016 年	マカオ (中国)	2016 年 2 月 1 日 (月)～4 日 (木)	Rui Martin 氏 (University of Macau)

4. 添付資料

ナノ世代物理設計ワーキンググループ 2013年度活動報告書

JEITA Nano Scale Physical Design Working Group

1

目次

- ・ 背景と目的
- ・ テーマ選定のための環境分析
- ・ 各社の課題抽出
- ・ 今期のテーマ案抽出
- ・ 抽出課題とテーマ案のまとめ
- ・ WGでの活動テーマ
- ① ノイズ発生メカニズムとモデリングの検討
- ② ばらつき要素の分類
- ③ 低電圧におけるばらつき評価
- ④ 次世代Tr.構造における物理設計課題の検討

JEITA Nano Scale Physical Design Working Group

2

背景と目的

・ 背景

- 本WGでは、次世代の設計課題に着目して、課題の抽出、解決策の提案などを行ってきた。
- 本WGの成果が参加各社にとって意味のあるものとするため、参加メンバーによるテーマの再選定を行った。

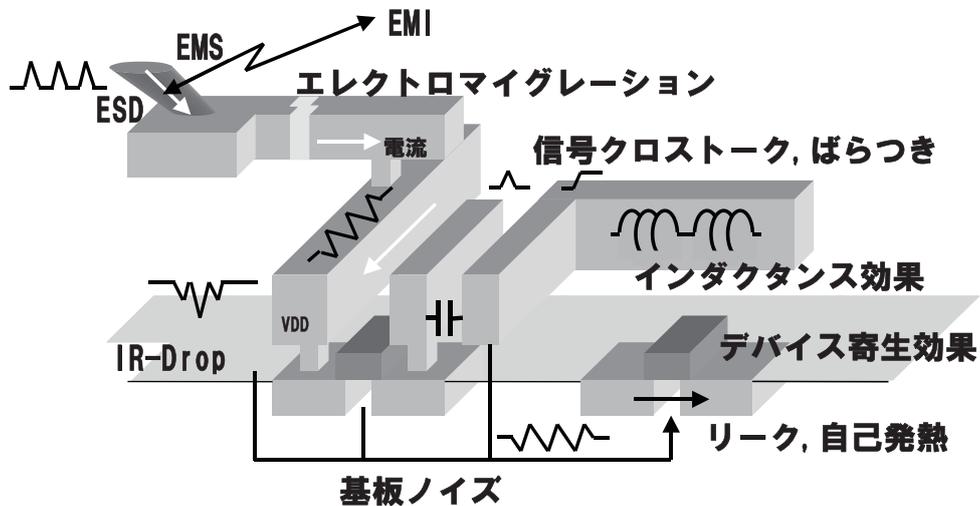
・ 目的

- 参加各社の課題を抽出し、それら課題を解決するためのロードマップを作成する。
- 計画的な活動を実施し、課題を順次解決していくことを目的とする。

テーマ選定のための環境分析

- ・ 取組みテーマを大きく3種類の分類し、現在の自社並びに半導体業界における課題/キーワードと思われるものをピックアップ
 1. 既存課題の更なる掘り下げ
 - ばらつき、設計マージンの削減
 - 消費電力削減
 2. 直近で必要となりうる新規技術開発
 - ファブレス/ファブライトに即した開発手法
 - 3次元LSI開発における課題解決
 3. 次世代技術の事前検討
 - 更なるプロセス微細化
 - 次世代トランジスタ、新材料
- ・ 経済産業省技術戦略マップを参考に、前述の課題/キーワードに関して向こう5年(～2019)までの方向性を調査し、取組テーマ案を検討

テーマ選定のための環境分析



物理設計における課題

JEITA Nano Scale Physical Design Working Group

5

テーマ選定のための環境分析

- ・ 32nm世代以降の大手ファウンドリ生産加速
 - 物理設計の課題を熟知する以前に設計が進行
 - 特性不良や設計環境の修正による手戻り
- ・ 個々の課題は回路の構成や目標性能に依存
 - EDAツールの想定にない事象も存在

バックエンド設計の手戻りを防ぐには、サインオフ検証ツールで考慮可能な事象を見極め、残りを設計制約でカバーする必要がある。

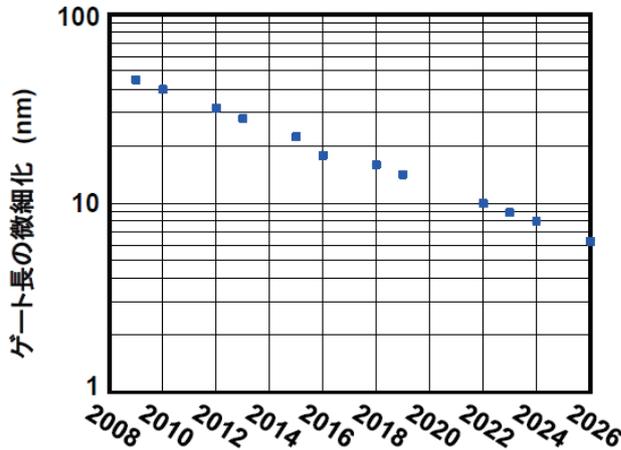
JEITA Nano Scale Physical Design Working Group

6

テーマ選定のための環境分析

※ITRS国際半導体技術ロードマップ 2011年版概要抜粋

2011 ITWG Table Timing:	2007	2010	2013	2016	2019	2021	2023
2011 ITRS Flash Poly :	54nm	45nm	2009 32nm	22nm	2012 15nm	2015 11nm	2018 8nm
2011 ITRS DRAM M1 :	68nm	45nm	2012 32nm	22nm	2015 15nm	2018 11nm	2021 8nm
MPU/hpASIC "Node":	"45nm"	"32nm"	"22nm"	"16nm"	"11nm"	"8nm"	
2011 ITRS MPU/hpASIC M1 :	76nm	65nm	54nm	45nm	38nm	32nm	27nm
2011 ITRS hi-perf GLpr :	54nm	47nm	47nm	41nm	35nm	31nm	28nm
2011 ITRS hi-perf GLph :	32nm	29nm	29nm	27nm	24nm	22nm	20nm



メインは16nm

Characteristics by Product

2015	2016	2017	2018
15	14.2	13.0	11.9
23	20.0	17.9	15.9
21	18.9	16.9	15.0
22	19.8	17.7	15.7
17	15.3	14.0	12.8
22	19.8	17.7	15.7
17.6	16.0	14.5	13.1
20	17.5	15.7	14.1
1.3239	1.2921	1.2611	1.2309
1.2640	1.2416	1.2196	1.1979

JEITA Nano Scale Physical Design Working Group

7

テーマ選定のための環境分析

※ITRS国際半導体技術ロードマップ 2011年版概要抜粋

DT Improvement	Year	Dynamic Power Improvement (x)	Static Power Improvement (x)	Description of Improvements
Software Virtual Prototype	2011	1.23	1.20	Virtualization tools to allow the programmer to develop software prior to silicon
Frequency Islands	2013	1.26	1.00	Designing blocks that operate at different frequencies
Near-Threshold Computing	2015	1.23	0.80	Lowering Vdd to 400 - 500 mV
Hardware/Software Co-Partitioning	2017	1.26	1.00	Hardware/software partitioning at the behavioral level based on power
Heterogeneous Parallel Processing (AMP)	2019	1.18	1.00	Using multiple types of processors in a parallel computing architecture
Many Core Software Development Tools	2021	1.20	1.00	Using multiple types of processors in a parallel computing architecture
Power-Aware Software	2023	1.21	1.00	Developing software using power consumption as a parameter
Asynchronous Design	2025	1.21	1.00	Non-clock driven design
Total		4.66	0.96	

LowerVDD技術が必須

JEITA Nano Scale Physical Design Working Group

8

テーマ選定のための環境分析

FD-SOIとMulti-gatesの前倒し

- FD-SOI: 1年前倒し
 - ST-Ericsson/ST-Microelectronics/GF
- Tri-gates: 3年前倒し
 - Intel 22 nm
- HP, LOP, LTSPで同様の対応

													2011 HP			
Table PIDS2 High-performance (HP) Logic Technology Requirements																
Year of Production	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	
L_g : Physical Lgate for HP Logic (nm) [1]	22	20	18	17	15.3	14.0	12.8	11.7	10.6	9.7	8.9	8.1	7.4	6.6	5.9	
$I_{d,cat}$: NMOS Drive Current ($\mu A/\mu m$) [14]																
Extended Planar Bulk	1,367	1,422	1,496	1,582	1,670	1,775										
FD SOI		1,475	1,530	1,591	1,654	1,717	1,791	1,847	1,942							
MG				1,628	1,685	1,744	1,805	1,858	1,916	1,976	2,030	2,087	2,152	2,228	2,308	
Revised for 2012 update													2012 HP			
Year of Production	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	
L_g : Physical Lgate for HP Logic (nm) [1]	22	20	18	17	15.3	14.0	12.8	11.7	10.6	9.7	8.9	8.1	7.4	6.6	5.9	
$I_{d,cat}$: NMOS Drive Current ($\mu A/\mu m$) [14]																
Extended Planar Bulk	1,367	1,422	1,496	1,582	1,670	1,775										
FD SOI	追加 1,415	1,475	1,530	1,591	1,654	1,717	1,791	1,847	1,942							
MG	追加 1,469	1,520	1,573	1,628	1,685	1,744	1,805	1,858	1,916	1,976	2,030	2,087	2,152	2,228	2,308	

Work in Progress - Do not publish

STRJ WS: March 8, 2013, WG6 (PIDS and RF&AMS)

9

テーマ選定のための環境分析

RF & AMS 部

	2016	2017	2018	2019
MG				
$1/f$ -noise ($\mu V^2 \cdot \mu m^2 / Hz$) [9]	18.9	16.9	15.0	13.4
Extended Planar Bulk	33.9	29.6		
UTB FD	50.2	46.7	42.4	38.4
MG	53.8	50.2	46.7	44.1
σV_{th} matching (mV $\cdot\mu m$) [10]				
Extended Planar Bulk	1.57	1.49		
UTB FD	1.91	1.87	0.58	0.55
MG	1.97	1.94	0.61	0.59

Extended Planer Bulk
UTSOI
MG

σV_{th} matching
1/f Noise

どうなっていくのか?



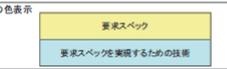
プロセス選択 (世代、構造)
Custom 設計時の考慮点

JEITA Nano Scale Physical Design Working Group

10

戦略的重要課題

超低消費電力 システムLSI



評価パラメータ	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019
DRAM/ハードウェア (nm)	45	40	36	32	28	25	22.5	20	17.9	15.9
Flashメモリ/ハードウェア (nm)	32	28	25	23	20	18	15.9	14.2	12.6	11.3
ロジックM1/ハードウェア (nm)	45	38	32	27	24	21	18.9	16.9	15	13.4
LSTP/LDP 物理ゲート長 (nm)	32/29	29/27	27/24	22/22	18/18	17/17	15.3/15.3	14/14	12.8/12.8	11.7/11.7
LSTP/LDP ゲートの寸法ばらつき (nm) (加工後の物理長 3σ)	32/3.0	3.0/2.8	2.8/2.5	2.3/2.3	2.9/2.9	1.7/1.7	1.6/1.6	1.5/1.5	1.3/1.3	1.2/1.2
LSTP (Planar Bulk/UTB FD/MQ) 実効ゲート酸化膜厚物理的標準 EOT (nm)	1.3/-/-	1.2/-/-	1.0/-/-	0.9/1.0/-	-/0.95/-	-/0.9/1.1	-/0.85/1.1	-/0.8/1.0	-/1.0/1.4	-/1.0
LDP (Planar Bulk/UTB FD/MQ) 実効ゲート酸化膜厚物理的標準 EOT (nm)	1.0/-/-	0.9/-/-	0.85/-/-	0.8/0.9/-	-/0.85/-	-/0.8/0.8	-/0.75/0.8	-/0.7/0.75	-/1.1/1.5	-/1.1
Planar Bulk CMOS UTB FDSOI Multi Gate (FinFET) ナノワイヤFET Sleep SS FET (Tunnel FET, etc.)	FinFET CMOS			UTB FDSOI		Multi Gate				ナノワイヤFET Sleep SS FET
Process Strain	Stress Liner									
Substrate Strain	Embedded SiGe on Si/D									
基板面方位	SiGe/Si チャネル			SGOI (100) and (110)						
メタルゲート/High-K	メタルゲート/High-K for Bulk La系, A系 Caping Layer for Bulk			SGOI						
バリエーション/エンハンスメント				メタルゲート/High-K for FDSOI & MQ						
変形による準バリエーション Geチャネル/III-V族チャネル Nanowire/CNT/Graphene				準ballistic					Geチャネル/III-V族チャネル Nanowire, CNT, Graphene	
Vthコントロール	基板バイアス			独立マルチゲートコントロール						

低消費電力化が期待される Multi Gateの評価(ばらつき、電力) 実設計マージンへの落とし込み

JEITA Nano Scale Physical Design Working Group 11 出展: 経済産業省 技術戦略マップ2012

評価パラメータ	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019
DRAM/ハードウェア (nm)	45	40	36	32	28	25	22.5	20	17.9	15.9
Flashメモリ/ハードウェア (nm)	32	28	25	23	20	18	15.9	14.2	12.6	11.3
ロジックM1/ハードウェア (nm)	45	38	32	27	24	21	18.9	16.9	15	13.4
典型的なMPUの配線層数	12	12	12	13						
実効比消費電力(μW/F)	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8						
材料の比消費電力(W)	2.3-2.5	2.3-2.5	2.3-2.5	2.1-2.3						
異変技術	キョウ技術			新機械技術/ゲージ技術						
材料技術				ボースLow-k(2.0-2.3)						
バリアメタル形成方法	PHD			ALD/ALD						
Cu形成方法	電着めっき			CW/タスクトホ						
コンタクト材料	W/pla			Cu						
EM改善	表面処理/合金化			メタルキャップ/バリアメタル						
材料技術	Ta			Co/P, Co/Ti/Ru/Cu/Mo/W/Cu/Al/Ag/Si						
LER改善	エッチング 改善			新技術/メタルハードディスクプロセス						
モデリング手法の進展				階層的Full Chip RLC抽出技術						
Application/TSV diameter TSV No/Chip				Monofed(5-30 μm) 0.1-3μm/chip		Reconfigurable(3-5 μm)		HP Consumer/Processor(1-3 μm) 3D-90μm/chip		
TSV diameter/layer number				30-2 μm/2-4layers		2-0.8 μm/8-16layers(DRAM)				
新規材料技術 (Emergingから一部移動)					CNT/CF			CNT配線		
新方式(光、RF)				LC Resonator/RF 集積位置				オンチップ共振器位置/オンチップクロック分配/RF		
低コスト/微細形成法					インプリント					
ピン数(Coupling/Performance)	600-2783	720-3061	720-3367	800-3704	800-4075					
低ダメージパッケージング方法				低ダメージ/埋め込み/封止技術						
再配線、パッドピッチなど	W-CSP									
表面方向の標準数 Low-Cost/High-End	10	11	12	13	14					
チップ数 / パッケージLow-Cost/High-End	11	12	13	14	14			15	16	16
TSV方式				50-2 μm		2-0.8 μm, DRAM Fin				
接続(接続)方式 高インターコネクト	非接続/コネクタ/コネクタ			ボード接続ケーブル		C77接続				
ウエハ検査(KGD/Down Good Die)				非接続/ウェハ検査技術		KGD検査技術				
貼り合わせ/接合技術 (ウエハ/ウエハ/チップ/ウエハ方式)				テープ/エム/接合技術		ウェハ/エム/接合技術				
MEMS, RF, LASER, LED, レンズ, 冷却 機構, センサー等				MEMS		730nm-緑線化, 紫外線, 紫外線, RF-MEMS(キヤパシタ, スイッチ) など		チップ外部接続		高級モジュール
多層配線, 導波部品				チップ部品内蔵		導波部品内蔵				
チップ/パッケージ/ボード連携設計 熱/電気/構造/電磁気設計				チップ/パッケージ/ボードの協調設計						

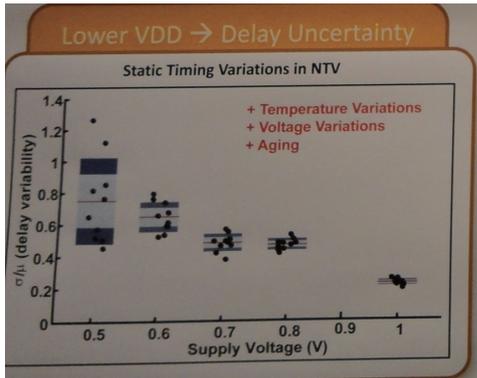
新材料、新規プロセス技術導入に伴う課題検討

3次元LSI開発に伴う 設計課題検討

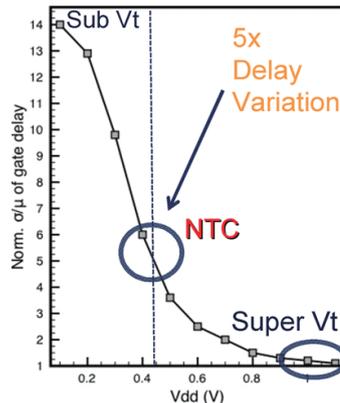
12 出展: 経済産業省 技術戦略マップ2012

各社の課題抽出

- 課題：“ばらつき”
 - 微細化：Trばらつきの増加
 - 低電圧：Trばらつき/Voltage / Fatigue の増加
 - 大規模化：Localばらつきの増加



※DAC2012 PosterSessionより



CAS-FEST 2010: Mitigating Variability in Near-Threshold Computing

Mingpo Soek, Gregory Chen, Scott Hanson, Michael Wickowski, David Blaauw, and Dennis Sylvester

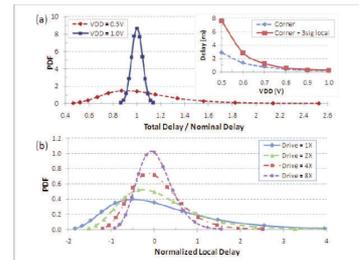


Figure 7.5.4: (a) Delay PDF of a representative library cell at $V_{DD} = 1.0V$ and $V_{DD} = 0.5V$. The horizontal axis is normalized the respective 3σ global corner delays. (b) Impact of drive strength on PDF.

7.5 A 28nm 0.6V Low-Power DSP for Mobile Applications

Gordon Gammie*, Nathan Ickes*, Mahmit E. Sengul†, Rahul Rishi*, J. Gu†, Alice Wang†, Hugh Mair†, Subendra Datta†, Bing Han†, Sushma Homavara-Prasad†, Lam Ho†, Greg Babbin†, Dennis Boss†, Anantha P. Chandrakasan†, Umit Ko†

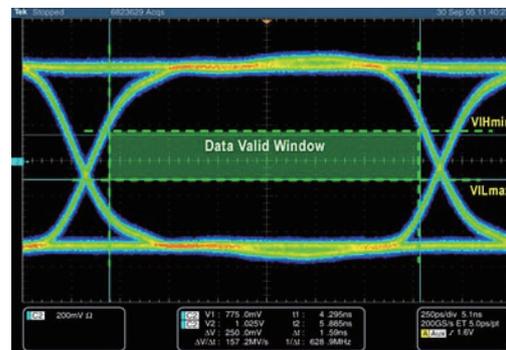
*Texas Instruments, Dallas, TX
 †Massachusetts Institute of Technology, Cambridge, MA
 ‡Texas Instruments (now with MaxLinear), Dallas, TX

JEITA Nano Scale Physical Design Working Group

13

各社の課題抽出

- 課題：“ノイズ”
 - 微細化：IR Drop Sensitivityの増加
 - 高速IF：Jitter SPECの向上
 - アナデジ：アナログ混載



JEITA Nano Scale Physical Design Working Group

14

各社の課題抽出

ばらつきを考慮した場合にタイミングウィンドウが全く無くなり仕様緩和しないとサインオフできない場合がある。これまでの活動の成果を速く実設計に繋げたい。

各社の課題抽出

- ・ 昨年度までの取組みのまとめ方、今後の展開
 - 取組みのまとめ方
 - ・ 2011年度分は研究会で報告
 - 2010年度： SSPEFフォーマット、NBTI影響
 - 2011年度： NBTIのVth変動、Globalコーナー、配線コーナー
 - 2012年度： Globalコーナー、配線コーナー ⇒ 定義および新規点の整理必要
 - 今後の展開
 - ・ 取組み目標と得られた成果の活用計画についての議論必要
 - ・ 次世代の設計ポイントが、さらなる微細化かどうかの議論必要
- ・ more than moore / Beyond CMOS
 - 素子そのものの特性解析は競争領域でデータも集められないと思われ、様々な素子を組み合わせた場合のSoC設計課題を対象としてはどうか？
 - ・ 例えば、素子のi/fモデル表現、素子間の特性解析、LPBの特性解析
 - LPB-WGメンバーに課題となる解析技術をヒアリングしてみる
 - プリント基板やパッケージ違いによるLSI内部のIRドロップ・ノイズジッタの変動についての解析モデルを検討する
 - 3D・ソリューション・アナログも、組み合わせた場合のSoC課題が発生

各社の課題抽出

・活動案 EB露光(ML2 <22nm)方式の設計課題

EB露光は微細加工能力を生かし、マスク製作手段への利用と共に先端デバイス R&D 用として既に確立された技術である。近年、半導体製造に適した高スループット対応 EB露光方法として、様々な方式が提案されて来たが、2011年ITRSでは、ML2(Maskless Lithography)のみが23nm ハーフピッチ以下のポテンシャル・ソリューションとして提案されている。EB露光は解像度が高く、光露光が比較的苦手なCH(コンタクトホール)露光等で威力を発揮する。またML2はデバイス毎にマスクを製造する必要がないため、マスクの製造TAT(Turn Around Time)が問題となるデバイス生産や次世代デバイスの開発・試作に適した方式である。

Year of production(CY)	2012	2013	2014	2015	2016	2017	2018	特徴	
DRAM 1/2 Pitch(nm)	32	28	25	23	20	18	16		従来技術の展開 高スループット
Flash 1/2 Pitch(nm)	20	18	17	15	14	13	12		
MPU M1 1/2 Pitch(nm)	32	27	24	21	19	17	15		
光リソグラフィ Optical Lithography	193nm Imm DP/MP							EUV	混在パターン 密集ホール 光とのM&M
EBリソグラフィ EB Lithography	ML2								
その他のリソグラフィ Other Lithography	Imprint								

CP方式 高スループット

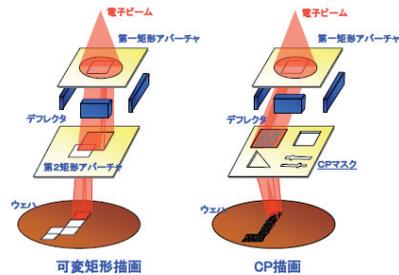
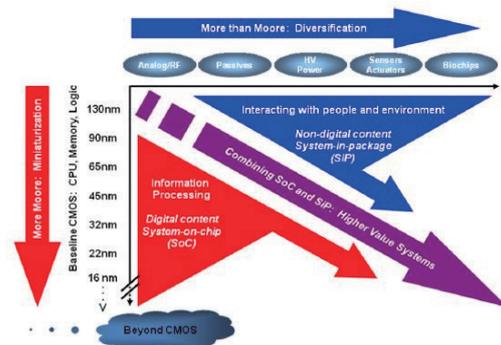


図 2-4-22 CP 描画方式(右図)と可変矩形描画方式(左図)の比較

各社の課題抽出

自社の課題に関連したものを、このWGのテーマとして扱うことを想定すると、キーワードとしては「ファブレス」「物理設計」が考えられる。

- ・ファブレスで困る点
 - FAB制御、情報開示量
 - 差別化手段
- ・今後はMtMに舵を取る？
 - アナログ系(無線、パワー、センサ)
 - 混載技術の課題
- ・微細化を追求する場合の課題は？
 - Multi-Patterning, Fin-FET
 - 低電圧動作
 - 物理設計の複雑化



出典：ITRSロードマップ2011

- ◆ ノイズ問題が発生しており、LPBの物理設計課題をテーマにしたい
- ◆ 3D-IC化を検討したいが、ターゲットは何にするか？

各社の課題抽出

- FinFET
 - Tr.及びその周辺の形状が、既存のプレーナ型Tr.から変わる。
 - Tr.のレイアウト依存性や寄生RC、下層配線の寄生RCについて、これまでのLEPの取り扱いから変える必要がある。如何に取り扱うべきか？
- マルチパターンニング適用時のセルの特性抽出
 - 先端微細プロセスに於いては、マルチパターンニングが適用される。
 - これに伴い、セルの特性抽出において新たに考慮すべき事が無いか、検討する必要がある。

各社の課題抽出

- Xtalk解析時のタイミング収束性と解析負荷
 - Xtalk解析込のタイミング解析を行った場合、タイミング相関を考慮しないと非常に悲観的な解析になる。一方、タイミング相関を考慮した解析は、解析負荷の増大を招く。
 - 悲観性を削減しつつ、負荷の増大を最小にする方法はあるか？
- 微細化・大規模化に伴うタイミング収束性の悪化
 - フロアプラン/CTSの戦略を練ることで、タイミング収束性の悪化を防げないか？

今期のテーマ案抽出

- 目的
 - 微細化/低電圧化でのばらつき定量的評価
 - ばらつき対策設計方法の探索
- 内容
 - under 20nm世代におけるばらつき評価
 - Double Patterning
 - FINFET
 - 低電圧におけるばらつき評価
 - sub/near threshold
 - ばらつき対策検討
 - 設計基準
 - SSTA

JEITA Nano Scale Physical Design Working Group

21

今期のテーマ案抽出

- 目的
 - LSI内部におけるノイズ発生メカニズムと影響の定量的評価
- 内容
 - ノイズ発生メカニズムのモデリング
 - 要素の特定
 - Xtalk , Inductance , IR Drop , EMI ...
 - 伝搬経路の特定
 - ノイズ源の特定
 - ノイズ影響の定量化と事前予測方法
 - Jitter
 - 設計基準？

JEITA Nano Scale Physical Design Working Group

22

今期のテーマ案抽出

- 各ばらつき要素を設計手法(OCVやSSTAなど)にどう反映するかを議論
＜懸念＞EDAベンダ抜きで進められるか？
- ばらつき耐性を持ち且つコストを犠牲にしない回路構成やレイアウト手法を標準化
＜意図＞デジタル設計に反映したい。論理合成で強耐性のセルを優先してマッピングするとか。

今期のテーマ案抽出

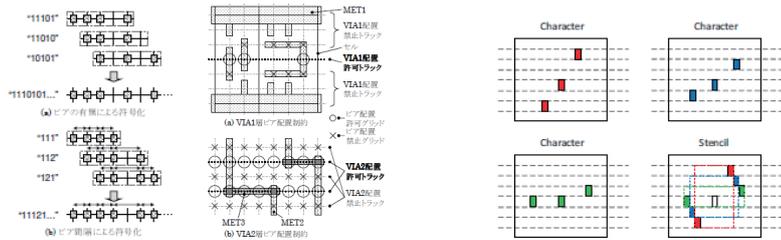
- 活動案(1)
 - IPブロック・プリント基板・パッケージ違いによるLSI内部の電源電圧の変動についての解析モデルを検討する
 - 活動内容
 - LPBのRLC推定方法および動作周波数の技術調査
 - 電圧変動の計算方法の技術調査、計算式提案
- 活動案(2)
 - プリント基板やパッケージ違いによるLSI内部のノイズジッタの変動についての解析モデルを検討する
 - 活動内容
 - LPBのRLC推定方法および動作周波数の技術調査
 - インピーダンス・ジッタ計算方法の技術調査、計算式提案
- 活動案(3)
 - 昨年度まで検討した配線コーナー・タイミングマージン・距離相関等を考慮できる設計フローの提案
 - 活動内容
 - バラツキ区分の整理、設計フロー上でのバラツキ考慮方法の検討
 - 設計フローへの実装課題まとめ

今期のテーマ案抽出

・ 活動内容・成果物

CP描画方式＝EB描画で高スループット技術

配線層に比べて、根本的に実用課題(スループット対策)が未解決であるビア層に関する設計DFM 課題・考察・手法提案



DAS 2012
東大池野様より電子データ入手

キャラクタプロジェクションによる電子ビーム直描技術におけるビア層のスループット向上とステンシル面積削減のための配線設計およびキャラクタ抽出



ASPDAC2012
より入手

[10] P. Du et al. "Character design and stamp algorithms for character projection electron-beam lithography," 2012 17th Asia and South Pacific Design Automation Conference, pp. 725-730, 2012.

以上

JEITA Nano Scale Physical Design Working Group

25

今期のテーマ案抽出

昨年度検討テーマの継続として

- ・Near-Threshold回路の検討
- ・配線コーナー特性を考慮した設計手法の提案

MtMに関連させた課題

- ・3次元実装ミクスドシグナルにおけるノイズ干渉の検討
- ・高耐圧デバイスとESD/ラッチアップに関する検討
- ・3D-ICでの異種チップ間の問題検討

ファブレス化に向けた課題の検討

- ・設計制約を設けたコーナー条件緩和手法の提案(設計効率改善)
- ・IP化とモデリング技術

JEITA Nano Scale Physical Design Working Group

26

今期のテーマ案抽出

- Non-Dope Channel MOSFET の RTN Long Tail ばらつきモデル
- MGFET I/O Tr. の Layout の最適化 (w/ self-heating)
- UTSOI, MGFET のばらつき要因解析、設計指針
- Analog 特性の Benchmark 指標 (w/ bias condition) の提案
- (I/O Tr. の低電圧化 1.5V? で 2.5, 3.3V I/F を設計する際の課題)

今期のテーマ案抽出

- ・ばらつき、遅延モデリング
 - Near-Threshold回路の検討
ばらつき $3-5\sigma$ 、 7σ のもと、歩留まり、動作可能限界電圧の計算、最適化方法の検討。
 - ばらつき要素の分類標準化 (IEC提案等)
LSIメーカ、EDAベンダ、ファウンダリ間で、考慮すべきばらつき要因の認識を一致させる。
 - 遅延モデリング
プロセス微細化に伴う遅延モデル (CCSM, ECSM) の誤差トレンド調査、改善手法の検討。

抽出課題とテーマ案のまとめ

抽出テーマ一覧

テーマ	補足	分野	連携	分類	対応時期	対応可否	レベル	2013	2014	2015	2016	2017
U-20nm世代のばらつき調査	Double Patterning/Fin-FET	ばらつき	DFM	近未来	22n	可	調査					
低電圧におけるばらつき評価	Sub/Near Threshold	ばらつき		近未来	32n	可	手法	調査	手法			調査
ばらつきに関する課題	Near Threshold	ばらつき		近未来	32n	可	手法	調査	手法			
ばらつき対策検討	設計基準/SSTA	ばらつき		近未来	22n	可	手法		調査	手法		
EB露光方式の設計課題検討	Via層に関する考察	ばらつき	DFM	近未来	10n	可	手法	調査	手法			
配線コーナー考慮設計手法の提案	昨年度レポート完結	ばらつき		近未来	22n	保留	手法					
3D-ICでのノイズ問題	異種チップ間の干渉評価	ノイズ		近未来	MTM	可	調査		調査			
3D-IC	近未来	MTM	可	調査								
Non-Dope Channel MOSFETのRTNばらつきモデル		ばらつき	DFM	近未来	16n	可	手法			調査		手法
MGFETにおけるI/Oレイアウトの最適化		レイアウト	DFM	近未来	16n	可	手法					調査
UTSOL/MGFETのばらつき要因解析/設計指針		ばらつき	DFM	近未来	16n	可	手法		調査	手法		
Fin-FETにおけるLPEの扱い		LPE	DFM	近未来	16n	可	調査	調査				
Multi-Patterningでのセルキャラクタライズ		ばらつき		近未来	16n	可	調査			調査		
フロアプラン時のタイミング収束性向上		レイアウト		近未来	22n	可	手法					
微細課題/次世代材料		微細	DFM	近未来	10n	可	調査			調査		
ノイズ発生メカニズムのモデリング	要素/伝搬経路/ノイズ源の特定	ノイズ	LPB	現在	65n	可	手法	調査	手法			
回路モデル/回路解析モデルの検討	回路/ノイズのモデル化	ノイズ	LPB	現在	65n	可	手法	調査	手法			
ばらつき要素の分類&標準化	ばらつき定義~設計手法	ばらつき		現在	65n	可	標準化	調査	標準化	標準化		
アナログ特性のベンチマーク指標		回路		現在	45n	不可	標準化					
I/O低電圧化におけるI/F課題		回路		現在	32n	可	手法					
Current-Sourceモデルを用いた遅延モデリング		ばらつき		現在	22n	可	調査	調査				
STAでのXtalk解析手法の改良		STA		現在	22n	可	手法					
ばらつき、マージンの削減		ばらつき		現在	65n	保留	手法					
低電力回路		低電力		現在	65n	保留	手法					
ばらつきを考慮した設計フローの提案	設計手法	ばらつき		現在	65n	保留	手法					

- ・課題に挙げられた31テーマから類似テーマをマージし、テーマの絞り込み
- ・対応時期と対応レベルを決め、NPD-WGの活動時期をマッピング
- ・2013年度は水色の6テーマが調査対象に決定

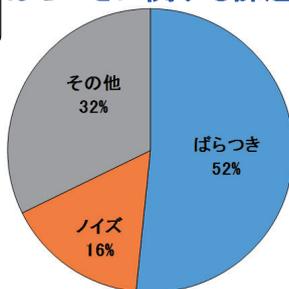
JEITA Nano Scale Physical Design Working Group

29

抽出課題とテーマ案のまとめ

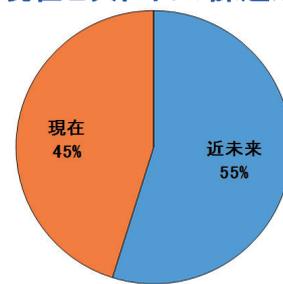
テーマ
分野

ばらつきに関する課題が半数以上



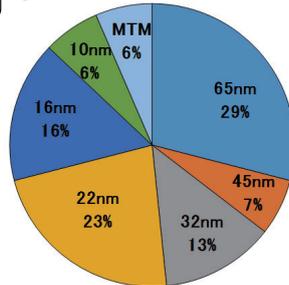
課題時期

現在と次世代の課題が半々



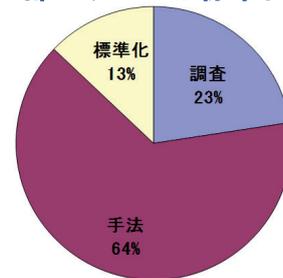
対応時期

各世代に万遍なく出現



対応
レベル

一部のテーマは標準化も視野に



JEITA Nano Scale Physical Design Working Group

30

抽出課題とテーマ案のまとめ

選定結果として、以下のテーマを調査候補としてリストアップした

近未来を想定した微細プロセスにおける課題からのテーマアップ

- 低電圧におけるばらつき評価 Sub/Near Threshold 回路のばらつきに対する動作限界の考察
- EB露光方式の設計課題検討 配線層に比べて課題検討が十分でないVia層に対する考察
- Fin-FETにおけるLPEの扱い 次世代Tr.構造におけるLPEの課題検討

現状の設計課題からのテーマアップ

- ノイズ発生メカニズムとモデリングの検討 ノイズにおける課題全般が対象、発生モデルと解析モデルの提案
- ばらつき要素の分類標準化 ばらつき定義の整理とばらつき設計フローの提案
- 電流源モデルを用いた遅延モデリング 遅延モデルの誤差トレンド調査と改善手法の検討

WGでの活動テーマ

・ さらに候補を絞り、最終的には以下のテーマを調査対象とした

テーマ	Year	2012	2013	2014	2015	2016	2017
	Lg	22nm	20nm	18nm	17nm	15.3nm	14nm
①ノイズ発生メカニズムとモデリングの検討 ～ LSI内部における電源変動やジッタに関するモデリング手法の検討	対応時期		調査	手法			
	適用時期	適用済	問題が(存在)				
②ばらつき要素の分類標準化 ～ ばらつきに対する定義の明確化と圧縮手法のまとめ	対応時期		調査	標準化			
	適用時期	適用					
③低電圧におけるばらつき評価 ～ Sub/Near Threshold 回路のばらつきに対する動作限界の考察	対応時期		調査	手法			
	適用時期				適用		
④次世代Tr.構造における物理設計課題の検討 ～ Fin-FETにおけるLPE、Current-Sourceを用いた遅延モデリング	対応時期		調査				
	適用時期				適用		

– Fin-FETとCurrent-Sourceモデルは、次世代Tr.構造の課題として1つのテーマに集約

– EB露光方式の課題については、将来的な課題と考えて、来年度以降に先延ばしとした

ノイズ発生メカニズムとモデリングの検討

目次

- 背景と目的
- 各社の課題抽出
- ナノ世代物理設計WGでの過去の取り組み
- 今後取り組む課題
- まとめ

背景と目的

• 背景

- 近年、プロセスの微細化に伴い、LSI 内の多様なノイズの影響を考慮した設計が不可欠となっている。
- LSIの微細化、高速化、低電圧化、多ピン化は、LSIの高性能化と同時にノイズ耐性の悪化を招いている。
- 近年では、LSI、パッケージ(PKG)、ボード(Board)を含めた協調設計の重要性も論じられている。
- ノイズの発生メカニズムと影響度合いを定量的に評価することで、より設計の初期段階でノイズ問題を予測できる、簡易的な手法を導きたい。

• 目的

- LSI内部におけるノイズの発生メカニズムの解明
- ノイズによる影響度合いの定量的評価
- ジッタなどの事前予測などが出来る簡易的な手法の提案

JEITA Nano Scale Physical Design Working Group

35

各社の課題抽出

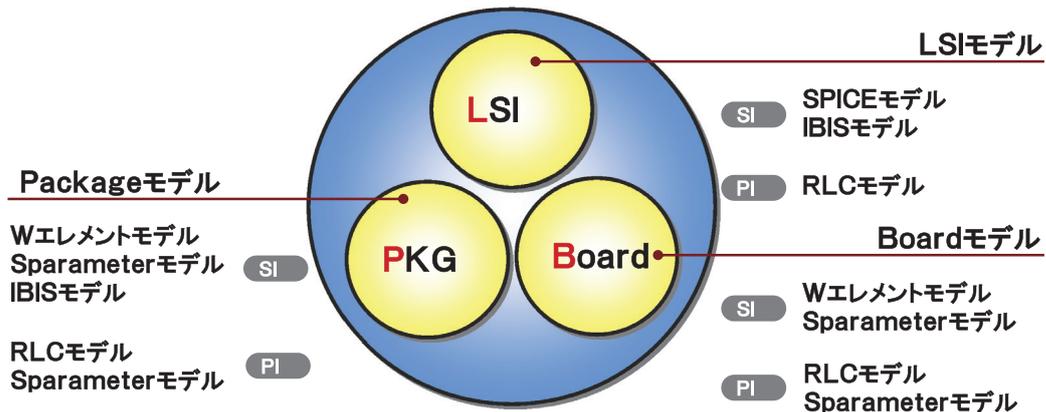
- LPB一体での協調設計の必要性が、まだ十分に浸透していない
- シミュレーションネットの規模が大きく、シミュレーション時間が現実的ではない
- シミュレーションと実測に乖離がある(モデリング精度が不十分)
- 設計初期段階に問題を把握できるフローを確立したい

JEITA Nano Scale Physical Design Working Group

36

協調設計の適用

- DIEだけ、PKGだけ、PCBだけの検証では実際の動作が見えない。
- SI,PI,EMIを事前に把握したい。



JEITA Nano Scale Physical Design Working Group

37

LPB協調設計とは？

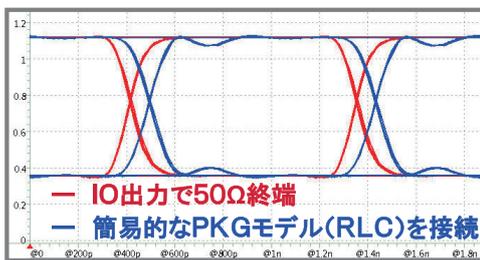
- LSI,PKG,Boardに横串を通したシミュレーションの実施
 - LPB担当者が各設計者から情報を集めてシミュレーション
 - DIE:IOモデル、電源モデル、動作パターン、Decap etc.
 - PKG:層構成、物性値、Pad位置、Pin位置 etc.
 - PCB:システムレイアウト、層構成、物性値 etc.
 - 問題点が見つかった場合は、効果を確認した上で改善策を提示
 - 回路シミュレータ、電磁界シミュレータを使用
- フロントローディング設計による後戻り防止
 - PKGレイアウトに対する具体的な改善策の提示
 - PCBレイアウトガイドラインの作成

JEITA Nano Scale Physical Design Working Group

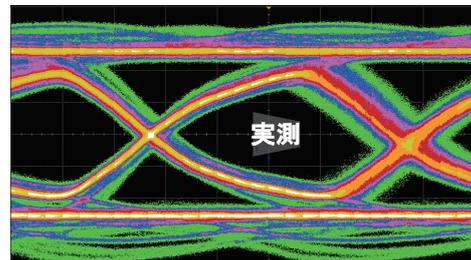
38

LSI(DIE)設計者

- 回路は理想電源で動くのみとしている。
 - DIE設計者にとってPKGやPCBは電氣的に‘透明’ (=回路図に無い)
 - VCC±10%で振ったシミュレーションはするが、あくまで電源はDC
- IOセル出力信号の波形に問題はない。PKGかPCBがあやしい。
 - IOセルの出力端子で50Ω終端して波形を確認
 - PKGやPCBはそれぞれのプロがしっかり設計してくれるはず



≠



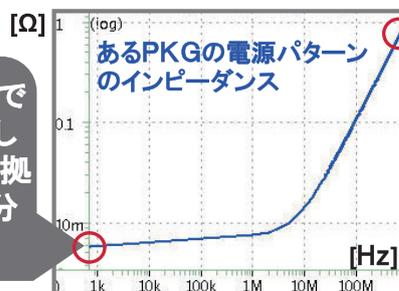
JEITA Nano Scale Physical Design Working Group

39

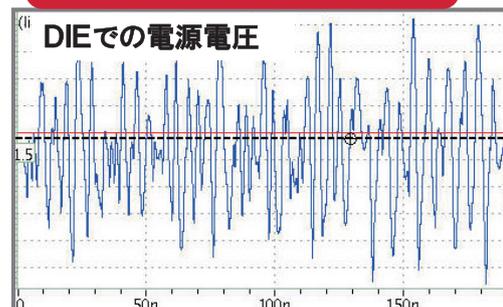
PKG設計者

- DIEのPadと、チップのPinを確実に接続する
 - 指定されたPadとPinをとにかく接続
 - レイアウトガイドラインに記載がない部分では、電氣的特性は無視
 - 最大抵抗値は指定されていることがある

PadからPinまで
確実にショートし
ている。その証拠
に抵抗値は十分
に低い。



DC抵抗だけが問題ではない。
高周波でのインピーダンスは
高くなる。



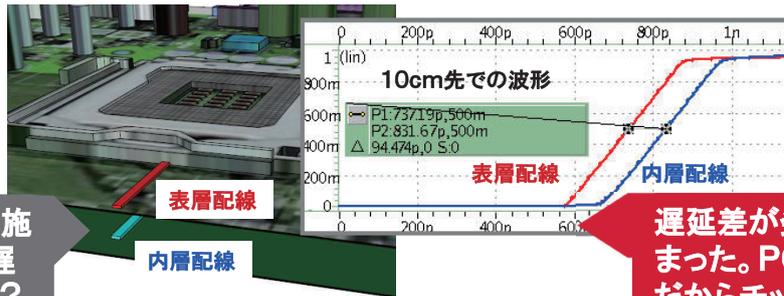
理想電源
IRドロップ見込み
実際の電源

JEITA Nano Scale Physical Design Working Group

40

PCB設計者

- ・ 与えられた状況(Pin配置)でなんとかレイアウトする。
 - もはやPin配置を修正できる段階ではない
 - 協調設計をしていない場合、レイアウトガイドラインは大抵無い
 - チップ設計者から'等長'配線の要望はある



等長配線を実施すれば、同じ遅延になるはず？

遅延差が発生してしまった。PCBでは等長だからチップ側の問題？

JEITA Nano Scale Physical Design Working Group

41

不幸にも実測で問題発生

「IO回路の出力波形はSim. で確認済み。問題は無いです。」

「PKGは指定された抵抗値以下で配線している。」

「この電源ノイズは、そっちの電源ノイズが回りこんだんだ！」
(と思う。)

「電源ピンのおまじないキャパシタを交換してみる？」

「同じ長さで配線した。タイミングがMETしないとわかれても困る。」

「そもそも、全体を見渡して設計する人は誰なの？」

JEITA Nano Scale Physical Design Working Group

42

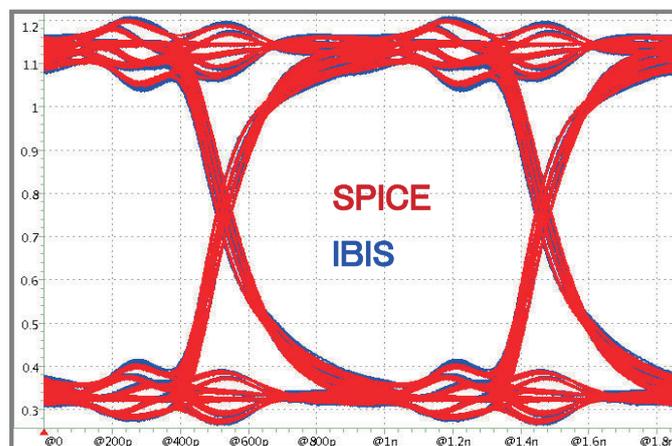
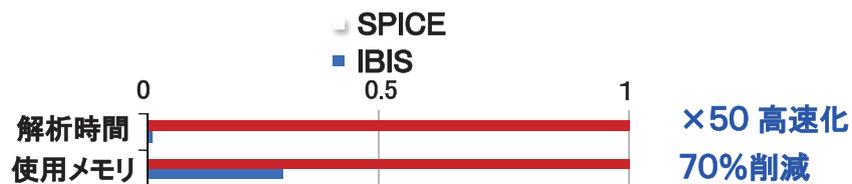
シミュレーション時間の短縮と精度向上

- DIE + PKG + PCBの一体モデルでの協調設計が必須。
- SPICEで全てのModelを作成して、数百万Trのsimulationを実施するのは非現実的。
- 以下のモデルが提唱されている。
 - DIE
 - 簡易回路 model
 - CPM model @ Redhawk by Apache Design Solution Inc.
 - IBIS
 - PKG
 - IBIS
 - PCB
 - LRC

JEITA Nano Scale Physical Design Working Group

43

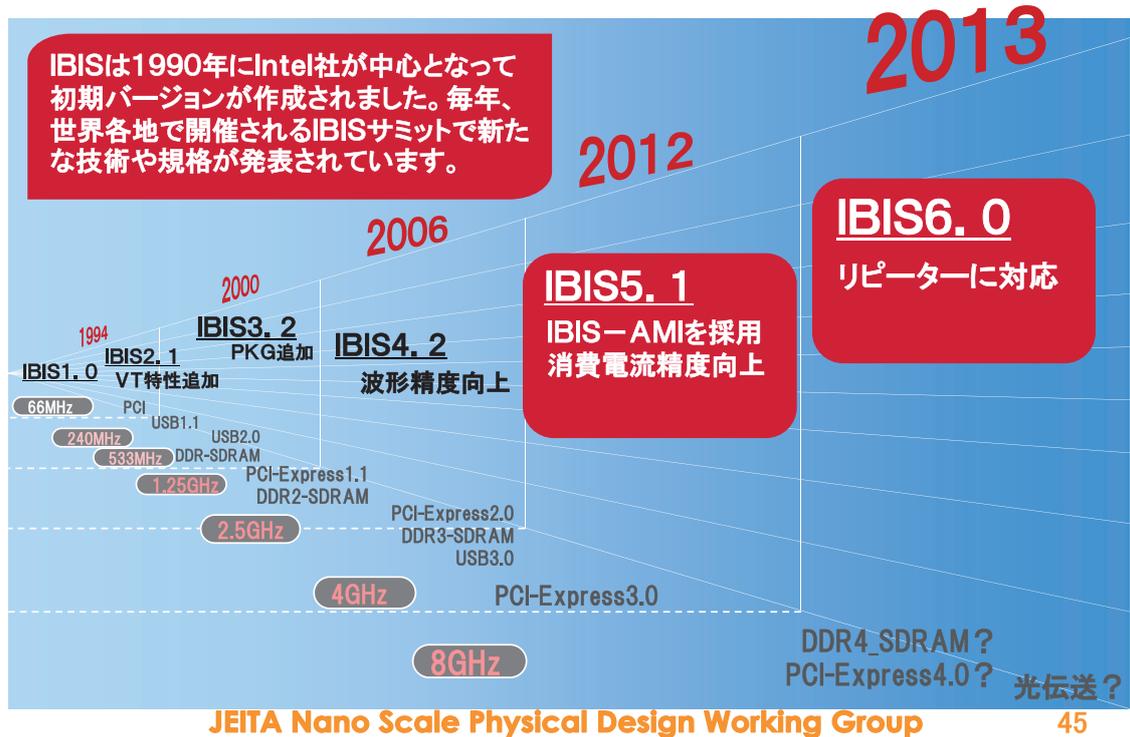
SPICEモデル vs IBISモデル



JEITA Nano Scale Physical Design Working Group

44

IBISモデルの歴史



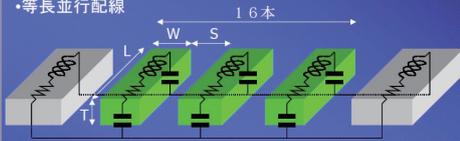
ナノ世代物理設計WGでの過去の取り組み

- ・ 2002 インダクタンス起因ノイズのトレンド
～クロストーク、 dl/dt ノイズ～
- ・ 2004 SSOノイズ
- ・ 2005 電源ノイズを考慮したSTA手法

2002 インダクタンス起因ノイズ (クロストーク)

配線構造

- 等長並行配線



- L, Sを変えてR, L, Cを抽出。WはSと同じ
- 相互インダクタンスは全ての配線間
- カップリングCは3つ向こうの配線まで抽出

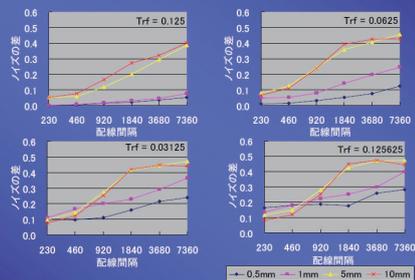
クロストークノイズまとめ

- SPICEシミュレーションにより現象を確認
- Trfが小さくなると配線サイズに関係なくノイズ大
- インダクタンスを考慮するとノイズは大きくなる傾向
- 配線長、間隔が大きい場合はLの考慮が必要
- 配線モデルについては今後も検討が必要

2002年 電子情報通信学会ソサエティ大会 7 ©2002 JEITA, All rights reserved.

2002年 電子情報通信学会ソサエティ大会 16 ©2002 JEITA, All rights reserved.

ノイズピーク値(L有無の差)



配線インダクタンスによるノイズの影響を調査し、配線長、配線間隔が大きい場合の”L”の依存性を表した

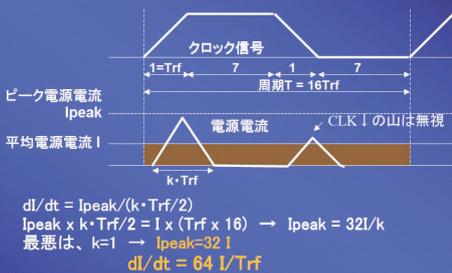
2002年 電子情報通信学会ソサエティ大会 15 ©2002 JEITA, All rights reserved.

Design Working Group

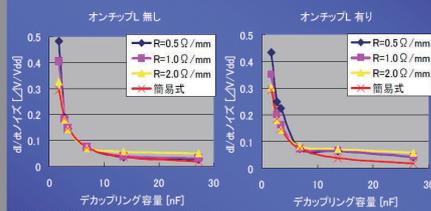
47

2002 インダクタンス起因ノイズ (電源ノイズ)

dI/dtのモデル



シミュレーション結果



2002年 電子情報通信学会ソサエティ大会 18 ©2002 JEITA, All rights reserved.

2002年 電子情報通信学会ソサエティ大会 25 ©2002 JEITA, All rights reserved.

デカップリングキャパシタ要求量

- 平均消費電流
→ 1クロックあたりのチャージの時間積分量
- 総電荷量 (The charge drawn during a burst is)
 $\Delta Q = I / 2fc$ (I: 電流, fc 周波数)
(殆どのロジックはクロックの両エッジで変化するので $2fc$ となる)
- 遷移中の電荷をデカップリング容量から供給すると
 $\Delta V = \Delta Q / C$ (C: デカップリング容量)
 $C = \Delta Q / \Delta V = I / (2fc \times \Delta V)$ (ΔV : 許容変動電圧)

PKGインダクタンスからデカップリング容量を簡易的に見積もる手法を提案した

2002年 電子情報通信学会ソサエティ大会 21 ©2002 JEITA, All rights reserved.

Design Working Group

48

2004 SSOノイズ

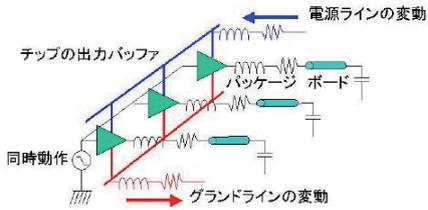


図 DPI-1 SSO ノイズ概略

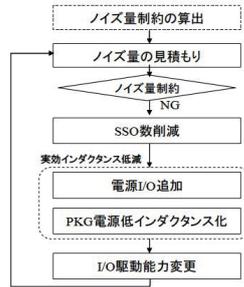


図 DPI-15 SSO ノイズ量削減のシナリオ

出力バッファの出力信号波形の乱れ → チップ間通信でエラー

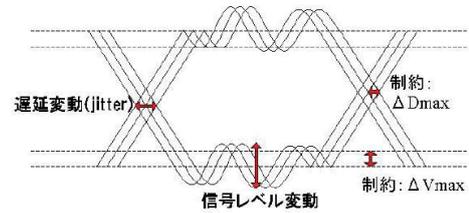
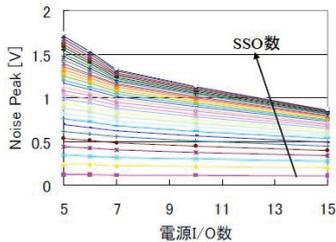
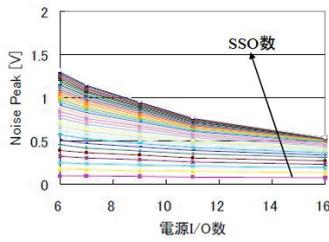


図 DPI-17 SSO ノイズの影響



Vss側ピーク量



Vdd側ピーク量

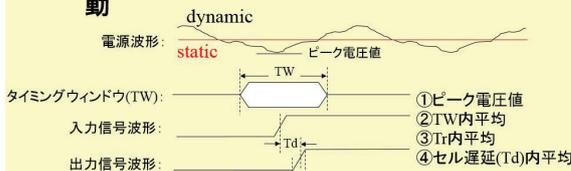
図 DPI-10 電源数結果

SSOノイズにおける感度回析を実施し、支配的なパラメータを特定することで、設計初期での最適化手法を提案した

2005 電源ノイズを考慮したSTA手法

電源ノイズによる遅延変動の求め方：従来手法

1. Dynamic → Static変換(実効Static IR-drop)
2. Static IR-drop → 各インスタンスの遅延変動



図PSTA-5 従来手法による遅延変動算出(1)

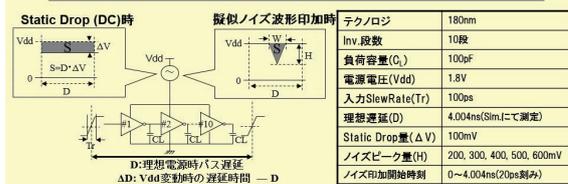
JEITA Physical Design Standardization Study Group

まとめ

- 三角波電源ノイズ波形印加時の遅延変動量を定量化した
- ノイズ波形印加時と、面積的に等価なDCの電圧降下時の遅延変動量相関を示した
- 従来手法となる実効Static Dropを適用した場合の精度評価を行った
- パス遅延時間内平均電圧を用いた場合の精度を検討し、Fall入力時誤差小、Rise入力時誤差大の結果を得た
- パス遅延時間内平均電圧でのRise入力時の誤差解析を行った

JEITA Physical Design Standardization Study Group

定量化:遅延変動量の測定

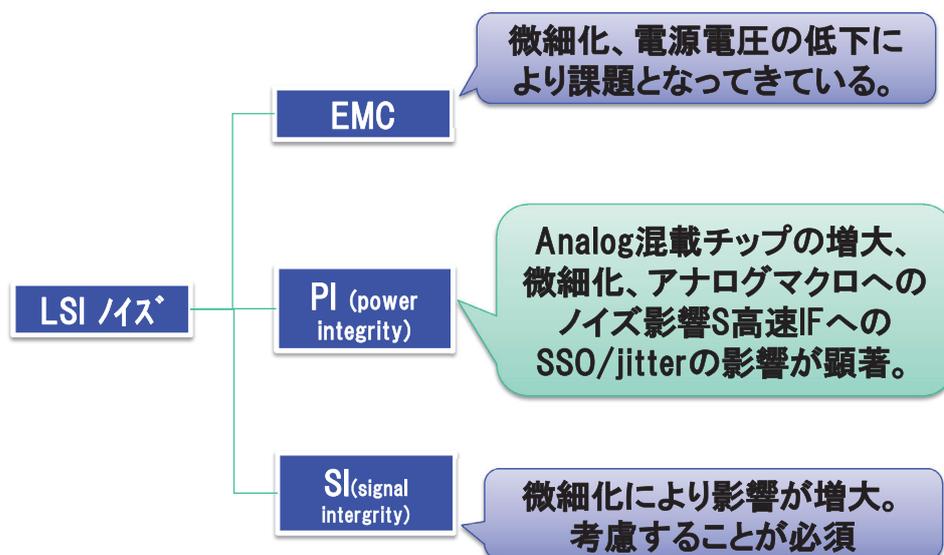


- 電源ノイズ算出はEDAツール活用を前提でノイズ波形は単純なモデルとする
- Spiceにより遅延変動を測定し、電源ノイズ印加時、Static Drop (DC)時を比較する
- ノイズ波形を三角波とし、ノイズ波形面積をStatic Drop (DC)時と合わせる
- 多段セルを想定し(レイアウト的に近傍)、バス内Inv.間の電源ノイズは同一とする
- 三角波(擬似ノイズ波形)印加時刻を走査し、遅延変動量の印加時刻依存を調べる

JEITA Physical Design Standardization Study Group

電源ノイズ印加時の遅延変動量を定量化し、従来手法と提案手法における遅延精度評価を行った

今後取り組むべき課題



- ・ 各社**共通**及び**ノイズによる解決すべき課題**として**”Jitter”**が最も大きな課題

JEITA Nano Scale Physical Design Working Group

51

Jitter解析の課題

- ・ 早期予測が困難
 - LSI/PKG/PCBのモデルが必要。
 - ノイズ源モデルが必要。
- ・ モデル作成が困難
 - LSI/PKG/PCBの精度のよいモデルを作成すること。

JEITA Nano Scale Physical Design Working Group

52

モデル作成が困難

- ノイズモデルの提案がさまざまされており確立されていない。

Co-simulation of AC Power Noise of CMOS Microprocessor using Capacitor Charging Modeling

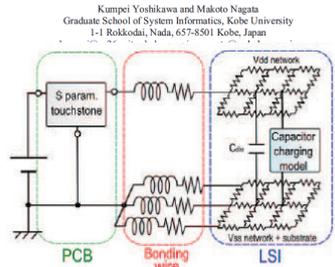
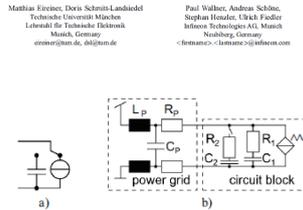


Figure 4: LPB (LSI-Package-Board) noise simulation model.

Adaptive Circuit Block Model for Power Supply Noise Analysis of Low Power System-on-Chip



$$C_{eff} = \frac{I_{AC} \sin\phi}{V_0 \cdot 2\pi f_{AC}}$$

$$R_{eff} = \frac{V_0}{I_{AC}} \cos\phi \cdot 2\pi f_{AC}$$

Technology Trends in Power-Grid-Induced Noise by Sani R. Nassif, Onsi Fakhouri

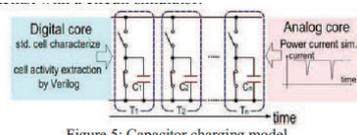
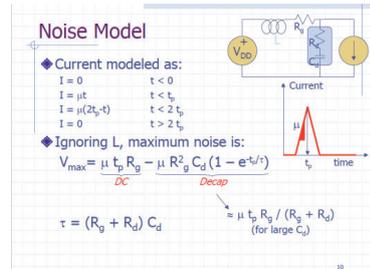
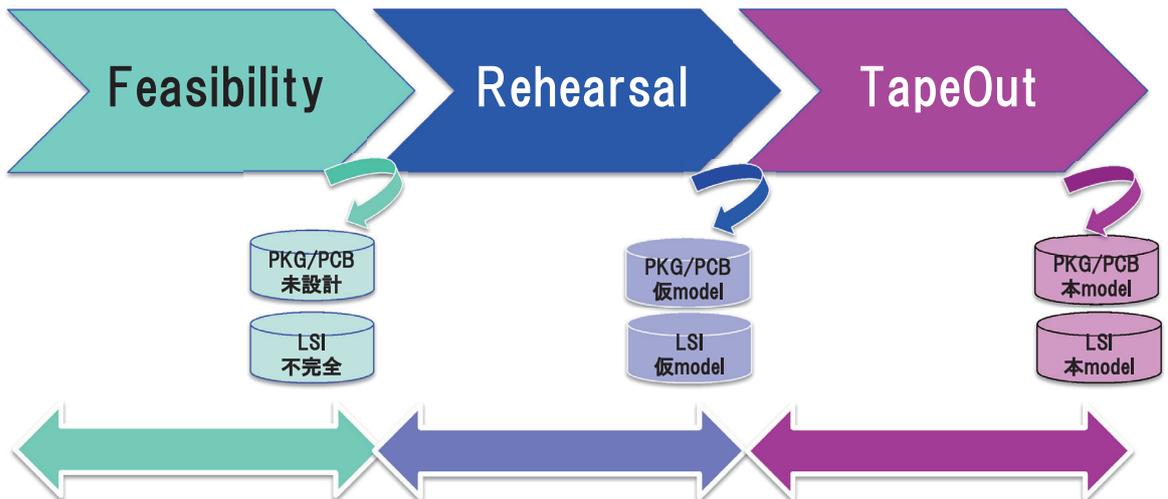


Figure 5: Capacitor charging model.

ノイズ源(DIE)のモデリングの論文が多い。
簡易モデル作成がKeyPoint.

早期予測が困難



この区間でノイズを見積もれるモデルが必要。

この時点で問題がわかってても修正できない。

まとめ

- 各社ノイズ(EMC/SI/PI)に関して課題を抱えている。
- 近年のデザインでは協調設計(DIE/PKG/PCB)は必須である。
- Jitterに関する課題は各社共通の課題で解決すべき課題である。

- Jitterに関する課題は以下があり、今後取り組む。
 - モデル作成
 - 早期予測

ばらつき要素の分類

目次

- 背景と目的
- ばらつき定義調査の進め方
- ナノ世代物理設計WGでの過去の取り組み
- まとめ

背景と目的

- 背景
 - 微細CMOSで顕在化するばらつき影響を解析
 - 2010年度： SSPEFフォーマット、NBTI影響
 - 2011年度： NBTIのVth変動、Globalコーナー、配線コーナー
 - 2012年度： Globalコーナー、配線コーナー
- 目的
 - 過去検討した配線コーナー・ばらつき削減技術を総括するため、グローバル・ローカル・システムティックばらつきの定義を再確認する。

ばらつき定義調査の進め方

テーマの考え方	
成果物	・ばらつき定義分類、参考文献まとめ 成果物の公開方法は、アニュアルレポートを対象

作業の具体内容	
ばらつき分類例	グローバル、ローカル、システムティック、ランダム それぞれの定義例を文献調査
それぞれのばらつきに対する圧縮方法	上記定義されたばらつき要因に関して、 STA/SSTA/OCV/LOCV+NPDで取り組んできた圧縮方法を提示

ばらつき定義例： 平本、他“MOSTランジスタのスケージングに伴う特性ばらつき” [1]

表1 ばらつきの分類

ばらつきの観点	分類
空間分布	グローバルばらつき (チップ間ばらつき)
	ローカルばらつき (チップ内ばらつき)
規則性	システムティックばらつき
	ランダムばらつき
ランダムばらつきの平均化	面積成分
	エッジ成分

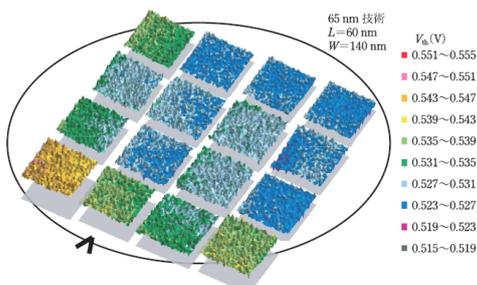


図1 ウェーハ内における V_{th} ばらつき 65nm 技術で作製したゲート長 60nm、ゲート幅 140nm の nMOS トランジスタの実測データ。各チップの 100 万個のトランジスタアレーを測定。それぞれのデータ点は近隣の 1,024 個のトランジスタの平均値である。

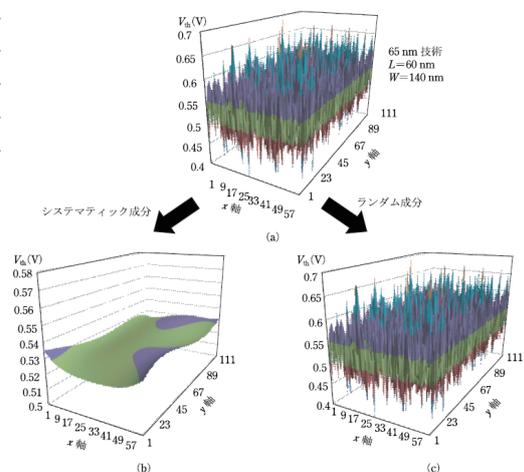


図2 チップ内における V_{th} ばらつき (a) 8,192 個の nMOS トランジスタの実測データ。(b)、(c) 実測データをシステムティック成分とランダム成分に分離した結果。

ばらつき定義例： 黒川、”バラツキのモデリング技術” [2]

ばらつきの分類

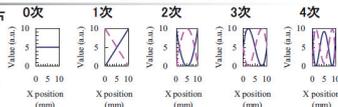
種別	チップ間	チップ内		
		システムティック	ランダム	
プロセス	トランジスタ	L, W	○	○
		T_{ox}, U	○	○
		V_{th}	○	○
		配線	w, t, h, ε	○
環境	電圧	○	○	
	温度	○	○	
	信頼性	○	○	
	回路	○	○	
	EDAツール	○	○	

○は主要因

システムティックとランダム成分の分離

関数近似でできるのは図のような分布
(X軸上のデータの関数近似の例)

$$f(x) = \sum_{i=0}^n a_i x^i = a_0 + a_1 x + a_2 x^2 + a_3 x^3 + \dots$$



実際のチップはXY平面なので多項式は以下

$$f(x, y) = a_{0,0} + a_{1,0}x + a_{1,0}y + a_{2,0}x^2 + a_{2,0}y^2 + a_{1,1}xy + \dots$$

- 文献[4]では、生ばらつきを4次で近似したものをシステムティックと定義
 - 本資料のシステムティックはこの方法で分離したものを使用
- 隣接データは相関係数1と仮定して、差分はランダム(加算はシステムティック)と考えで分離する方法もある
- 課題として、
 - 多項式の関数近似は、その次数に制限されるので、例えば、4次近似の場合は、5次以上のシステムティック変動は表現できない
 - 隣接データによる分離はTEGが隣接に配置されていること、実測の値に影響を受けるので膨大なデータが必要
- 完全にランダム性を分離することは困難であるが、設計で使用する場合はおおよそ的をはずさなければ実用可能

本資料の実測におけるTEG仕様とモデリングは[4][10]を参照

システムティックとランダム変動

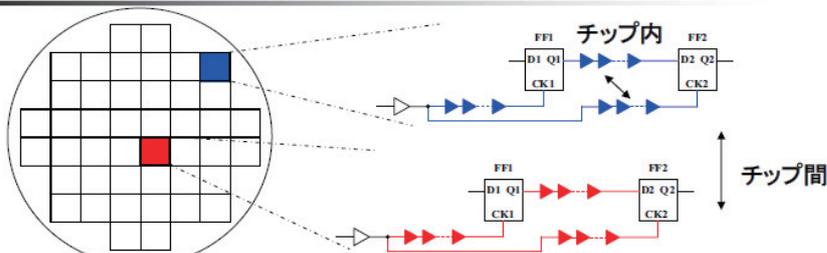
- 用語の意味
 - ランダムとは、でたためて規則性がないこと
 - システムティックとは、系統的な(順序立った統一がある、もしくは同じ方面や種類に属すること)
- ばらつきの区分け
 - チップ内ランダム変動
 - LER → 削れの様子を明確にできない、一定でない
 - Dopant → ドーパントの原子数が明確にできない、一定でない (参考 [3] ドーパントの原子数は70nmテクノロジーで100個以下)
 - チップ内システムティック変動
 - CMPIによる配線厚みの削れ、温度分布のようなならかな分布
 - IR-dropやCrosstalkのように場所と値を限定できるが、0にできない局所変動
 - チップ間(グローバル)変動
 - ウェハ内のチップ間にはある程度、規則性がある
 - ロットの異なる(製造時期含む)チップ間では規則性はない
 - 補足
 - チップ内システムティックでも、値が満遍なく前後している状況が生じている場合はランダムとして扱っても問題ないかもしれない(例えばEDAツール誤差として配線容量や遅延計算等)

Design Working Group

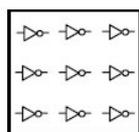
61

ばらつき定義例： 黒川、”バラツキのモデリング技術” [2] (続き)

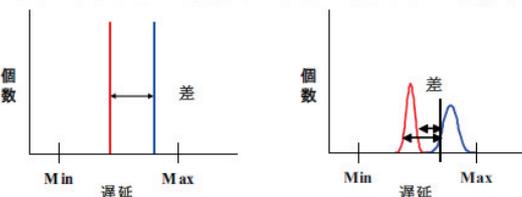
チップ内ばらつきとチップ間ばらつき



例えば、
チップ内に同じサイズ&負荷
のインバータがあった場合



チップ内ばらつき無し チップ内ばらつき有り



- チップ内ばらつきが無ければ固定のMin-Maxコーナー解析で検証可能
- チップ内ばらつきがあると、パスの遅延にばらつきが出ると共に、パス間の差にもばらつきが出るので、検証漏れがないように解析方法の工夫が必要

5

JEITA Nano Scale Physical Design Working Group

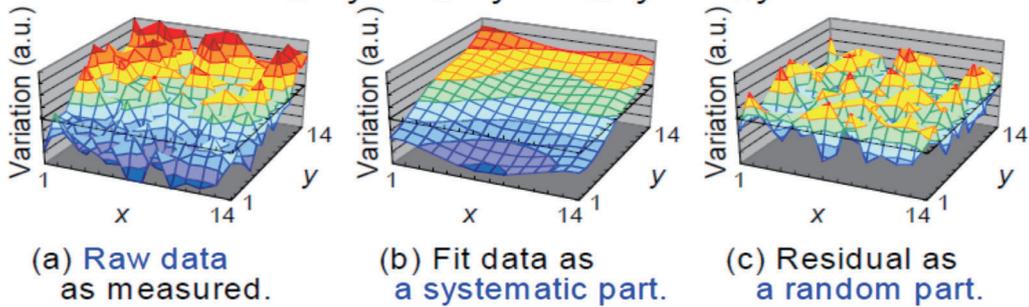
62

**ばらつき成分の分離方法:
増田, ”ばらつき考慮とDFM” [3]**

システマティック成分分離技術

- ◆ Application of a 4th-order polynomial fitting for date decomposition.

$$z(x,y) = a_0 + a_1x + a_2y + a_3x^2 + a_4xy + a_5y^2 + a_6x^3 + a_7x^2y + a_8xy^2 + a_9y^3 + a_{10}x^4 + a_{11}x^3y + a_{12}x^2y^2 + a_{13}xy^3 + a_{14}y^4.$$



(a) Raw data as measured.

(b) Fit data as a systematic part.

(c) Residual as a random part.

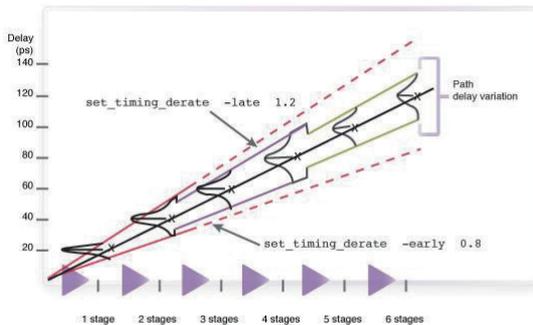
STARC PhD-Gr.

18

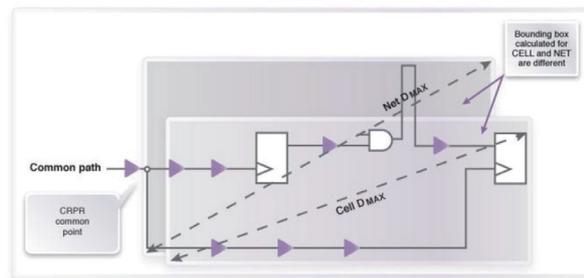
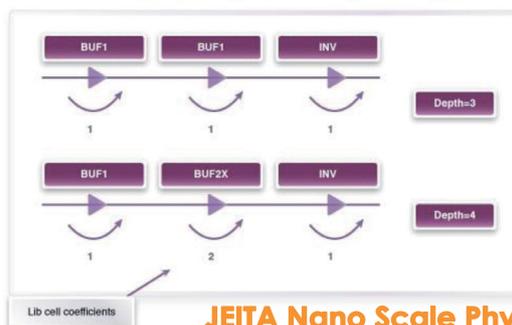
JEITA Nano Scale Physical Design Working Group

63

**ばらつき圧縮方法:
PrimeTime Advanced OCV Technology [4]**



Depth	1	2	3	4	5	6
Derate	1.2	1.2	1.15	1.15	1.08	1.08



Distance	Depth									
	1	2	3	4	5	10	50	100		
1000	1.130	1.099	1.085	1.078	1.074	1.063	1.055	1.053		
2000	1.130	1.099	1.086	1.079	1.074	1.063	1.055	1.054		
3000	1.131	1.100	1.186	1.079	1.075	1.064	1.056	1.054		
4000	1.131	1.100	1.187	1.080	1.076	1.065	1.057	1.056		
5000	1.133	1.102	1.189	1.082	1.078	1.068	1.061	1.059		
6000	1.135	1.105	1.192	1.086	1.082	1.072	1.065	1.063		
8000	1.137	1.108	1.195	1.089	1.085	1.076	1.070	1.068		
10000	1.140	1.112	1.100	1.094	1.090	1.082	1.075	1.074		
15000	1.147	1.120	1.110	1.104	1.101	1.093	1.088	1.087		

Derates decrease for longer paths

Derates increase with distance

JEITA Nano Scale Physical Design Working Group

64

NPD-WGでのばらつき圧縮方法： 小谷、他、”微細CMOSタイミング設計の新しいコーナー削減方法” [5]



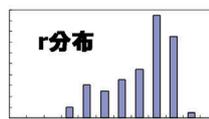
グローバルコーナー計算例



DAシンポジウム2012

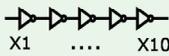
計算条件：

(1) グローバル相関(r)分布
NMOS/PMOS Ion特性相関
(L:0.1 W:0.18~1.50)



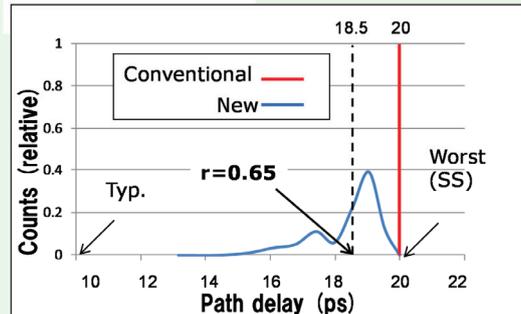
左の計算条件で
遅延値を求めると ..

(2) 遅延分布、回路段数(n)
Typ./Worst = 10/20(ps)
n=10



(4) 計算式

$$k(n,r) = \frac{1}{n} \sqrt{n+r n(n-1)}$$



平均15%のコーナー幅削減に相当

JEITA Nano Scale Physical Design Working Group

20

65

まとめ、今後の進め方

- まとめ
 - グローバル・ローカル・システムティック・ランダムばらつき定義、それぞれの成分分離に関する文献を調査
 - パス遅延でのばらつき圧縮技術を紹介
- 今後の進め方
 - 今年度はばらつき定義に関する技術調査を実施し、次年度以降設計フローへの実装をにらんで、標準化への可能性を検討する。

文献資料

- [1] 平本、他、“MOSTランジスタのスケーリングに伴う特性ばらつき”、電子情報通信学会誌、2009年6月
- [2] 黒川、“バラツキのモデリング技術”、EDSFairシステム・デザイン・フォーラム、2007年1月
- [3] 増田、“ばらつき考慮とDFM”、システムLSIワークショップ、2004年1月
- [4] synopsys whitepaper,
http://www.synopsys.com/Tools/Implementation/SignOff/CapsuleModule/PrimeTime_AdvancedOCV_WP.pdf?cmp=ptocv-tech-wp-Sigoff-CM
- [5] 小谷、他、“微細CMOSタイミング設計の新しいコーナー削減方法”、DAシンポジウム2012、2012年8月

低電圧におけるばらつき評価

背景

- ・ センサーネットワーク等の Ultra Low Power チップ実現のため、Near Threshold 動作回路等が検討されている。
- ・ 微細化により、素子特性ばらつきは増大するが、Vdd を低減するとばらつきの感度が更に増す。
- ・ プロセス世代が進むと、設計の Simulation Corner 数が増大し、検証に時間を要し、設計コスト増大をもたらす。
- ・ 昨年度 NPD では、SoC における配線 Corner 条件の削減検討をおこなった。
- ・ Ultra Low Power 領域では、配線に加えて、Transistor ばらつきも重要となる。

JEITA Nano Scale Physical Design Working Group

69

低電圧動作の利点 ～極低電力～

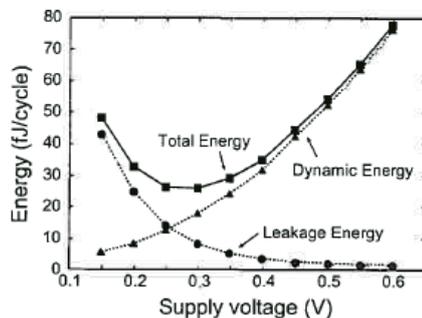


図4 桁上げ伝搬加算器の1サイクル当りのエネルギー (90 nm CMOS プロセス, シミュレーション値)

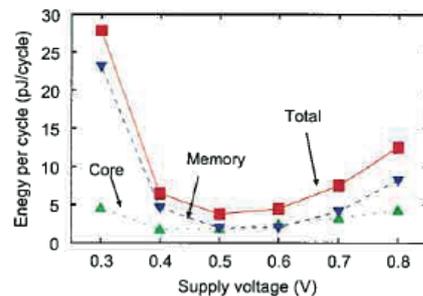


図5 16 bit プロセッサのエネルギーと電源電圧の関係 (65 nm プロセス, 測定値)⁽⁴¹⁾

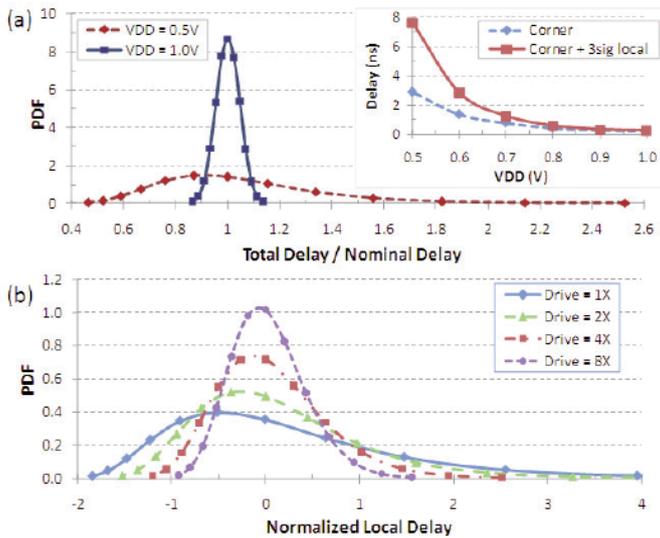
超低電圧サブスレッショルド回路設計技術【1】

橋本昌宜 Masanori HASHIMOTO

JEITA Nano Scale Physical Design Working Group

70

低電圧動作の課題 ～ばらつき感度大～



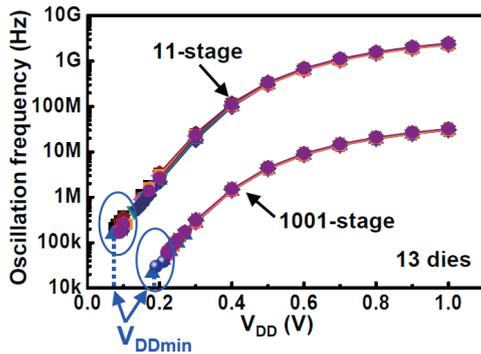
7.5 A 28nm 0.6V Low-Power DSP for Mobile Applications

Gordon Gammie¹, Nathan Ickes², Mahmut E Sinangil¹, Rahul Rithe³, J. Gu², Alice Wang¹, Hugh Mair¹, Satyendra Datla¹, Bing Rong¹, Sushma Honnavara-Prasad¹, Lam Ho¹, Greg Baldwin¹, Dennis Buss¹, Anantha P Chandrakasan², Uming Ko¹

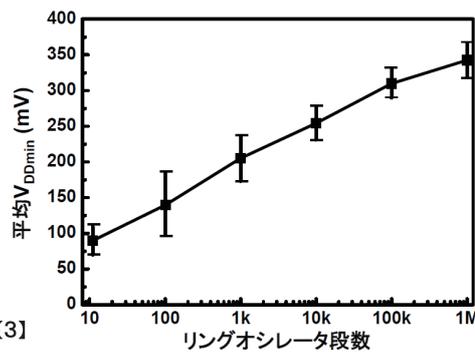
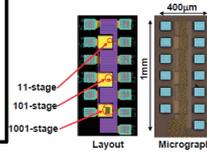
¹Texas Instruments, Dallas, TX, ²Massachusetts Institute of Technology, Cambridge, MA, ³Texas Instruments (now with MaxLinear), Dallas, TX [2]

Figure 7.5.4: (a) Delay PDF of a representative library cell at $V_{DD} = 1.0V$ and $V_{DD} = 0.5V$. The horizontal axis is normalized the respective 3σ global corner delays. (b) Impact of drive strength on PDF.

低電圧動作の課題 ～大規模回路 低VDD化困難～



実測
90nm CMOS
インバータRO



実測
90nm CMOS
インバータRO
複数チップ測定

設計技術から見た半導体集積回路の消費電力技術
東京大学 高宮 真

[3]

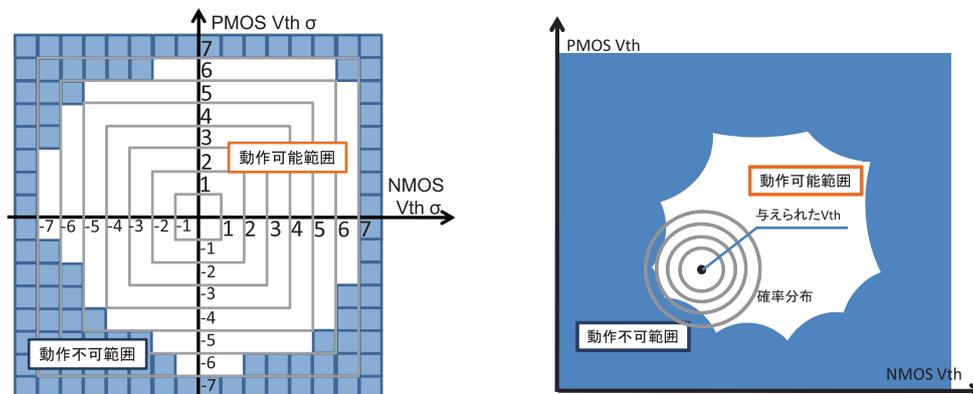
目的

低電圧におけるばらつき Simulation、ばらつき条件策定を統計、実験計画を用いて効率的におこなう設計手法を検討する。

- ・ 必要特性を鑑みたばらつき許容範囲の設定に活用。
- ・ Foundry に特性 Target (ex. V_{th} 狙い値)の提示に活用。
- ・ Backgate Bias による V_{th} 制御 (ex. FDSOI)の積極的活用による特性向上、歩留まり向上に活用。

ばらつき設計 Methodology 検討

3-5 σ 、7 σ のばらつきを考慮するとき、歩留まり、動作可能限界電圧はどのように計算、最適化されるか。



- 動作限界を特定するためのばらつきシミュレーションの方法、ばらつき条件の設定等、統計的、実験計画的に効率的な手法を検討する。
- 動作可能なばらつき許容範囲を特定する手法を検討する。

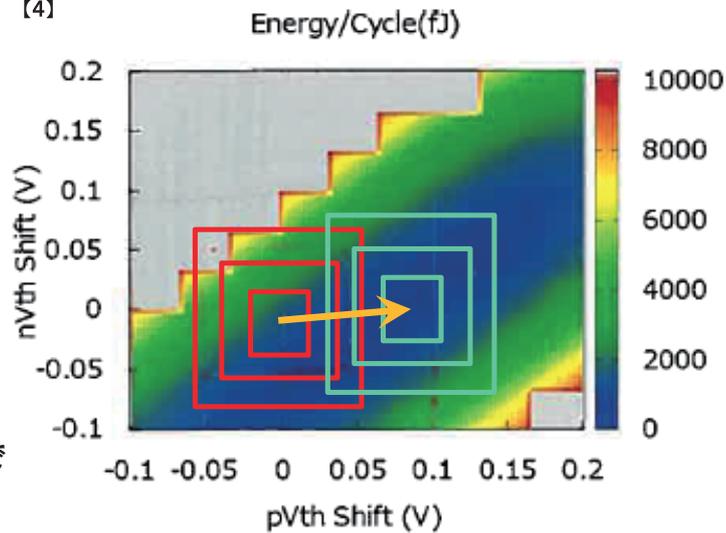
探り検討結果

SPICE モデル : PTM Metal Gat [4]

電源電圧 : 0.2V

ばらつき : なし

回路 : 1001 段リングオシレータ



Vth を Shift させることで
ばらつき耐性が拡大。

指標とする特性により
corner が変わる。

JEITA Nano Scale Physical Design Working Group

75

まとめと今後の予定

- ・ 低電圧動作時に Transistor ばらつきが、Ring Osc. の動作や消費電力等の特性に及ぼす影響を検討し、Transistor の特性 Center 値を見直すことで、ばらつき耐性が向上することがわかった。
- ・ 使用できる Cell 種が大幅に限定される低電源電圧では、従来の Transistor 特性 Center 値、ばらつき Corner 値を見直すことにより、設計マージンができる可能性があり、来年度に深堀していく。

JEITA Nano Scale Physical Design Working Group

76

文献資料

- [1] 超低電力サブEICE Fundamentals Review Vol.7 No.1
- [2] Proceeding of ISSCC 2011
- [3] http://icdesign.iis.u-tokyo.ac.jp/2009_5.pdf
- [4] <http://ptm.asu.edu/>

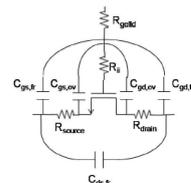
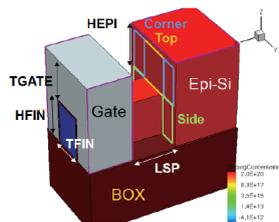
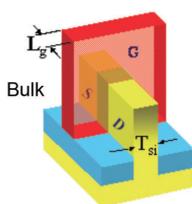
次世代Tr.構造における物理設計課題の 検討

目次

- 背景と目的
- ナノ世代物理設計WGでの過去の取り組み
- 今後取り組む課題
- まとめ

背景と目的

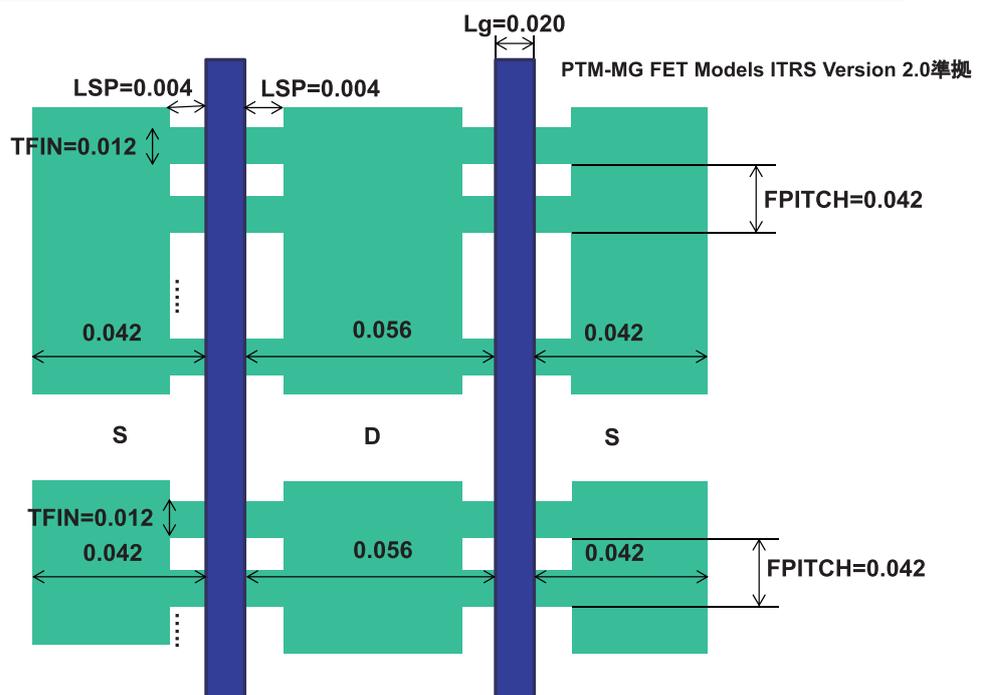
- 背景
 - 次世代のプロセスルールである16nm以降のテクノロジーでは、これまでの扱えなかったプレーナ型トランジスタから立体構造を持つFinFETへ移行している。
- 目的
 - 16nm以降のテクノロジーに於いて、FinFETを用いた際に物理設計で考慮すべきことを検討する。本年度は、FinFETに特徴的なレイアウト寄生容量と特性の関係についての調査を行う。



FinFETとレイアウト寄生パラメータ

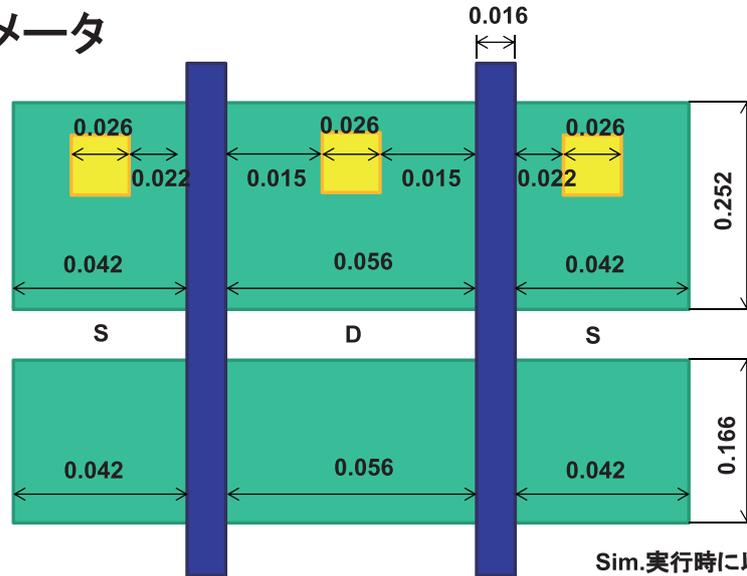
- 16nmFinFETとレイアウト寄生パラメータ
 - x2 inv.を例にして、各レイアウト寄生パラメータ名及び16nm FinFETでの値を次ページの図に示す。

FinFETとレイアウト寄生パラメータ



プレーナー型Tr. (比較実験用)

- 16nmプレーナー型Tr(x2 inv.)とレイアウト寄生パラメータ



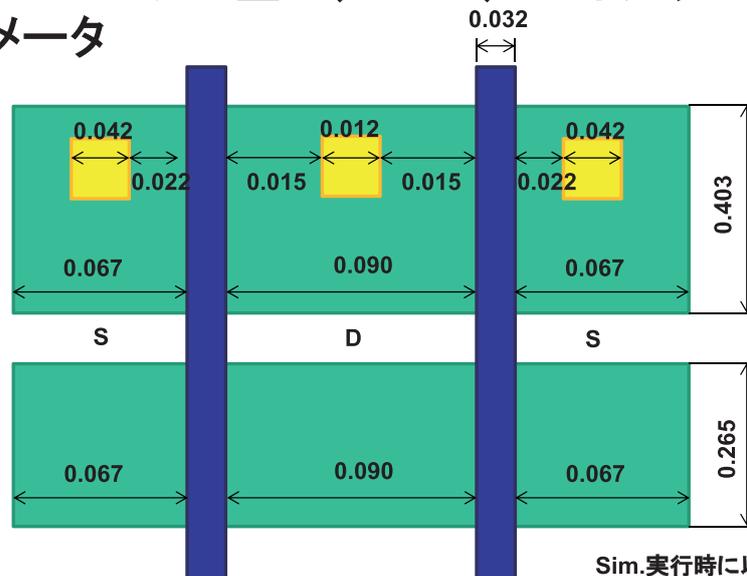
Sim.実行時に以下を設定。
AD, AS, PD, PS, NRD, NRS

JEITA Nano Scale Physical Design Working Group

83

プレーナー型Tr. (比較実験用)

- 32nmプレーナー型Tr(x2 inv.)とレイアウト寄生パラメータ



Sim.実行時に以下を設定。
AD, AS, PD, PS, NRD, NRS

JEITA Nano Scale Physical Design Working Group

84

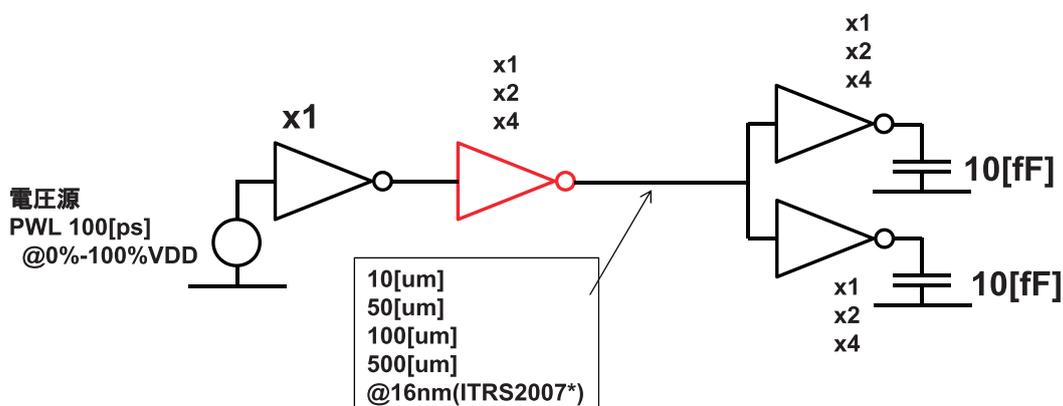
Fin容量成分の影響調査

- 目的
 - Finの容量成分がTpdにどの程度影響するか調査をおこなう。
- FinFETのパラメータの決め方
 - 16nmFinFET及び16nmプレーナ型Tr.にて次ページの評価回路を作成。赤で示したインバータのTpdを回路sim.(HSPICE)比較する。
 - 16nmプレーナ型については、Nangateの45nmの inv.からのシュリンクで、AD/AS/PD/PS/NRD/NRSを設定。
 - PTM* 16nm FinFET/HP について、16nmプレーナ型/HP と同等のTpdとなるpmos/nmosのNFINを求める。

*PTM: Predictive Technology Model (PTM) <http://ptm.asu.edu/>

評価回路

- 配線負荷付きのバッファを想定。



注* ITRS2007のInterconnectにおいて、2011(Gate length16nm)の Capacitance per unit length for global wires (pF/cm) が 1.8-2.0 とされており、ここでは2.0を採用。100 μ m \rightarrow 20fF、1mm あたりの RC delay が 487ps となので、100 μ m \rightarrow 4.87ps \rightarrow 243.5 Ω とした。

回路シミュレータ:HSPICE(v2012.06-SP1)

Fin容量成分の影響調査

FinFETのパラメータ決定

Tpd@配線長100um

	Rise	Fall	
Planer	30.12ps	31.38ps	
FinFET	35.84ps	32.08ps	NFIN(p/n)=2/2
FinFET	26.12ps	32.36ps	NFIN(p/n)=3/2

- 上記のSim.結果より、NFIN(p/n)=3/2 でFinFETとPlanerのTpd が最も拮抗。
- 評価を行うFinFETはNFIN(p/n)=3/2とする。

Fin容量成分の影響調査

以下の3パターンでSimを実行し、Tpdを比較する。

1. BSIM-CMG CGEOMOD=2 (①+②)
2. BSIM-CMG CGEOMOD=0 (①)
3. BSIM-CMG CGEOMOD=0, CFS=0, CFD=0 (①, ②なし)

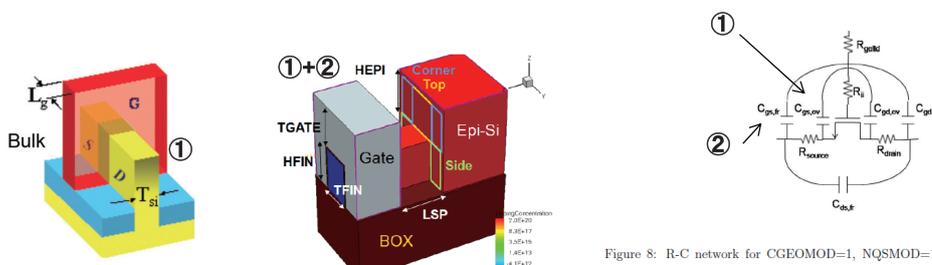


Figure 8: R-C network for CGEOMOD=1, NQSMOD=1, and RGATEMOD=1. If NQSMOD or RGATEMOD is 0, then the corresponding resistances become 0 and the nodes collapse.

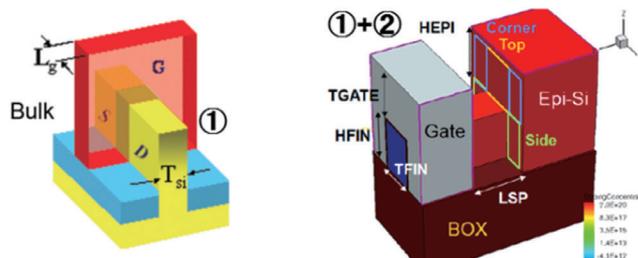
CGEMOD=2のフリンジ容量は回路Sim.の計算で求められる。
しかし、計算方法は現時点では非公開。

Fin容量成分の影響調査

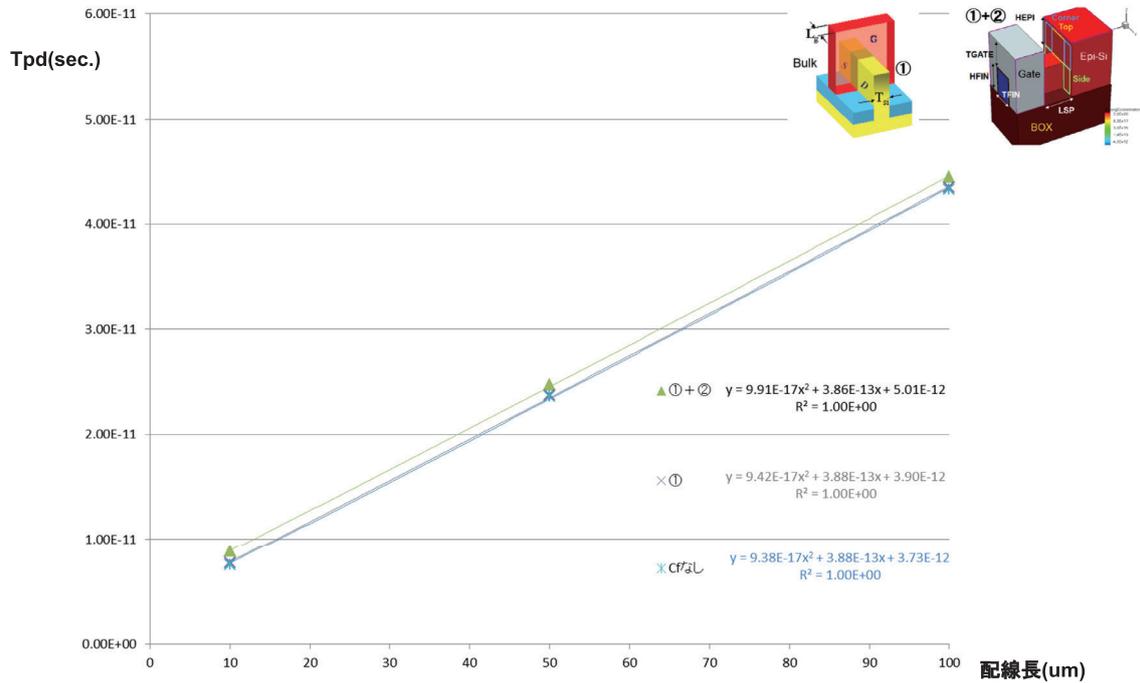
- 目的
 - Finに寄生する容量の影響を調査する。
- 方法
 - 以下の2パターンでSimを実行し、Tpdを比較。
 1. CGEOMOD=0, CFS=0, CFD=0
 2. CGEOMOD=2
 - 回路パターンはP9を使用。
 - FinFETのNFINIはP/N=3/2(p10)。

調査結果(結論)

- 配線負荷なしのとき、Gate と Spacer部(LSP)間の容量(①)の影響はTpd 5%程度。
- Gate と Epi-Si間の容量の影響が大。
 - 配線負荷なしのとき、①+② の影響は35~45%
 - ①+② による Tpd増加 5% となる配線長は、
x1→50um、x2→120~130um、x4→320~330um
(調査結果(7)-(9)参照)



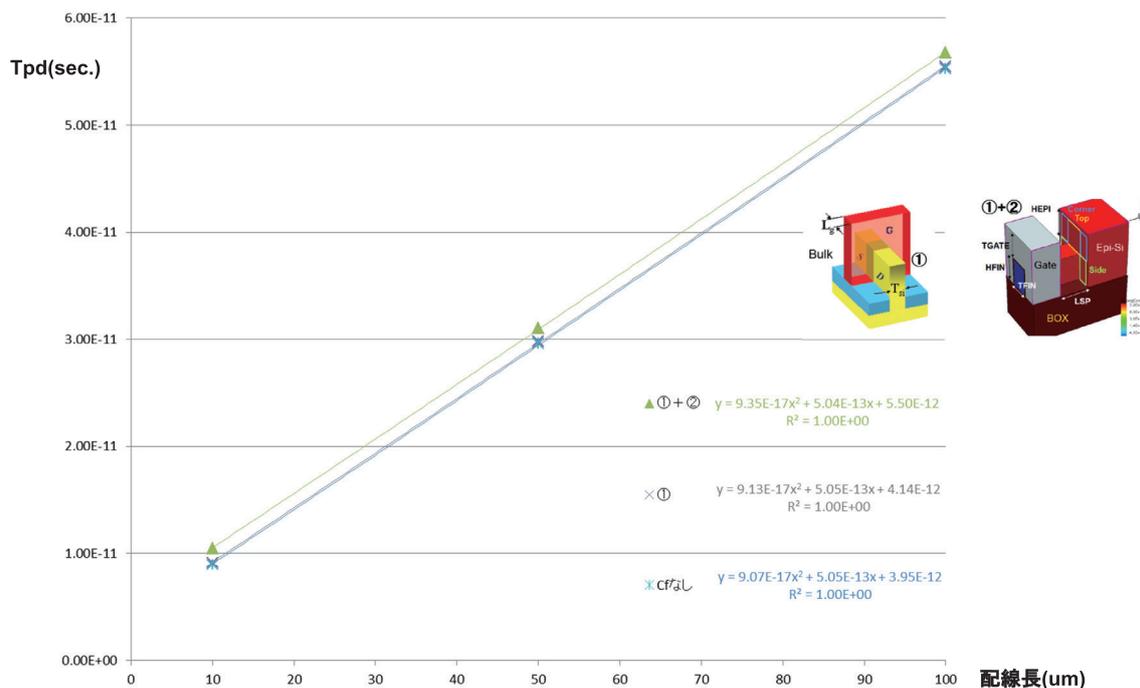
調査結果 (1) INV x1 / Rise におけるTpd比較



JEITA Nano Scale Physical Design Working Group

91

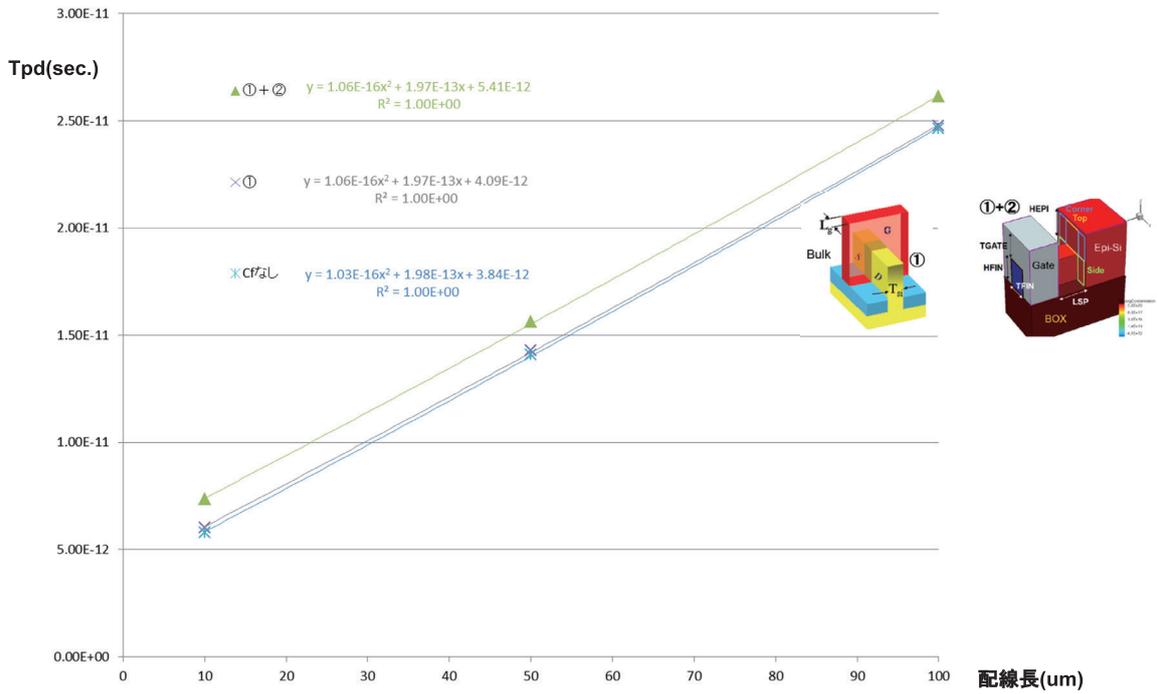
調査結果 (2) INV x1 / Fall におけるTpd比較



JEITA Nano Scale Physical Design Working Group

92

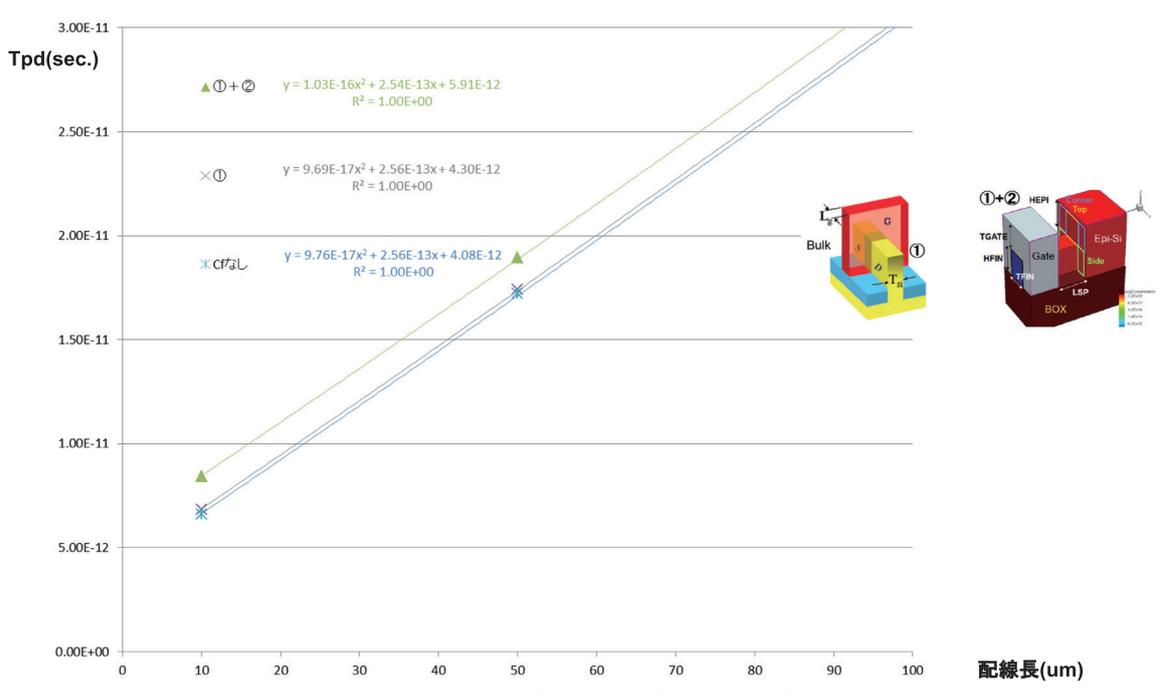
調査結果 (3) INV x2/Rise におけるTpd比較



JEITA Nano Scale Physical Design Working Group

93

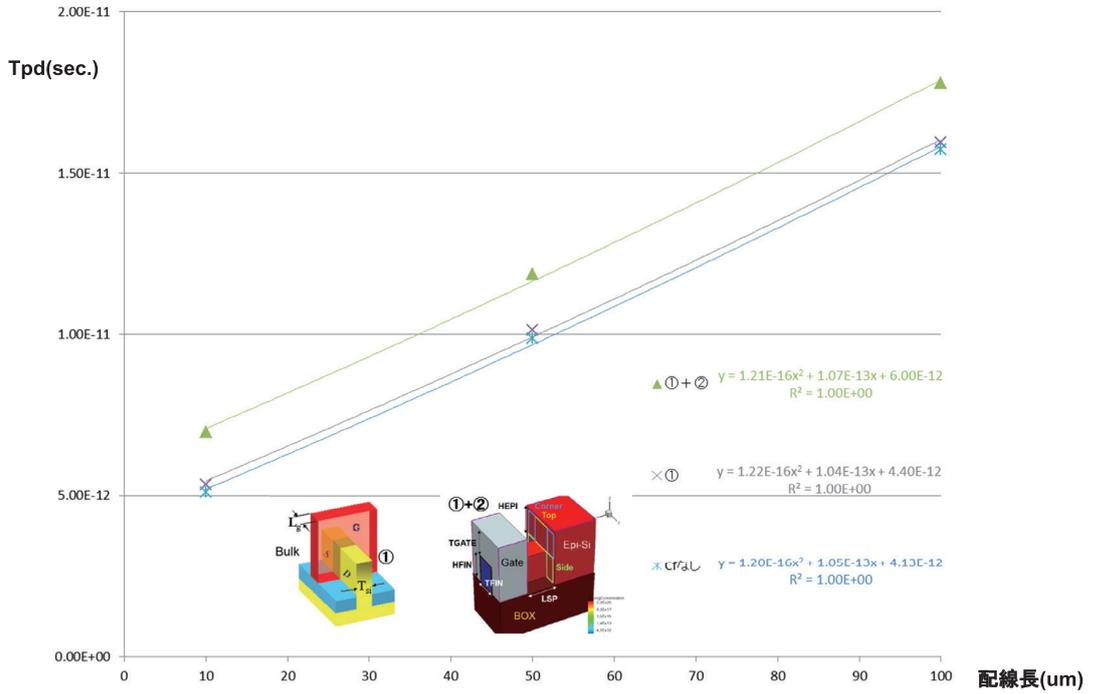
調査結果 (4) INV x2/Fall におけるTpd比較



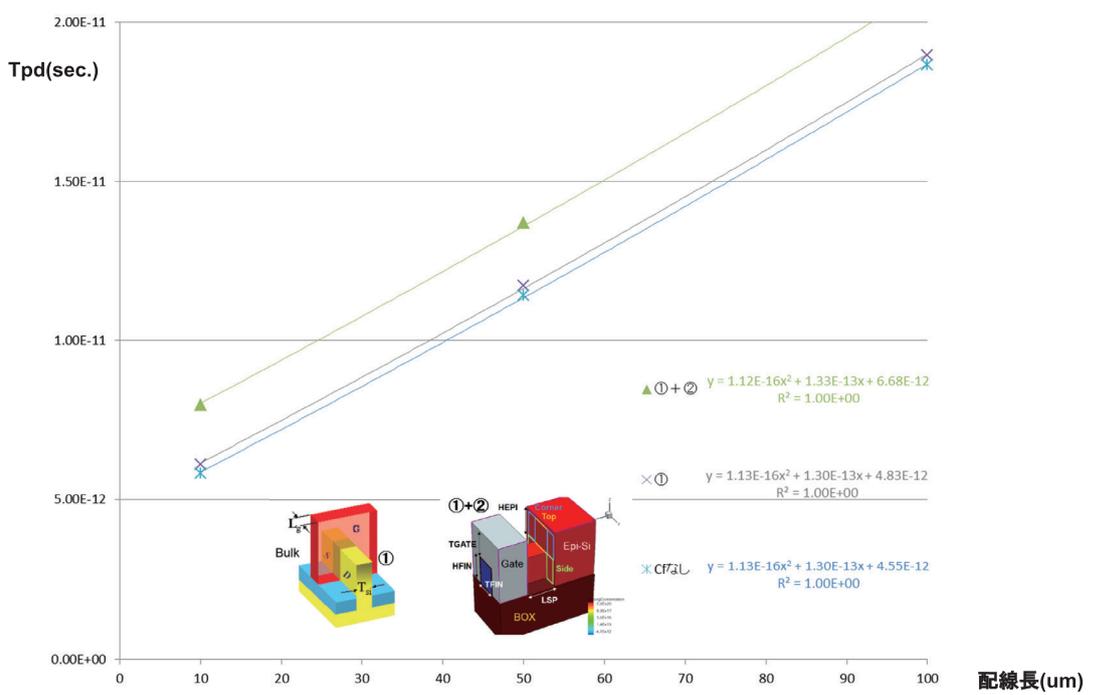
JEITA Nano Scale Physical Design Working Group

94

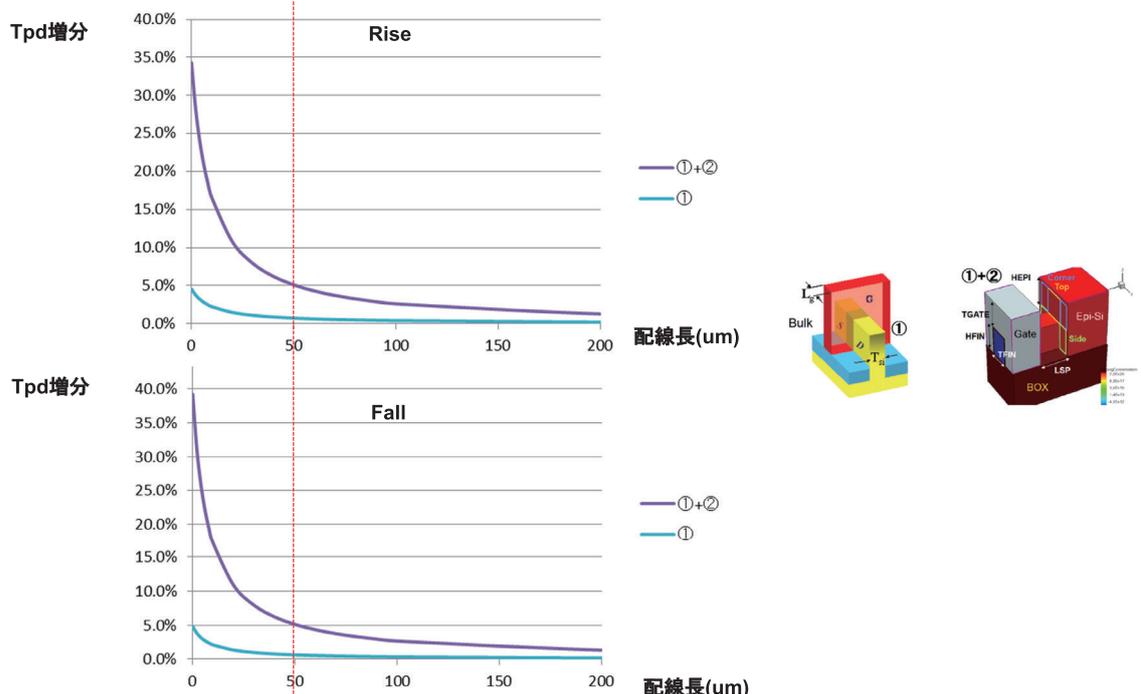
調査結果 (5) INV x4/Rise におけるTpd比較



調査結果 (6) INV x4/Fall におけるTpd比較

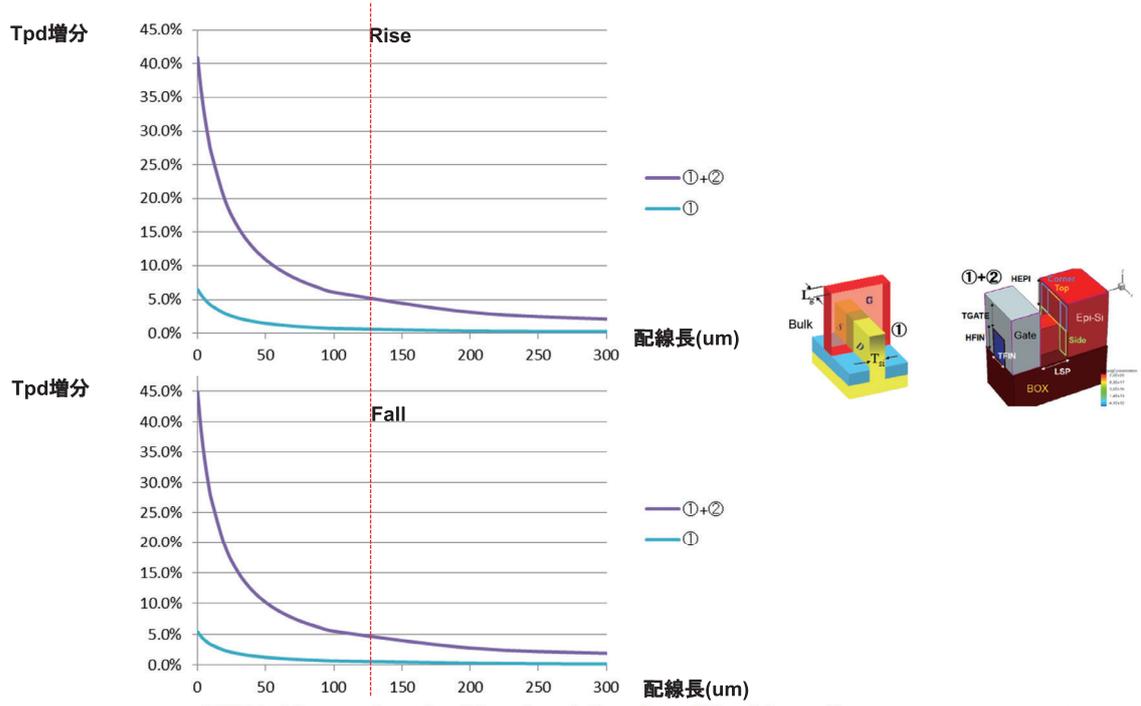


調査結果 (7) INV x1 におけるフリンジ容量の影響



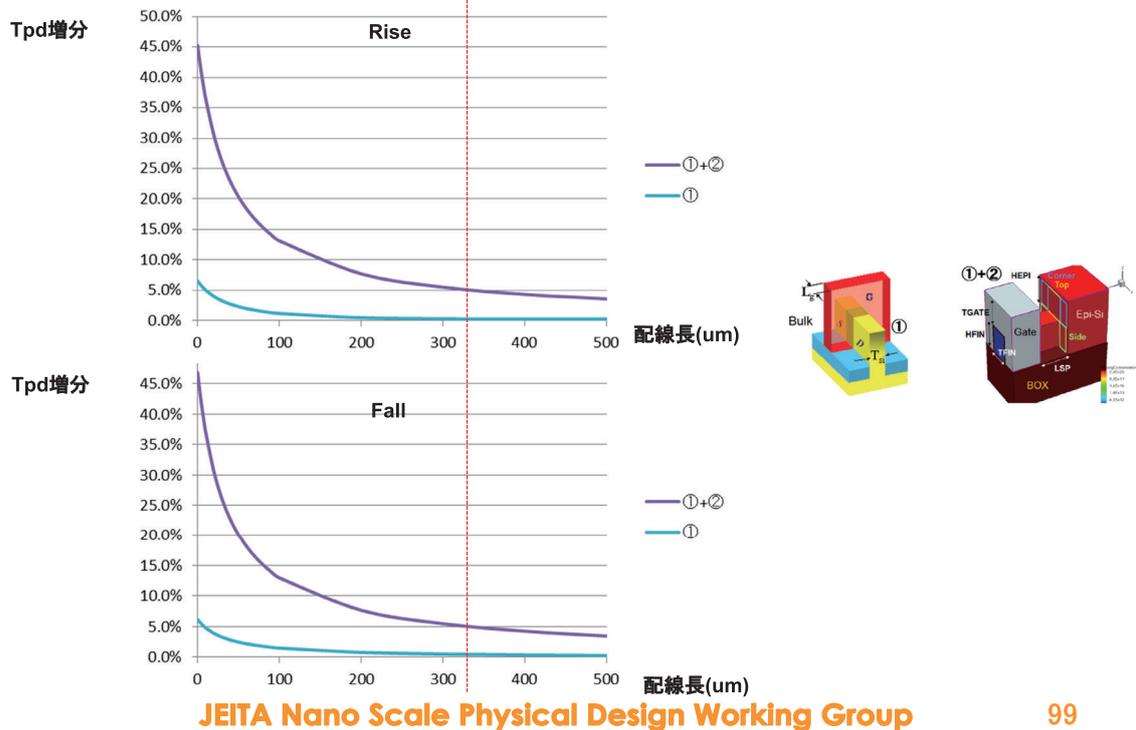
JEITA Nano Scale Physical Design Working Group

調査結果 (8) INV x2 におけるフリンジ容量の影響



JEITA Nano Scale Physical Design Working Group

調査結果 (9) INV x4 におけるフリンジ容量の影響



今後取り組む課題

- Fin抵抗の影響調査、容量との比較。
- Fin容量(Miller容量)の高精度モデリング、タイミング検証における精度改善の提案。
- Finに関わる他の系統ばらつき要因との比較。

まとめ

- ・ Gate と Epi-Si間の容量の影響が大。
→ サイズの大きいセルほどセル間配線が長い領域(120~230um)まで影響あり。
Miller容量の高精度見積り、考慮が必要。
- ・ 引き続き Fin抵抗の影響を調査する。

文献資料

- [1] BSIM-CMG(Berkeley Short-channel IGFET Model - Common Multi-Gate)
<http://www-device.eecs.berkeley.edu/bsim/?page=BSIMCMG>
- [2] Predictive Technology Model (PTM)
<http://ptm.asu.edu/>
- [3] The International Technology Roadmap for Semiconductors (2007 ed.)
<http://public.itrs.net/>
- [4] NanGate FreePDK45 Generic Open Cell Library
<http://si2.org/openeda.si2.org/projects/nangatelib>
- [5] HSPICE Reference Manual Version(G-2012.06-SP1)

LPB: LSIパッケージボード ～いよいよ連携の本番です。～ ～LPB forum～



JEITA LPB相互設計WG主査
福場 義憲



キーワード

「Baseball field solver」
「一人よがりの協調設計」
「連携」
「LPBフォーラム」



■ アジェンダ

■ はじめに

Baseball Field Solver

協調設計の失敗例

■ 連携の形

～構想設計と詳細設計～

～縦の連携/製造との連携～

■ 最後に



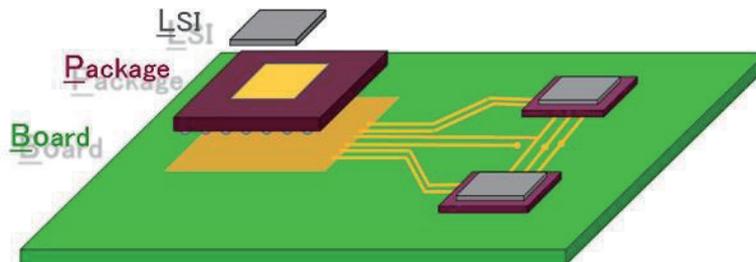
■ はじめに

Baseball Field Solver



LPB

- LPBは相互設計を基調とします。
- 何故、協調設計と言わないのか？



- 相互設計 Interoperable Design Process
- 協調設計 Co-Design



LPB協調設計

- 協調設計は一人でやってたほうが効果ある？
 - 開発期間
 - コストパフォーマンス

- しかし、一人では総合的かつ連続性のあるソリューションは作れない。

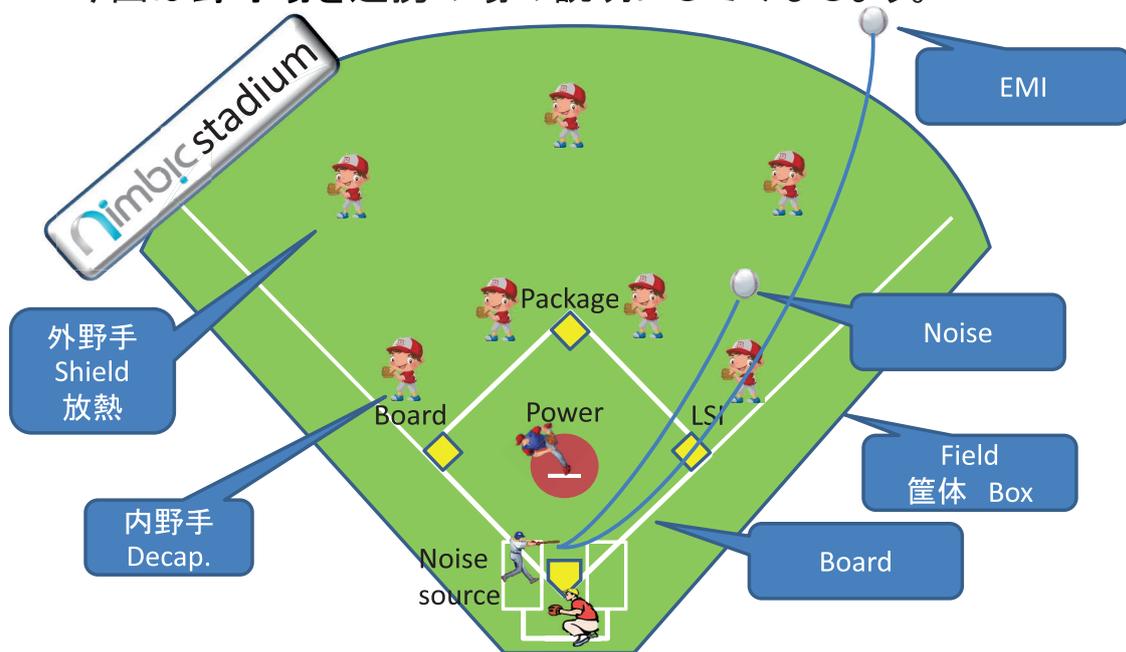
◆ 野球場でみてみましょう。

nimbic stadium



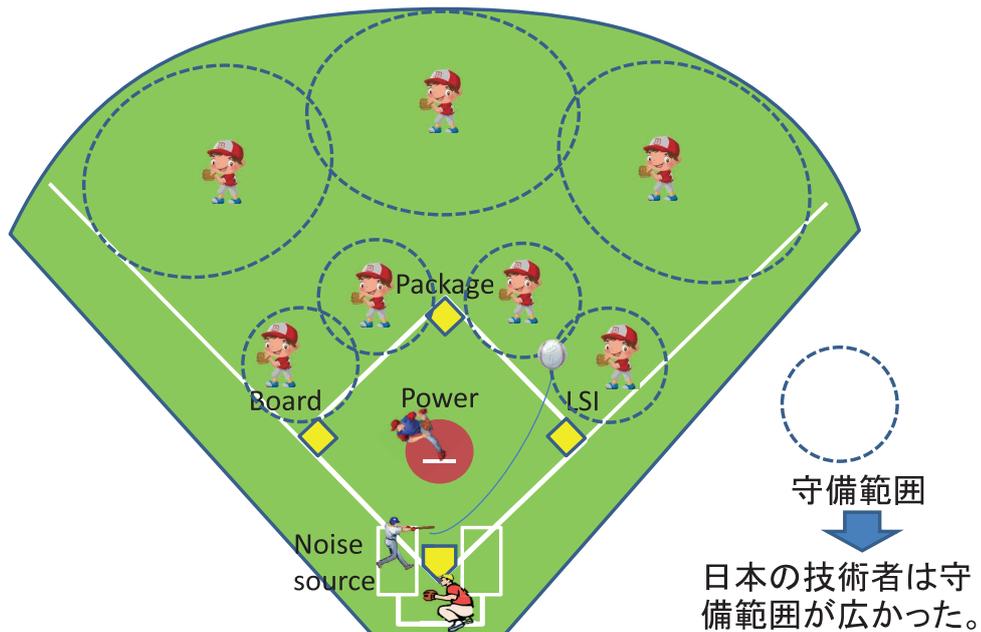
Baseball field solver

- 今回は野球場を連携の場の説明にしてみました。



日本の守備力(昔の話)

- 守備範囲が広ければ鉄壁の守り。



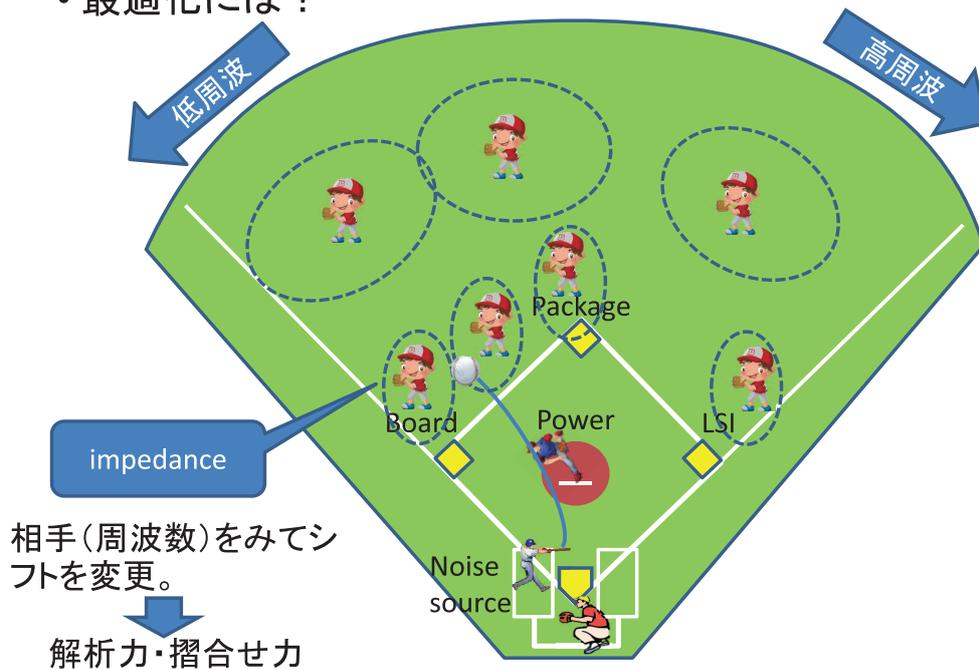
最近は・・・

- 打球が速くなってくる(高速動作・高速伝送)と個々の守備範囲は相対的に減少。



ノイズが予測できれば対処可能

- 最適化には？



半導体ばかり頑張っても・・・

- ・ノイズの出ない半導体にしてください。無理です。

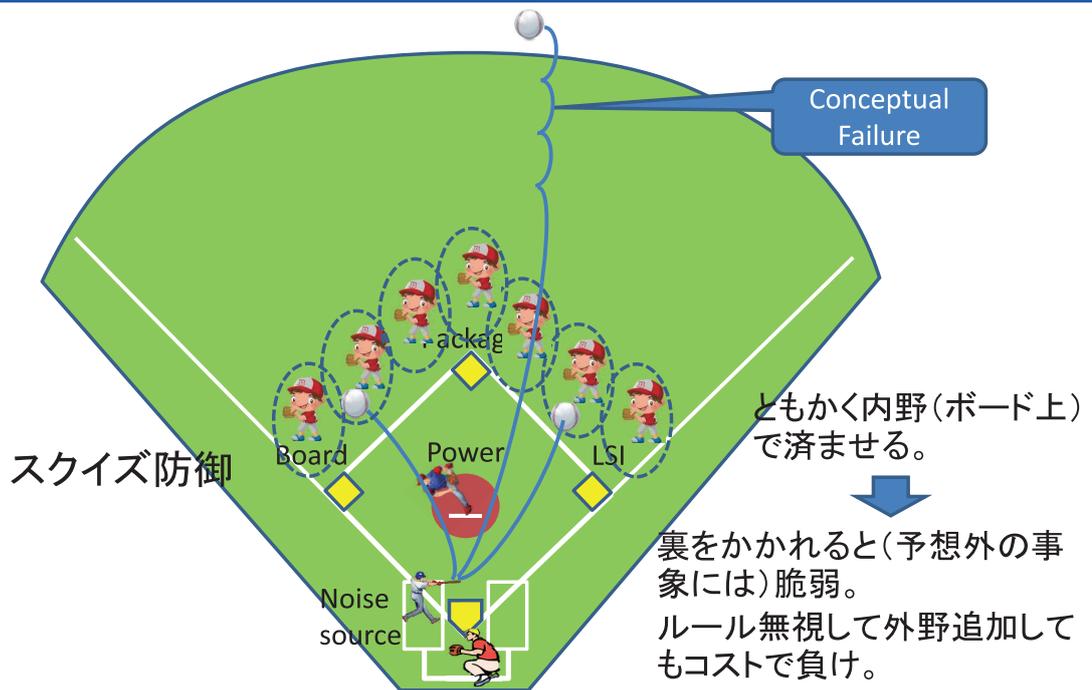


ボードばかり頑張っても・・・

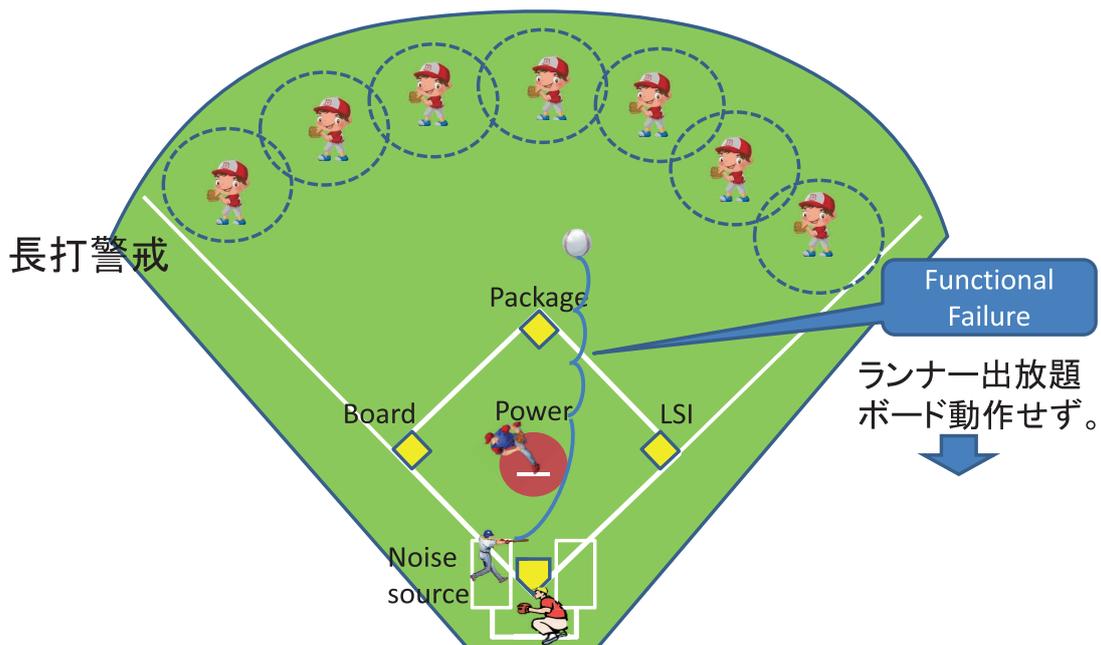
- ・ノイズ対策は全部ボードでやってください。無理です。



狙いすぎても・・・

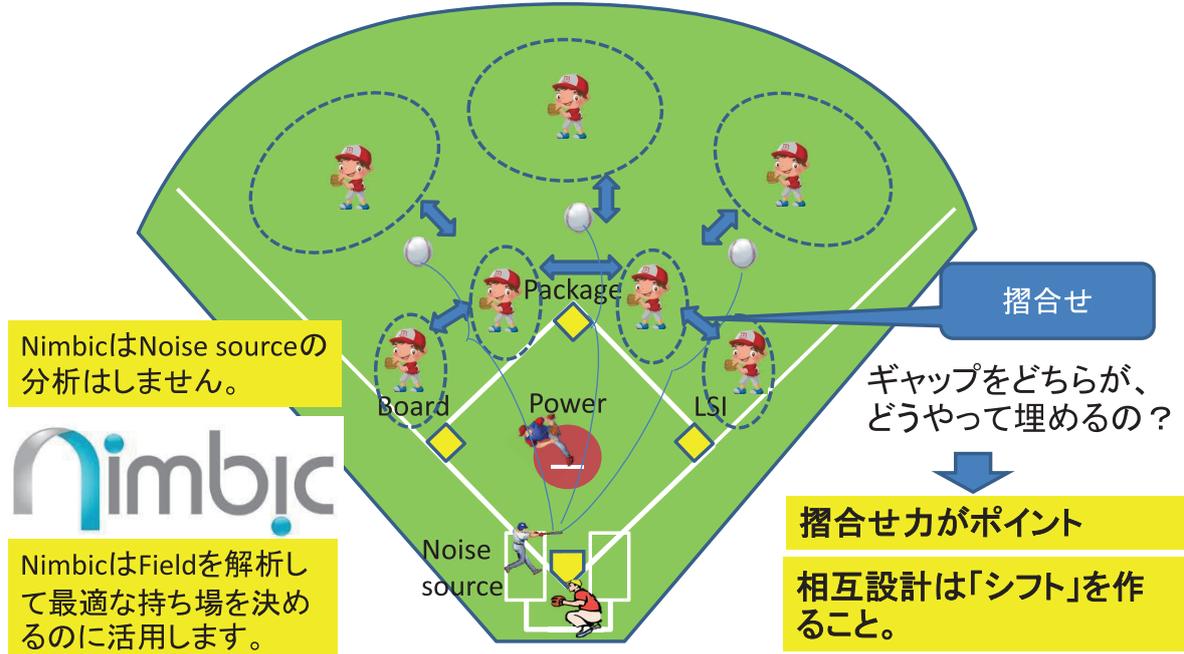


狙いすぎても・・・2



摺合せ力

- どこをどう対策するのはノイズを把握してシフトを決める。



■ はじめに～2

協調設計の失敗



LPB協調設計の失敗例

- 構想設計で協調設計したのに詳細設計でやり直し。結局、時間がかかった。
- 高速部分の特性未達、電源のインピーダンスが高い等
 - 原因1 デザインルールがコスト情報をもっていなかった。
 - 特性主義で商品企画なりたたず。
 - 原因2 製品製造担当が設計外注。構想結果を提供せず。
 - 指示をこちらから出すと
 - »特性保障してもらえない。
 - »コストがコントロールできない。



分析

- 情報不足 流通方法をもっていない。
 - あいかわらずの秘密主義。
- 日本を蝕む分業体質。
 - 横の連携、縦の連携 とともに不足
 - 覚悟なくして勝ちは無い。



■ 連携

協調設計の失敗例に学ぶ

横・縦の連携



連携の定義

•横の連携

–LSI Package Boardの構想設計段階での摺合せを意味する。

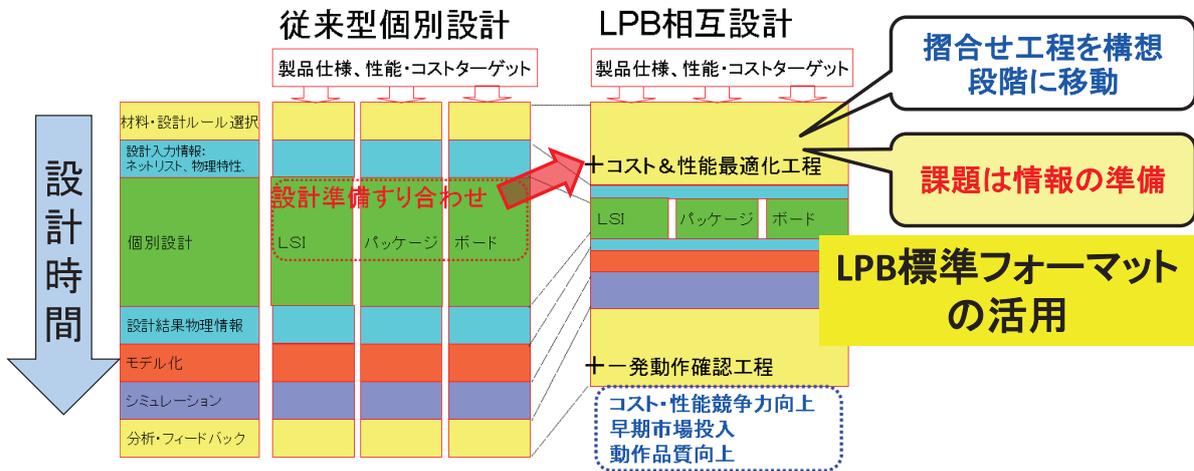
•縦の連携

–構想設計結果を詳細設計で実現する。
–最適設計された結果を製造に繋ぐ。



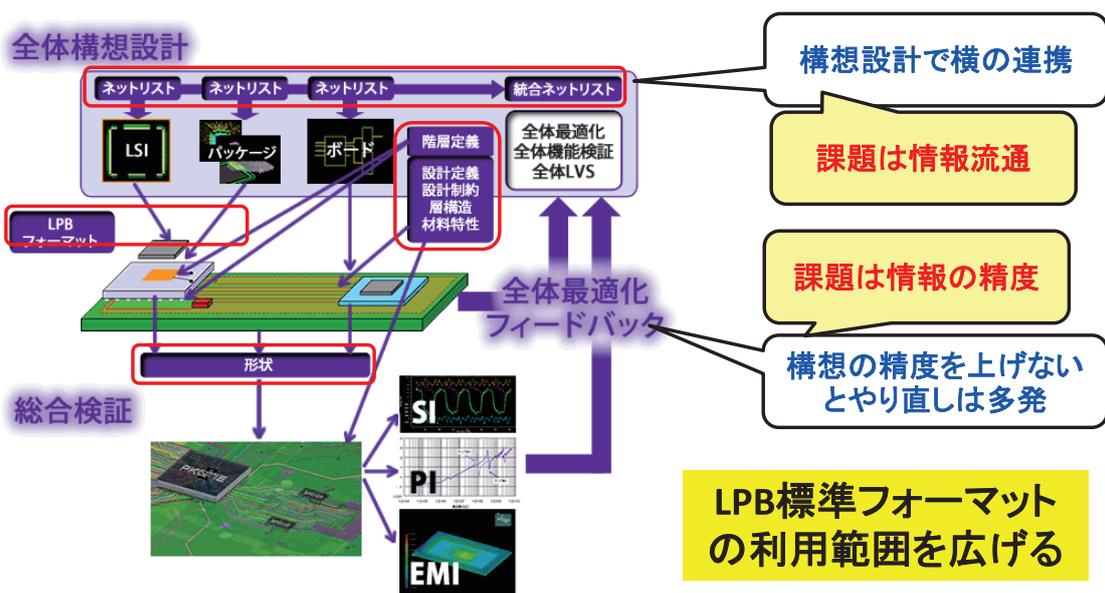
対処法1～情報の流通と共有～

詳細設計を始める前に摺合せ
欠けているのは正確な情報



対処法2～設計フローを作っておく～

連携できる設計フローをLPBフォーマットで構築。



JEITA LPB標準フォーマットV2.1

●ダウンロードサイトを用意

●<http://www.lpb-forum.com/download/>



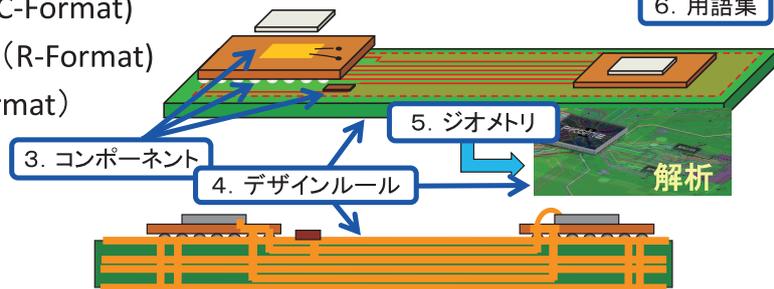
JEITA LPB標準フォーマットとして5つのファイルと用語集を策定

1. プロジェクト管理 (M-Format)
2. ネットリスト (N-Format)
3. コンポーネント (C-Format)
4. デザインルール (R-Format)
5. ジオメトリ (G-Format)
6. 用語集

1. プロジェクト管理

2. ネットリスト

6. 用語集



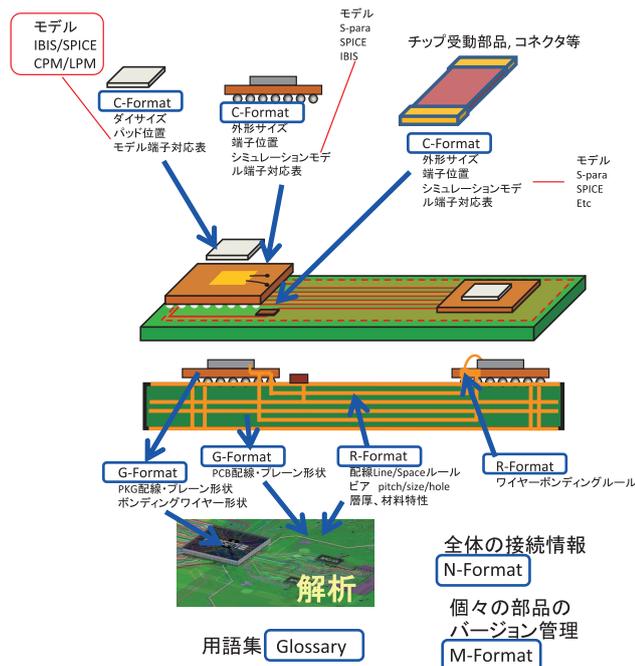
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2013

2013/5/24

Page23

LPB相互設計における情報の受け渡し

詳細です。



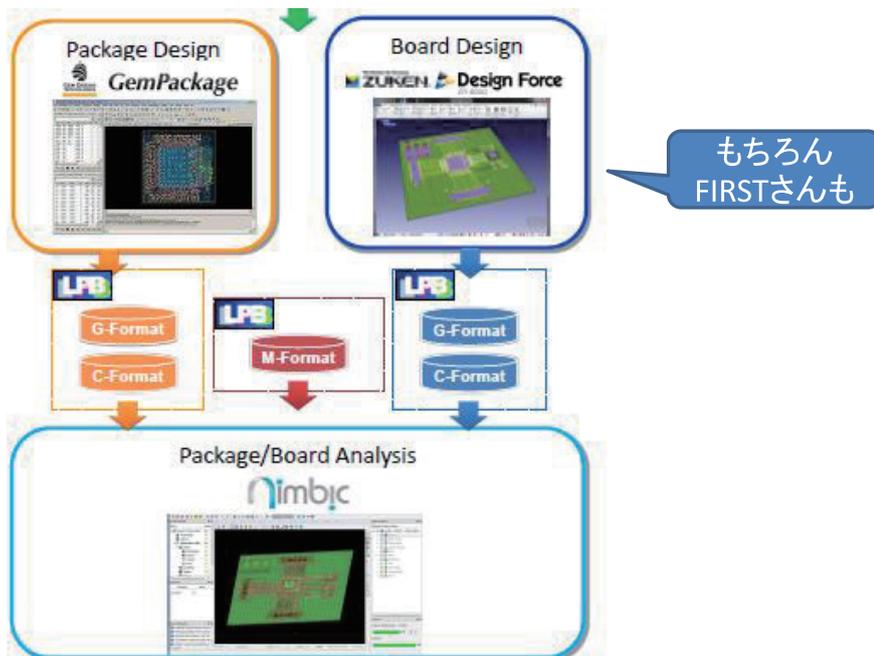
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2013

2013/5/24

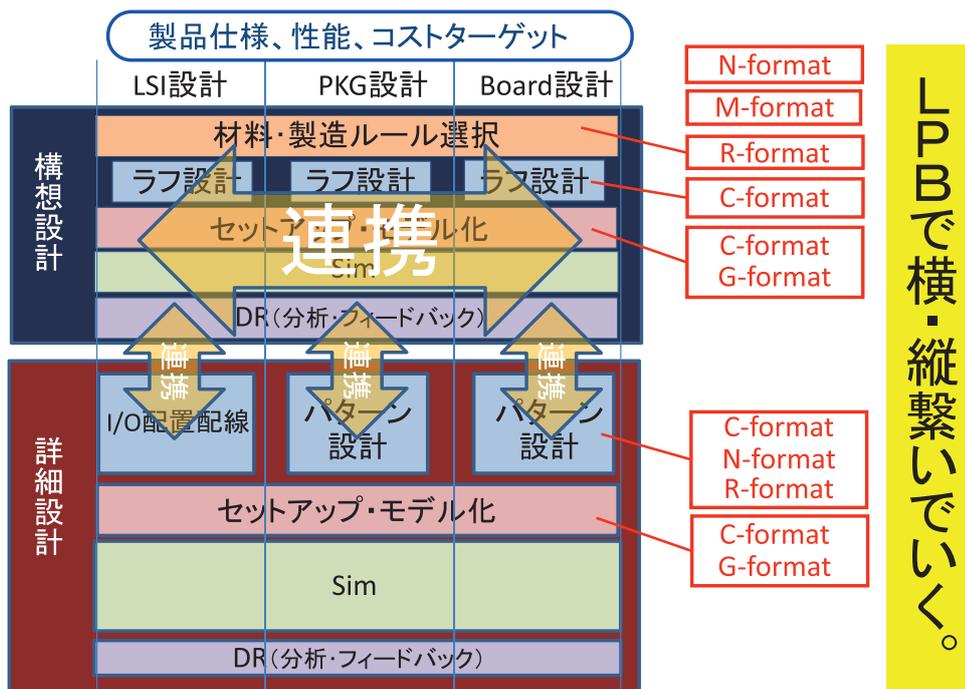
Page24

EDA

- EDAのつながりは出来始めています。(例です)



構想段階の連携・詳細設計への繋ぎ

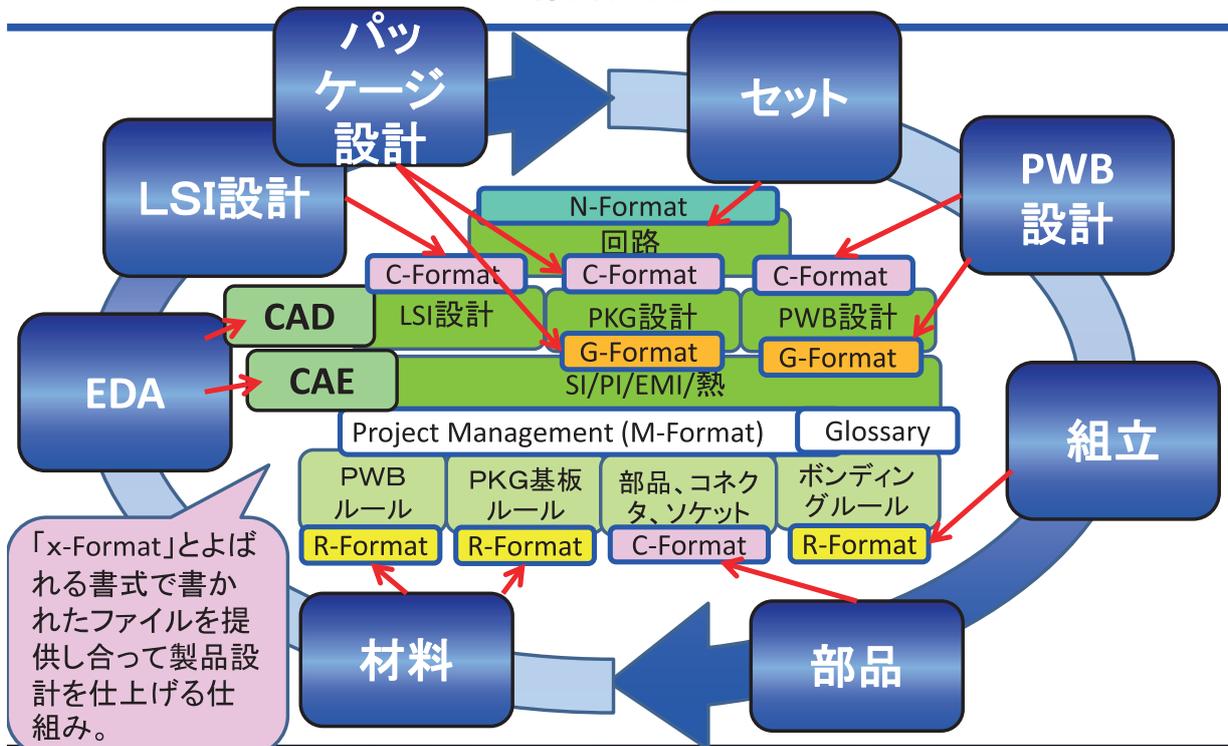


今後の課題

- 情報流通の不足。
 - 部品、基板、コネクタ、組み立ての参加
- 製造設計に繋ぐ。
 - 詳細設計に構想設計の結果を正確に反映する。



JEITA LPBは情報流通プロトコル



しかし、

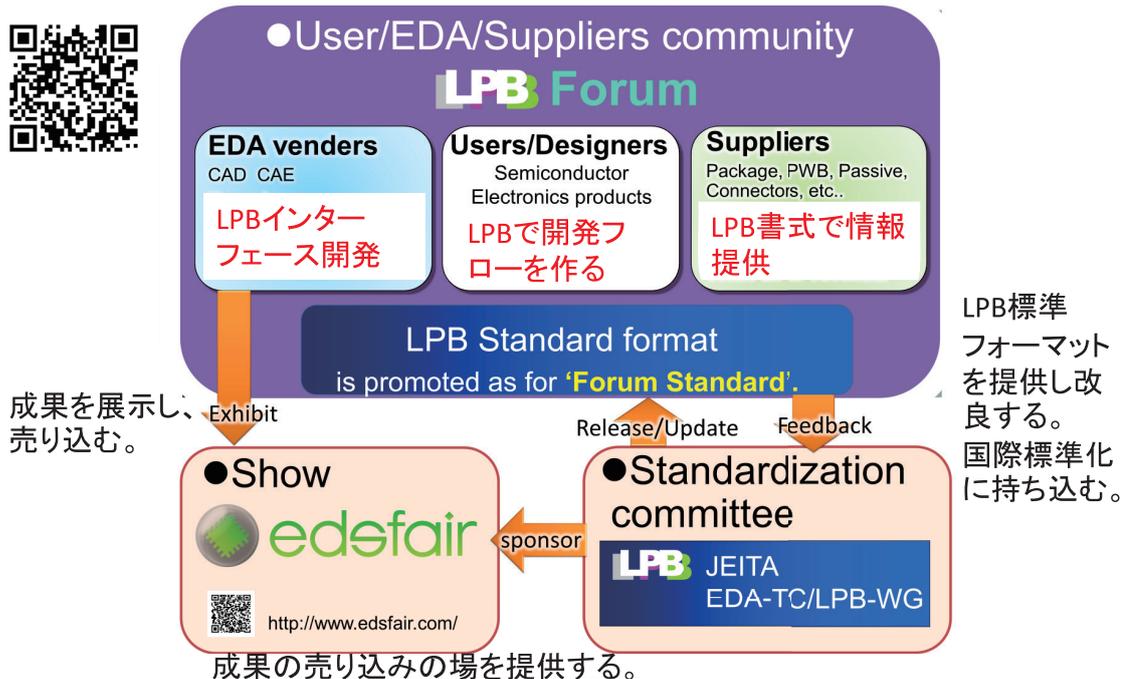
- 呼びかけるだけでは始まらない。
- 標準フォーマットがあってもメリットがなければ使わない
- メリットを示しても会話する場がないと会話しなない。

◆連携する場を作る。



連携の場を創造

LPBの会話をする場所を提供する。



LPBフォーラムを活用しよう。



第1回LPBフォーラム 座談会シーン @2013年3月6日

78名が参加



<http://www.lpb-forum.com/>



- 1回目 EDAの方の主張・宣言を聞いた。
- 2回目 ユーザー視点の会を催したい。
- 掲示板で議論しよう。

◆連携する場を作る。



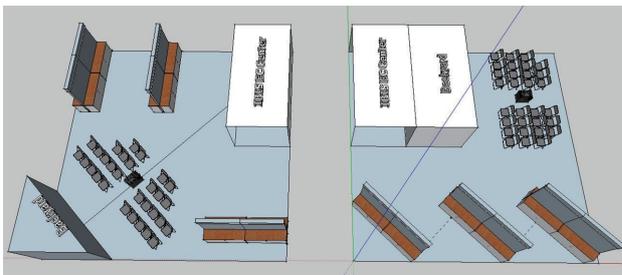
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2013

2013/5/24

Page31

EDSフェアLPB/IBISコーナー

EDSFで今年もLPB・IBISゾーン
2013年11月20日-22日
SDFでパネル討議



2013年募集プラン

パッケージ出展プラン

17

- ▶ 小間規格
 - ▶ 間口1.98m×奥行き0.99m×高さ2.7m
- ▶ 基本設備
 - ▶ 基礎壁面
 - ▶ 風幕台(高さ0.97m 下部収納付)
 - ▶ 社名版・社名掲出用パラペット
 - ▶ 蛍光灯
 - ▶ コンセント(容量1kw までの単相100V電源)

小間仕様	1小間(1.98m×0.99m×2.7m)	1小間(1.98m×0.99m×2.7m)
小間料	350,000円	350,000円
採録機工事	パッケージ価格	100,000円
プロセッサリース料	198,000円	(パッケージブース14席)
合計	198,000円	60,000円
		(採録機リース料参加費)



※レイアウトイメージ



(システムデザインフォーラム)



Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2013

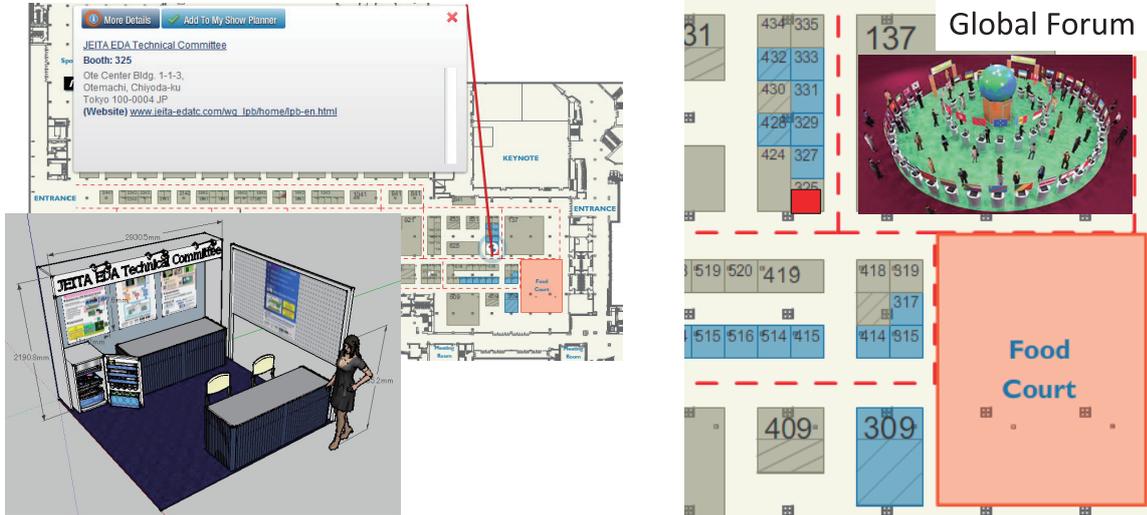
2013/5/24

Page32

DAC

ブースは#325

少し端の方に位置。 Food Courtやイベントスペースに近い



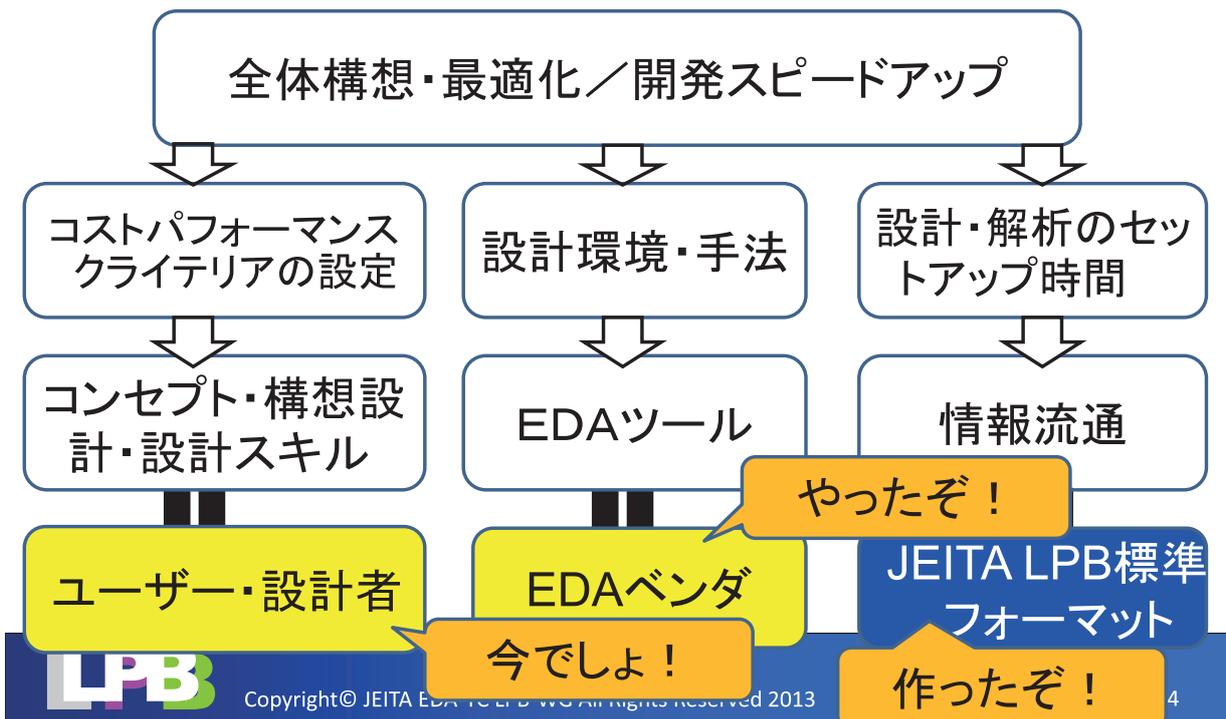
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2013

2013/5/24

Page33

昨年の結論、

それぞれのなすべきことを行動に移そう。



Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2013

4

EDAの対応が始まった

• つかって、いつ連携するのですか？

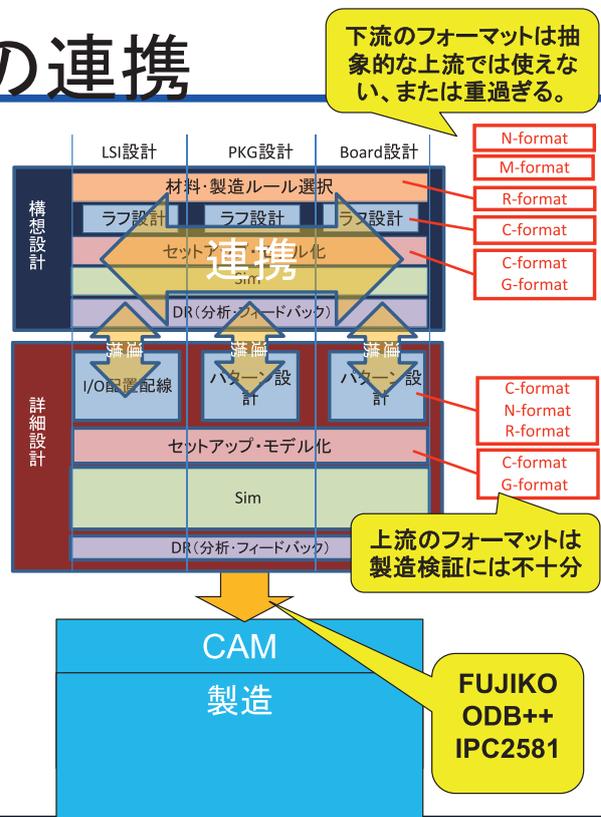
◆ 今でしょう！

10社以上対応

何処が対応したの？ここではちょっと・・・
詳細は今夜。

残すは・・・製造との連携

- ◆ LPBは製造設計・検証には不足
- ◆ 下流(マスク・製造)に繋げる手立てが課題
- ◆ LPBは下流IFを追認・採用する立場とりたい。



最後に

今日のまとめ

- LPB標準フォーマットを使って「連携を実現」
- LPBフォーラムを活用しよう。
- 製造へもきちっと繋ごう。



ご清聴、ありがとうございました。





2013最先端実装技術シンポジウム

平成25年6月6日(木) 10:30-11:30
JEITA LPB相互設計ワーキンググループ

LSI・パッケージ・ボード相互設計に おける構想設計環境構築の実現

1

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム



Agenda

- 背景
～高速伝送I/Fについて～
- JEITA LPB相互設計WG活動内容
- 活動成果
～JEITA LPB標準フォーマットの概要～
Golden Sampleについて
- EDAツールへの適用・運用事例
- 標準化活動について
- 最後に
～LPBフォーラムについて～

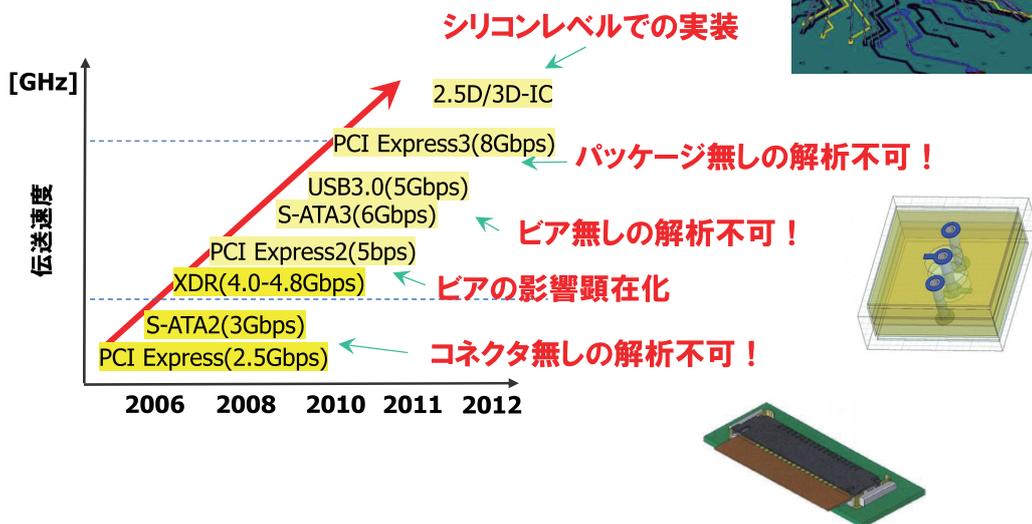
2

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

■ 背景 ～高速伝送I/Fについて～

高速伝送I/Fについて

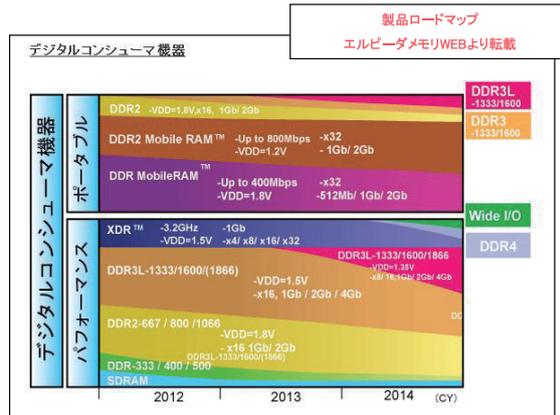
回路の高速化に伴い、PCI-Express-gen3(8Gbps)やSATAⅢ(6Gbps)など高速信号はますます設計マージンが厳しくなっている。



【メモリアンターフェース技術トレンド】

サーバー、PC等の情報処理機器向けの開発が先端となり、産業機器はそれらが行き渡った段階から切り替えが始まる。DDR4は高速化と低消費電力化を目標に規格策定されたが当初のアナウンスよりも開発は1年以上遅れているので技術的なハードルの高さが伺える

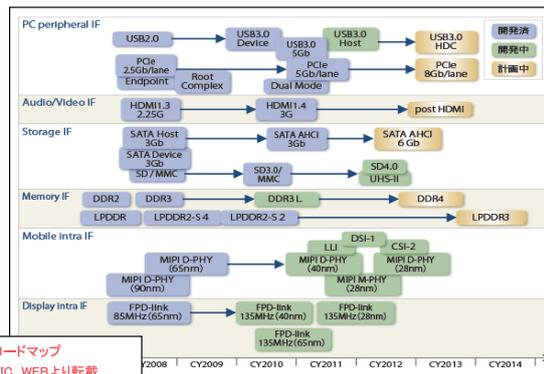
メモリ動向と同様にコントローラ側の対応も導入には必要であるため、ASICベンダーのIPロードマップも重要な意味をもつ。2015年頃の普及となるか。



【高速SERDES技術トレンド】

PC peripheralの高速SERDES系は2010年にPCIe-gen3規格が発表されてからまだ普及が始まっていない。コントローラ側の問題と言われているが、やはり技術的なハードルが高いと想像される。転送レートは8GT/sである。今年に入ってUSB3.0が5Gbpsから10Gbpsに次の規格で拡張されるとアナウンスされた。

いずれも5Gを超える伝送レートで新たな技術的なハードルがあると思われ、そこに向けてこれまでと違った対応を検討する必要がある。



2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

【DDR4技術動向】

DDR4 Outlook

DDR4 adopts evolutionary path with High BW & reliability scheme

Spec items	DDR3	DDR4	
Density / Speed	512Mbp~8Gb 1.6~2.1Gbps	2Gb~16Gb 1.6~3.2Gbps	
Interface	Voltage (VDD/VDDQ/VPP)	1.5V/1.5V/NA (1.35V/1.35V/NA)	1.2V/1.2V/2.5V ←
	Vref	External Vref (VDD/2)	Internal Vref (need training) ←
	Data IO	CTT (34ohm)	POD (34ohm) ←
	CMD/ADDR IO	CTT	CTT
Core architect	Strobe	Bi-dir / diff	Bi-dir / diff
	# of banks	8Banks	16Banks (4BG)
	Page size(X4/8/16)	1KB / 1KB / 2KB	512B / 1KB / 2KB
	# prefetch	8bits	8bits
Physical	Added function	RESET/ZQ/Dynamic ODT	+ CRC/DBI/Multi preamble .. ←
	Package type/balls (X4,8/X16)	78 / 96 BGA	78 / 96 BGA
	DIMM type	R,LR,U,SoDIMM	+ ECC SoDIMM
	DIMM pins	240 (R,LR,U) / 204 (So)	284 (R,LR,U) / 256 (So)

- 転送速度が大幅に上げてマージンがますますなくなる
- メモリは2電源になる
- Vrefは内部に持ち、トレーニングで制御される
- 低消費化の為にオープンドレイン
- CRC付加やいくつかの新しい機能がサポートされる

転送速度の大幅な向上と低電圧化の為に、

SSNの解析精度と速度の向上は非常に重要になってくると思われる



■ JEITA LPB相互設計WG活動内容

7

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

LPB相互設計WG設立の背景

電子機器産業界(設計現場)の現状と課題

現状

- ・LSI・パッケージ・ボード各分野での連携がとれておらず、全体としての最適化がすすまない
- ・フォーマットがばらばらでEDA技術活用の効率化が進まない

設計現場の課題

- ・ツールユーザーがツール間のデータフォーマット調整に対応
- ・作業に時間がかかり本来の設計に使うべき時間のロスが発生
- ・**苦労が大きい割にはそこから生じる恩恵は小さい**



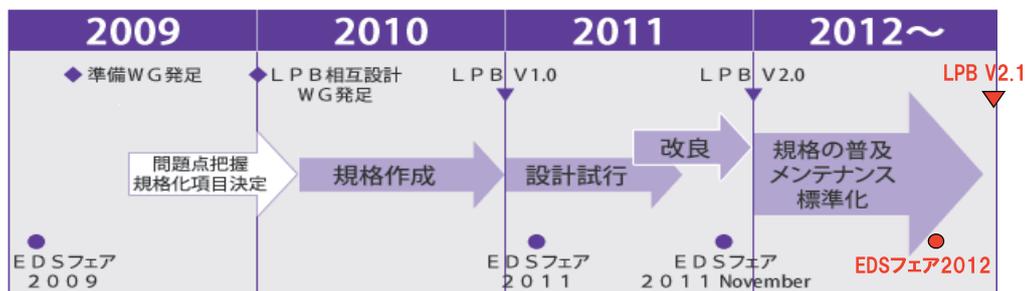
そのような現場の声を受けて2010年4月にLPB-WGが正式に発足

8

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP LPB相互設計WG活動履歴・成果

LPB相互設計WG活動履歴



活動内容

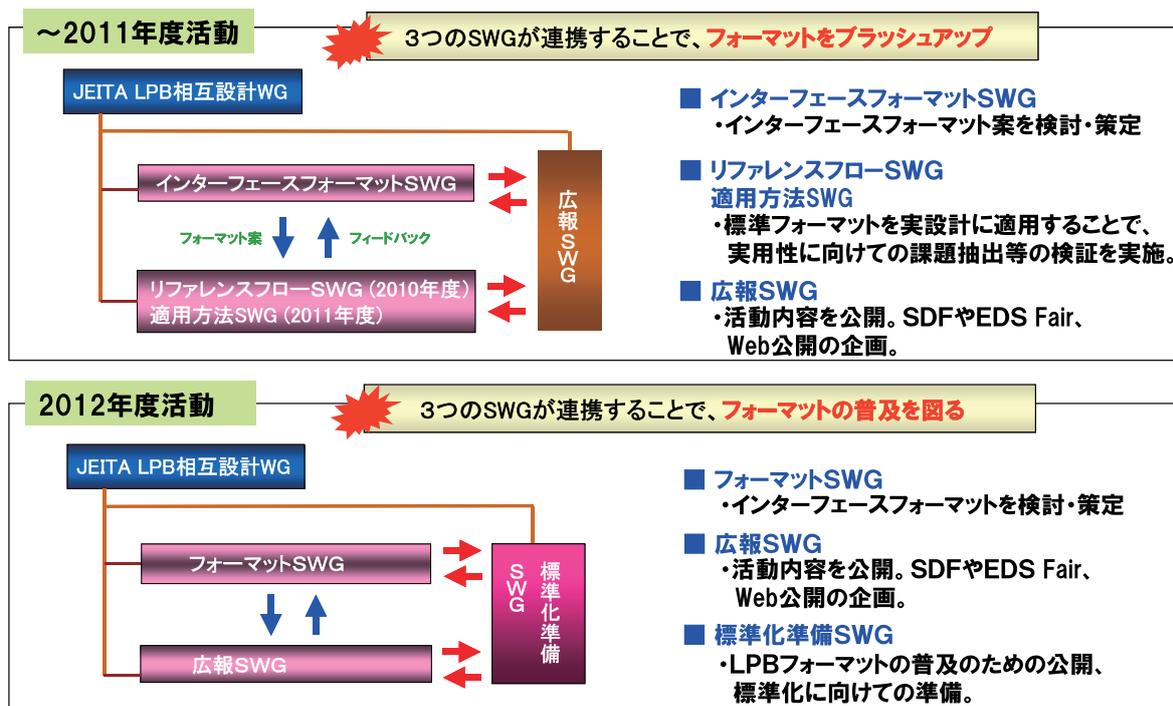
設計最適化の課題を整理し、競争領域と非競争領域の区別を行い、非競争領域における標準フォーマットをJEITAで検討

成果 : JEITA LPB標準フォーマット

9

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

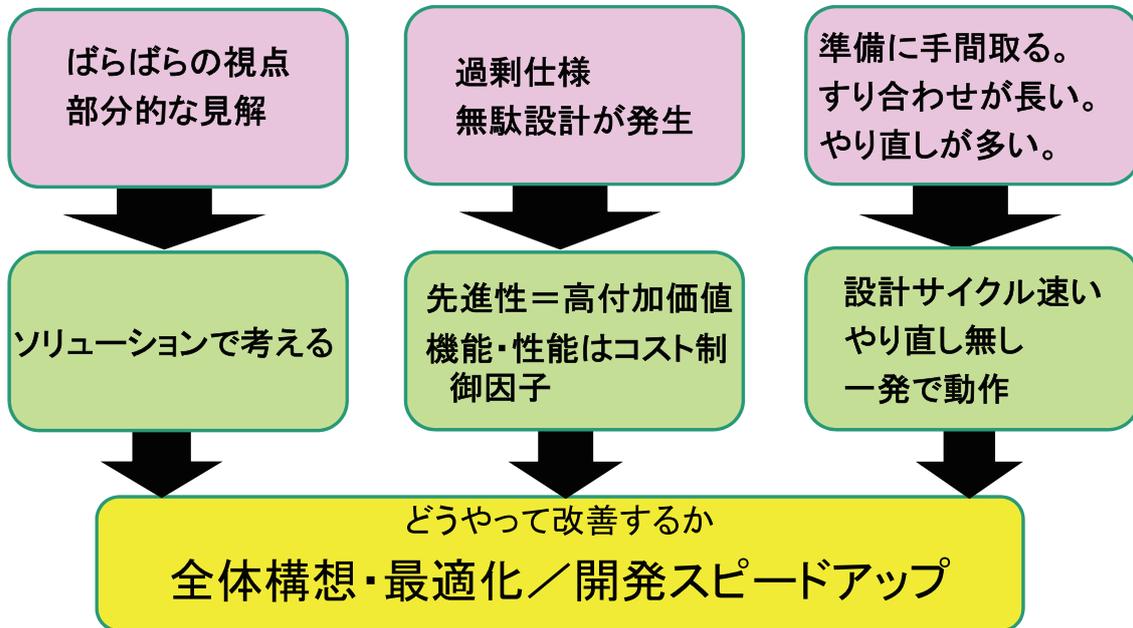
JIEP 各SWGの活動



10

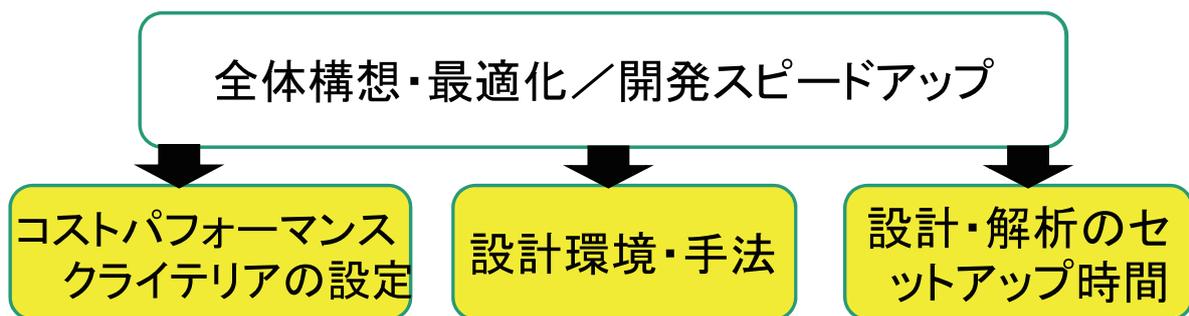
2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

■ 要因を整理すると改善ポイントがわかる。



11

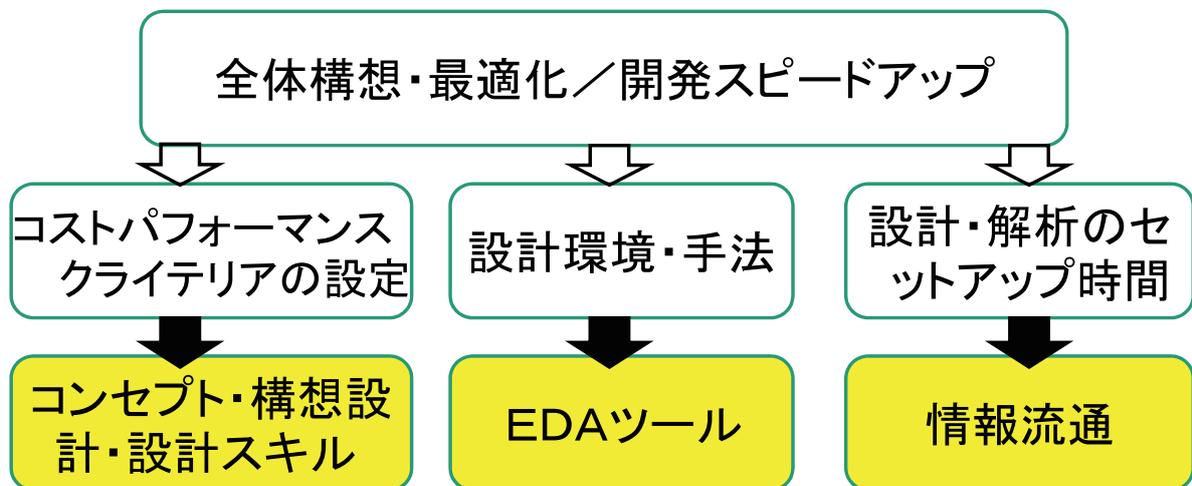
改良点を分析



12

JIEP How? どうやって改良?

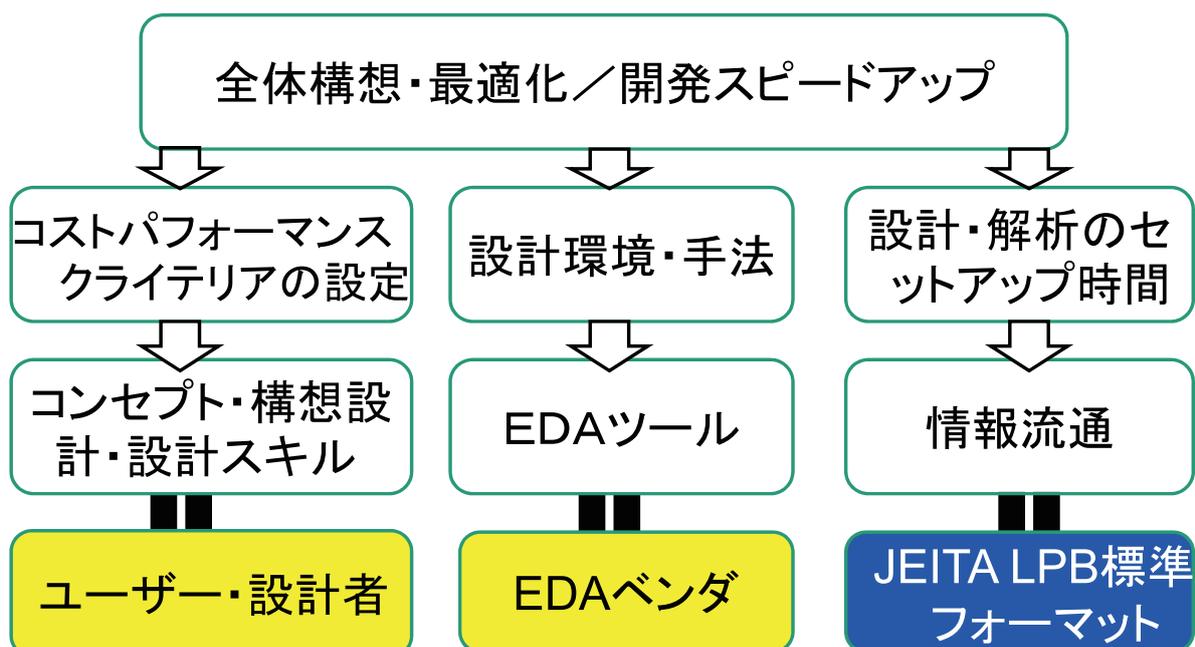
改良点を分析して行動に結びつける。



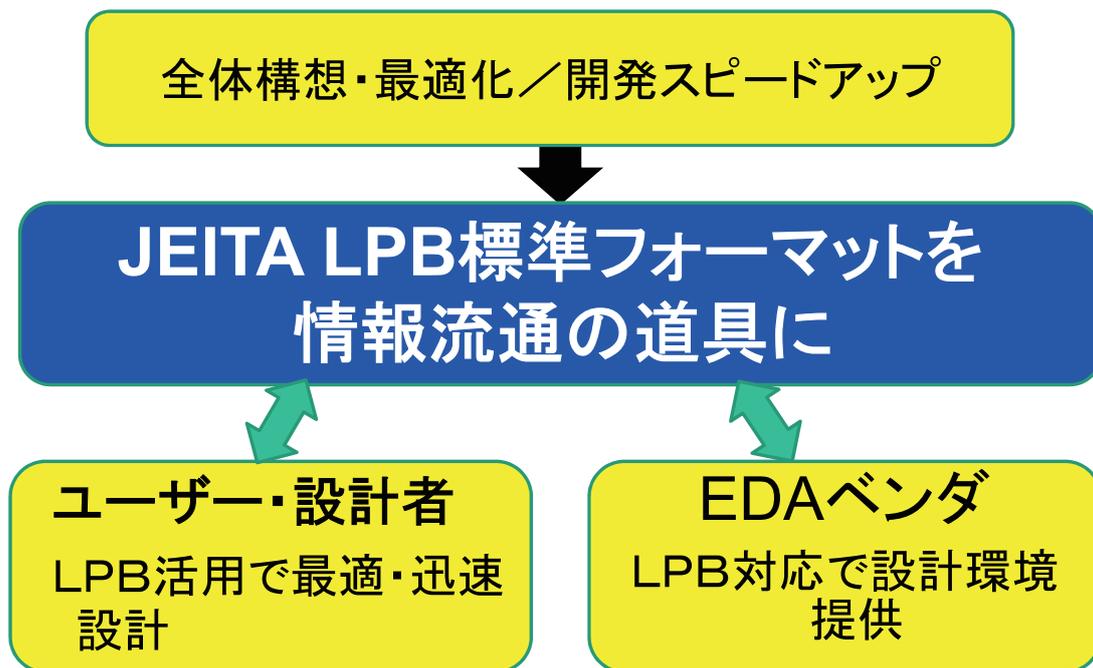
13

JIEP Who? 誰が改良?

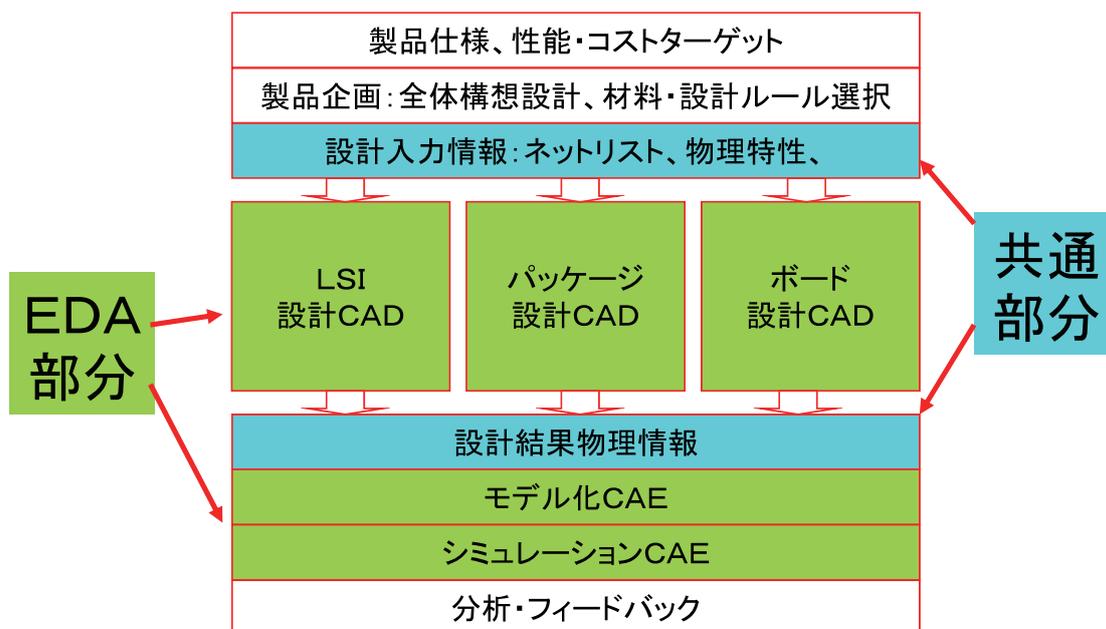
改良点を分析して行動に結びつける。



14



JIEP LPB相互設計におけるEDA部分と共通部分



設計最適化の課題を整理し、競争領域と非競争領域の区別を行い、非競争領域における標準フォーマットをJEITAで検討・策定

LPB相互設計のwebページにて、標準フォーマット Ver2.0を公開中

http://www.jeita-edatc.com/wg_lpb/home/lpb.html



17

JIEP まとめ

■ 課題

- 相互設計 : 異文化同士の交流
 - ・ コミュニケーションをもっとスムーズにしたい
- 異文化間交流には、定められたプロトコルが必要
 - ・ 意思の疎通を円滑に...
- ・ 解析・モデリングツールを設計の道具に...

■ ソリューション

- コミュニケーションのためにフォーマットを統一
LPB M/N/C/G/R-Format

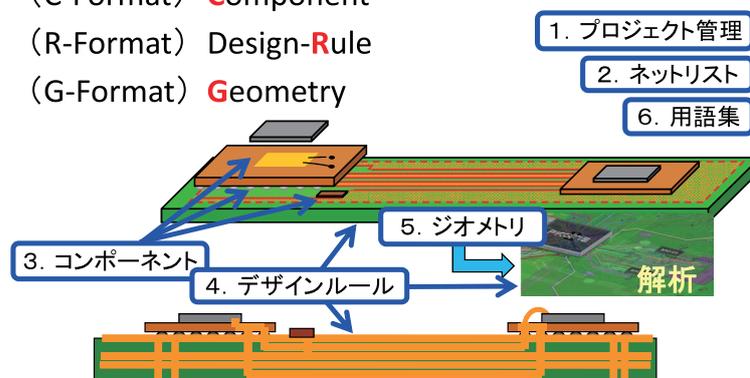
18

■ 活動成果 ～JEITA LPB標準フォーマットの概要～

JEITA LPB標準フォーマット

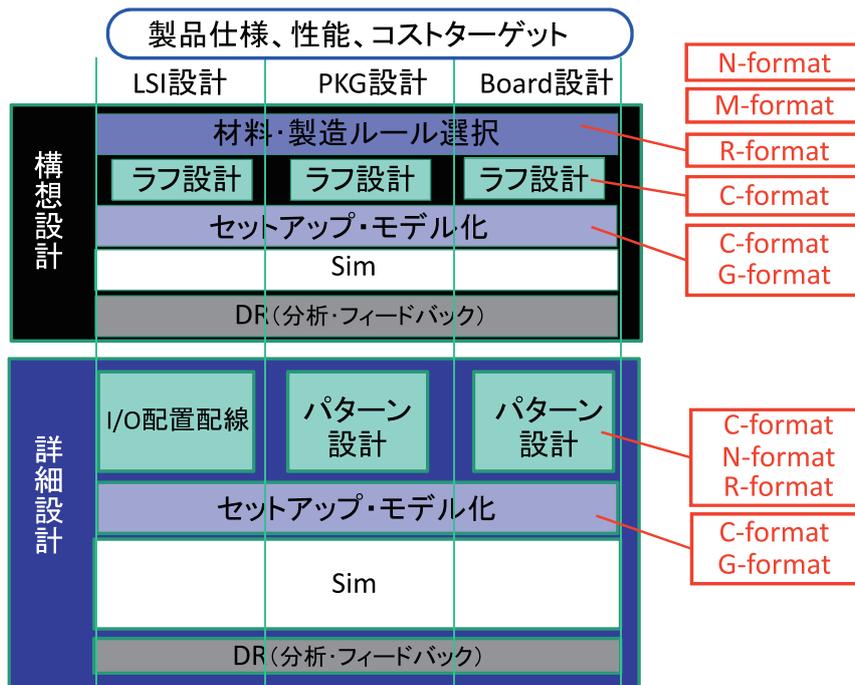
JEITA LPB標準フォーマットとして5つのファイルと用語集を策定

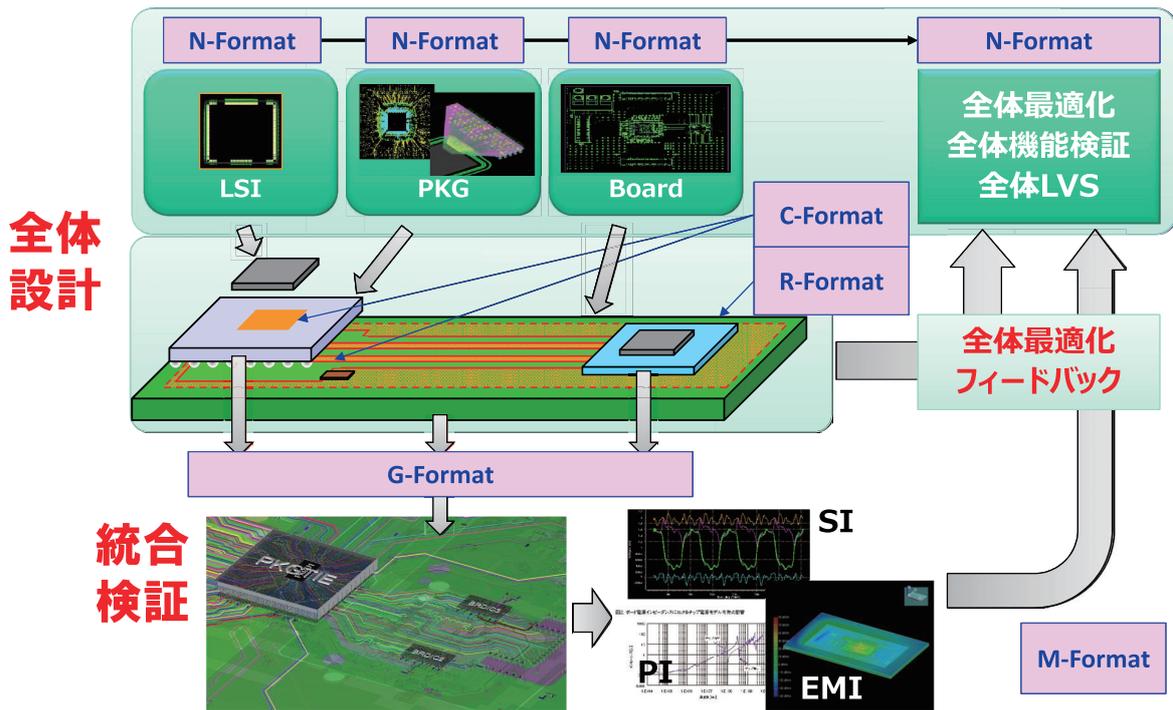
1. プロジェクト管理 (M-Format) **M**anagement
2. ネットリスト (N-Format) **N**etlist
3. コンポーネント (C-Format) **C**omponent
4. デザインルール (R-Format) **D**esign-**R**ule
5. ジオメトリ (G-Format) **G**eometry
6. 用語集



N-Format、G-FormatはそれぞれVerilog-HDL、XFLを流用し、それ以外は独自フォーマットを作り、XMLで表現。

フォーマット名	概要	フォーマットの書式
プロジェクト管理 (M-Format)	設計各部の履歴	既存フォーマットを調査した
ネットリスト (N-Format)	ネット接続表現+VG	既存)を追加
コンポーネント (C-Format)	部品・制約・端子	既存フォーマットを調査した
デザインルール (R-Format)	設計ルール・材料特性	フォーマットを調査した
ジオメトリ (G-Format)	解析用形状データ	er1.0(既存)を認められたフォーマットドネーション頂いています。



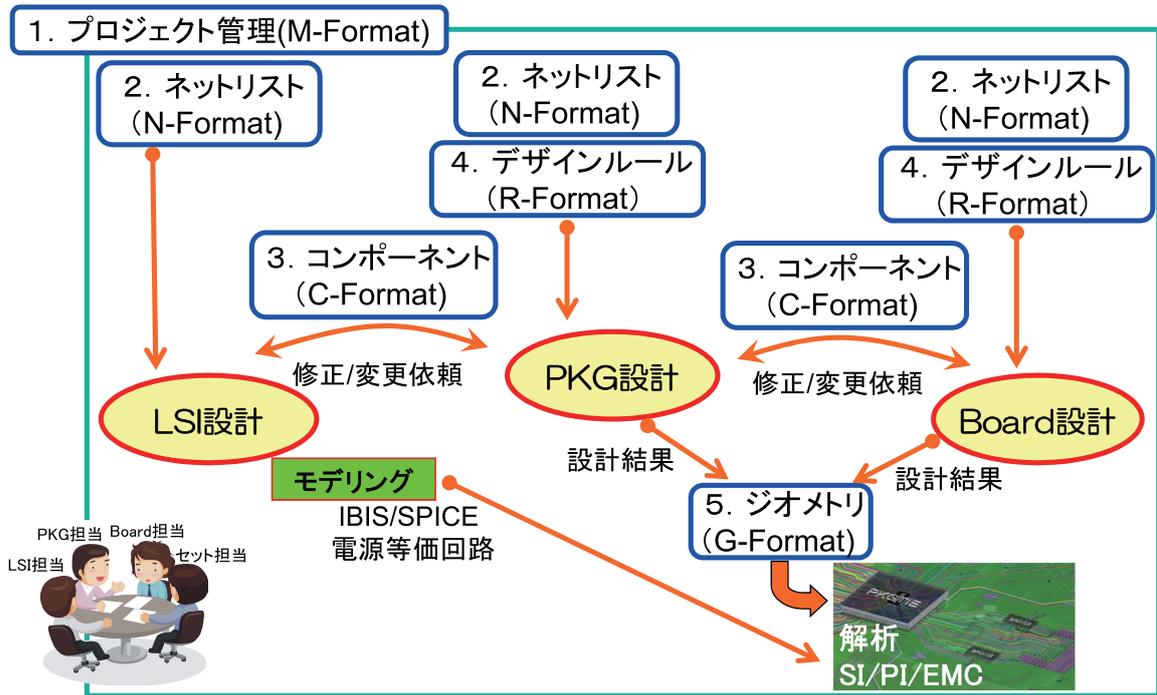


変革ポイント：設計・検証の情報流通改善、時間の有効活用

	ユーザー側のメリット	EDAベンダー側のメリット
Q	解析精度、品質向上	ツール本来の効果を発揮
C	コスト対性能の最適化	保守費低減、工数削減
D	準備、設計期間を短縮	標準利用による設計短縮

ユーザー、ベンダーの相互作用による業界の活性化

JIEP LPB標準フォーマットの位置づけ



6. 用語集

25

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP まとめ

フォーマット名	メリット	
	設計	解析
プロジェクト管理 (M-Format)	<ul style="list-style-type: none"> ・制約ルールの履歴管理が容易 ・検証状況の把握が容易 	<ul style="list-style-type: none"> ・最新の解析条件の把握が容易
ネットリスト (N-Format)	<ul style="list-style-type: none"> ・統一フォーマットなので、漏れ防止・ミス低減 	<ul style="list-style-type: none"> ・LSI-PKG-Boardの接続設定が省ける
コンポーネント (C-Format)	<ul style="list-style-type: none"> ・LSI-PKG-Boardの検討がスムーズに行える 	<ul style="list-style-type: none"> ・制約条件が明確になる ・最適化検証が容易に行える
デザインルール (R-Format)	<ul style="list-style-type: none"> ・事前に設計ルールを明確にし、効率的な設計が行える 	<ul style="list-style-type: none"> ・解析条件が明確になる ・解析設定の効率がUPする
ジオメトリ (G-Format)	<ul style="list-style-type: none"> ・設計資産の活用 ・リファレンス設計の流用が可能 	<ul style="list-style-type: none"> ・データ変換作業の効率化・簡素化 ・ツール評価の効率化がはかれる



LSI-PKG-Boardで共通に使える統一されたフォーマット
 →設計・解析の効率化(特に、お互いの意思疎通ミスの防止)
 →階層内の最適化だけでなく、階層間の最適化が可能



26

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

■ 活動成果 ～ Golden Sampleについて～

LPB format Golden Sampleの準備

目的

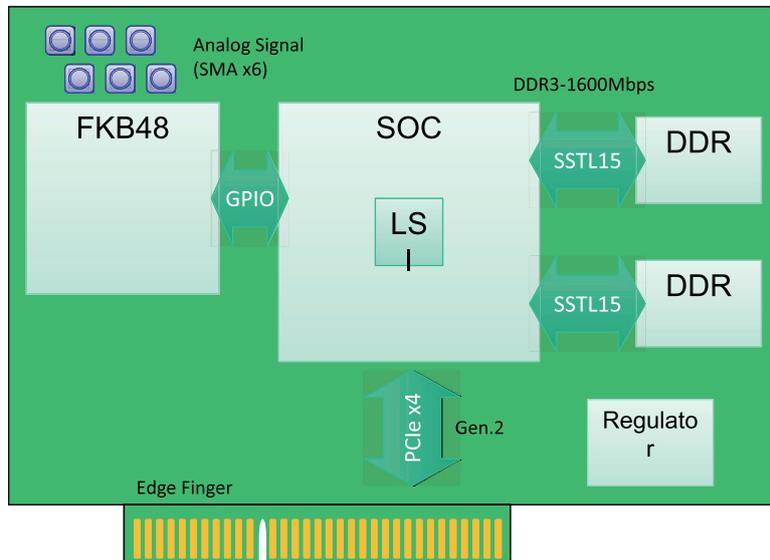
- LPBフォーマット Ver.2.0のテストベンチの役目
- 設計制約のカバー率が高い(多くの項目がチェックできる)
- EDAの接続テストができる

具体的には、

- DDR (差動信号, 等長, グルーピング, スワップ)
- 電源分離 (アナログ, PLL)
- Port名がPKG-Boardで異なる
- Port名とNet名が異なる
- ピン数が多い etc

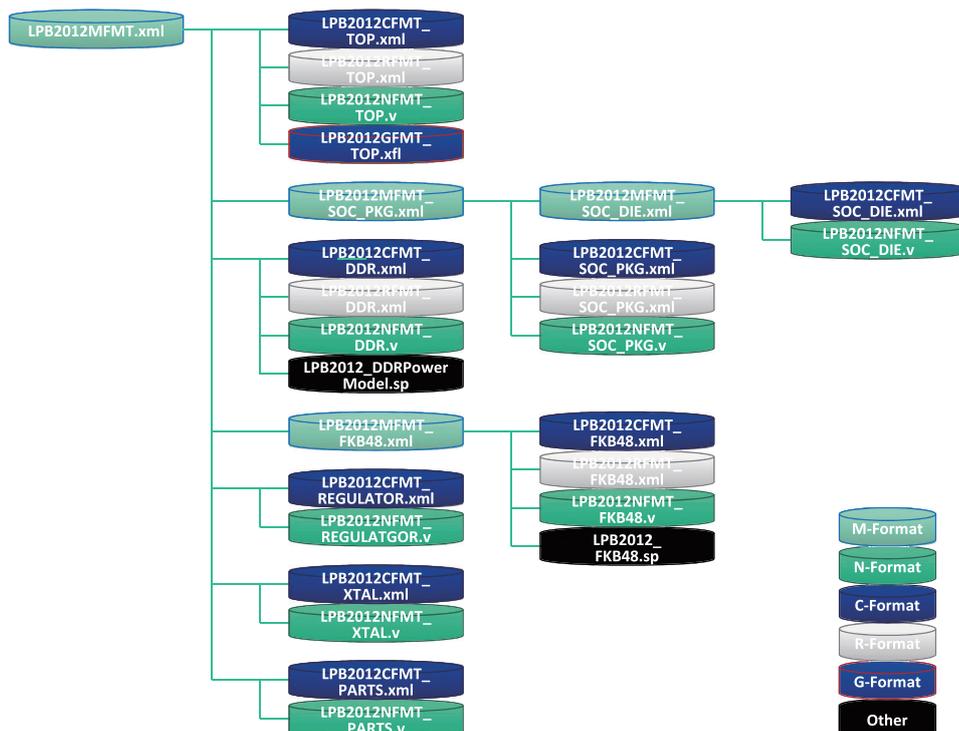
JIEP LPB format Golden Sample

SOC	LSI, Packageとも新規設計	水晶	既存
DDR	既存, Package品	受動部品 (R, C, Ferrite bead)	既存
FKB48	既存, Package品		
Regulator	既存, Package品		

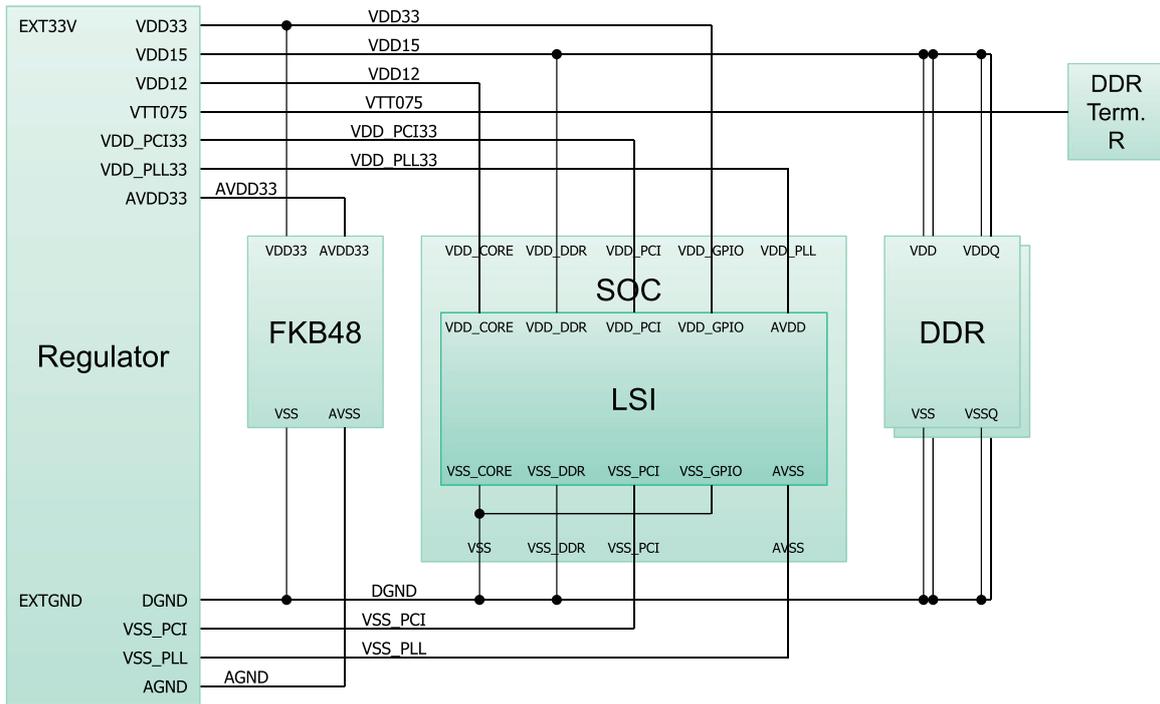


29

JIEP Files of Golden Sample



30



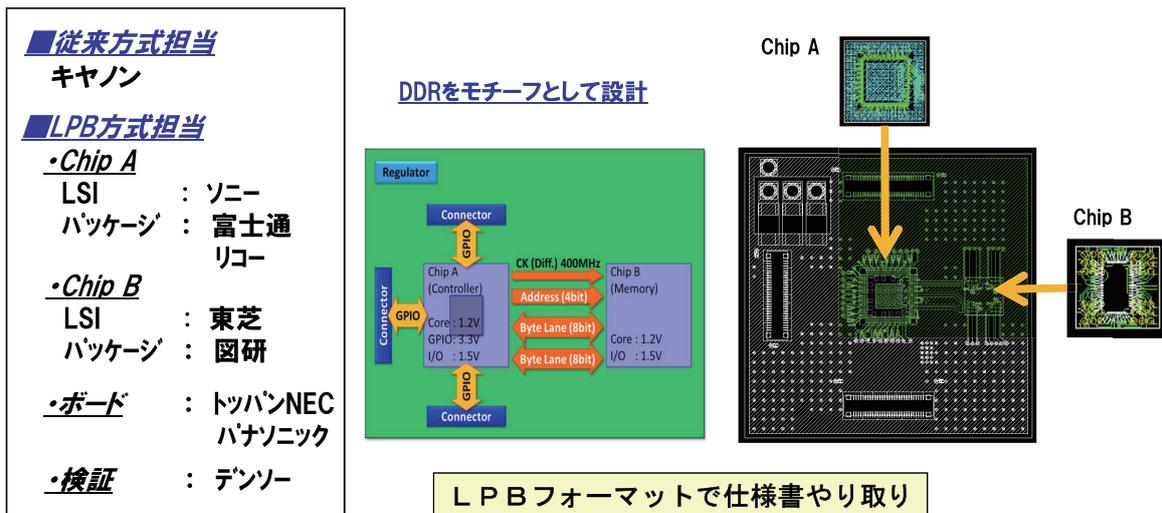
JEIP LPB相互設計WG Web紹介

EDAツールへの適用・運用事例

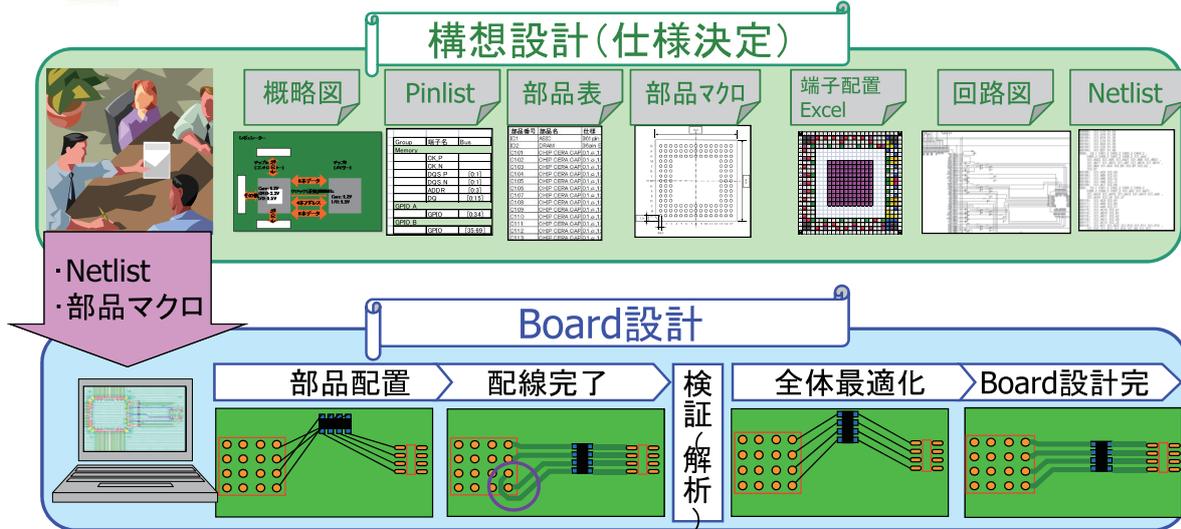
JIEP 事例検証

EDSフェア（2011年11月17日）発表

従来方式とLPBフォーマット方式、それぞれで実際に設計することで比較



LPB標準フォーマットを適用することのメリットを確認。



従来方式の課題

- 1.人為的ミスが発生リスクがある(構想設計時)
- 2.全体最適化が困難
- 3.解析準備に時間がかかる

■ 多岐にわたるフォーマット間の情報伝達・管理を人が行っている

フォーマット	概略図	ピンリスト	部品表	部品マクロ	端子配置 Excel	回路図	Netlist
情報							
信号名	△	○				○	
部品名	△	○	○	○	○	△	
部品番号		○	○	○	○	○	○
部品外形	定義付け			○	△		
端子名					○	○	
端子番号				○	○	○	○
ネット名							(○)

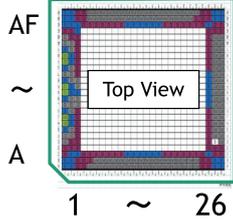
フォーマットが集約されれば、
人為的ミスの発生リスクが低減される



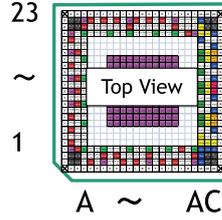
JIEP 従来方式 ～課題1. 人為的ミスの発生リスク～

端子配置Excel端子番号の定義(定義が逆)

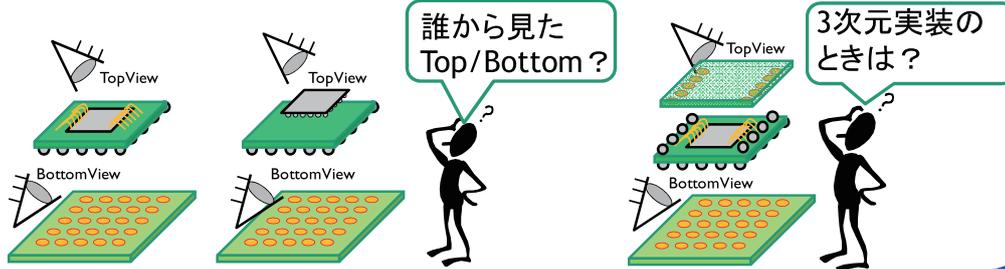
コモディティ版 LSI_A



軽薄短小版 LSI_A



関連：Top View / Bottom Viewの定義があいまい



『あいまいさ』が人為的ミスの原因になっている

37

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP 従来方式 ～課題2. 全体最適化が困難～

■L,P,Bの各設計マージン・制約が不明確で、最適解が見出せない

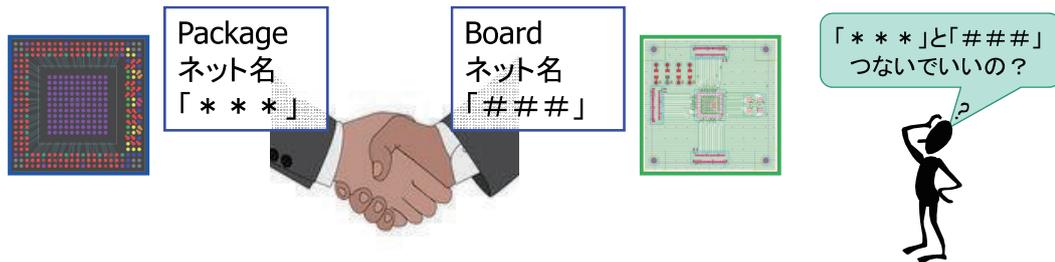
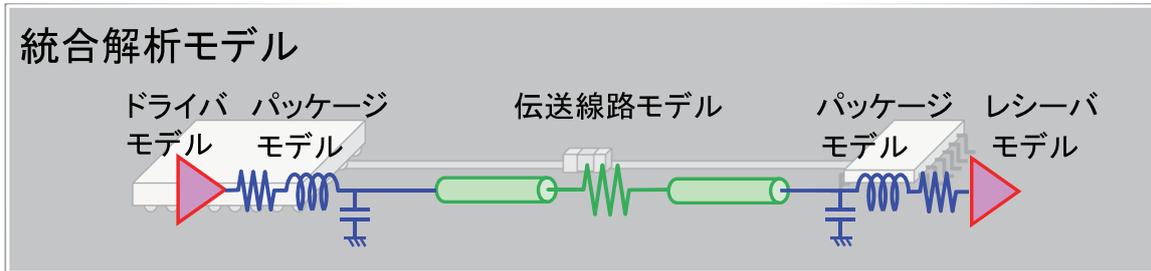


円滑な議論、相互理解が、L,P,B全体最適を容易化する

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP 従来方式 ～課題3. 解析準備に時間がかかる～

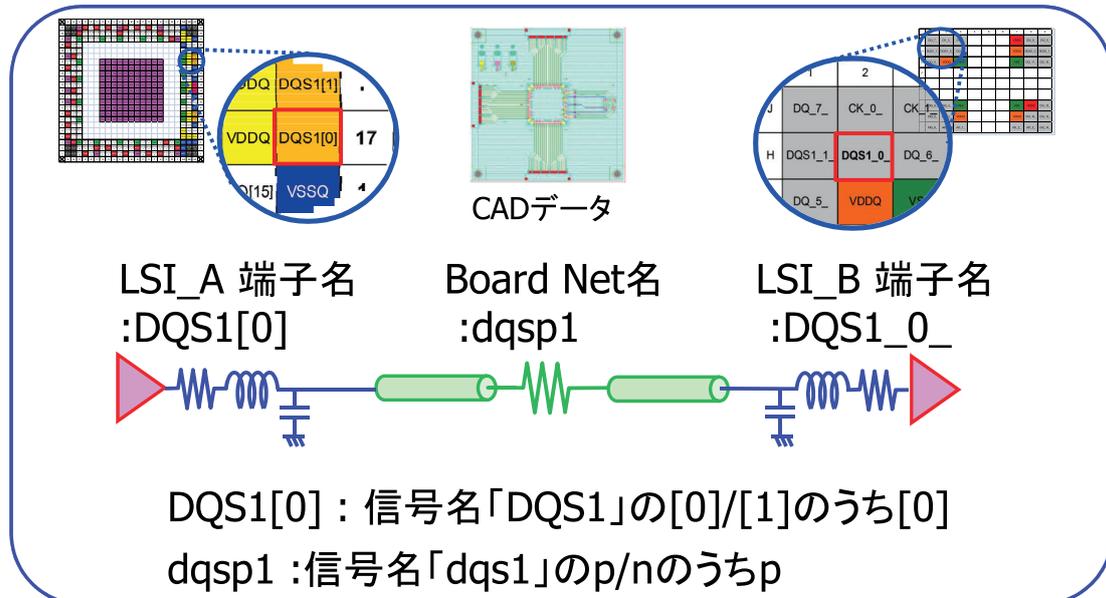
- L,P,B毎に異なる端子名、ネット名がつけられる為、
確認しながらの統合解析モデル作成には時間がかかる



L,P,B間の接続情報が管理されれば、
統合解析モデルの作成時間が短縮される

39

JIEP 従来方式 ～課題3. 解析準備に時間がかかる～



解析担当者はCADデータを見て、接続を確認しながら、
統合解析モデルの作成するため時間がかかる

40

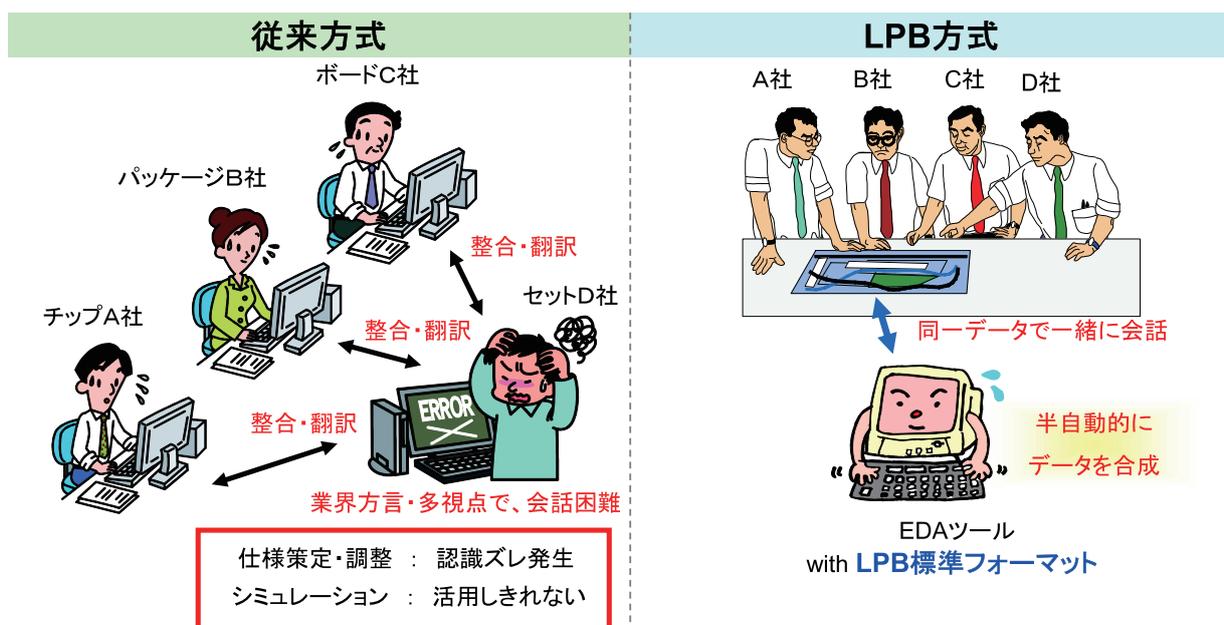
JIEP 従来方式 ～まとめ～

- 従来方式によって、
コモディティ版、軽薄短小版の2つのBoard設計を行いました
- 従来方式による設計における3つの課題を示しました
 - 課題1 人為的ミスの発生リスクがある
 - 課題2 全体最適が困難
 - 課題3 解析準備に時間がかかる

41

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP 事例検証（従来方式とLPB方式のおさらい）



従来方式：認識ズレが発生しやすい上、シミュレーションに手がまわらない

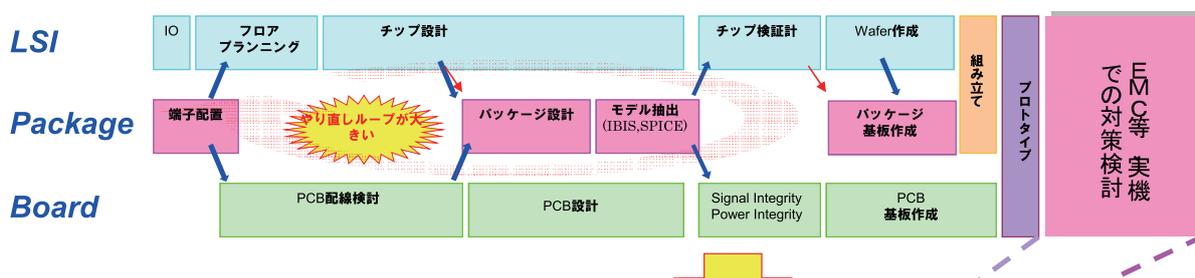
LPB方式：各社が同一データで会話でき、本来の設計業務に専念できる

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP LPB方式による量産設計フローの改善効果

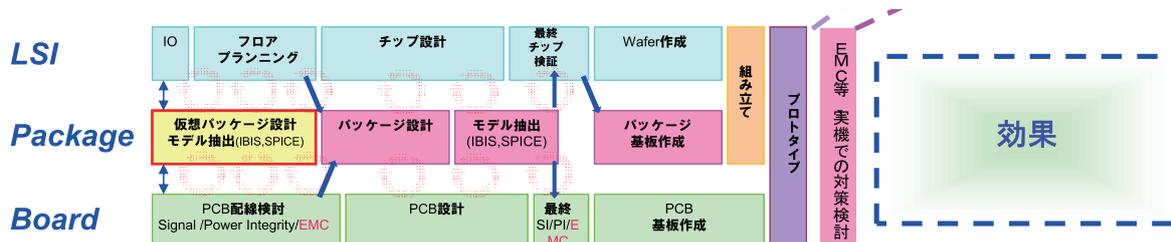
■従来方式：現在の主な設計手法

チップ、パッケージ、システムが別々に設計されて最後に全体の検証を行う。



■LPB方式：LPBコンカレント協調設計：

開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



EMCまで対応可能な効果的なフロントローディングを実現

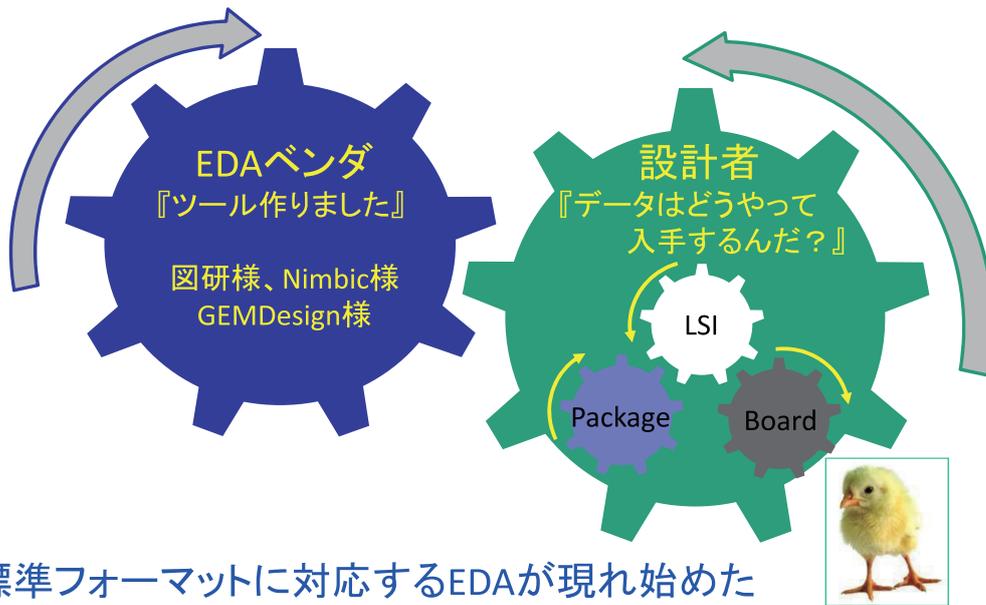
2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP EDS Fair 2011Nov 終了時の課題



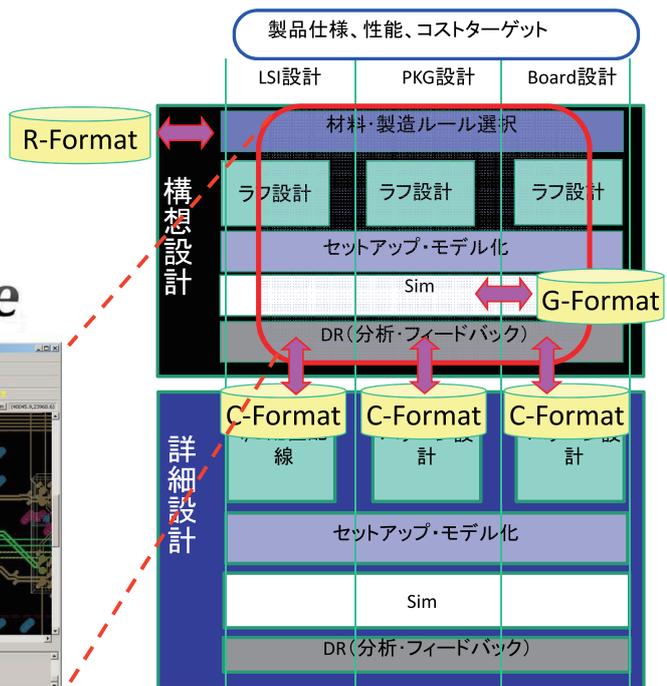
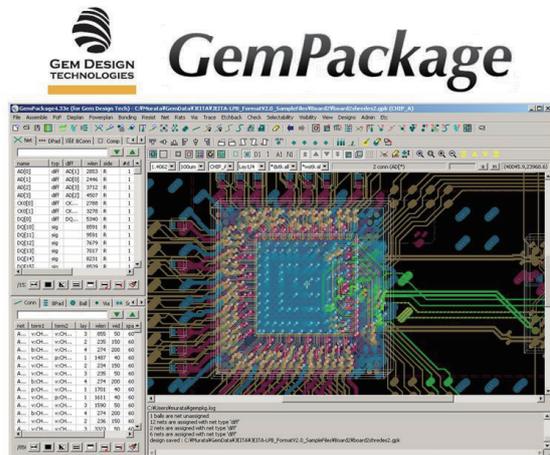
LPB標準フォーマット普及における問題点
⇒ 対応するツールがない

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム



標準フォーマットに対応するEDAが現れ始めた
⇒どうやって使っていくのか？

- 構想設計専用ツール
 - ライブラリレス
 - 超階層設計
- R,C,Gフォーマットの入出力をサポート
 - デザインルール発設定(R-in)
 - 構想段階SI/PI解析を支援(G-out)
 - 詳細ツールとの連携強化(C-out)
 - 貴社独自のフロー構築を支援(R,G,C各in/out)



CR-8000 Design Force - LSI/PKG/PCB全体協調設計環境

半導体
パッケージ プリント基板

- ▶ LPB C, G Formatに対応
- ▶ SoC/PKG協調設計
- ▶ 混在テクノロジーによるマルチオブジェクト階層設計
- ▶ 3次元実装による大規模複合デバイス設計
- ▶ あらゆる設計プロセスに対応
- ▶ システム視点での信号のトレーサビリティ

	LSI設計	PKG設計	Board設計
構想設計	材料・製造ルール選択		
	ラフ設計	ラフ設計	ラフ設計
	セットアップ・モデル化		
	Sim		
詳細設計	DR(分析・フィードバック)		
	パターン設計	パターン設計	パターン設計
	セットアップ・モデル化		
	Sim		
	DR(分析・フィードバック)		

47

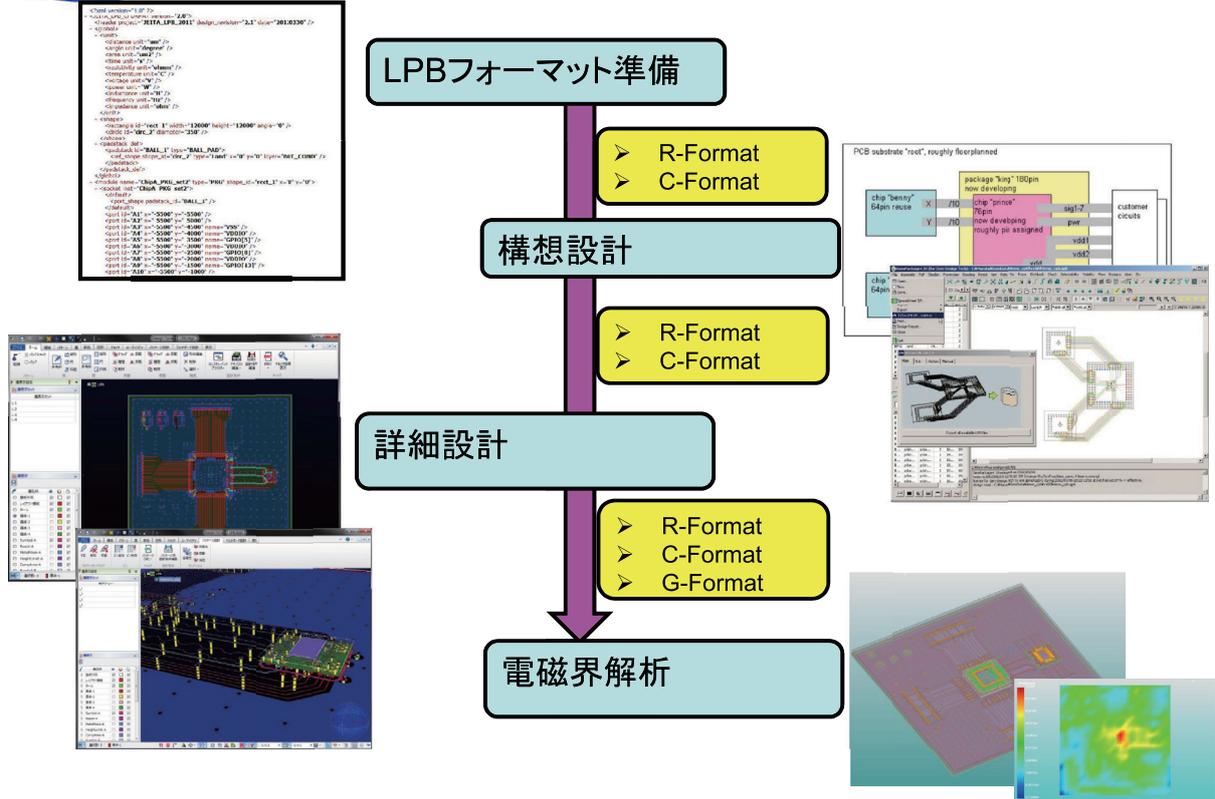


M,G-Formatサポートにより容易に協調設計モデルを作成・解析

	LSI設計	PKG設計	Board設計
構想設計	材料・製造ルール選択		
	ラフ設計	ラフ設計	ラフ設計
	セットアップ・モデル化		
	Sim		
詳細設計	DR(分析・フィードバック)		
	I/O配置設計	パターン設計	パターン設計
	セットアップ・モデル化		
	Sim		
	DR(分析・フィードバック)		

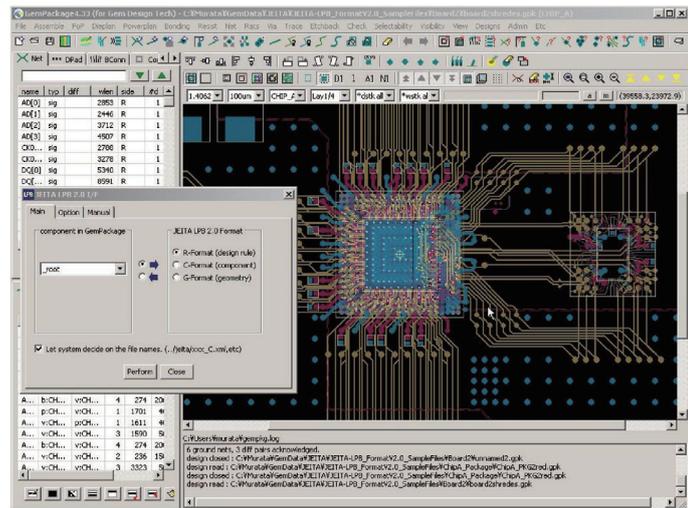
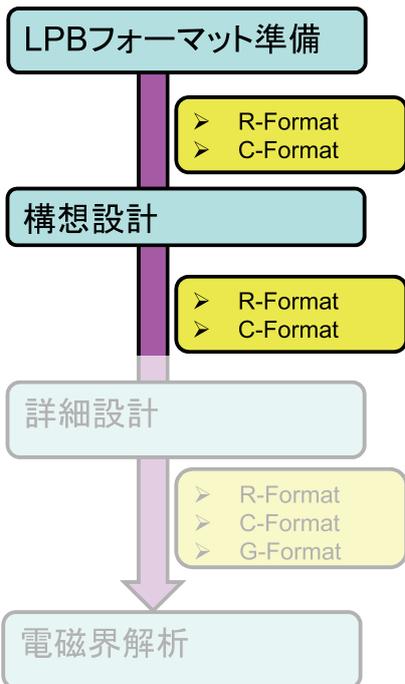
48

JIEP LPB標準フォーマットを使った設計事例



2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

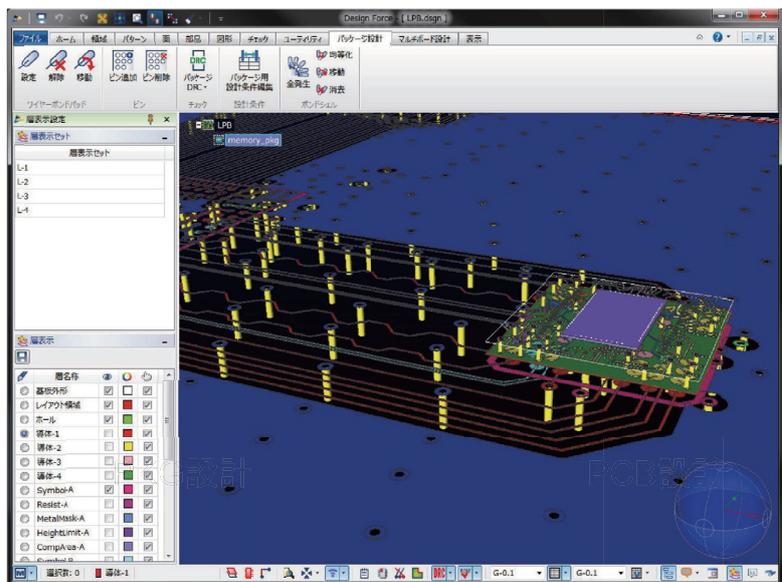
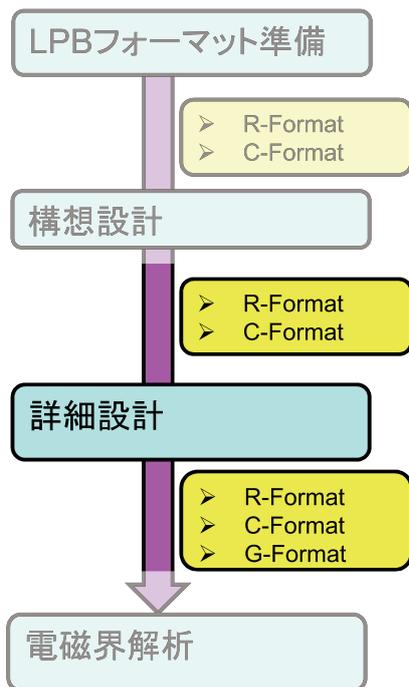
JIEP LPB標準フォーマットを使った設計事例



4) LPB フォーマット出力
LSI/PKG/PCB設計後

ジェムデザインテクノロジーズ様ご提供
2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

JIEP LPB標準フォーマットを使った設計事例



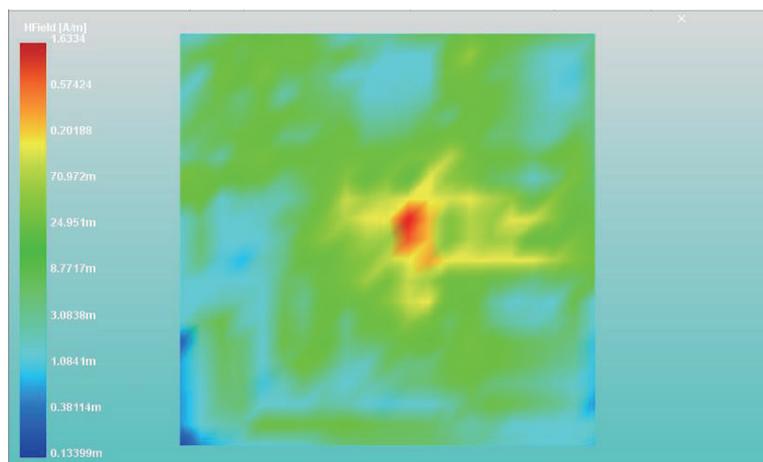
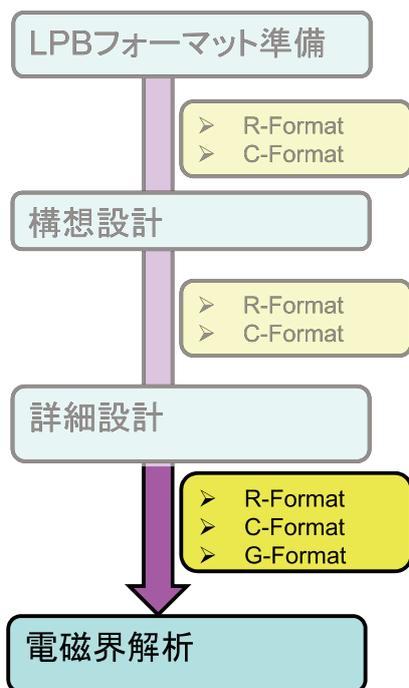
LSI/PKG/PCBの全体設計も可能

図研様ご提供

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

51

JIEP LPB標準フォーマットを使った設計事例

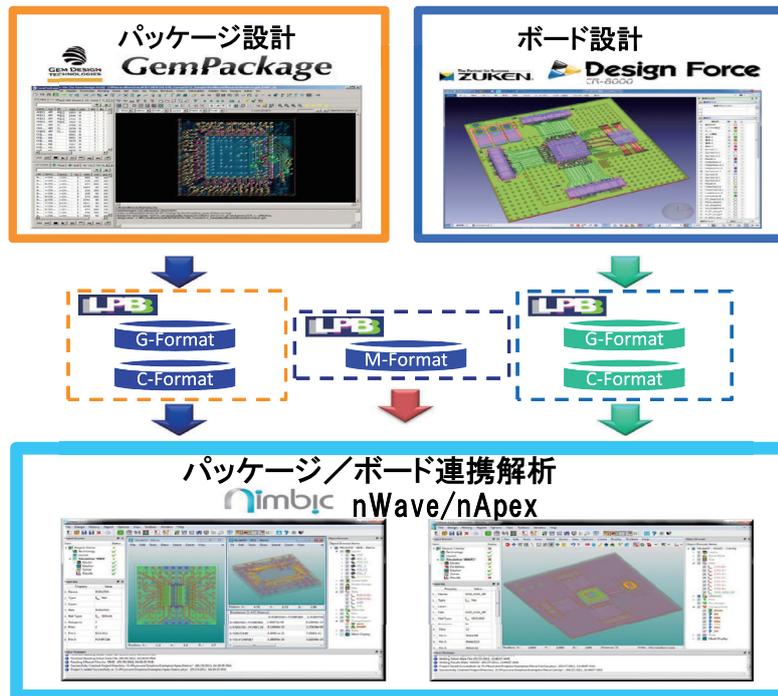


電磁界解析実行

ステイシフト様ご提供

2013 エレクトロニクス実装学会 最先端実装技術シンポジウム

52



現在10社以上がLPB標準フォーマット導入および検討をいただいています。

■ 標準化活動について



いわゆる標準化とは？

標準化として定義されている役割

公平な市場競争の提供と企業の知的財産の
保護を同時に成立させるもの



企業の本音は、
・ロイヤリティ、ライセンス提供による利益拡大
・独禁法に違反することなく利益を獲得
そのための標準化



JEITA LPB標準フォーマットは！

JEITA LPB標準フォーマットはそのような一企業の利益を獲得するための標準ではありません。

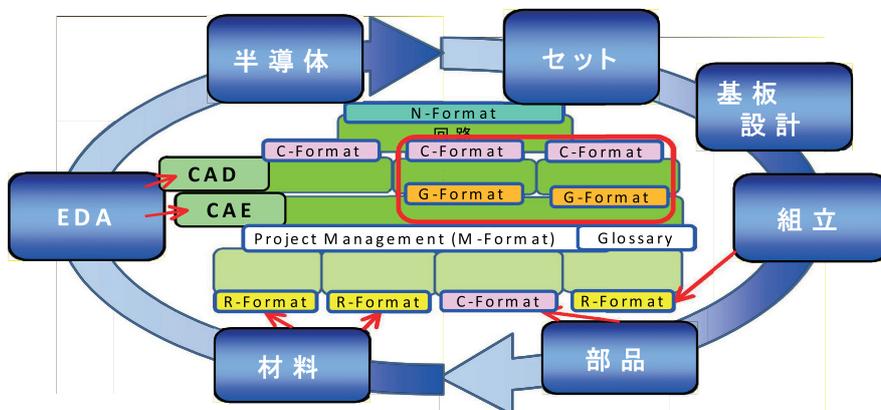
- JEITA LPB標準フォーマットは設計現場における共通言語であり、さらにサプライチェーンにおける情報伝達のための媒体としても非常に大きな役割を持っており、業界全体の力を集結し、ベクトルを合わせ、その結果としてQCDの達成に至らせる手段としての目的を担っています。

57



JEITA LPB標準フォーマットは！

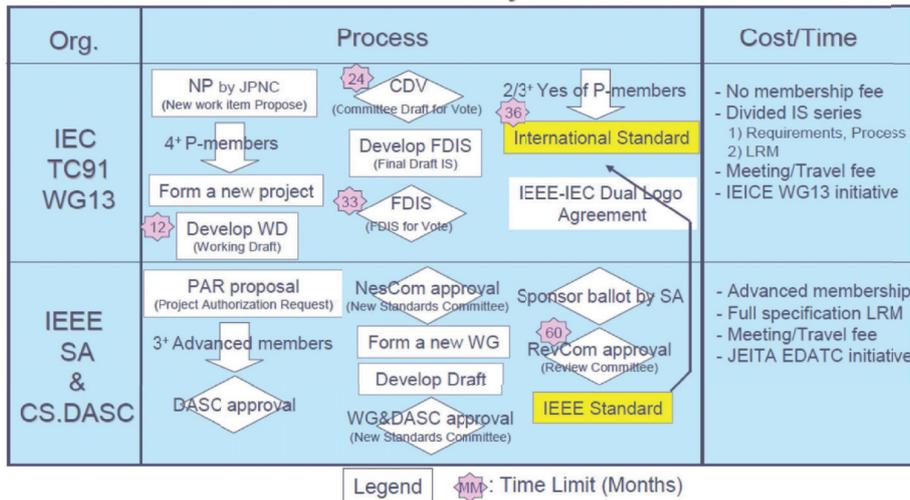
- プロジェクト遂行におけるサプライチェーンマネジメントを考えたとき、設計・検証の入出力情報であるLPB標準フォーマットは、現場で広く共有化・流通することが必要で、そのためには、まず標準ありきではなく、**草の根的活動**が重要です。



58

Road to International Standard (IS) publication

- To align and set strategies to achieve the target in a cost- and time-effective way



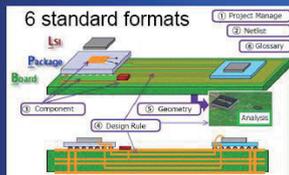
DACへの出展 (6/3-5 at Austin)

LSI Package Board needs...

- ★ Mutual Communication
- ★ Design Consistency
- ★ Shorten Development Time

Enabled by

LPB New Standard format



61% cut of design process time

More than 2weeks cut of data collection time

Produced by

JEITA EDA Technical Committee /LPB Working Group

http://www.jeita-edatc.com/wg_lpj/home/lpb-en.html

Adopted by more than 10 EDA companies.



LPB New standard from Japan

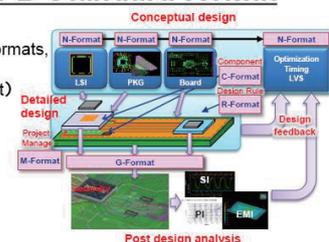
■ Issues in LSI Package Board design

- Less mutual understanding caused by lack of communication.
 - ➔ Mismatch in LPB designs makes many iterations.
- None unified format for design parameters and results.
 - ➔ Take long process to collect the data for starting design/analysis.

■ Solution by LPB Standard format

Design environment to be constructed by 6 Standard formats,

1. Project Manage (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design rule (R-Format)
5. Geometry (G-Format)
6. Glossary

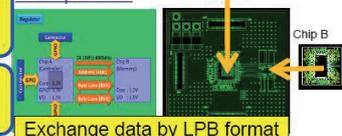


■ Improvement

61% cut of design time

More than 2weeks cut of waiting time

Example data



Exchange data by LPB format



もちろん、
LPBフォーマットの世界標準を作ることがゴールではありません。

目的は、現場でばりばり活躍している設計者の生の意見を反映させた本当に現場で使える有益なものであり、そのためにはこの業界団体で様々な意見を聞き、技術動向にリンクしたフォーマットをタイムリーに世の中に出していく必要があります。

ですので、
標準化は完全に後から追いかけていくといったものになりますが、
確実に標準化に向けての活動は継続して行きます。

63

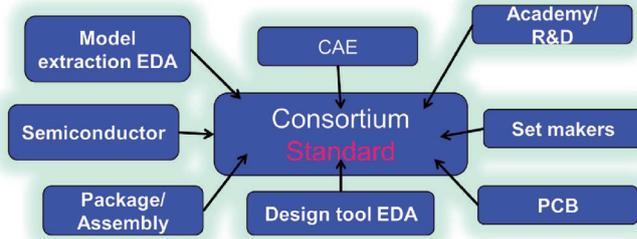


■ 最後に

～LPBフォーラムについて～

64

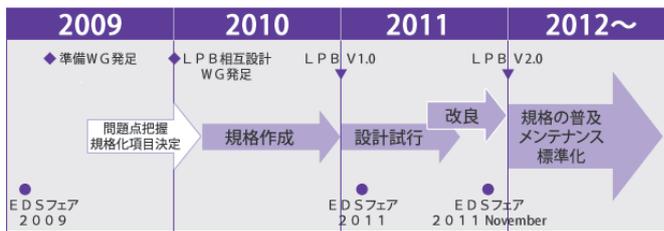
2009年のシステム実装CAE研究会、ベンダセミナー等で予言したこと。



2013年3月6日
第1回LPBフォーラム



2010年 JEITA LPB-WG発足



お知らせ

- 2012-11-13 第1回LPBフォーラム開催のご案内
- 2012-11-13 第1回LPBフォーラム開催、参加記録はこちらへ
- 2012-10-15 システムデザイン/フォーラム 2012 LSIパッケージ/ボード相互設計セミナー実施
- 2012-10-15 EDSFair 2012 LSIパッケージ/ボード相互設計コーナーミニセミナースケジュール
- 2012-10-15 EDSFair 2012 LPB/IBISコーナーに出展しました。
- 2012-03-30 LPB標準フォーマット Ver. 2.0 公開
- 2012-03-14 EDAベンダー向けLPB相互設計セミナー実施

LPBフォーラムの設置について

電子機器製品は非常に短い期間で、かつ、市場のニーズに合った最適な製品性能でなければなりません。かつて、私たちは高性能、高機能、高品質が差別化において最も優先されるべきことだと考えてきました。しかしながら市場が求めるものは既存の概念を打ち破る新たな仕組みをもった製品であり、それがいち早く提供されることです。例えば、

- PCからタブレットスマートフォンなど情報端末へ(WiFi、クラウドの発展によりデータのアップダウンロードが処理の中心)
- コンテンツに合わせたハードウェアの商品化(音楽、動画、書籍に相応しいハードウェアスペック)

このようなあらゆる変革を生み出すのはユーザーアプリケーションを重視したマーケティングと商品企画構想によります。実際にこのような製品を開発するには柔軟な構想の元、あらゆる情報を集めてLSI、パッケージ、ボードの全体を見ながら実現方法考えなければなりません。LPBフォーラムは、たれでも参加可能なコミュニティとして、イノベーションを生み出すアイデアを集める場所になりたいと思います。

2013年吉日 福澤義孝

・パスワードを忘れたときは

©2013 LPB Forum運営委員会

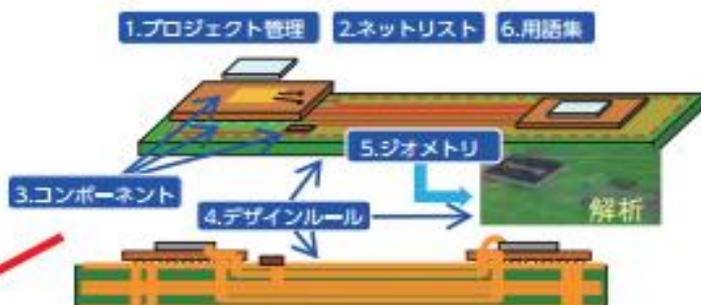


LPB 相互設計WG

LSI-Package-Board(LPBB)の相互協力により 設計効率を大幅に改善!!

LSI/Package/BoardをつなぐJEITA LPB標準フォーマット

- | | |
|------------------------|-------------|
| 1. プロジェクト管理 (M-Format) | Management |
| 2. ネットリスト (N-Format) | Netlist |
| 3. コンポーネント (C-Format) | Component |
| 4. デザインルール (R-Format) | Design-Rule |
| 5. ジオメトリ (G-Format) | Geometry |
| 6. 用語集 | |



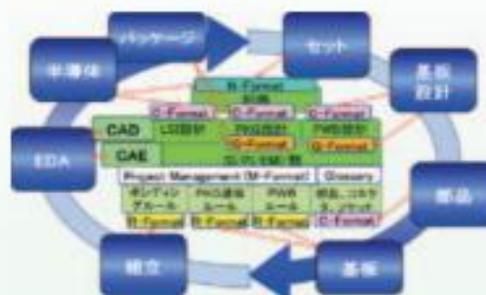
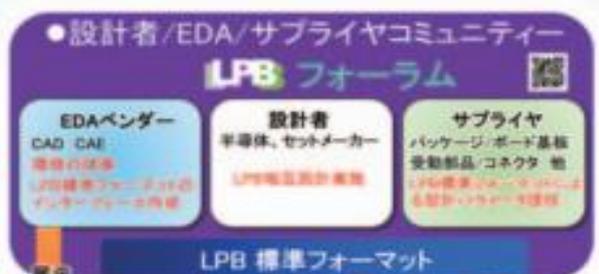
作業時間 61%短縮
待ち時間 2週間以上短縮

http://www.jeita-edatc.com/wg_lpb/home/format.html



LPB相互設計のコミュニティ連携とサプライチェーンにおけるLPB情報流通

設計者、EDA、部品/材料サプライヤが一堂に会して協調を討議するLPBフォーラム
 JEITA-LPBフォーラム-EDS Fair連携によるフォーマットの普及
 JEITAとIEC/IEEEの連携 国際標準化始動



DACへの出展(6/3-5 at Austin)

<http://www.lpb-forum.com/index.html>

次回LPBフォーラムは11月20日 (@EDSフェア) 開催



4.3 システム・デザイン・フォーラム 2013 の講演資料

4.3.1 EDA 技術専門委員会委員長挨拶

EDA技術専門委員会紹介

2013年11月20日@SDF
EDA技術専門委員会 委員長 大芝

2013/11/20

Copyright© JEITA EDA-TC All Rights Reserved 2013

1

➡ 組織構造



➡ 目的

EDAに関連する技術およびその標準化の動向を調査し、その発展、推進を図り、さらには国内外の関係業界の発展に寄与する

➡ ミッション

- 業界全体のEDA技術レベルの向上
- EDA国際標準化・業界標準化への意見反映、提案
- 最新EDA技術・情報の普及促進

2013/11/20

Copyright© JEITA EDA-TC All Rights Reserved 2013

2

委員会の活動

国際・業界
標準化

EDA技術
レベル向上

EDA技術の
普及促進

- IEC, IEEE等へ
- ▶ 日本の意見を反映
- ▶ 標準化提案
- ▶ IEC TR62856 (BVDL)
- ▶ IEEE P2401 (LPB)

- ▶ 技術・課題の調査
- ▶ 課題解決への提案
- ▶ 学会発表

- ▶ EDSFair
- ▶ SDF

EDA技術専門委員会

2013/11/20

Copyright© JEITA EDA-TC All Rights Reserved 2013

3

The image shows a preview of the IEC/TR 62856 technical report. The cover page (left) features the IEC logo, the title 'TECHNICAL REPORT RAPPORT TECHNIQUE', and the subtitle 'Documentation on design automation subjects – The Bird's-eye View of Design Languages (BVDL)'. The foreword page (middle) contains the title 'DESIGN AUTOMATION SUBJECTS – N OF DESIGN LANGUAGES (BVDL)', a foreword, and a table of contents. The table of contents lists sections such as 'Validation', 'Function Performance Testability', 'Analysis', 'Area Timing Power Noise DFT DFN', and 'Libraries'. The right page shows a diagram of an 'electronic design ecosystem' with various components and their interactions.

2013/11/20

Copyright© JEITA EDA-TC All Rights Reserved 2013

4

委員会の構成



2013/11/20

Copyright© JEITA EDA-TC All Rights Reserved 2013

5

本日の発表

1. 標準化活動 標準化担当:田中玄一(ルネサスエレクトロニクス)

- EDA標準化のトレンド
～JEITA EDA-TC の標準化活動～

2. LPB相互設計WG 主査:福場 義憲(東芝)

- LPBフォーラム:
「実演!! LPBはここまで来た!」
～リファレンスフローのデモと効果の考察～

パネル

2013/11/20

Copyright© JEITA EDA-TC All Rights Reserved 2013

6

ナノ世代物理設計WG 活動概要

■ 活動目的

- ・ ナノ世代テクノロジーノードにおける、物理設計課題の抽出と対策の提案
- ・ ファブレス時代に向けた、製造ばらつきに対するコーナー設計手法の検討
- ・ 物理設計、検証手法の精度、効率を向上できる、設計ガイドラインの提案

■ 本年度テーマ

・ ノイズ発生メカニズムとモデリングの検討

～ LSI内部における電源変動やジッタに関するモデリング手法の検討

・ ばらつき要素の分類標準化

～ ばらつきに対する定義の明確化と圧縮手法のまとめ

・ 微細化に伴う遅延モデルの誤差トレンド調査

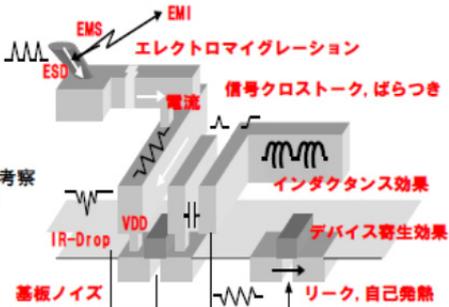
～ Current-Sourceモデルを用いた遅延モデリング

・ 低電圧におけるばらつき評価

～ Sub/Near Threshold 回路のばらつきに対する動作限界の考察

・ 次世代Tr.構造における物理設計課題の検討

～ Fin-FETにおけるLPEの扱い



■ 参加企業

FUJITSU , PANASONIC , RENESAS , RICOH , SONY
各社の物理設計エキスパートが集まって活動を実施

2013/11/20

Copyright © JEITA EDA-TC All Rights Reserved 2013

7

更新情報	
2013.10.04	委員会の紹介、委員会活動を2013年版に更新しました。
2013.01.21	公開資料ライブラリのEDA技術専門委員会に2011年度 EDA アニュアルレポートを掲載しました。
2013.01.21	委員会の紹介、委員会活動を2012年版に更新しました。

2013/11/20

Copyright © JEITA EDA-TC All Rights Reserved 2013

8

4.3.2 EDA 標準化のトレンド

～標準化の仕組みから最新動向まで～

EDA標準化のトレンド ～標準化の仕組みから最新動向まで～

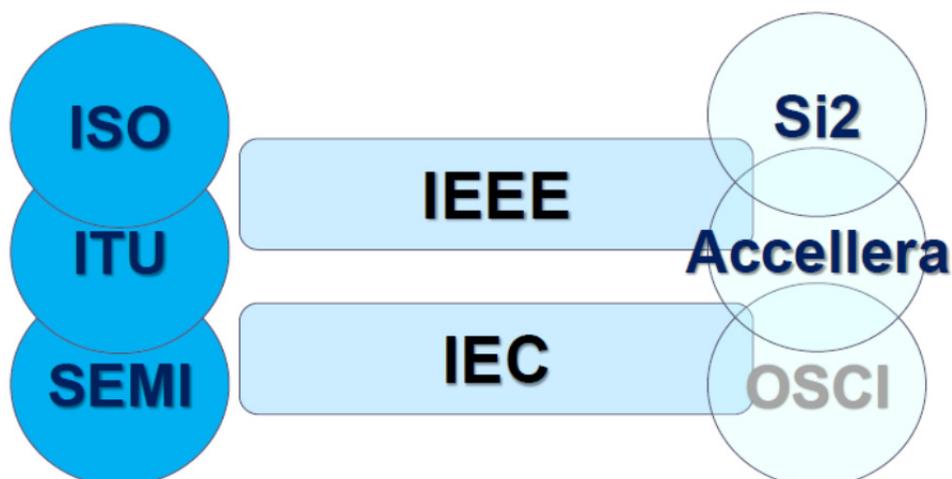
JEITA EDATC 特別委員(標準化担当)
ルネサスエレクトロニクス(株)

田中 玄一

System Design Forum 2013

JEITA
JEITA 電子情報技術産業協会

標準化機関



IEEE: The Institute of Electrical and Electronic Engineers

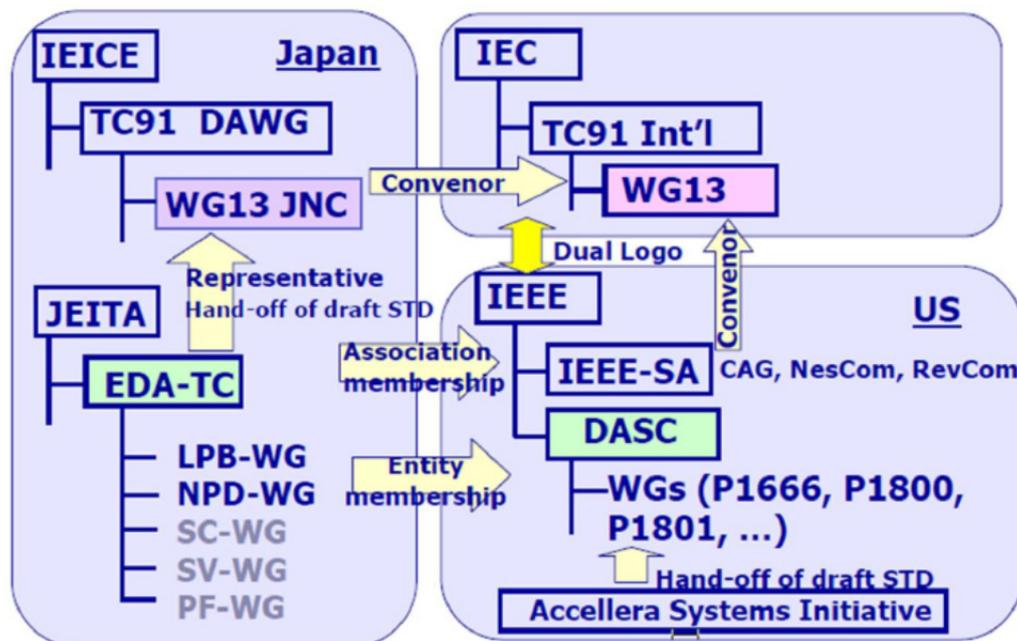
IEC: International Electrotechnical Commission

System Design Forum 2013

© Copyright 2013 JEITA

JEITA
JEITA 電子情報技術産業協会

標準化活動環境



System Design Forum 2013

© Copyright 2013JEITA

JEITA
社団法人電子情報技術産業協会

標準化の必要性

- 産業競争力強化
- 技術囲い込み (w/特許)
- 戦略的な標準化

ガラケー チャデモ

System Design Forum 2013

© Copyright 2013JEITA

JEITA
社団法人電子情報技術産業協会

IEEE 標準を作るには

新規提案



JEITA EDA-TC の取り組み

P2401 : LPB Format

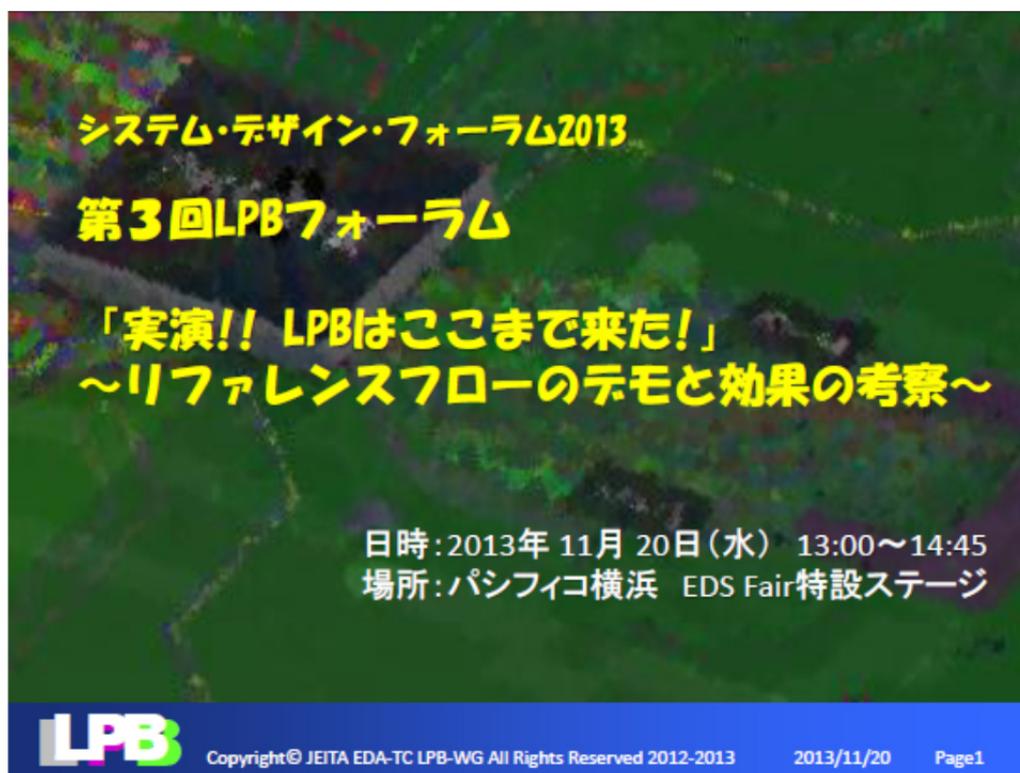
日本初のEDA IEEE 標準



4.3.3 LPB フォーラム

「実演!! LPB はここまで来た!」

～リファレンスフローのデモと効果の考察～



システム・デザイン・フォーラム2013
第3回LPBフォーラム
「実演!! LPBはここまで来た!」
～リファレンスフローのデモと効果の考察～
日時:2013年 11月 20日(水) 13:00～14:45
場所:パシフィコ横浜 EDS Fair特設ステージ

LPB Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013 2013/11/20 Page1

出演者紹介

出演者氏名	会社名	所属・役職
福場 義憲	JEITA LPB相互設計WG 主査 (株) 東芝 セミコンダクター&ストレージ社	ミックスドシグナルIC事業部 設計技術開発部 設計インフラ技術担当主幹
大槻 隆志	JEITA LPB相互設計WG標準化SWG主査 (株)リコー	新規事業開発センター シニアスペシャリスト
中川 祐之	JEITA LPB相互設計WGフォーマットSWG主査 富士通VLSI(株)	ASIC-COT開発統括部 第3設計部 プロジェクト課長
村田 洋	(株)ジェム・デザイン・テクノロジーズ	代表取締役
益子 行雄	日本ケイデンス・デザイン・システムズ社	テクニカルフィールドオペレーション本部 シニアマネージャー
古賀 一成	(株)図研	EDA事業部 EL開発部 ELNセクションパートナー
関 茂雄	(株)日本サーキット	EMS開発部 部長
渡辺 亨	アンシス・ジャパン(株)	技術部 第二技術本部 第4グループ シニアアプリケーションエンジニア

LPB Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013 2013/11/20 Page2

Agenda

- JEITA LPB-WG 標準化活動について
- LPB標準フォーマットについて
- リファレンス・フローのデモと効果の考察



システムデザインフォーラム2013

JEITA LPB-WG
標準化活動について

2013年11月20日



■ LPB標準フォーマットとは



■ 設計現場における課題



LPB協調設計における課題

- ① 設計者の主観による認識ずれ
- ② 全体最適に必要な情報の不明確さ
- ③ 本来、設計に費やされるべき時間の浪費

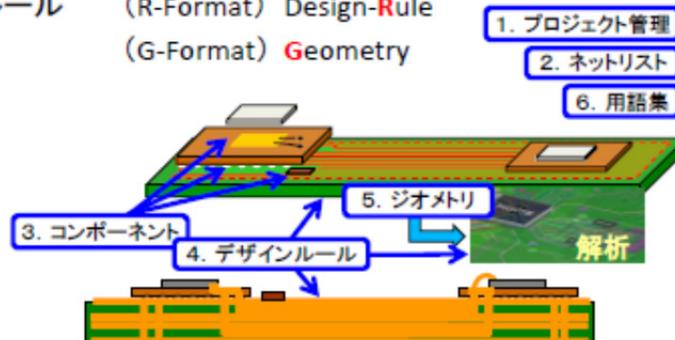
設計現場では、ユーザーがツール間のデータフォーマット調整に対応。作業に時間がかかり本来の設計に使うべき時間のロスが発生。



■ JEITA LPB標準フォーマット

そのような現場課題への対応として、JEITA LPB-WGにてLPB標準フォーマットとして5つのファイルと用語集を策定

1. プロジェクト管理 (M-Format) **M**anagement
2. ネットリスト (N-Format) **N**etlist
3. コンポーネント (C-Format) **C**omponent
4. デザインルール (R-Format) Design-**R**ule
5. ジオメトリ (G-Format) **G**eometry
6. 用語集



■ JEITA LPB-WG活動



JEITA LPB-WG活動



LPBフォーマットロードマップ

CY2009	CY2010	CY2011	CY2012	CY2013	CY2014
◆preparation ●EDSFair2009	◆LPB-WG start	▲LPB V1.0 ●EDSFair2011	▲LPB V2.0 ●EDSFair2011Nov. ●EDSFair2012	▲LPB V2.1 ▲Golden Sample	△Ref. Flow △Golden Sample (Updated) ●EDSFair2013



LPBフォーラム

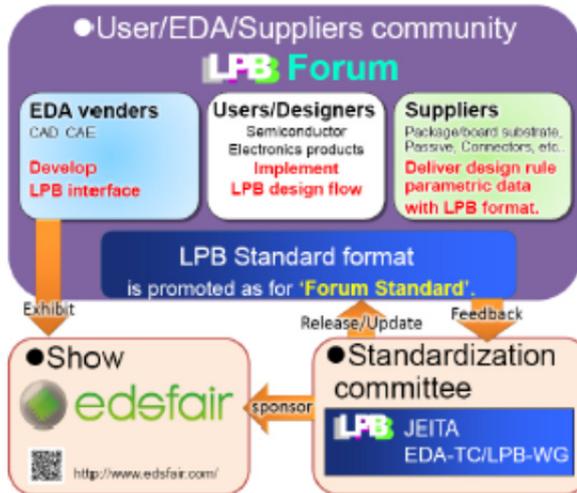
LPB-WGの枠を超えたCommunityとしてLPBフォーラムを設立

- Designer/EDA/Supplier Community
- EDAツール事例やLPB技術に対する議論・発表の場
- LPBフォーマットのブラッシュアップ
- ビジネスチャンスを広げる場としての活用



LPBフォーラム

<http://www.lpb-forum.com/>



活動経緯

- 2013年3月6日
第一回LPBフォーラム開催
・EDAベンダーのLPBフォーマット対応状況として、EDA事例発表等を実施。
- 2013年9月27日
第二回LPBフォーラム開催
・標準化状況報告
・リファレンスフローについて議論
- 2013年11月20日
第三回LPBフォーラム(本セッション)
- 2014年3月4日
第四回LPBフォーラム開催予定



Copyright © JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

Page11

標準化活動状況



Copyright © JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

Page12

■ いわゆる標準化とは？

標準化として定義されている役割

公平な市場競争の提供と企業の知的財産の保護を同時に成立させるもの



企業の本音は、
・ロイヤリティ、ライセンス提供による利益拡大
・独禁法に違反することなく利益を獲得

そのための標準化



■ JEITA LPB標準フォーマットは！

JEITA LPB標準フォーマットはそのような一企業の利益を獲得するための標準ではありません。

- JEITA LPB標準フォーマットは、
- ・設計現場における共通言語
 - ・サプライチェーンにおける情報伝達のための媒体
- として使われ、業界全体の力を集結し、ベクトルを合わせ、その結果としてQCDの達成に至らせることを目的として策定しました。



■ 標準化の意義

LPB標準フォーマットは策定されるだけでは意味が無く、現場設計者、EDAベンダーにおいて普及しなければ目的を達しません。

普及にあたり、現場設計者、EDAベンダーの導入側立場としての

- 現場設計者のフォーマット使用にあたっての信頼性
- EDAツールへの導入理由

のことを考えると、標準化というのは大きな意味を持つものであるとの考えに基づき、LPB-WGにおける標準化に向けての活動は必要と判断。



2012年度にLPB-WG内に標準化準備SWGが新設され活動を開始しました。



■ 国際標準化

- 2012年度 標準化に関する調査、および議論を重ねました。

<観点>

- ・国際標準化をターゲット
- ・LPB標準フォーマットの目的に対する適合性

- 2013年度 標準化へ向けての本格的活動開始。

2013年4月25日 JEITA LPB-WG 標準化準備SWGにて、LPB標準フォーマットの国際標準化活動は、IEEEから始めることに決定。

<活動内容>

- ・ロビー活動
- ・標準化計画立案
- ・PAR (Project Authorization Request) 作成/提出



ロビー活動

■DAC (Design Automation Conference) へ出展

6月3～5日 USA AustinにてJEITA LPB-WG活動展示

<主な内容>

- ・LPB-WG活動展示・説明
- ・LPBフォーマットの紹介・効果のアピール
- ・EDAツールへの適用事例紹介
- ・IEEEキーマンとの面談



<成果>

- ・IEEE/DASC (Design Automation Standards Committee) の全面的支持得られた。
- ・Cadence社/Mentor社に検討をはじめてもらうことになった。



Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

Page17

ロビー活動

■JEITA-IEEEミーティング

6月21日 IEEE/DASCキーマンとミーティング ～横浜にて～

IEEE/DASC : 委員長Stan Krolikoski (Cadence社)
副委員長Dennis Brophy氏 (Mentor社)

<主な内容>

- ・IEEE/DASC側からDASC Standardについての最新情報、およびJEITA LPBフォーマットに関するコメントをいただいた。
- ・JEITA側からJEITA LPB-WG活動について説明
- ・IEEE Standardへ向けてのアドバイス

<成果>

- ・LPBフォーマットの提案はvery interesting
- ・LPBフォーマットは、情報流通にはvery important
- ・DASC側から今後の標準化へ向けてのSchedule提案いただいた。



Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

Page18

IEEE標準化に向けての活動ステップ



PAR承認、そして現在

- 8月28日 PAR (Project Authorization Request) 最終案を提出
- 9月24日 Project Number "P2401"としてIEEEにてAssign完了
→DASC Approval 9/27~2week voting for PAR
- 10月10日 PARがIEEE/DASCにて承認。

<Next Step>

Nescom (New Standard Committee) Approval
→12月の会議で採択される予定

<現在>

Draft作成へ向けて準備中。



■ 最後に

LPB標準フォーマットは、**日本発（初）のEDA関連国際標準**として取り組んでおり、設計現場における共通課題への対応、そして世界に向けての日本のエレクトロニクス製品の競争力を高めることへの貢献となる標準であるという考えのもと、標準化活動を着実に続けて行きます。



LPB標準フォーマットについて



Deliverables

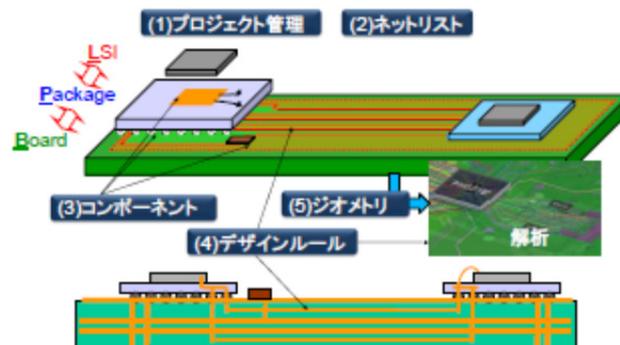
Item	概要	Status
LPB標準フォーマット	LSI-Package-Board インターフェース・フォーマット	Ver.2.1公開中 (2013年3月～) IEEE P2401として国際標準化がスタート
Golden Sample	EDA開発にも使用可能な テスト用データ	公開中 (2013年3月～)
リファレンス・フロー	LSI-Package-Board 相互設計フロー	準備中 (2014年3月公開予定) ★本日、ご紹介します★



LPB標準フォーマット

LPB標準フォーマットは、下記5種類のファイルで構成 (最新版:Ver.2.1)

フォーマット種別	概要	フォーマット書式
(1)プロジェクト管理	M-Format	LPB全体のファイル管理
(2)ネットリスト	N-Format	ネット接続記述
(3)コンポーネント	C-Format	部品・制約・端子情報
(4)デザインルール	R-Format	設計ルール・材料特性情報
(5)ジオメトリ	G-Format	解析用形状データ



コンポーネント (C-Format)

Header	header	ヘッダ
Global	unit	単位系の設定
	shape	padstackを構成する基本形状(Rectangle, Circle, Polygon)を定義
	pad stack	パッドの組み合わせを定義
	socket	端子番号、x座標、y座標、端子名など
Module	port	端子の形状、座標、名称を定義
	port group	交換可能な端子や端子グループを指定
	power domain group	電源ドメイングループ
	swappable port/group	交換可能な端子/端子グループ
	frequency	端子の動作周波数
	constraint	特性インピーダンス、遅延、スキューなど
	specification	機能ブロックの仕様を定義
	reference	上位階層と機能ブロックの接続手続きを定義
Component	placement	機能ブロックの配置

部品の配置情報

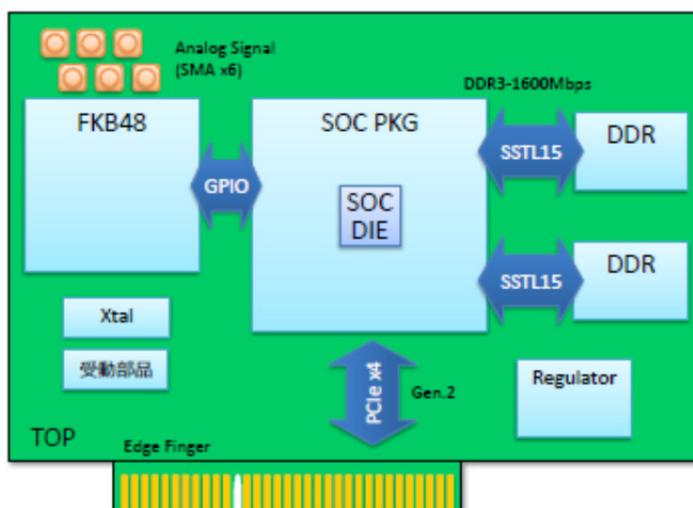
【記述例】

```
<placement ref_module="SOC" inst="SOC" x="400" y="-6500" />
<placement ref_module="DDR" inst="DDR0" x="27000" y="-3200" />
```



Golden Sample

EDA開発にも使用可能なテスト用データとして「Golden Sample」を用意。
(LPB標準フォーマットVer.2.1に準拠しています)



搭載部品	補足説明
SOC	DIE, PKGとも新規設計
DDR	既成品 (PKG品)
FKB48	既成品 (PKG品)
Regulator	既成品 (PKG品)
Xtal	既成品
受動部品	既成品



リファレンス・フロー

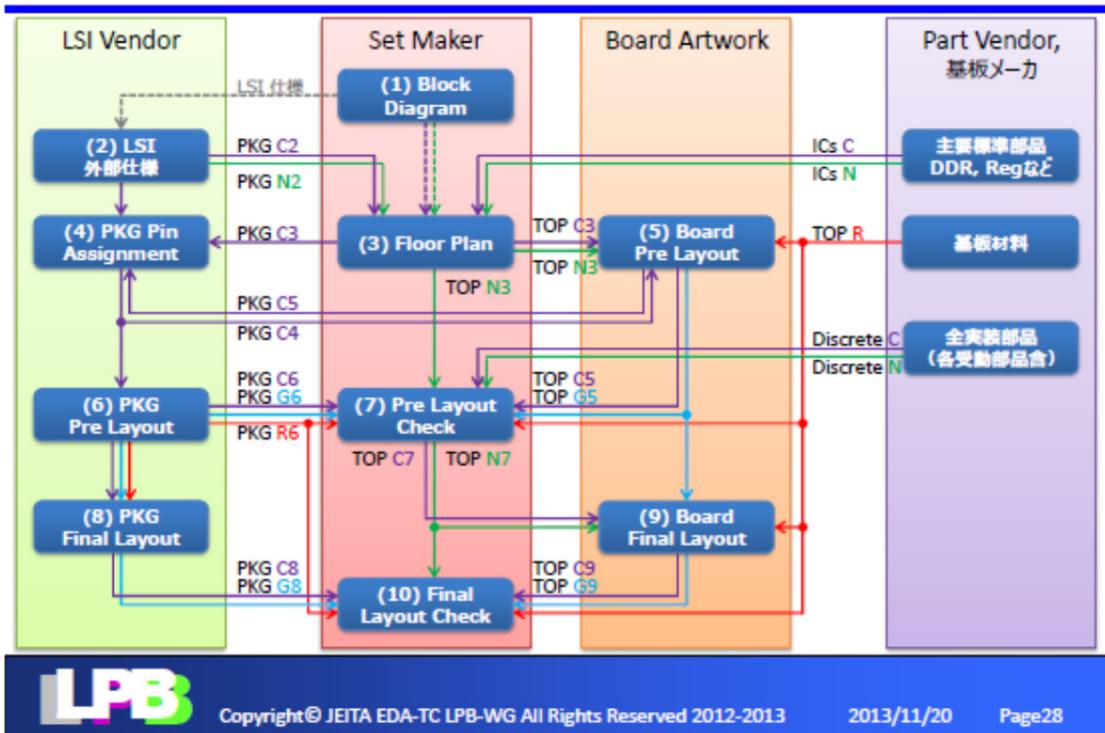
LPB-WGのプレゼンテーションをご覧になられた方や、LPBフォーラム参加者の声

- ✓ 設計の流れの中で、いつ、どのようなデータが、入出力しているのか良くわからない。
- ✓ その際、LPB標準フォーマットを使用すると、何が良いのか？ 何に役立つのか？
- ✓ LPBの出発点で必要なデータは何か？ それらがどう変わっていくのか知りたい。



- リファレンス・フロー
- 各ステップで変化するフォーマットの記述例を用意

リファレンス・フロー



育てるファイル、LPB

Flow	SoC Package				Top (Board)				
		C		N		C		N	
1	Block Diagram	C1	紙ベース	N1	紙ベース	C1	紙ベース	N1	紙ベース
2	LSI 外部仕様	C2	Pin座標あり 信号アサイン未	N2	信号電源含む ほぼ完成形				
3	Floor Plan	C3	Pinアサインの リクエスト			C3	主要部品のみ 仮置き	N3	部品は全部入っ ている
4	PKG Pin Assignment	C4	リクエスト対応 制約入る						
5	Board Pre Layout	C5	Pinアサインの 修正リクエスト			C5	Placementが 変わる		
6	PKG Pre Layout	C6	Artwork反映し た制約入る						
7	Pre Layout Check					C7	Decap、抵抗の 変更/追加	N7	部品の変更/追 加
8	PKG Final Layout	C8	最終版						
9	Board Final Layout					C9	Decap、抵抗の 調整等		
10	Final Layout Check								



このあとすぐ

リファレンス・フローのデモと 効果の考察

- ✓ リファレンス・フローに沿って、LPBの設計過程を実演・説明
 - LPB設計者間で何を受け渡さなければならないのか
 - LPB標準フォーマットが何の役に立ったのか、何を達成したのか



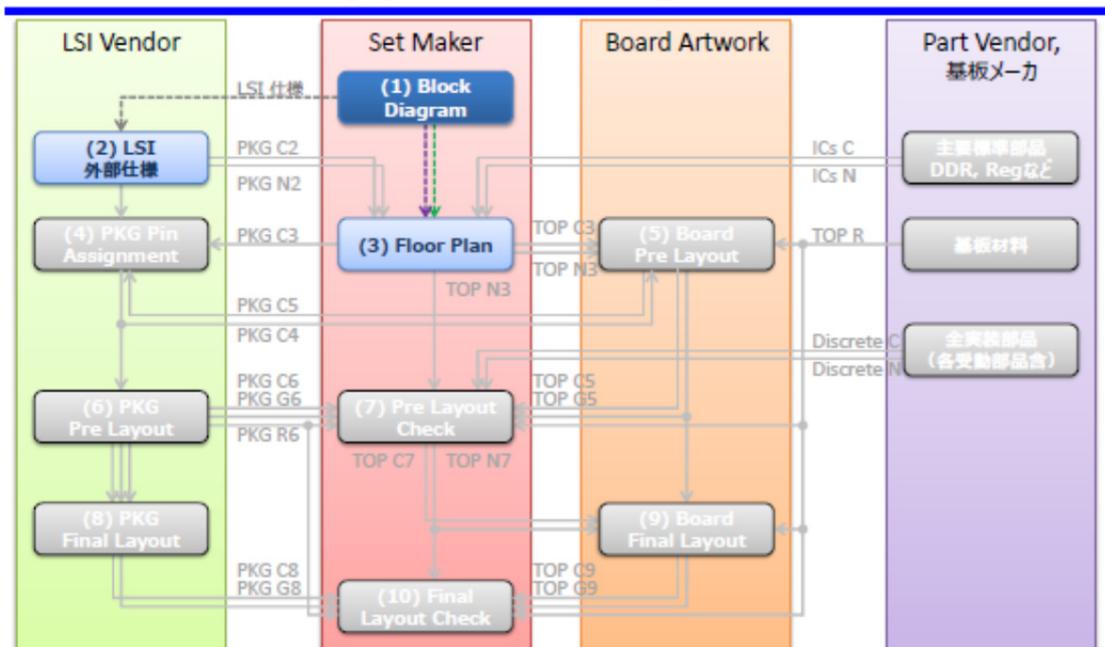
(1)&(3) Set Maker

Block DiagramからFloor Plan

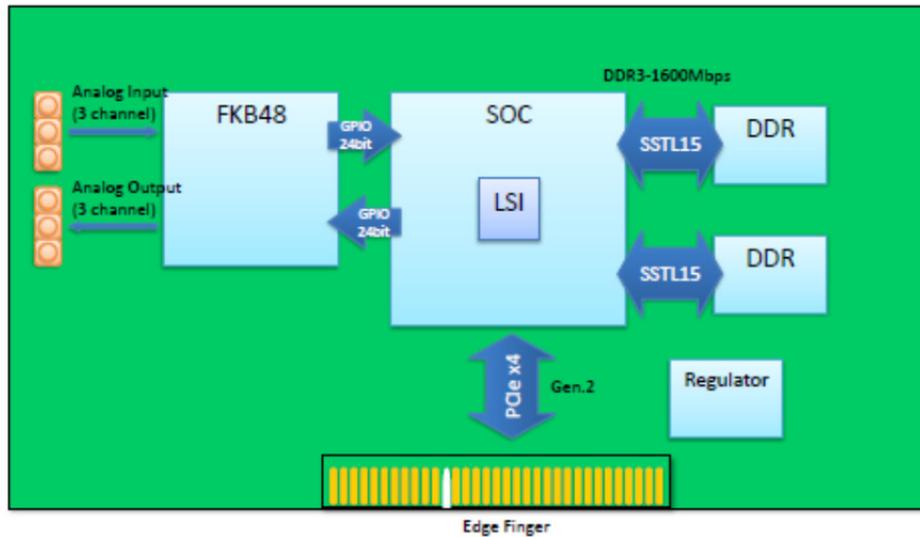
2013年11月20日

LPB相互設計WG

(1) Block Diagram



Block Diagram



LSI詳細仕様 (1/2)

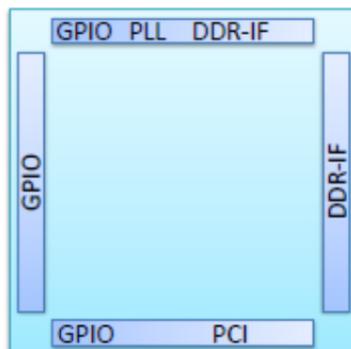
<Features>

- DDR3-Interface
- PCI-Express x4 Interface
- GPIO Bus (Input:3Byte, Output:3Byte)

- LSIC-0 仕様からPadをザックリ並べる
- LSIC-1 PKG Ball AssignからPad Assignを最適化する
- LSIC-2 設計制約を追加する

<LSI>

Size	7mm□
Pad Pitch	110um
Num. of Pads	240 (60x4)



<Power/GND>

VDD_CORE	1.2V for CORE
VSS_CORE	GND for CORE
VDD_DDR	1.5V for DDR-IF
VSS_DDR	GND for DDR-IF
VDD_PCI	3.3V for PCIe
VSS_PCI	GND for PCIe
VDD_GPIO	3.3V for GPIO
VSS_GPIO	GND for GPIO
AVDD	3.3V for PLL
AVSS	GND for Analog

<Signal>

FKB48		DDR	
clock	1	CK	2pairs
reset	1	CA	25
GPIO	48	DQ	16
		DM	2
PCI-Express		DQS	2pairs
clock	1pair	reset	1
TX	4pairs	ZQ	1
RX	4pairs		
		Other	
		XTAL	2



LSI詳細仕様 (2/2)

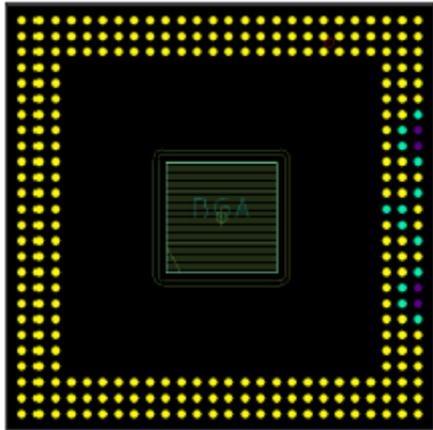
<Package>

Size	27mm□
Ball Pitch	1.0mm
Num. of Balls	276 Ball (3Row)
Num. of Layers	4

PKGC-0 仕様からPKG Size、層構成、Ballを決める

PKGC-1 Board考慮してPKG Ball Assign

PKGC-2 設計制約を追加する



<Power/GND>

VDD_GPIO	3.3V for GPIO
VDD_PCI	3.3V for PCIe
VDD_DDR	1.5V for DDR-IF
VDD_CORE	1.2V for CORE

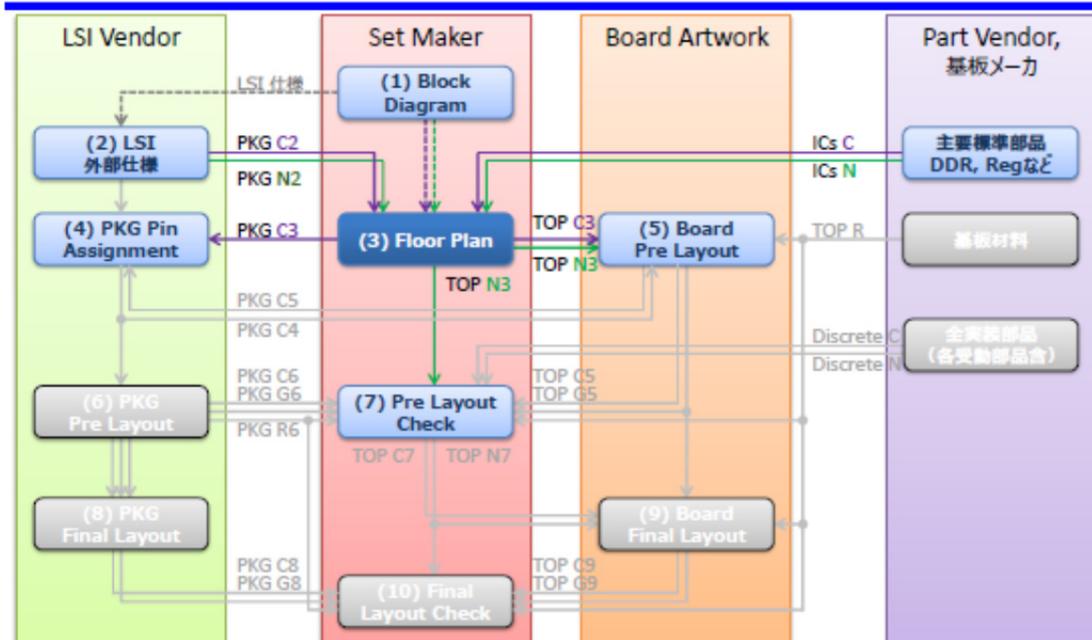
VSS	GND for CORE & GPIO *1
VSS_PCI	GND for PCIe
VSS_DDR	GND for DDR-IF

VDD_PLL	3.3V for PLL
AVSS	GND for Analog

*1) CORE GND and GPIO GND must join on the PKG

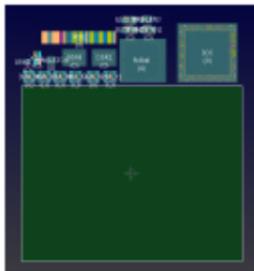


(3) Floor Plan

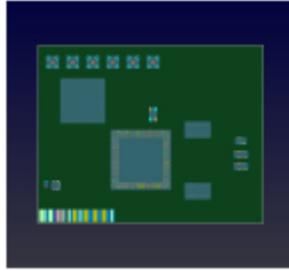


(3) Floor Plan

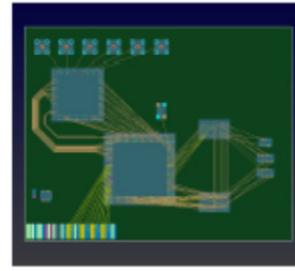
INPUT	WORK	OUTPUT	NEXT
PKG C2 PKG N2 ICs C ICs N	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) フロアプラン ピンアサイン (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C3 TOP C3 TOP N3	(4) PKG Layout (5) Board Layout



部品配置前



フロアプラン



ピンアサイン



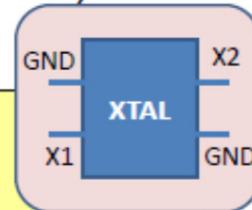
(3) Floor Plan

既成部品の入力(ICs C, ICs N)

```

...
<module name="XTAL" type="OTHER" shape_id="SHAPE.16" x="0" y="0" angle="0" >
  <socket name="XTAL" >
    <default>
      <port_shape padstack_id="PAD.6" />
    </default>
    <port id="1" x="-2250" y="-1250" angle="0" name="X1" direction="inout" type="signal" />
    <port id="2" x="2250" y="-1250" angle="0" name="GND" direction="inout" type="ground" />
    <port id="3" x="2250" y="1250" angle="0" name="X2" direction="inout" type="signal" />
    <port id="4" x="-2250" y="1250" angle="0" name="GND" direction="inout" type="ground" />
  </socket>
</module>
...

```



Pin座標のみ

ICs C

```

/-- Quartz crystal unit -----
module XTAL ( X1 , X2 , GND ) ;
  inout X1 , X2 ;
  inout GND ; /* PG_NET */
endmodule

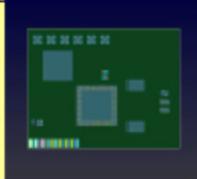
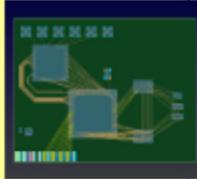
```

ICs N



(3) Floor Plan

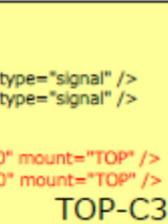
PKG C-Formatの変化 (PKG-C2⇒C3)

<pre>... <port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A3" x="-10500" y="12500" angle="0" /> <port id="A4" x="-9500" y="12500" angle="0" /> <port id="A5" x="-8500" y="12500" angle="0" /> <port id="A6" x="-7500" y="12500" angle="0" /> <port id="A7" x="-6500" y="12500" angle="0" /> <port id="A8" x="-5500" y="12500" angle="0" /> <port id="A9" x="-4500" y="12500" angle="0" /> <port id="A10" x="-3500" y="12500" angle="0" /> ...</pre>	
Pin座標のみ	
PKG-C2	
<pre>... <port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A3" x="-10500" y="12500" angle="0" /> <port id="A4" x="-9500" y="12500" angle="0" /> <port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[3]" direction="out" type="signal" /> <port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[0]" direction="out" type="signal" /> <port id="A7" x="-6500" y="12500" angle="0" /> <port id="A8" x="-5500" y="12500" angle="0" /> <port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" /> <port id="A10" x="-3500" y="12500" angle="0" /> ...</pre>	
ネットアサイン情報が追加	
PKG-C3	



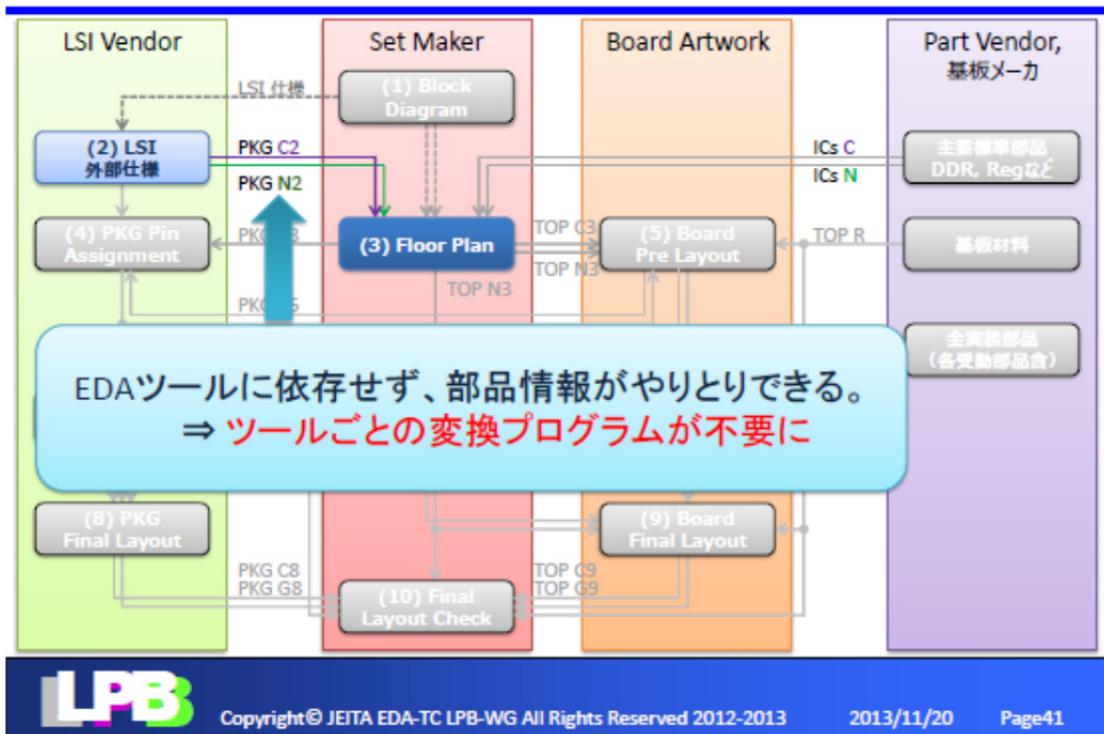
(3) Floor Plan

ボードフロアプラン結果出力 (TOP-C3,N3)

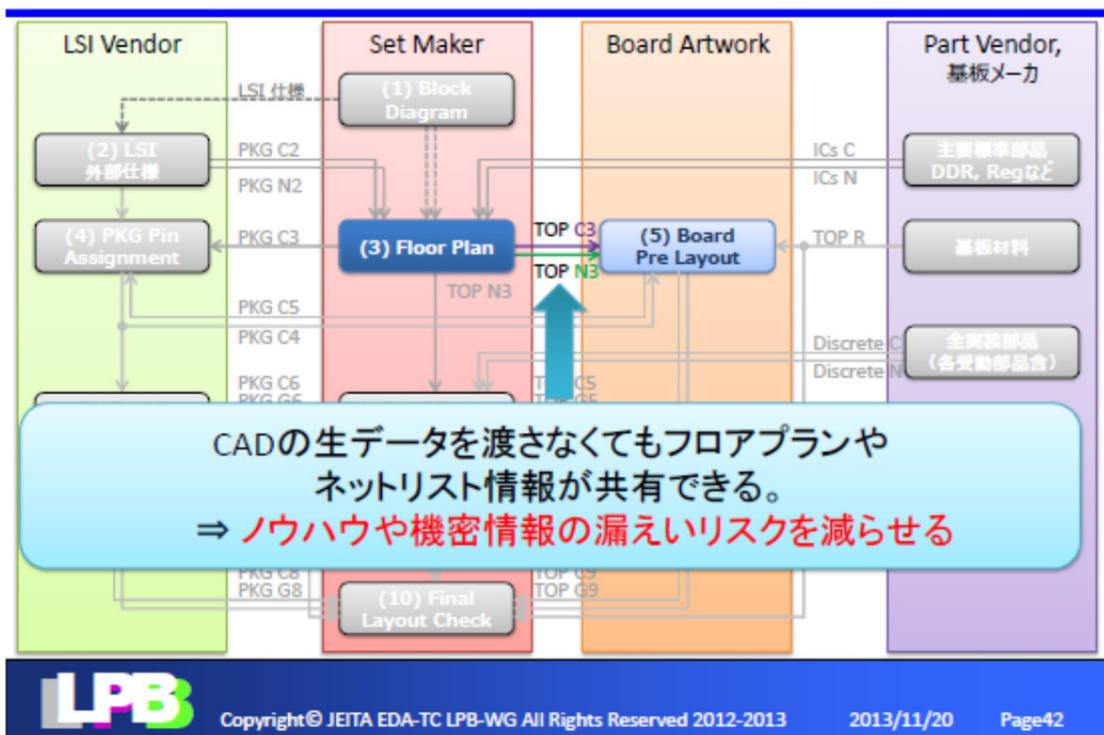
<pre>... <module name="LPB_2012_SAMPLE" type="PWB" shape_id="rect_1" x="0" y="0" > <socket name="PCIe" > <port id="A1" padstack_id="BALL_1" x="-48900" y="-36550" name="" direction="inout" type="signal" /> <port id="A2" padstack_id="BALL_1" x="-47900" y="-36550" name="" direction="inout" type="signal" /> ... <component> <placement ref_module="DDR" inst="DDR0" x="37206.5" y="-3223.2" z="200" angle="270" mount="TOP" /> <placement ref_module="DDR" inst="DDR1" x="36947.6" y="15911.7" z="200" angle="270" mount="TOP" /> </pre>	
部品配置情報	
<pre>... module LPB_2012_SAMPLE (); wire AGND ; /* PG_NET */ wire AVDD33 ; /* PG_NET */ wire [15:0] DDRAD ; wire [2:0] DDRBA ; ... DDR DDR0 (.A(DDRAD),.BA(DDRBA),.CAS_N(DDRCAS),.CK(DDRCK0_P),... DDR DDR1 (.A(DDRAD),.BA(DDRBA),.CAS_N(DDRCAS),.CK(DDRCK1_P),... FKB48 FKB48 (.AIN(FKBDO[7:0]),.AOUT(FKBDI[7:0]),.AVDD33(AVDD33),... ... </pre>	
ネットリスト情報	
TOP-N3	



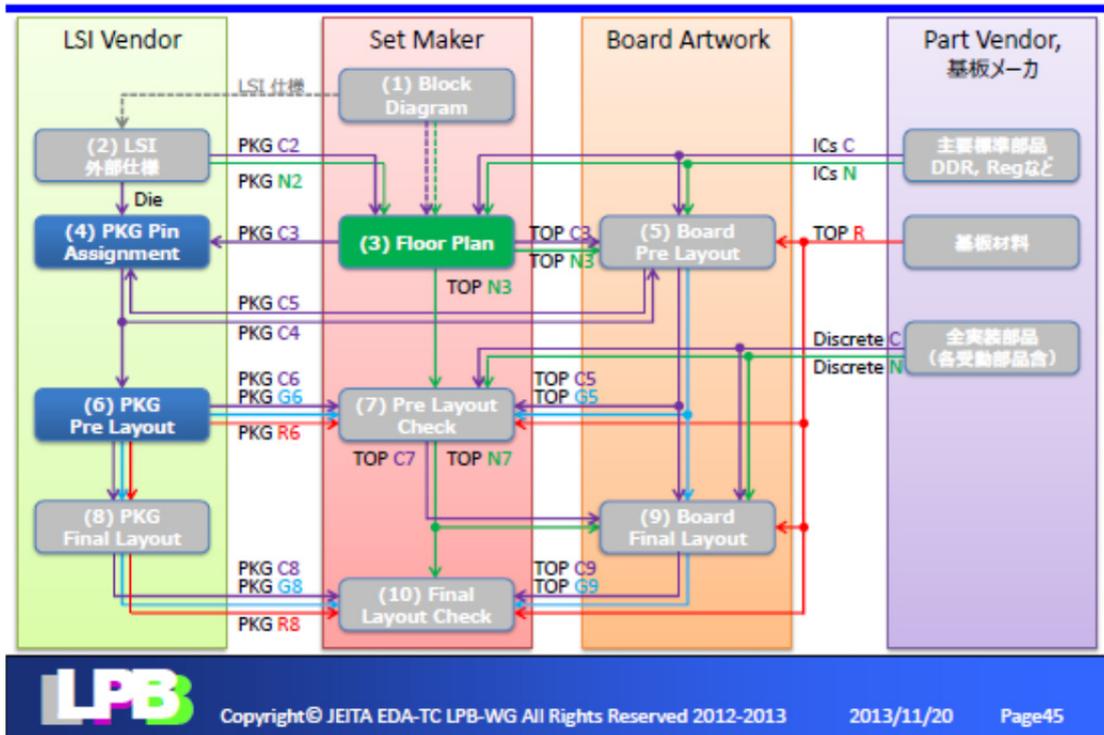
LPB Formatのメリット



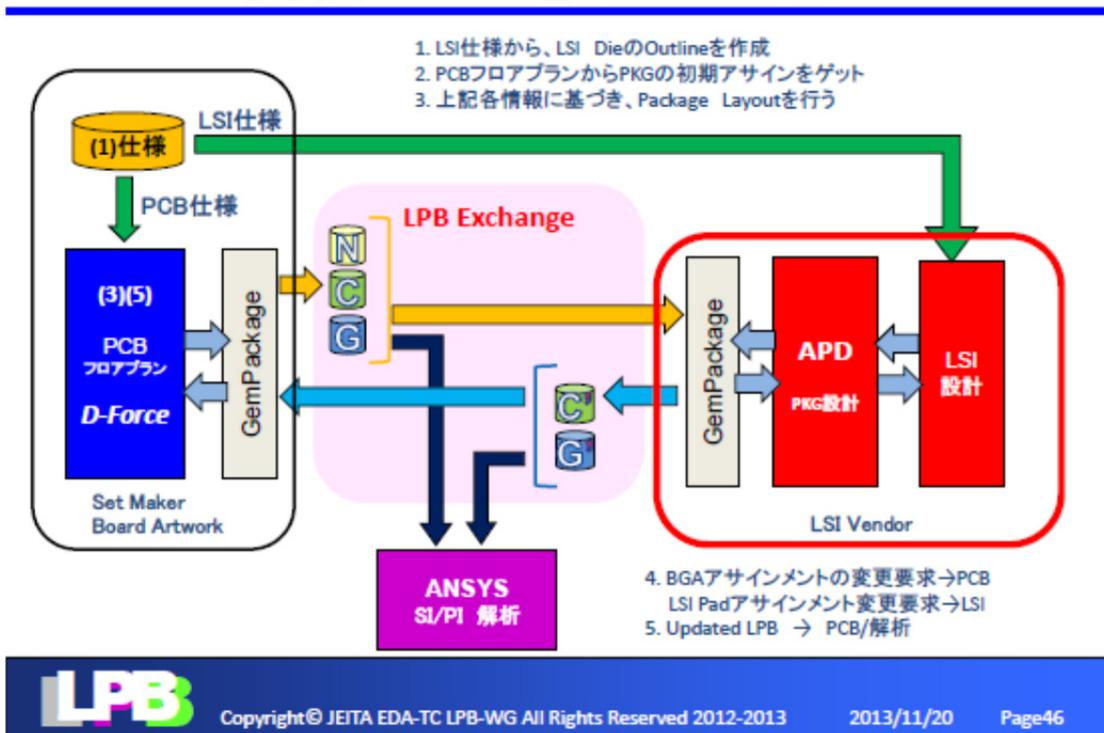
LPB Formatのメリット



Reference Flow



(4)(6) Package設計の概要



(4) PKG Pin Assignment

INPUT	WORK	OUTPUT	NEXT
*Die 情報 *PKG C3 -BGA 仮assign -Pin Group	(a) Die情報入力: 社内フォーマット (b) PKG C3から、LSI Pad->BGA Ratsnest作成 (c) Pad 変更によりRats Cross改善 (d) LSI変更ができない部分のBGAアサイン変更依頼 -> PKG C4 (PCB Layout)	*PKG C4 ・LSI DrivenでのPKG BGAの再アサイン ・LSIのピン情報に基づきPCBでの配線性向上のため、swappableなピンの指定	(5) Board Pre Layout (6) PKG Pre Layout



C-Formatの変化 (PKG-C3⇒C4)

<pre> ... <port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A3" x="-10500" y="12500" angle="0" /> <port id="A4" x="-9500" y="12500" angle="0" /> <port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[3]" direction="out" type="signal" /> <port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[0]" direction="out" type="signal" /> <port id="A7" x="-6500" y="12500" angle="0" /> <port id="A8" x="-5500" y="12500" angle="0" /> <port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" /> <port id="A10" x="-3500" y="12500" angle="0" /> ... </pre>	<p style="color: red;">Floor Plan初期アサインをゲット</p> <p style="text-align: right;">PKG-C3</p>
<pre> ... <port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" /> <port id="A3" x="-10500" y="12500" angle="0" /> <port id="A4" x="-9500" y="12500" angle="0" /> <port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[5]" direction="out" type="signal" /> <port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[2]" direction="out" type="signal" /> <port id="A7" x="-6500" y="12500" angle="0" /> <port id="A8" x="-5500" y="12500" angle="0" name="VDD_PLL" direction="inout" type="power" /> <port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" /> <port id="A10" x="-3500" y="12500" angle="0" /> ... </pre>	<p style="color: blue;">PKG Pre Layoutからアサイン変更</p> <p style="text-align: right;">PKG-C4</p>

C-Format変化 (PKG-C3⇒C4)

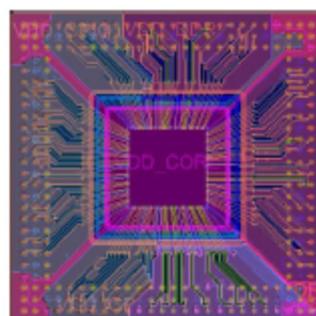
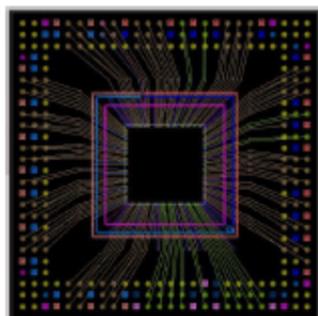
<pre><!-- Swappable Group --> <!-- Swappable Port --> <!-- Constraint --></pre>	PKG-C3
<pre><!-- Swappable Group --> <swappable_group> <ref_portgroup name="FKB_DIN_BYTE0" /> <ref_portgroup name="FKB_DIN_BYTE1" /> <ref_portgroup name="FKB_DIN_BYTE2" /> </swappable_group> ... <!-- Swappable Port --> <swappable_port> <ref_port name="DDRQ[0]" /> <ref_port name="DDRQ[1]" /> <ref_port name="DDRQ[2]" /> <ref_port name="DDRQ[3]" /> <ref_port name="DDRQ[4]" /> <ref_port name="DDRQ[5]" /> <ref_port name="DDRQ[6]" /> <ref_port name="DDRQ[7]" /> <ref_port name="DDRDM[0]" /> </swappable_port> ... <!-- Constraint --></pre>	PKG-C4

スワップ可能な制約を追加

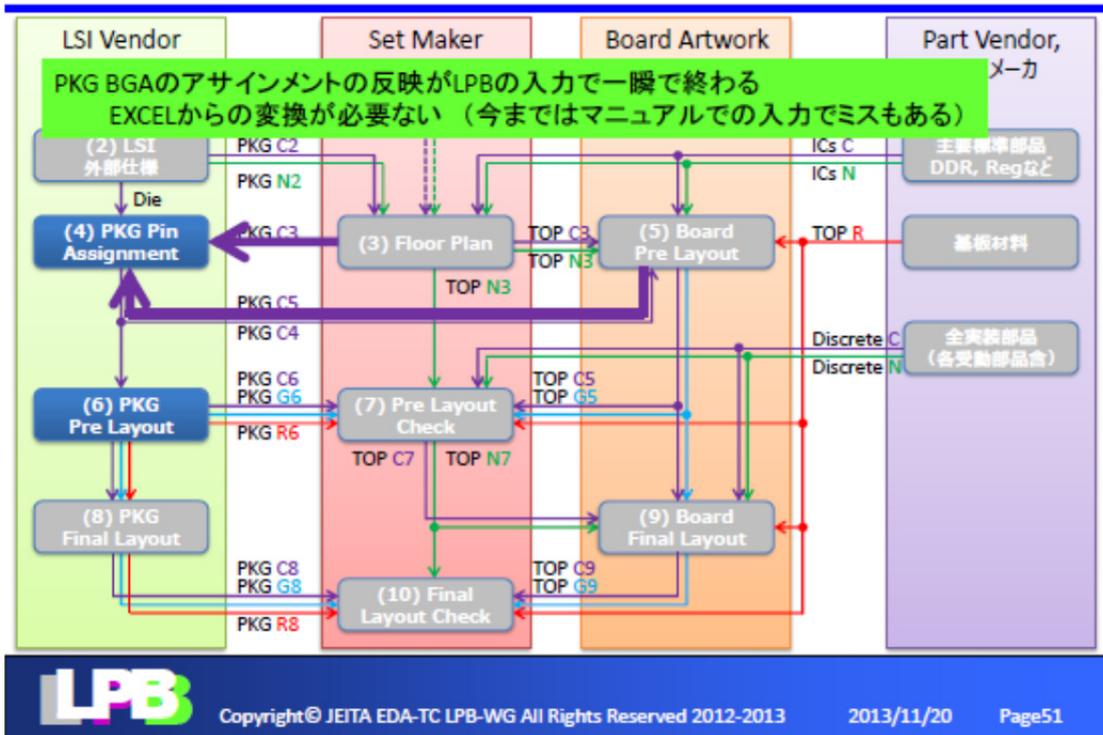


(6) PKG Pre-Layout

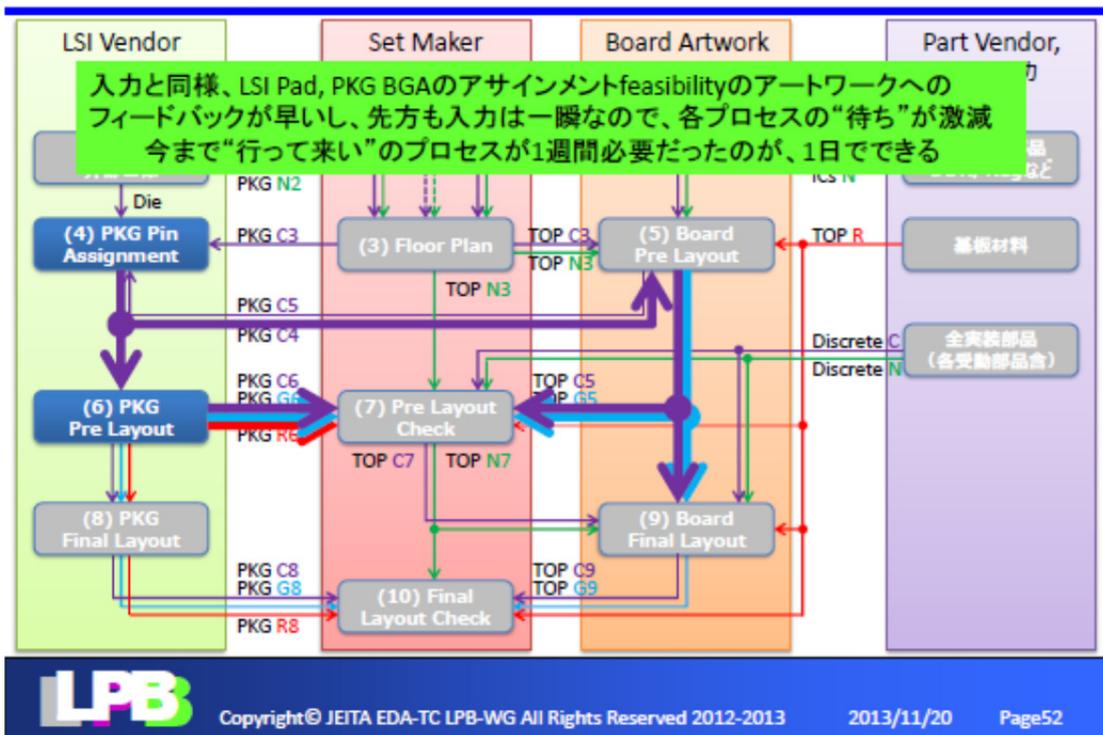
INPUT	WORK	OUTPUT	NEXT
*PKG C4 -(4)の自分のassignの結果 *PKG C5 -(5)のPCBからF.B. (改善されたアサイン)	A) PKG C4読み込み 同時にPKG C4 → Board Layout B) PKG C5の読み込み PCBにてBGAアサインの最適化 C) PKG Layout	*PKG C6 ・FixしたPKG BGAアサイン *PKG G6 ・解析用のLayout Data *PKG R6 ・Rule, 材料特性	(7) SI/PI check



PKG設計 LPB Formatのメリット 1



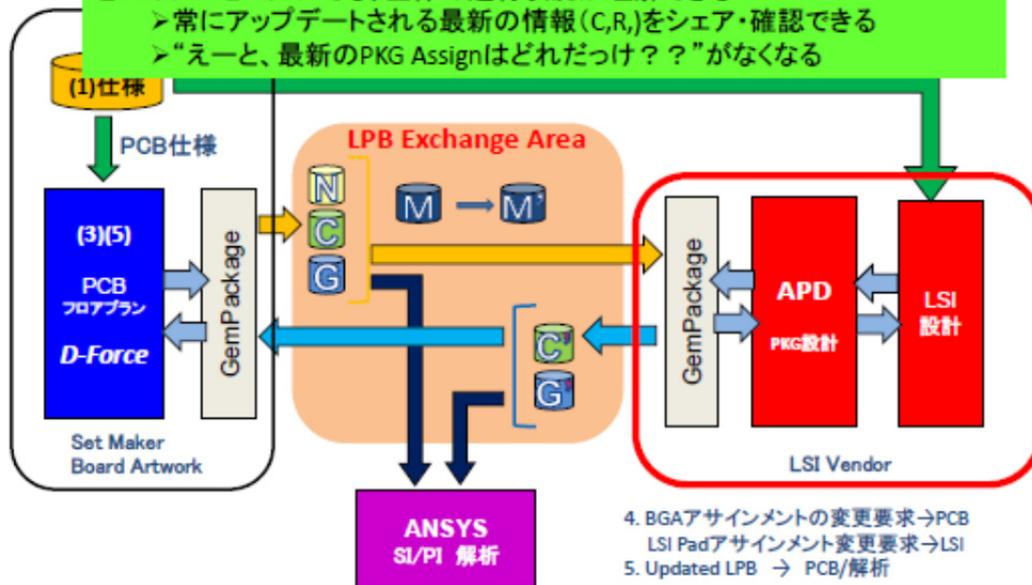
PKG設計 LPB Formatのメリット 2



PKG設計 LPB Formatのメリット 3

同一のフォーマットが各設計プロセスでシェアされているため、LSI, Set, PCBがどこのプロセスにおいても、全体の進行状況が理解できる

- 常にアップデートされる最新の情報(C,R)をシェア・確認できる
- “えーと、最新のPKG Assignはどれだっけ??”がなくなる



(5)PCBアートワーク

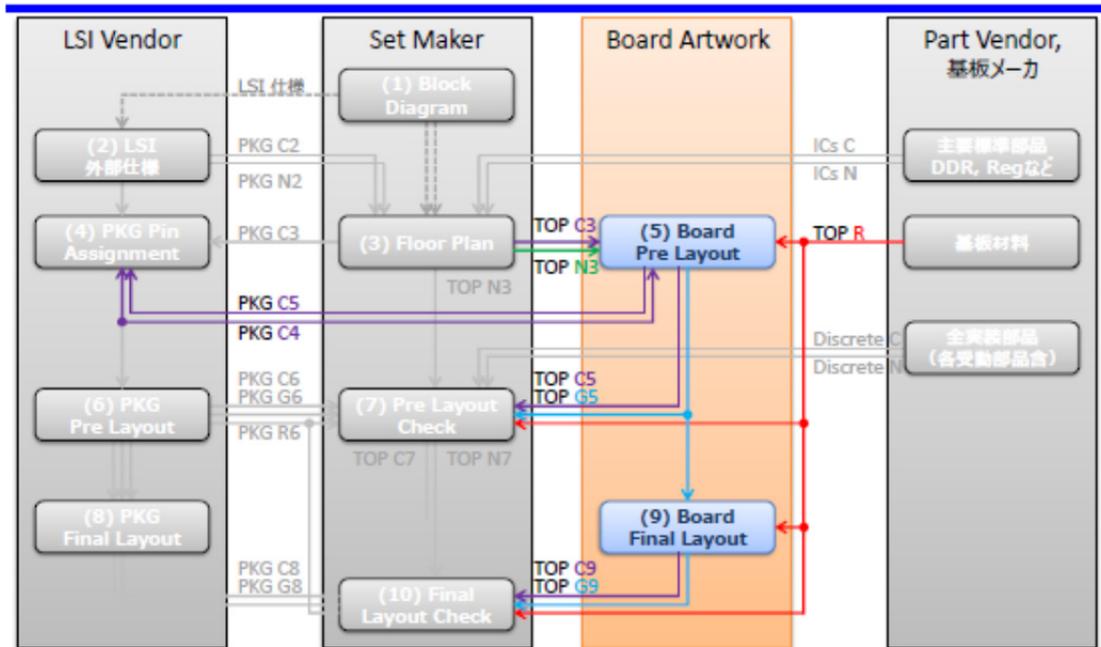
Board Pre LayoutからFinal Layout

2013年11月20日

LPB相互設計WG

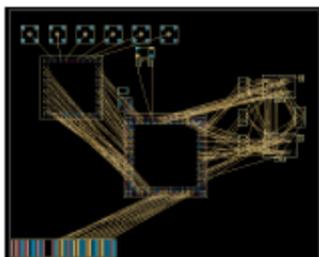


Reference Flow

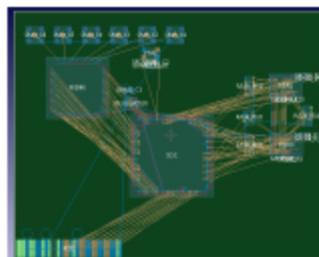


(5)Board Pre Layout

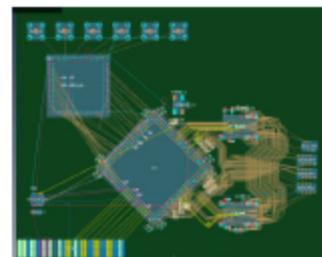
INPUT	WORK	OUTPUT	NEXT
PKG C4 TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) SI/PI check



(a)LPB読み込み



(b) Gem⇒Design Force



(c) 重要信号配線



(5)Board Pre Layout

INPUT	WORK	OUTPUT	NEXT
PKG C4 TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) SI/PI check

```

<port id="R24" type="signal" y="-1500" x="10500" name="DDRQ[0]" direction="inout"/>
<port id="R25" type="signal" y="-1500" x="11500" name="DDRQ[1]" direction="inout"/>
<port id="R26" type="signal" y="-1500" x="12500" name="DDRQ[2]" direction="inout"/>
<port id="P24" type="signal" y="-500" x="10500" name="DDRQ[3]" direction="inout"/>
<port id="P25" type="signal" y="-500" x="11500" name="DDRQ[4]" direction="inout"/>
<port id="P26" type="signal" y="-500" x="12500" name="DDRQ[5]" direction="inout"/>
    
```

PKG C4

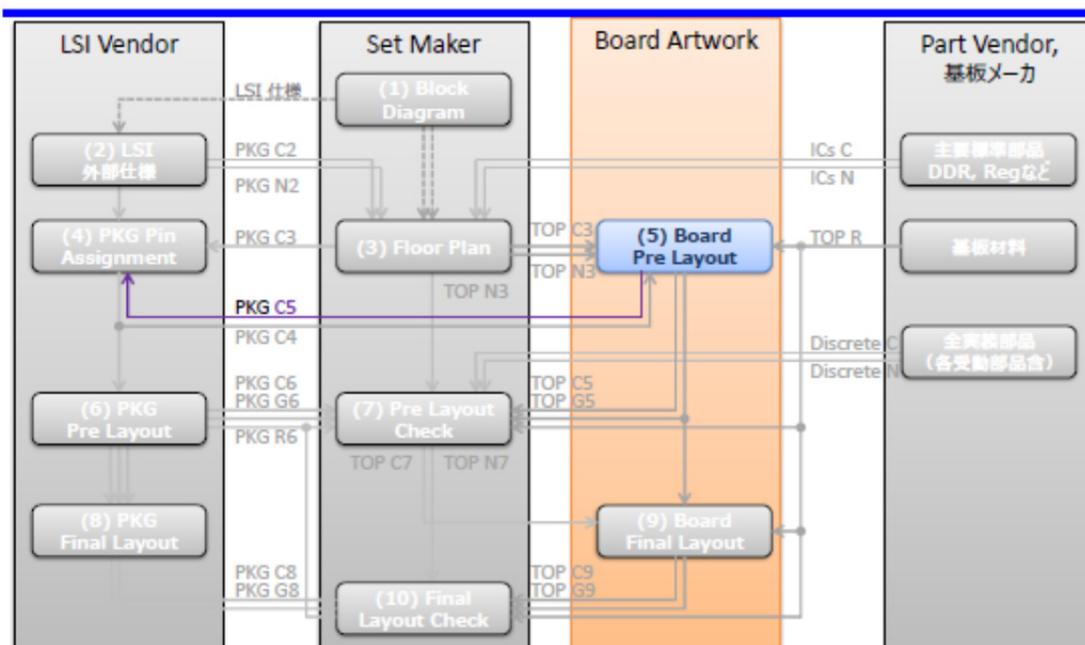
```

<port id="R24" type="signal" y="-1500" x="10500" name="DDRQ[7]" direction="inout"/>
<port id="R25" type="signal" y="-1500" x="11500" name="DDRQ[0]" direction="inout"/>
<port id="R26" type="signal" y="-1500" x="12500" name="DDRQ[2]" direction="inout"/>
<port id="P24" type="signal" y="-500" x="10500" name="DDRQ[6]" direction="inout"/>
<port id="P25" type="signal" y="-500" x="11500" name="DDRQ[3]" direction="inout"/>
<port id="P26" type="signal" y="-500" x="12500" name="DDRQ[4]" direction="inout"/>
    
```

PKG C5

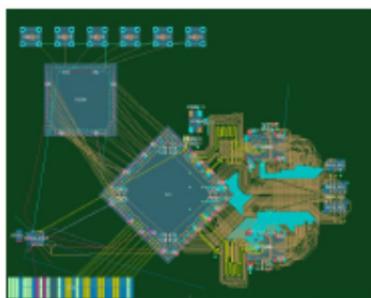


Reference Flow

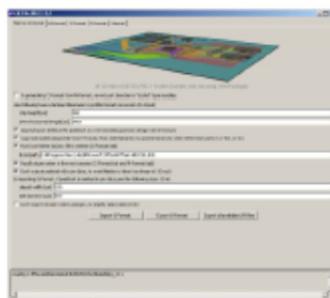


(5)Board Pre Layout

INPUT	WORK	OUTPUT	NEXT
TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) Pre SI/PI Check



(d) Design Force ⇒Gem



(e) LPB書き出し(GEMDESIGN)



(5)Board Pre Layout

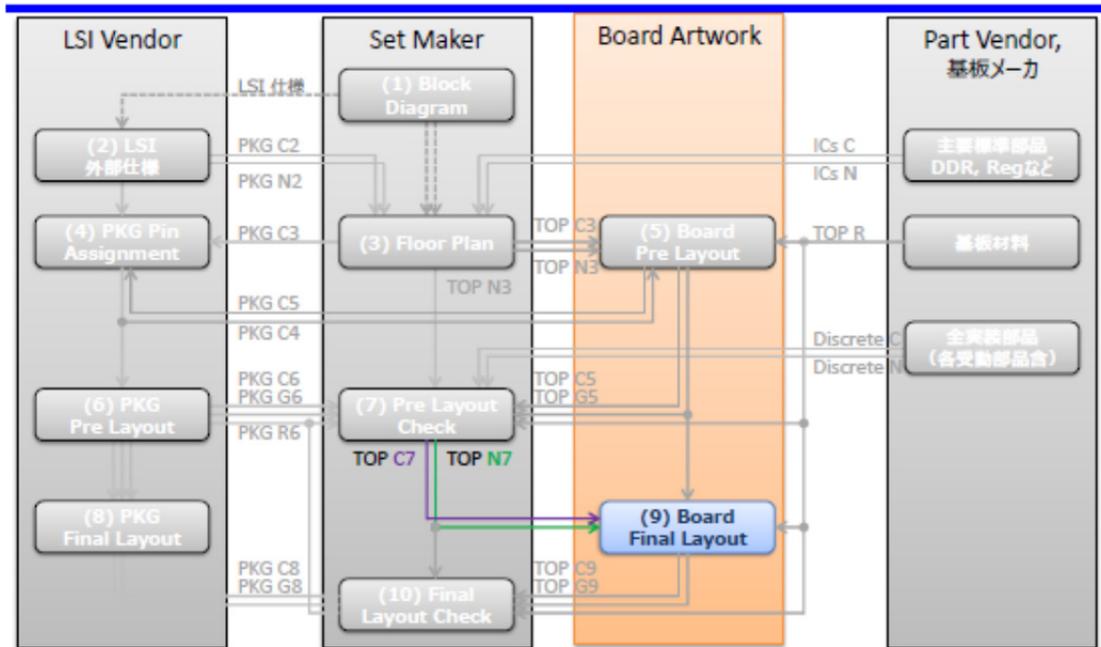
INPUT	WORK	OUTPUT	NEXT
TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) Pre SI/PI Check

```
<placement y="-8223.2" x="30206.5" mount="TOP" angle="270" z="200" inst="DDR0" ref_module="DDR"/> TOP C3
<placement y="15911.7" x="36947.6" mount="TOP" angle="270" z="200" inst="DDR1" ref_module="DDR"/>
<placement y="-6500" x="400" mount="TOP" angle="0" z="200" inst="SOC" ref_module="SOC_PKG"/>
<placement y="22417.2" x="-8150.9" mount="TOP" z="20" inst="GRM1_C1" ref_module="GRM1"/>
<placement y="23603.4" x="-4479.3" mount="TOP" z="20" inst="GRM1_C2" ref_module="GRM1"/>
```

```
<placement y="-3223.2" x="37206.5" mount="TOP" angle="90" z="200" inst="DDR0" ref_module="DDR"/>
<placement y="10911.7" x="30947.6" mount="TOP" angle="90" z="200" inst="DDR1" ref_module="DDR"/> TOP C5
<placement y="-6500" x="400" mount="TOP" angle="45" z="200" inst="SOC" ref_module="SOC_PKG"/>
<placement y="22417.2" x="-8150.9" mount="BOTTOM" z="20" inst="GRM1_C1" ref_module="GRM1"/>
<placement y="23603.4" x="-4479.3" mount="BOTTOM" z="20" inst="GRM1_C2" ref_module="GRM1"/>
```



Reference Flow



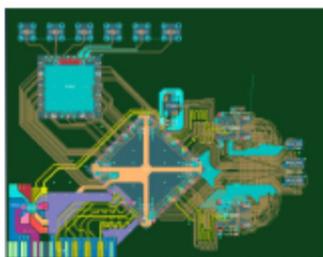
Copyright © JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

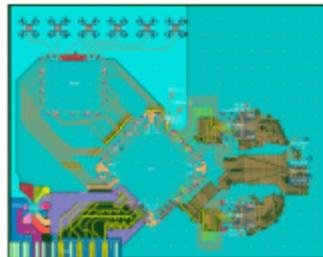
Page61

(9)Board Final Layout

INPUT	WORK	OUTPUT	NEXT
TOP C7 TOP N7	(a) ボード設計 (その他のsig/power) (b) LPB書き出し	TOP C9 TOP N9 TOP R9	(10) Final SI/PI Check



(a) ボード設計



(b) LPB書き出し

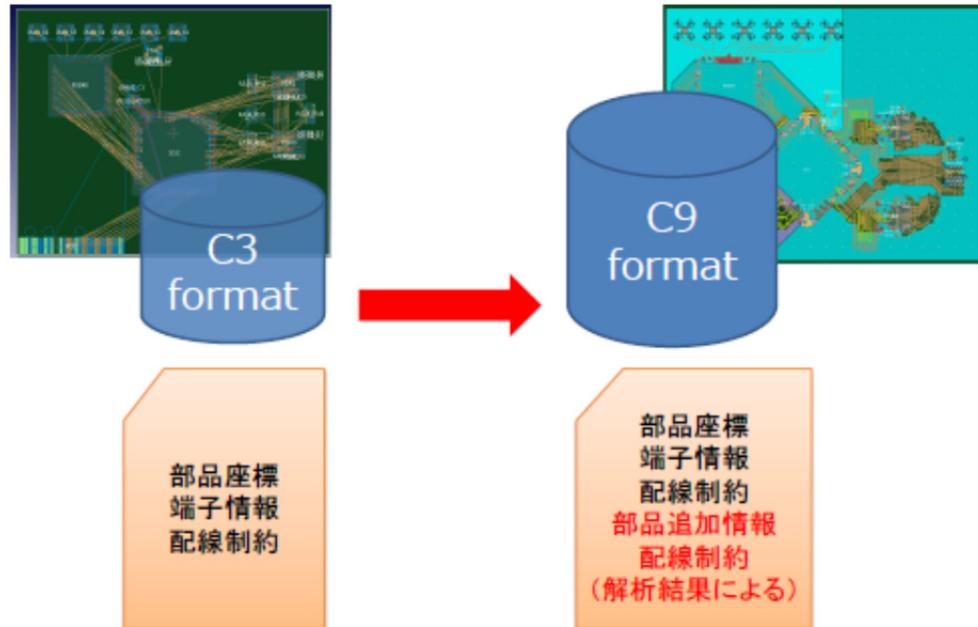


Copyright © JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

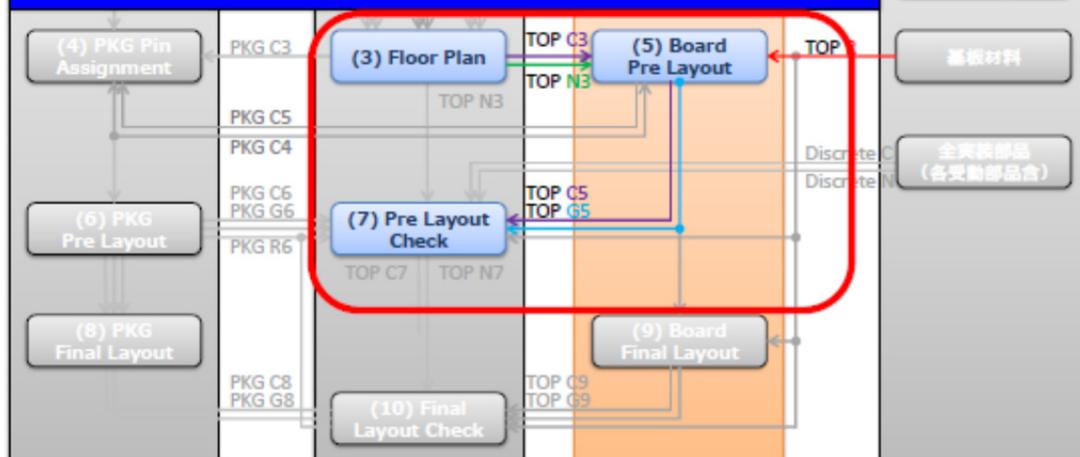
Page62

フォーマットの遷移

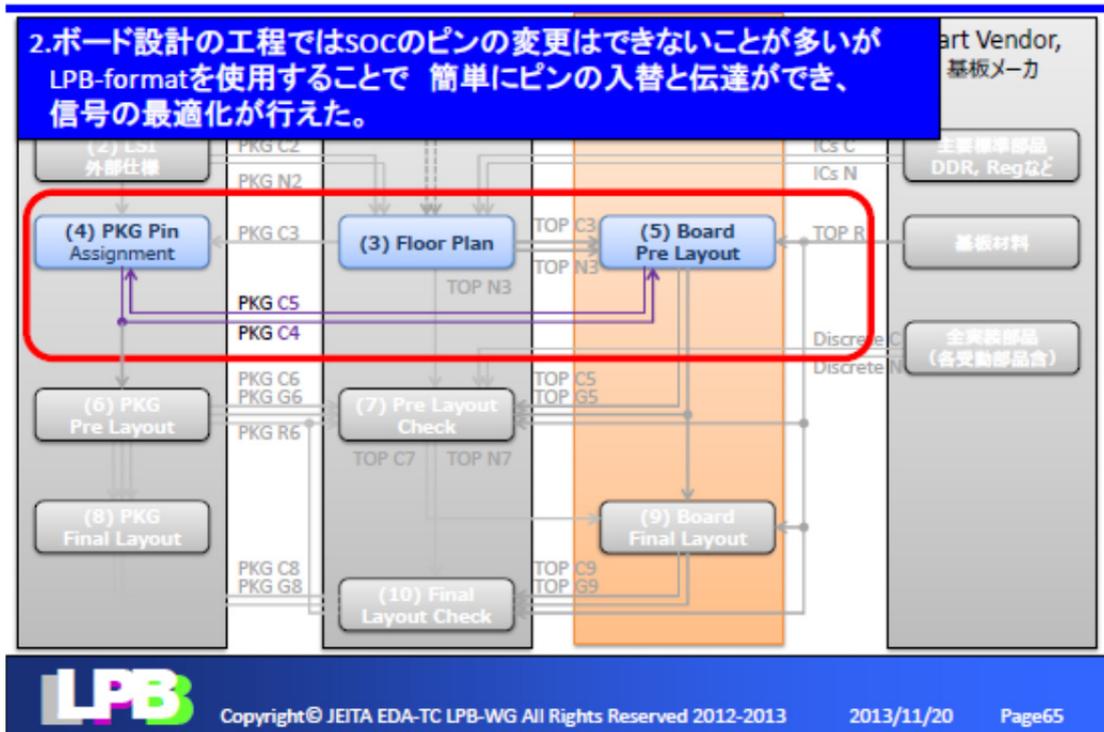


LPB formatのメリット

1. CADツール間、解析ツール間での連携の輪が広がる
 (既存のツールでいままで不可能だった連携が可能になる、
 別途I/Fを購入する必要がなくなる。(設備コスト削減)
 弊社の場合 4本だったライセンスが10本に増える!!



LPB formatのメリット



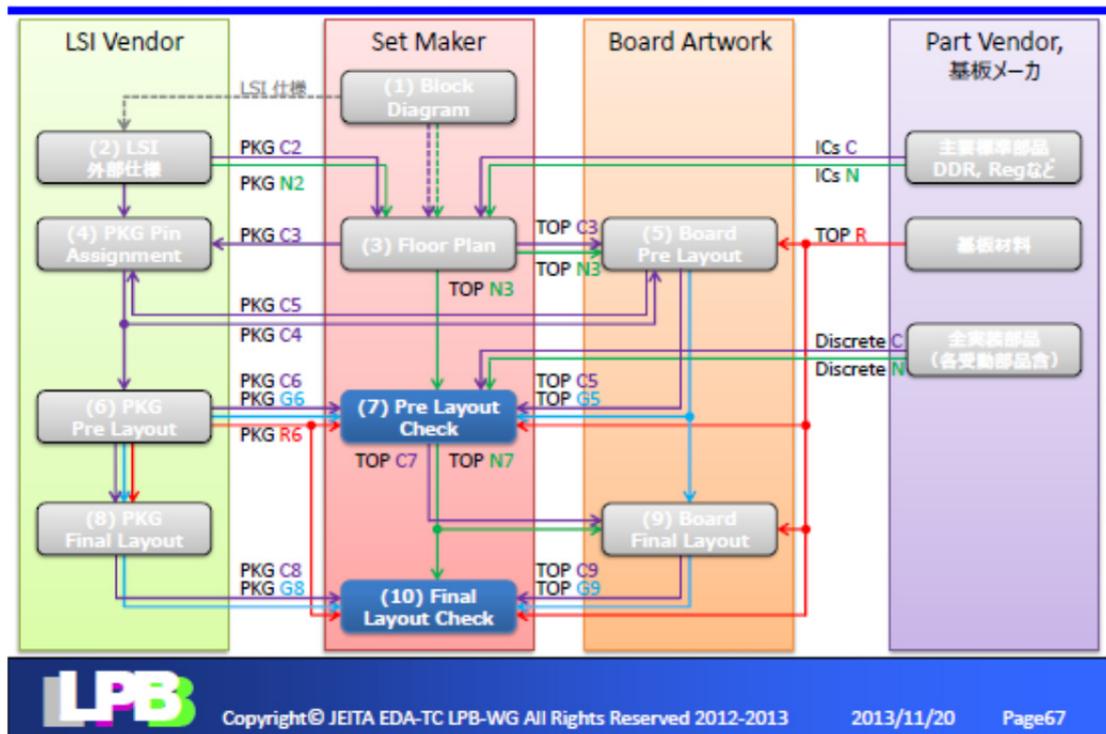
(7)&(10)解析エンジニア

Pre / Final Layout Check

2013年11月20日

LPB相互設計WG

(7) Pre / (10) Final Layout Check



(7) Pre / (10) Final Layout Check

行った作業：

(7) Pre Layout Check

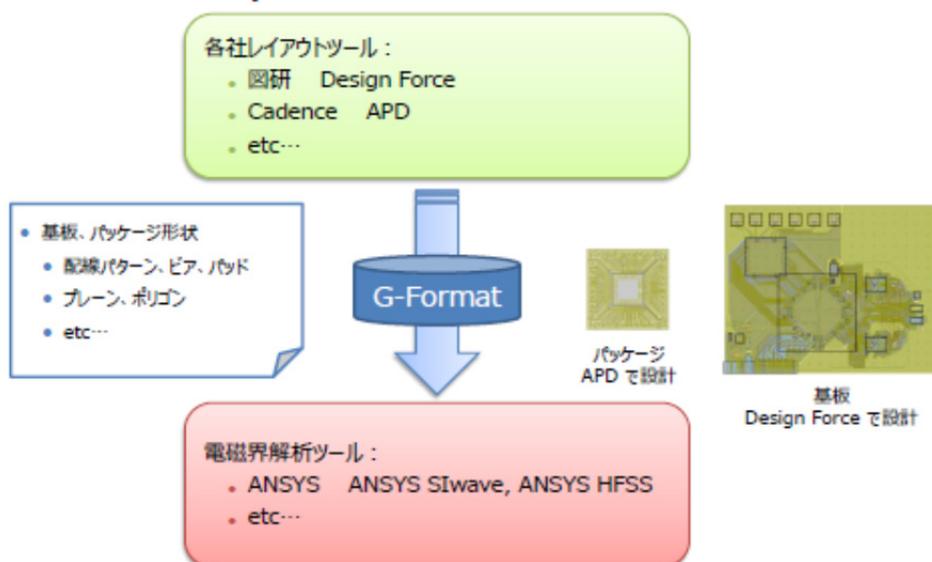
- ・ クリティカルネットのシグナルインテグリティ・シミュレーション

(10) Final Layout Check

- ・ PDN のパワーインテグリティ・シミュレーション
- ・ 放射ノイズ（遠方界、近傍界）シミュレーション

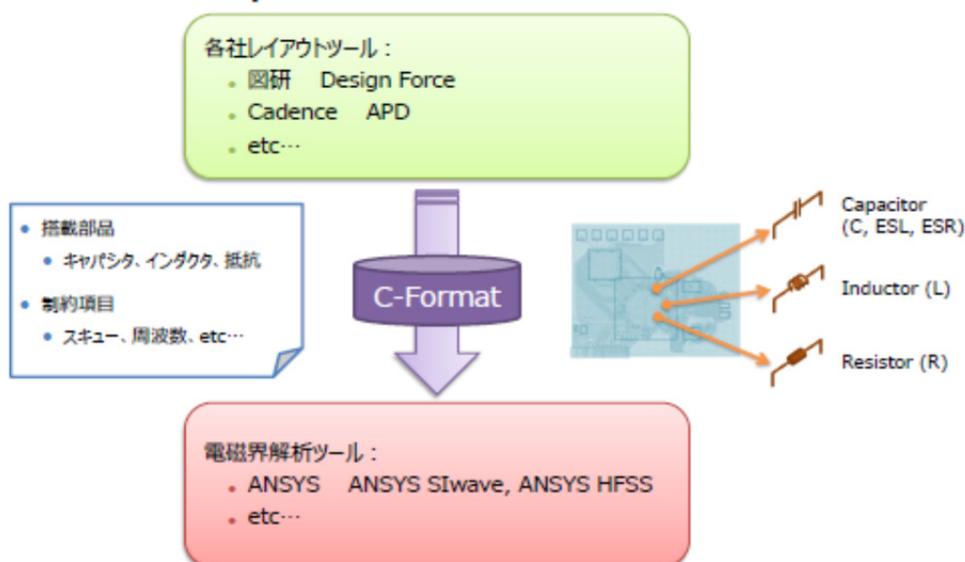
(7) Pre / (10) Final Layout Check

シミュレーションの Input :

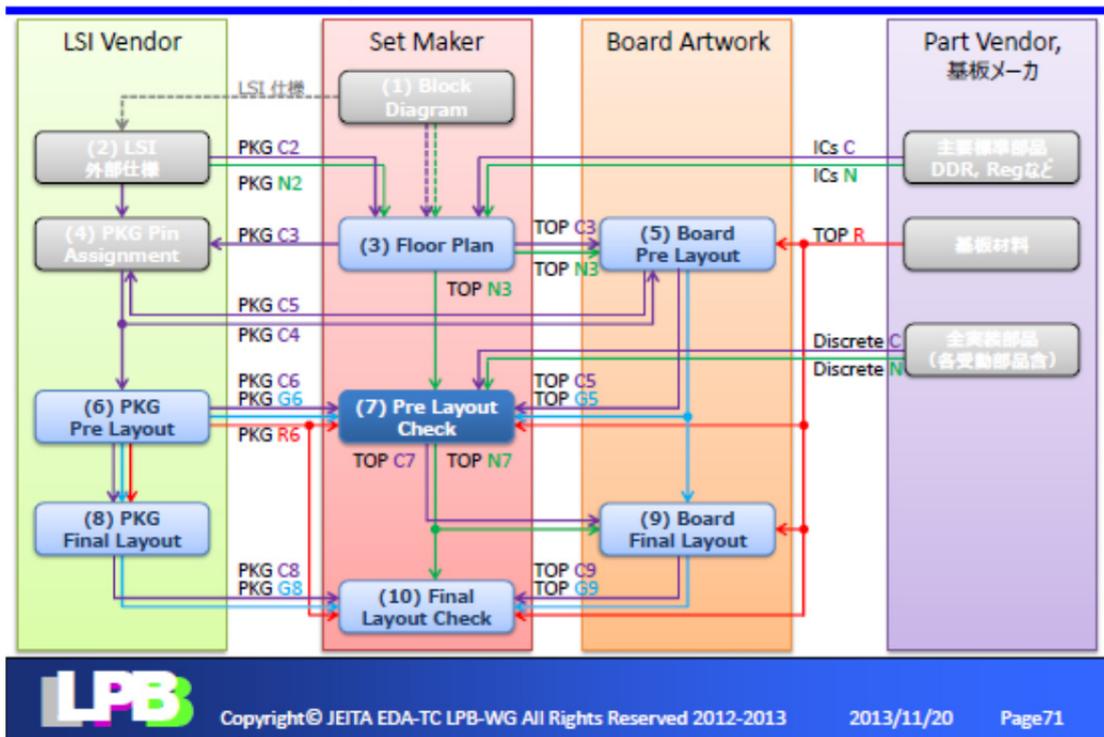


(7) Pre / (10) Final Layout Check

シミュレーションの Input :



(7) Pre Layout Check



(7) Pre Layout Check

行った作業：

(7) Pre Layout Check

【クリティカルネットのシグナルインテグリティ・シミュレーション】

- DDRIII (1.3GBps) ライトサイクルのタイミング検証
 - ✓ ダンピング抵抗は必要か？
 - ✓ ODT の設定をどうするか？
 - ✓ スキューはどの程度発生しているか？

(7) Pre Layout Check

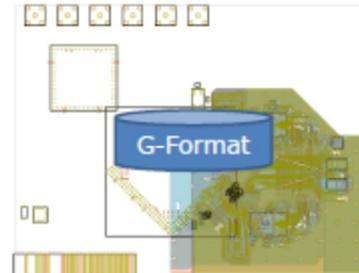
モデル :

【パッケージ】



- Cadence APDにて設計
- 全ネットの配線済み
- DQの等張配線はされていない

【基板】



- 図研 DesignForceにて設計
- 1.5V電源、グラウンド、DQS、DQのみ
- DQS、DQは等長配線済み

ANSYS SIwave

電磁界解析ツール上で統合



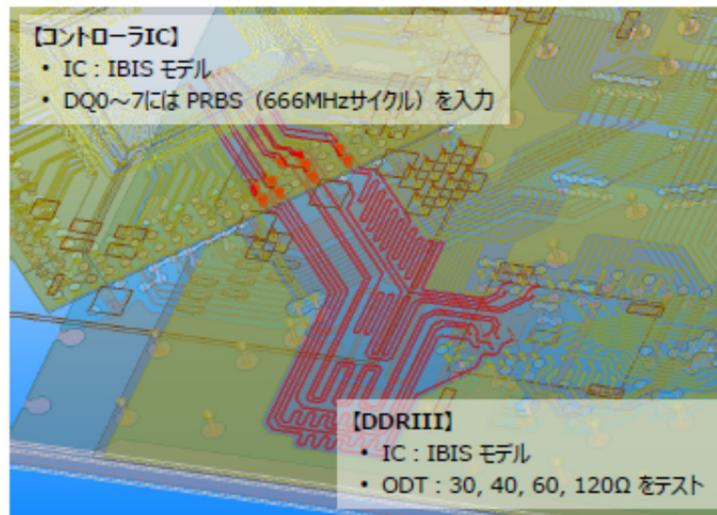
Copyright © JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

Page 73

(7) Pre Layout Check

シミュレーション概要 :



パッケージ&基板の DQS, DQ 信号 / ANSYS SIwave (電磁界解析)



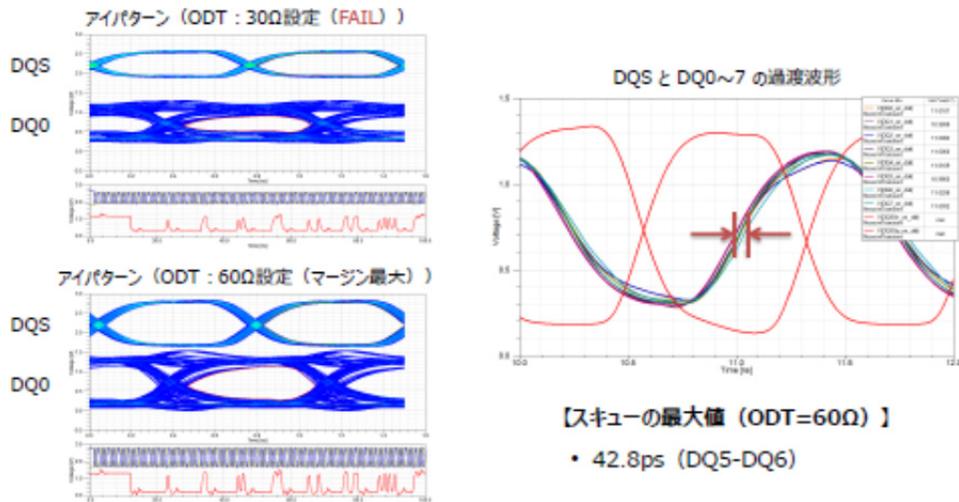
Copyright © JEITA EDA-TC LPB-WG All Rights Reserved 2012-2013

2013/11/20

Page 74

(7) Pre Layout Check

シミュレーション結果：



アイバターンと過渡波形 / ANSYS DesignerSI (回路シミュレータ)

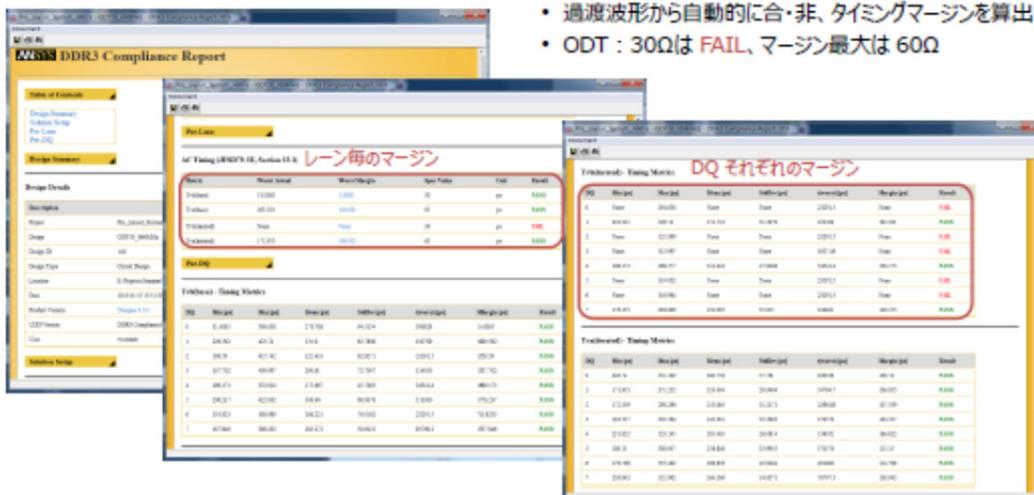


(7) Pre Layout Check

シミュレーション結果：

【AC Timing (JESD79-3E, Section 13.1)】

- 過渡波形から自動的に合・非、タイミングマージンを算出
- ODT : 30Ωは FAIL、マージン最大は 60Ω



DDR3 Compliance Report / ANSYS DesignerSI (回路シミュレータ)



(7) Pre Layout Check

シミュレーションの Output :

(7) Pre Layout Check

【クリティカルネットのシグナルインテグリティ・シミュレーション】

- DDRIII (1.3GBps) のライトサイクルのタイミング検証
 - ✓ ダンピング抵抗は必要か？ ⇒ **不要**
 - ✓ ODT の設定をどうするか？ ⇒ **60Ω**
 - ✓ スキューはどの程度発生しているか？ ⇒ **DQ5-DQ6で43.8ps**

⇒ 以上の情報を (9) Board Final Layout に報告



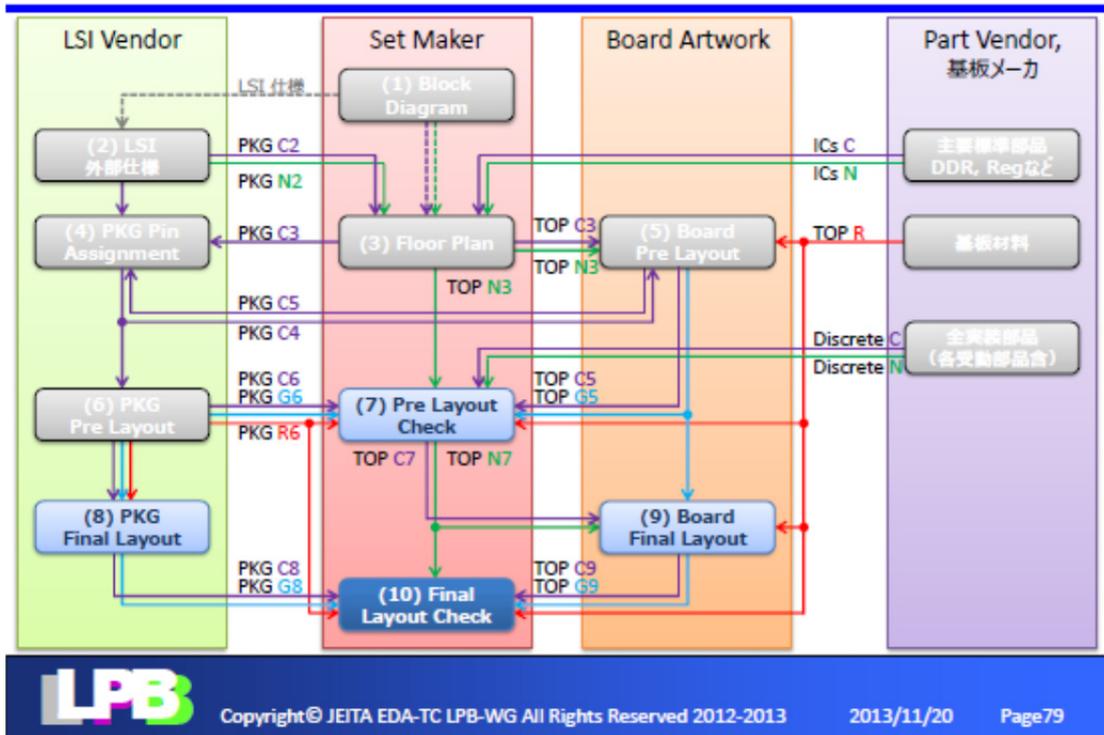
(7) Pre Layout Check

LPB Format と作業の工程のまとめ :

INPUT	WORK	OUTPUT	NEXT
PKG C6 PKG G6 TOP C5 TOP G5	A-1. LPB Format の読み込み A-2. 解析条件の設定、解析 以上、ANSYS SIwave B-1. S-パラメータ、IBISモデル読み込み B-2. 解析条件の設定、解析 以上、ANSYS Designer C. Board Artwork へ結果のフィードバック	TOP C7	(9) Board Final Layout

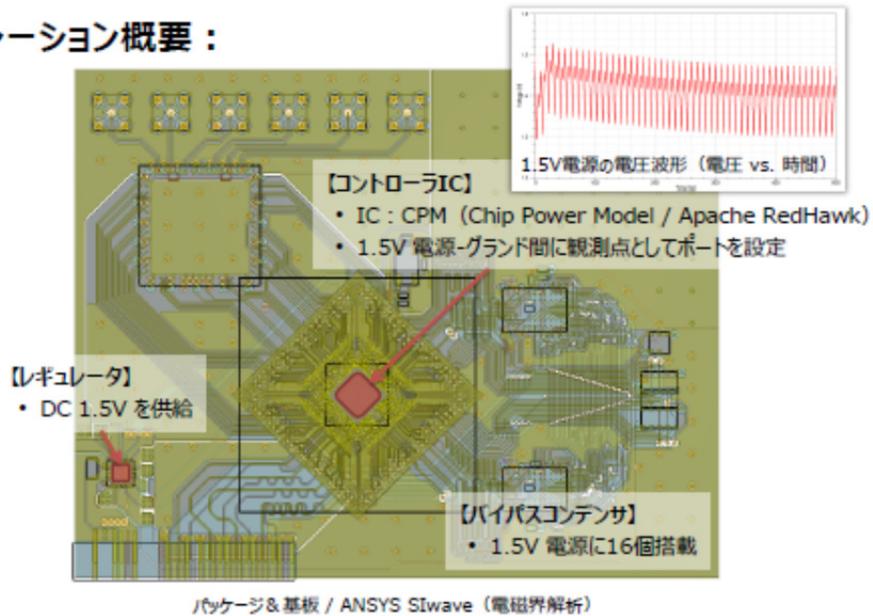


(10) Final Layout Check



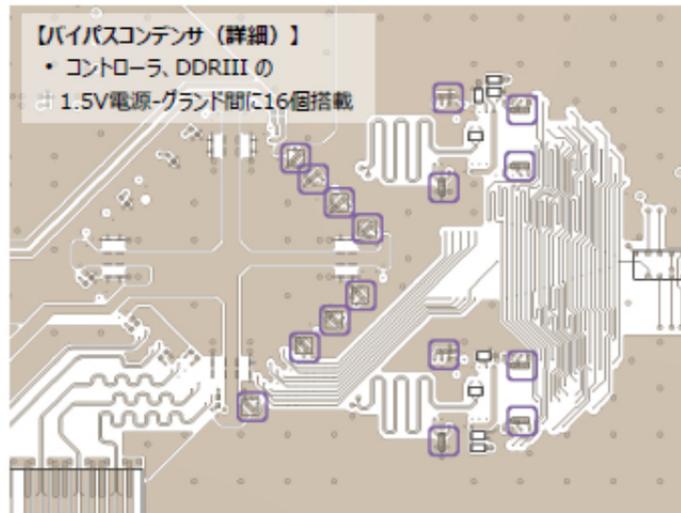
(10) Final Layout Check

シミュレーション概要 :



(10) Final Layout Check

シミュレーション概要：

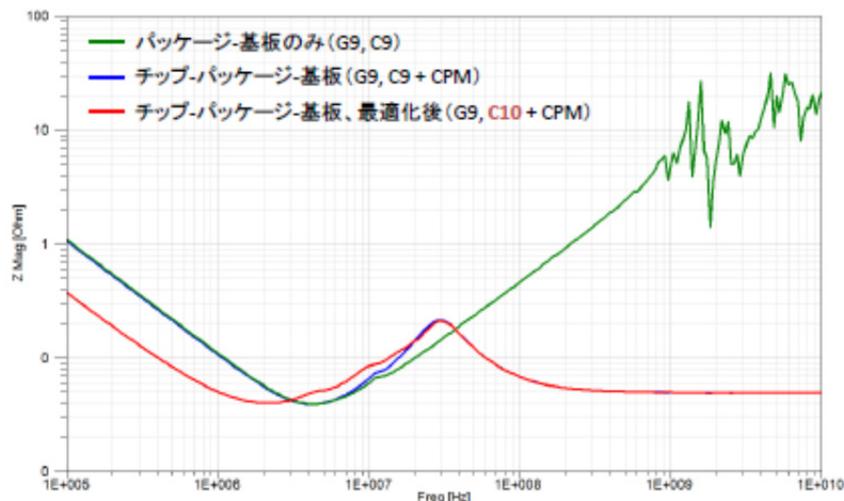


バイパスコンデンサの配置（基板の裏面） / ANSYS SIwave（電磁界解析）



(10) Final Layout Check

シミュレーション結果：

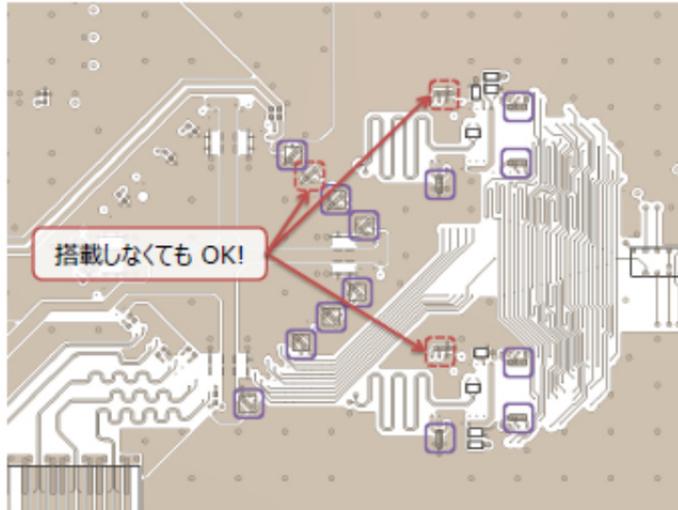


コントローラIC 1.5V電源のインプットインピーダンス / ANSYS SIwave（電磁界解析）

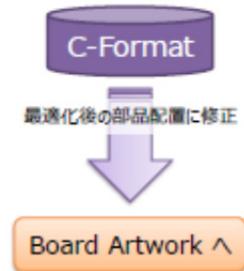


(10) Final Layout Check

シミュレーション結果：

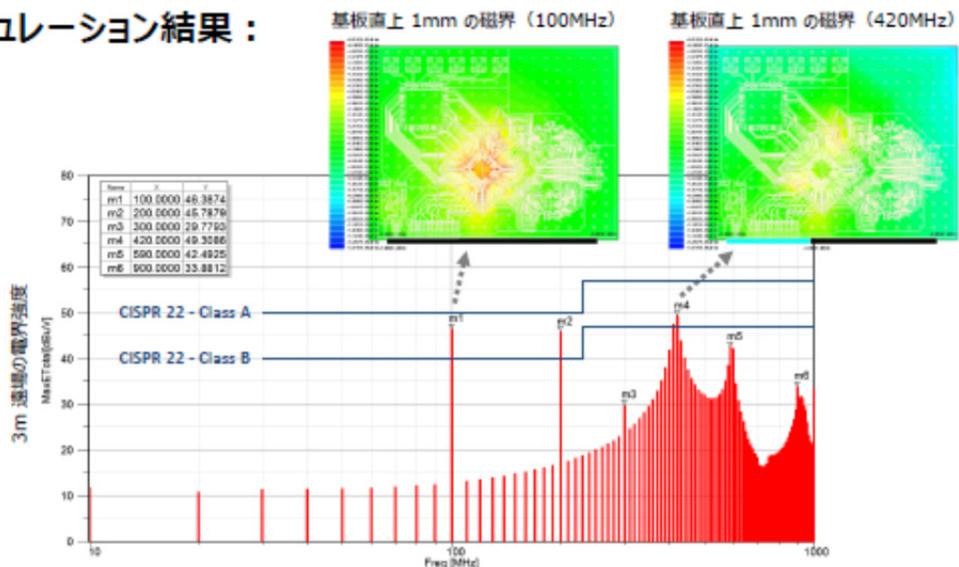


バイパスコンデンサの配置（基板の裏面） / ANSYS SIwave（電磁界解析）



(10) Final Layout Check

シミュレーション結果：



3m 遠場と近傍界 / ANSYS SIwave（電磁界解析）



(10) Final Layout Check

行った作業：

(10) Final Layout Check

【PDN のパワーインテグリティ・シミュレーション】

- コントローラIC のインプットインピーダンス解析とコンデンサの最適化
 - ✓ チップ-パッケージ-基板全体でのインピーダンスは？ ⇒ **OK**
 - ✓ バイパスコンデンサの配置は適切か ⇒ **最適な配置に変更**

【放射ノイズ（遠方界、近傍界）シミュレーション】

- コントローラIC の1.5V電源をノイズ源とした遠方界、近傍界解析
 - ✓ 遠方界は EMC の規格を満たしているか？ ⇒ **OK**
 - ✓ 近傍界のチェック ⇒ **OK**



(10) Final Layout Check

LPB Format と作業の工程のまとめ：

INPUT	WORK	OUTPUT	NEXT
	A-1. LPB Format の読み込み A-2. 解析条件の設定、インピーダンス解析 以上、ANSYS SIwave		
PKG C8 PKG G8 TOP C9 TOP G9	B-1. S-パラメータ、IBISモデル読み込み B-2. 解析条件の設定、シミュレーション実行 以上、ANSYS Designer B-3. 解析条件の設定、放射ノイズ解析 以上、ANSYS SIwave C. Board Artwork へ結果のフィードバック	TOP C10	(11) Board Final Layout



(7) Pre / (10) Final Layout Check

LPB format のメリット

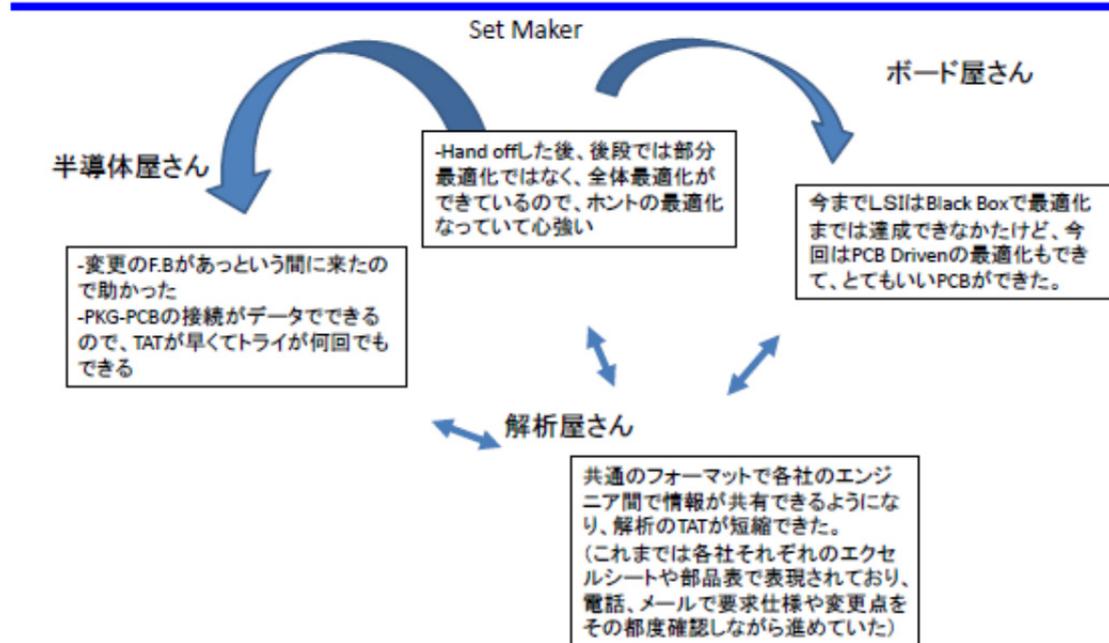
- レイアウト（形状データ）及び搭載部品情報のやり取りをツール（CAD, 電磁界解析/シミュレータ）に依存することなく行うことができる
 - A社の CADデータは読めるが B社の CADデータは読めない ⇒ 改善
 - CAD I/F のコスト削減
- 都度、電話やメールで確認することなく、要求仕様、変更内容を全エンジニア間で共有できる（C, R は XML をベースとしている為）
 - スキューはどこまで許される？どの周波数まで気にすべき？ etc…
 - どの部品が何処へ搭載されているのか？どう変更すべきか？ etc…



各デザイナーの皆さん
LPB,, どうでしたか？



LPBで大助かり！



LPB標準フォーマットを活用した相互設計に関する 意見交換の場として、第4回LPBフォーラムを開催します。皆様のご参加をお待ちいたしています。

第4回 LPB Forum

日時:2014年3月4日(火) 13時~17時
17時15分~ (懇親会)

場所:JEITA大手センタービル4階

申込み:JEITA LPB相互設計WGホームページにて受付中
www.jeita-edatc.com/wg_lpj/home/lpb.html



EDA アニュアルレポート 2013

2014 年 6 月発行

禁無断転載

発 行	一般社団法人 電子情報技術産業協会 電子デバイス部 〒100-0004 東京都千代田区大手町 1 丁目 1 番 3 号 大手センタービル 電話 03-5218-1061 FAX 03-5218-1080
作 成	株式会社 オガタ印刷 〒102-0072 東京都千代田区飯田橋 1-5-6 電話 03-3264-3456 FAX 03-3261-7663

Copyright 2014 by Japan Electronics and Information Technology Industries Association

本書中に記載の会社名および商標名は、各社の登録商標、商標です。