



EDA アニュアルレポート 2014

Annual Report on Electronic Design Automation

— システム・オン・チップ時代の向こうに —
Beyond the "System on a Chip" era

2015年6月発行

作 成

半導体技術委員会／EDA技術専門委員会
Semiconductor Technology Committee／EDA Technical Committee

発 行

一般社団法人 電子情報技術産業協会
Japan Electronics and Information Technology Industries Association

【巻頭言】

「高付加価値LSIの設計基盤であるEDA技術発展に向けて」

EDA技術専門委員会 委員長 炭田 昌哉

半導体は、家電製品や情報端末だけでなく、自動車、医療機器などにも搭載され、社会基盤にはなくてはならないものである。近年は、クラウドのような高度情報化社会、エコ社会を実現するために、高信頼性、低消費電力といった高付加価値をもつ半導体製品の提供が強く求められている。特に、増大するバラツキを考慮したタイミング設計技術、低消費電力技術、大規模 LSI のみならずボード、パッケージを含めた協調設計検証技術など、少ない工数で高品質な製品を設計する技術において、一層の発展が期待されている。これらの技術発展には、国内の半導体産業、大学、官庁間の密接な連携が重要であり、海外の関連業界・機関とも国際的な視野で協調、連携を図っていく必要がある。

EDA 技術専門委員会は、電子情報技術産業協会 (JEITA) における業界活動組織の一つとして、電子機器の機能・性能を決定するシステム LSI の設計技術に関わる活動を行っている。設計技術およびそれに関わる標準化の動向を調査・検討し、それらの発展・推進を図り、更には国内外の関係業界の発展に寄与することを目的とし、以下の三つのテーマを設定し活動している。

- (1) EDA 技術の動向・関連情報の調査検討、課題解決への提案
- (2) EDA に関する標準化活動への貢献
- (3) EDA 技術および標準化の普及推進のためのイベント実施・支援

(1) EDA 技術の動向・関連情報の調査検討、課題解決への提案

2014 年度は、ナノ世代物理設計ワーキンググループ (NPD WG) と LSI-パッケージ-ボード相互設計ワーキンググループ (LPB WG) の二つで活動した。

NPD WG では、物理設計における課題の抽出、対策の検討、モデルやフォーマットを含む設計手法の標準化を目的とし、微細プロセスにおける設計課題を予測し、対策の検討、提案を行っている。

LPB WG では、2011 年に提案した LPB フォーマットが EDA ベンダーによる採用が進み、2015 年 12 月国際標準化完了を目標に取り組んでいる。

更に 9 月からは本委員会傘下の LPB WG、NPD WG と半導体製品技術標準化専門委員会傘下の集積回路製品技術小委員会/半導体 EMC-SC とのコラボレーション活動として LEN プロジェクト (LPB-WG EMC-SC NPD-WG の頭文字) が始動した。本年度は、半導体 EMC-SC で行った実測・シミュレーションのモチーフを使って、LPB フォーマットの効果を検証した。本活動の成果は、関係機関・団体との会議や学会・研究会、セミナー等で発表し、またアニュアルレポートとして積極的に公開している。

(2) EDA に関する標準化活動への貢献

標準化担当委員を置き、各ワーキンググループの成果を標準化に結び付けるべく、関連する標準化団体・組織と連携して活動を推進している。

IEEE/DASC, SA には、コーポレート・メンバーとして参加している。毎年、米国での DAC(6 月)や DVCON(2~3 月)に合わせて開催される DASC 会議には現地で出席し、日本での SystemC Japan(7 月)には、米国から来日する関係者と交流を深めると共に、合同で DASC 会議にオンラインで出席している。今年度は、IEEE に提案した LPB フォーマットの規格開発プロジェクト P2401 でドラフトを作成し最終版の一手前まで完了した。2015 年 12 月に IEEE Standard 承認の予定である。

SystemC / SystemVerilog / Power Format など言語関連の WG は、今年度も活動休止となったが、投票案件発生時には国内意見を取り纏め IEEE へのフィードバックを行う予定である。

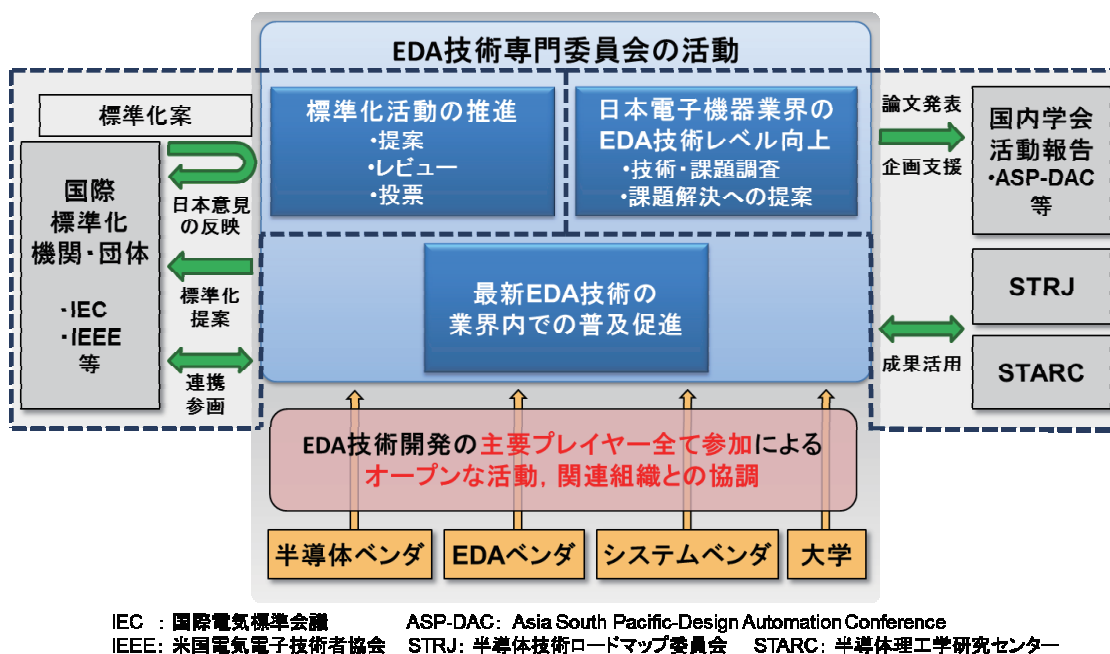
また、IEC SC47A 国内委員会(半導体・集積回路分野)や TC91/WG13 国内小委員会(EDA 分野)との情報交換・交流を通じて、国際的な標準化活動へも貢献している。

(3) EDA 技術および標準化の普及推進のためのイベント実施・支援

普及活動については、本年は Design Solution Forum(10 月)、ASP-DAC2015(1 月)に出展し、主に LPB フォーマットの標準化取り組みを紹介した。

LPB WG ではベンダーならびにユーザーを対象にした LPB フォーラムを開催し、LPB フォーマットを導入した事例を紹介するセミナーを実施した。

以下の図で、本委員会の活動と関係団体との関わりを示す。



EDA 技術専門委員会は、上図の関連組織・標準化団体との連携のもと、三つのテーマである EDA 技術調査と課題解決への技術検討、標準化活動、技術と標準化の普及促進という活動を通じ、高度情報化社会、エコ社会の実現を支える高付加価値 LSI の設計を支える EDA 技術の発展、さらには日本の電子情報機器業界の発展に寄与すべく、本年度 11 社約 50 名の業界各社有志の参画により活動してきた。2015 年度も積極的な活動を継続する予定である。

本報告「EDA アニュアルレポート 2014」は、EDA 技術専門委員会の 2014 年度年次報告として、上記三つのテーマについて活動成果をまとめたものである。また、本委員会のホームページにも各種報告を掲載しているので、ご覧いただきたい。

(<http://www.jeita-edatc.com/index-jp.html>)

2014 年度 JEITA/EDA 技術専門委員会 委員一覧

委員長	炭田昌哉	パナソニックセミコンダクターソリューションズ（株） 半導体 BU 技術開発 C 基盤技術開発 G 参事
副委員長	高倉正博	(～2014/9) ルネサスシステムデザイン（株） 第四開発事業部 バックエンド設計第三部 シニアエキスパート
副委員長	高橋一浩	(2014/10～) ルネサスシステムデザイン（株） 第一要素技術事業部 デザインオートメーション部 主管技師
副委員長	改田博政	(株) 東芝 セミコンダクター&ストレージ社 ミックスドシグナル I C 事業部 設計技術開発部 設計メソドロジー開発担当 参事
監事	河村 薫	(株) 富士通研究所 ものづくり技術研究所 特任研究員
幹事	大芝克幸	ソニーLSI デザイン（株） 第 6 LSI 設計部門 アナログデザインソリューション部 シニアデザインエンジニア
委員	林 靖二	キヤノン（株）生産技術研究所 実装技術研究部 実装技術第一研究室 主任研究員
委員	松澤浩彦	図研（株） EDA 事業部 EL 開発部 シニア・パートナー
委員	益子行雄	(～2014/9) 日本ケイデンス・デザイン・システムズ社 テクニカルフィールドオペレーション本部 シニアテクニカルセールスマネージャー

委員	人見忠明	(2014/10～)	日本ケイデンス・デザイン・システムズ社 テクニカルオペレーション本部 カスタム IC & PCB グループ
委員	飯島一彦	日本シノブシス（合）	技術本部 本部長 バイスプレジデント
委員	三橋明城男	メンター・グラフィックス・ジャパン（株）	マーケティング部 ディレクター
委員	畔野正彦	（株）リコー	LSIC 第2開発室 シニアスペシャリスト
特別委員	田中玄一	ルネサスエレクトロニクス（株）	企画本部 経営企画統括部 産業政策渉外部 部長
特別委員	赤嶺武一郎	（～2015/2）	富士通セミコンダクター（株） （株）ソシオネクスト 共通テクノロジー開発統括部 第二設計技術部
特別委員	安茂博章	（2015/3～）	ソニー（株） RDS プラットフォーム デバイス&マテリアル研究開発本部 セミコンダクタデバイス開発部門 デバイス設計部
特別委員	福場義憲	（株）東芝	セミコンダクター&ストレージ社 ミックスドシグナル IC 事業部 設計技術開発部 システム協調設計主幹
客員	今井正治	国立大学法人	大阪大学 大学院 情報科学研究科 情報システム工学専攻 教授
客員	若林一敏	日本電気（株）	ESS 事業センター シニアエキスパート グリーンプラットフォーム研究所 主幹研究員

略 語 — 覧

[1] 団体・組織の名称

Accellera	Accellera Systems Initiative 旧Accellera(VIとOVIを統合した、設計記述言語の標準化に関連する活動機関)とOSCI(Open SystemC Initiative : SystemC の標準化団体)が統合
ANSI	American National Standards Institute 米国の標準化国家機関
ASP-DAC	Asia and South Pacific Design Automation Conference アジア・南太平洋地域でのEDA関連の国際学会(1995年に始まる)
CENELEC	European Committee for Electrotechnical Standardization EC(欧州委員会)の電気電子分野に関する標準化機関
DAC	Design Automation Conference 米国で行われるEDA関連の国際学会
DASC	Design Automation Standardization Committee IEEEの下部組織で設計自動化に関する標準化委員会
DVCON	Design & Verification Conference & Exhibition 米国で行われる検証専門の国際会議
ECSI	European Electronic Chips & Systems design Initiative 欧州の設計自動化に関する標準化機関
EDIF Div.	Electronic Design Interchange Format Division EIAの下部組織で電子系の情報データ交換規格の検討機関
EIA	Electronic Industries Alliance 米国の電機電子通信業界団体
ICCAD	International Conference on Computer Aided Design CADに関する国際学会
IEC	International Electrotechnical Commission 国際電気標準会議(電気電子分野に関する国際標準化機関)
IEEE	Institute of Electrical and Electronics Engineers, Inc. 米国の電気電子分野の国際的な学会組織
IPC	Association Connecting Electronics Industries 旧称:Institute for Interconnecting and Packaging Electronic Circuits 米国のプリント基板設計・製造に関する業界組織
ISO	International Organization for Standardization 国際標準化機構 (電気及び電子、通信技術分野を除く全産業分野[鉱工業、農業、医薬品

等]に関する国際標準化機関)

IVC	International Verilog Conference OVIが主催するVerilog HDL国際学会であり、2000年にVIUF(VHDL International Users Forum)と統合してHDLCon(International HDL Conference)となり、2003年よりDVCon(Design & Verification Conference & Exhibition)として開催
JEITA	Japan Electronics and Information Technology Industries Association 一般社団法人 電子情報技術産業協会(電機電子業界団体)
JISC	Japanese Industrial Standards Committee 日本工業標準調査会(国家審議会、IEC/ISOに対する代表機関)
JPCA	Japan Electronics Packaging Circuits Association 社団法人 日本電子回路工業会
OSCI	Open SystemC Initiative SystemCの標準化団体で、2011年にAccellera Systems Initiativeへ統合
OVI	Open Verilog International Verilog - HDLに関連する技術の標準化と普及推進組織で、2000年にVI(VHDL International)との統合でaccelleraに名称変更
SEMATECH	Semiconductor Manufacturing Technology Initiative (Consortium) 半導体技術を向上するために始まった米国の官民プロジェクト
Si2	Silicon Integration Initiative 設計環境の整備促進を支援する米国の非営利法人(旧CFI)
VASG	VHDL Analysis and Standards Group DASC傘下のVHDL標準化に関するワーキンググループ
VITAL	VHDL Initiative Toward ASIC Libraries VHDLライブラリ標準化団体
VSIA	Virtual Socket Interface Alliance LSIの機能ブロックのI/F標準化を目指している業界団体、2008年解散

[2]標準化・規格に関する技術用語

ALF	Advanced Library Format OVIで検討されたIPをも含むASICライブラリのフォーマット
ALR	ASIC Library Representation ASICライブラリ表現
CALS	Computer Aided Logistics Support / Commerce at Light Speed 製品の技術情報の流通に関するすべての標準化活動の総称

CHDS	Chip Hierarchical Design System SEMATECHが要求仕様を作成した0.25-0.18um世代設計システム
CHDStd	Chip Hierarchical Design System technical data CHDSで使用するデータモデルの標準化
DCL	Delay Calculation Language 遅延計算のための記述言語
DPCS	Delay and Power Calculation System IEEE1481として標準化推進されている遅延と消費電力の計算機構仕様
ECALS	Electronic Commerce at Light Speed 電子機器、半導体、電子部品等の複合電子部品技術情報の流通ならびに ECALS 辞書等の維持管理等、すべての標準化活動の総称
EDI	Electronic Data Interchange 電子データ交換
EDIF	Electronic Design Interchange Format EIAの下部組織で検討されている電子系の情報データ交換規格
ESPUT	European Strategic Program for Research and Development in Information Technology 欧州情報技術研究開発戦略計画
HDL	Hardware Description Language ハードウェア記述言語
IP	Intellectual Property 流通/再利用可能なLSI設計資産(本来は知的財産権の意)
JIS	Japanese Industrial Standards 日本工業規格
SDF	Standard Delay Format 遅延時間を表記するフォーマット
SLDL	System Level Design Language システム仕様記述言語
STEP	Standard for the Exchange of Product Model Data CADの製品データ交換のための国際規格
VHDL	VHSIC (Very High Speed Integrated Circuit) Hardware Description Language IEEE1076仕様に基づくハードウェア記述言語
VHDL-AMS	VHDL-Analog and Mixed-Signal (Extensions) DASCの中で進められているVHDLのアナログ及びミックスドシグナルシステムへの拡張

1. EDA技術専門委員会の活動

1.1 2014 年度 JEITA/EDA 技術専門委員会 概要

委員会の名称	EDA 技術専門委員会 (Electronic Design Automation Technical Committee)		
委員会の目的	EDA に関連する技術およびその標準化の動向を調査し、その発展、推進を図り、さらには国内外の関係業界の発展に寄与する		
委員会の構成	会員会社/委員	11 社/11 名	
	特別委員	3 名	
	客員	2 名	
委員会の予算	会費 240,000 円 * 11 社 =2,640,000 円 (会費 11 社)		
委員会の開催	年 4 回程度 (実績: 別紙-2 参照)		
幹事会の開催	必要に応じ開催 (実績: 別紙-2 参照)		
担当事務局	JEITA/電子デバイス部	幾見 宣之(～2014. 12)	
		宮川 裕之(2015. 01～)	
		細川 照彦	

■EDA 技術専門委員会役員と担当 (敬称略)

・幹事会社 5 社(5 名)

委員長 : パナソニック	炭田 昌哉	ASP-DAC OC
副委員長: ルネサエレクトロニクス	高倉 正博(～2014. 09)	HP/ML、内規改訂
	高橋 一浩(2014. 10～)	
副委員長: 東芝	改田 博政	広報パンフレット
監事 : 富士通セミコンダクター	河村 薫	会計報告、アニュアルレポート
幹事 : ソニー	大芝 克幸	新企画検討会主査

・特別委員(3 名)

標準化担当	ルネサエレクトロニクス	田中 玄一
ナノ世代物理設計 WG 主査	富士通セミコンダクター	赤嶺武一郎(～2015. 02)
	ソニー	安茂博章(2015. 03～)
LPB 相互設計 WG 主査	東芝	福場 義憲

・客員(2 名)

上流設計識者、ASP-DAC リエゾン	大阪大学	今井 正治
ASP-DAC リエゾン	日本電気	若林 一敏

■2014 年度活動方針

1. 委員会活動の継続的发展

スリムな組織でスムーズな運営と継続可能な体制の確立

「委員の、委員による、委員＋業界のため」の活動

活動のロードマップを作成し将来展望を持って進む

健全で公平感のある財務体質の確立（会費，次期繰越金）

委員会の効率的な運営

ルールを守る

議論に重点

予算の最適運用

2. 標準化の推進と展開

LPB フォーマット IEEE 規格化と国際標準展開

IEEE-SA に Advanced メンバー登録（継続）

IEEE/DASC メンバー（継続）

国際会議 (IEEE/DASC) 出席

標準化団体との協議・関係構築/維持

■活動計画の概要＜別紙-1 参照＞

活動計画の概要

1. EDA 技術の動向&関連情報の調査検討、課題解決への提案

(1) WG による技術動向とニーズ調査

- ・最先端テクノロジー : ナノ世代物理設計 WG、LPB-WG
- ・設計言語 : 今年度は言語関連の WG はすべて休会

(2) 関連機関、団体、キーパーソン等との合同会議、意見交換、交流

- ・ STARC, STRJ, JIC, JPCA, JIEP 等

(3) 国内外の学会、研究会、イベントへの参加と連携

2. EDA 技術および標準化の普及推進のためのイベント実施、支援

(1) EDA 技術普及の新企画推進

(2) 外部イベントの活用 - ET, Design Solution Forum 等

(3) 各種ワークショップ、講演会の開催

- ・システム・デザイン・フォーラム
- ・LPB フォーラム

3. EDA に関する標準化活動への貢献と関連機関、団体への対応

(1) EDA 設計言語およびモデル標準化のための技術的検討と提案

- ・LPB-WG を継続し、LPB 相互設計環境標準化に向けた活動を実施
- ・SystemC、SystemVerilog、VHDL、A-HDL、PowerFormat などは、必要に応じて対応 (WG の再開等)

(2) 国際的な関連機関、団体への参画・連携と標準化活動への協力

- ・標準化担当委員を中心に委員会で対応
- ・IEEE/DASC、IEEE-SA、Accellera Systems Initiative、Si2 等との連携
DASC 会議 (11 月@ET、3 月@DVCon)
P2401WG (LPB) 参加のため IEEE-SA は Advanced 継続

4. 委員会活動の広報

(1) 広報パンフレットの配布要否

(2) アニュアルレポートの発行 (下記 HP でも公開)

(3) WWW ホームページの公開 <http://www.jeita-edatc.com/>

(4) 活動成果の発表

- ・システムデザインフォーラム : 標準化活動
- ・学術論文 : ナノ世代物理設計 WG
- ・セミナー : LPB 相互設計 WG

2014 年度 JEITA/EDA 技術専門委員会 開催実績

年/月	技術専門委員会	懇親会	幹事会	関連イベント
2014/4	4/25(金)(東京地区) ・14 年度役員審議、承認 ・13 年度専門委員会/WG の年間活動報告 ・14 年度事業活動計画 ・委員名簿更新内容確認 ・13 年度予算執行状況報告 ・13 年度版アニュアルレポート報告 ・14 年度予算案	○ (2013 年度慰 労会)	4/25	
2014/5				
2014/6				・DAC2014 (6/1-6/5) @SF, CA ・DASC meeting (6/2) @DAC ・IBIS Summit (6/5) @DAC ・SystemC Japan (6/20) @新横浜
2014/7	7/25(金)(東京地区) ・標準化活動/WG 進捗報告 ・13 年度版アニュアルレポート配布		7/25	
2014/8				
2014/9			9/4	
2014/10	10/17(金)(大阪地区) ・標準化活動/WG 進捗報告	○ 客員 交流会	10/17	・Design Solution Forum 2014 (10/3) @新横浜
2014/11				・IEC General Meeting (東京大会) ・DASC meeting (11/11) @東京 ・ET2014 (11/19-21) @横浜 ・Asian IBIS Summit (11/20) @横浜
2014/12				
2015/1	1/16(金)(東京地区) ・標準化活動/WG 進捗報告 ・14 年度アニュアルレポート作成分担		1/16	・ASP-DAC2015 (1/19-22) @幕張 ・DesignCon2015 (1/28-29) @Santa Clara, CA
2015/2				
2015/3				・DVCon2015 (3/2-5) @San Jose, CA ・DASC meeting (3/4) @DVCon2015 ・DATE2015(3/9-13) @Grenoble, France

1.2 2014 年度 JEITA/EDA 技術専門委員会 WG 開催実績

月	ナノ世代物理設計 WG 関連		
2014 年 4 月			
5 月	5/16(金) 10:00-17:00	第 1 回ナノ世代物理設計 WG	富士通エレクトロニクス本社 12F 応接室
6 月	6/13(金) 10:00-17:00	第 2 回ナノ世代物理設計 WG	JEITA 関西支部 第 2 会議室
7 月	7/11(金) 10:00-17:00	第 3 回ナノ世代物理設計 WG	JEITA 404 会議室
8 月			
9 月	9/ 5(金) 10:00-17:00	第 4 回ナノ世代物理設計 WG	JEITA 関西支部 第 2 会議室
10 月	10/10(金) 10:00-17:00	第 5 回ナノ世代物理設計 WG	JEITA 404 会議室
11 月	11/7(金)-8(土)	ナノ世代物理設計 WG/集中審議	パナソニックリゾート大阪
12 月	12/12(金) 10:00-17:00	第 6 回ナノ世代物理設計 WG	JEITA 関西支部 第 1 会議室
2015 年 1 月	1/ 9(金) 10:00-17:00	第 7 回ナノ世代物理設計 WG	JEITA 417 会議室
2 月	2/13(金) 10:00-17:00	第 8 回ナノ世代物理設計 WG	JEITA 関西支部 第 1 会議室
3 月	3/13(金) 10:00-17:00	第 9 回ナノ世代物理設計 WG	ルネサス日本ビル 601-7 会議室

月	LPB 相互設計 WG 関連		
2014 年 4 月	4/17(木) 13:00-17:00	第 1 回 LPB 相互設計 WG	連合会館 502 号室
5 月	5/30(金) 13:00-17:00	第 2 回 LPB 相互設計 WG	連合会館 404 号室
6 月			
7 月	7/11(金) 13:00-17:00	第 3 回 LPB 相互設計 WG	JEITA 413 会議室
8 月			
9 月	9/5(金)-6(土)	LPB 相互設計 WG/集中審議	四季倶楽部ヴィラ箱根 80
10 月	10/31(金) 13:00-17:00	第 4 回 LPB 相互設計 WG	JEITA 410 会議室
11 月			
12 月			
2015 年 1 月	1/ 8(木) 13:00-17:00	第 5 回 LPB 相互設計 WG	JEITA 414 会議室
2 月			
3 月	3/12(木) 13:00-17:00	第 6 回 LPB 相互設計 WG	JEITA 414 会議室
	3/19(木) 14:00-17:00	第 6 回 LPB フォーラム	JEITA 412-414 会議室

1.3 JEITA/EDA 技術専門委員会ホームページ

1.3.1 開設の目的

電子情報技術産業協会（JEITA）の EDA 技術専門委員会の活動状況を公開し、EDA 技術に関する標準化や技術調査に関するご理解とご協力を頂くことを目的とする。

1.3.2 ホームページの構成

2006 年度にホームページを一新し、よりわかりやすく、欲しい情報に容易にアクセスできるような構成にした。ホームページは日本語版の他に英語版も用意し、英語版を最初に表示することで海外からの利用者の利便性に配慮している。日本語版、英語版の表示は各ページで簡単に切り替えられるように構成されている。本委員会の成果は、ドキュメントとして閲覧できると共に、ダウンロードすることもできる。

ホームページは以下の URL からアクセスすることができ、データ更新やメンテナンスは担当委員が行っている。

<http://www.jeita-edatc.com/>

日本語版・英語版は、それぞれ次のエントリーで構成されている。

日本語版：	英語版：
委員会の紹介	Introduction of the committee
委員会活動	Committee activity
公開資料ライブラリ	Open data library
イベント・関連機関	Event / Related organizations
お問い合わせ	Inquiry
サイトマップ	Site map

（１）委員会の紹介 / Introduction of the committee

委員長挨拶、活動と成果、メンバーをサブエントリーとする。本委員会の概要、前年度の活動内容・成果、本年度の活動計画、委員会メンバーを紹介している。

（２）委員会活動 / Committee activity

下記の委員会の活動を紹介している。休止中、または活動を終了したものも含めている。

- ・ナノ世代物理設計 WG
- ・LSI・パッケージ・ボード相互設計 WG
- ・SystemVerilog WG
- ・SystemC WG
- ・PowerFormat WG
- ・EDSFair 実行委員会

なお、LSI・パッケージ・ボード相互設計 WG は、2011 年度より独自のホームページを開

設し、WG のページからリンクを張っている。

(3) 公開資料ライブラリ / Open data library

「公開資料ライブラリ」のページでは、EDA 技術専門委員会内の各委員会・WG の活動報告や各委員からの発表資料等を適宜掲載している。主な掲載資料を以下に示す。なお、英語の資料は存在しないため、英語メニューからも日本語資料を参照している。

- ・EDA 技術専門委員会（過去のアニュアルレポート）
- ・EDA 標準化小委員会（SystemC 推奨設計メソドロジー、Power Format 比較表など）
- ・ナノ世代物理設計 WG（過去の資料）
- ・EDSFair 実行委員会（システムデザインフォーラムの紹介）
- ・システムレベル設計研究会（旧サイトへのリンク）
- ・その他（過去の委員会活動報告）

(4) イベント・関連機関 / Event / Related organizations

「関連の会議」では、次の関係の深い EDA 関連技術委員会を紹介している。

- ・IEEE/DASC（電気電子学会/設計自動化標準化委員会）
- ・IEC/TC91/WG13（国際電気標準会議/電子実装技術委員会）

また、「関連機関」では、本委員会に関連のある 17 機関を紹介し、委員会名称はそれぞれのホームページへリンクされている。

(5) お問い合わせ / Inquiry

質問項目を入力するためのフォームが表示され、ホームページ管理者へのメールを送信することができる。

(6) サイトマップ / Site map

ホームページを構成している全体一覧を表示し、参照したいページに直接アクセスできるようにしている。

2. 各技術委員会の活動報告

2.1 EDA 標準化活動

2.1.1 標準化活動概要

(1) 発足の背景とミッション

JEITA/EDA 技術専門委員会の標準化活動は、1990 年の EIAJ/EDIF 研究委員会設立に始まり、当初は EDA に関するグローバルな重要課題に対して日本の業界を代表する唯一の機関として、特に設計記述言語の仕様標準化とその啓蒙等に多大な貢献を果たしてきた。近年、設計記述言語は高度化し、普及が進んだ。しかし、設計生産性の更なる向上および、それを支える EDA ツールの効率的な開発・利用を進めるためには、設計技術言語の国際標準化は依然として重要なテーマである。そこで、標準化関連の活動をより明確に位置づけるため 2000 年 11 月に EDA 標準化小委員会が設立し活動を開始した。その後 2011 年度に入り標準化活動の見直しを行い、標準化小委員を廃止し、EDA 技術専門委員会の下に標準化担当委員を置く体制に変更し現在に至っている（図-1 参照）。

世界的には EDA 関連の標準は IEC（International Electrotechnical Commission）と IEEE（The Institute of Electrical and Electronics Engineers）で議論し、制定されてきた。IEC ではデザインオートメーションを議論する TC（Technical Committee）91/WG（Working Group）13, 14, 15、IEEE ではコンピュータサイエティの DASC（Design Automation Standards Committee）、および SA（Standards Association）である。2002 年、IEC と IEEE が Dual Logo 協定を締結したことにより、IEEE 標準は IEC での技術審議なく最終ドラフト投票のみで IEC 国際標準に昇格できるようになった。

国内では IEC の対応機関は、日本工業標準調査会（JISC：Japanese Industrial Standards Committee）である。また、TC 毎に国内委員会があり、電子情報通信学会や JEITA に組織化されている。TC91（電子実装技術）国内委員会は JEITA にあり、TC91 のハードウェア設計記述言語関連のワーキンググループ（WG13）の国内委員会は電子情報通信学会にある。

JEITA/EDA 技術専門委員会は、2002 年度に IEC/TC93 国内委員会と協調体制を確立し IEC/TC93/WG2（当時。現 IEC/TC91/WG13）の各種標準化提案を直接審議できる体制を構築した。2003 年度には、SystemC および SystemVerilog の標準化を業界として検討・推進する目的で、それぞれワーキンググループを発足させた。2007 年度には、CPF（Common Power Format）と UPF（Unified Power Format）の二つの Power Format の標準化案の議論と統一を目的に、検討ワーキンググループを発足させた。SystemC は、ますます重要性が認識されているシステムレベルの設計言語のひとつであり、SystemVerilog は IEEE1364（Verilog HDL）の後継・検証技術の拡張である。CPF/UPF の Power Format は、主にシステム LSI の低消費電力化設計の効率化を目的とした設計言語である。これらワーキンググループは、日本の標準化組織として、海外の関連団体と連携し、言語仕様の専門的な技術検討と改善提案を通じて、標準化へ貢献することを目指して活動を行っている。Power Format 検討ワーキンググループは目的を達成したため、2010 年 3 月に解散した。

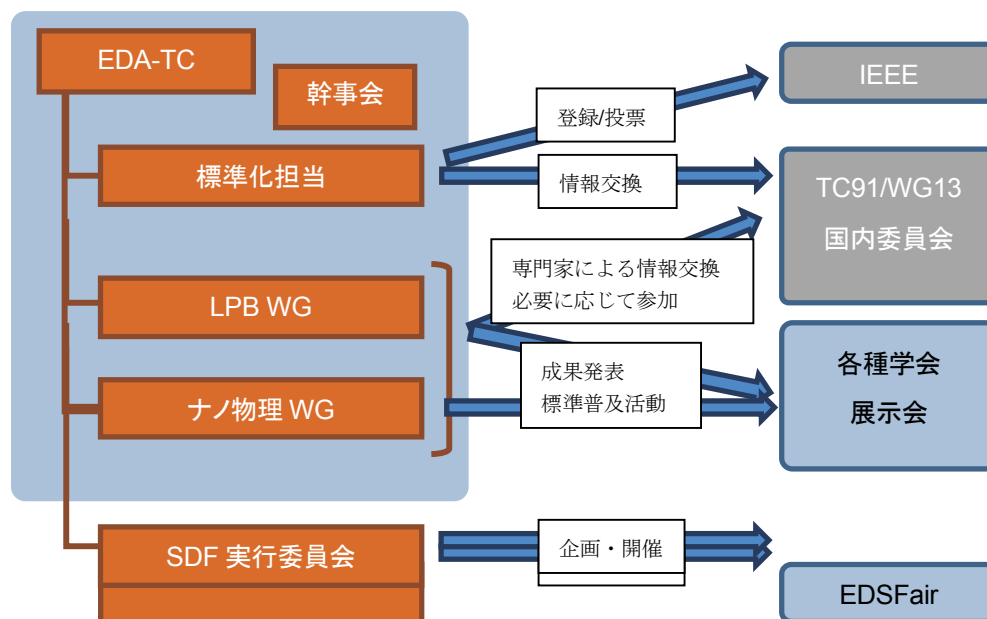


図-1 EDA 技術専門委員会の体制

(2) 2014年度活動 国内活動

標準化活動の大きな成果として、LPB WG の LPB フォーマットをEDA関連で日本初の国際標準(IEEE規格)とするべくIEEE にて P2401 として WG を設立。Chair, Vice Chair および Secretary とともに日本で担当。日本だけでなく米国、欧州との議論を行うため充実した事前議論を国内で実施。また、WG内での議論に留まらず、複数回のフォーラム開催、国内でのベンダセミナーでの情報発信、日本開催の国際学会での情報発信を行った。

(3) 2014年度活動 国際活動

本年度は LPB フォーマットを念願の日本初のEDA 標準とすべくIEEE 標準化 P2401 WG 活動を開始。2015年度での標準化を目標に本格稼働。米国および欧州のメンバを勧誘し、WG 内での議論の充実を図り、米国ミルピタス市にて対面WG会議も開催、白熱した議論を戦わせた。また、DASC会議への直接参加、日本開催展示会参加のIEEE DASC メンバ来日に合わせ、IEEE DASC メンバーと JEITA EDA-TC との情報交換会を実施。

LPB フォーマット標準化活動詳細は2.3節 LPB相互設計WG内で紹介する。

① IEEE DASC 情報交換

2014年度はIEEE DASC会議/メンバーとの情報交換を4回参加。JEITA EDA技術専門委員会の状況報告も実施。2回は米国開催で田中特別委員を派遣。2回は日本に開催を誘致した。対面会議を複数回実施することによりキーマンとの交流を深められ、IEEE P2401 実現に向け、強固

な協力関係を構築できた。

DAC 会議	6月2日	米国サンフランシスコ市
SystemC Japan	6月20日	新横浜
IEC 東京大会	11月11日	有楽町
DVCon 会議	3月5日	米国サンホセ市

② IEC/TC91/WG13 国際連携

田中特別委員(WG13 メンバ) が下記 IEC/TC91/WG13 会議に出席し、国際標準化活動を推進するとともに、EDA 技術専門委員会（日本側）の意見反映を実施した。

IEC/TC91/WG13 会議 11 月 11 日 有楽町

③ IEC/SC47A/WG2 国際連携

PB 福場主査(WG メンバ)、LPB 担当者および田中標準化担当委員(オブザーバ)が東京有楽町で行われた IEC 会議に参加。IEEE P2401 との協調を図った。

2. 1. 2 IEEE/DASC（電気電子学会/設計自動化標準委員会）・IEEE-SA（標準協会）

（１）活動の概要

IEEE は米国に本部を置く電気、電子、情報、などの国際的な学会である。また、この分野の標準化活動を長年にわたり、しかも広範囲に実施している。SA は IEEE 標準規格を管理する組織であり、新規規格と規格メンテナンスの提案承認、規格投票作業と規格化承認を管理する。DASC は Computer Society の下部組織として、SA の支援を受けながらエレクトロニクス産業における設計自動化関連の標準化活動を行っている。

活動の中心は、標準設計記述言語(HDL: Hardware Description Language)の VHDL と Verilog HDL に関連する設計と検証であり、タイミング情報、論理合成、算術関数とテストの標準化に注力している。これら設計言語に関連して、システムレベルまで適用範囲を拡大して、Analog Mixed Signal、ソフトウェアとハードウェア協調設計等の拡張の標準化を検討している。2005 年には SystemVerilog と SystemC という高位設計技術言語、設計と検証を統合した記述言語の標準化作業が完了し、2009 年および2012 年には SytemVerilog、2011 年には SystemC がそれぞれ第一回目の改定作業を完了している。

（２）JEITA/EDA 技術専門委員会との関連

これまでは EDA 技術専門委員会は IEEE/DASC のメンバーとして関連する WG に参加し、標準化案に日本の意見を反映してきた。2004 年 12 月には IEEE-SA のメンバーにもなり、IEEE の標準化活動に、ドラフトレビュー・標準化案の改善の提案・投票を通じて積極的に参加し

ている。

今年度は、IEC 東京大会の会期中 2014 年 11 月 13 日に IEEE/DASC との情報交換会を DASC 会議と共に、日本で開催した。米国からは Stan Krolikoski 氏 (DASC 委員長)、Dennis Brophy 氏 (DASC 委員)、電話会議で DASC 各メンバ、日本からは、炭田委員長、田中標準化担当委員、LPB WG 福場主査、他 LPB WG メンバー2 名が出席した。会議において、EDA 技術専門委員会からは、活動状況の紹介として LPB フォーマットの標準化への検討状況を説明し情報交換を行った。

2. 1. 3 IEC/TC91/WG13 (国際電気標準会議/デザインオートメーション)

IEC の SMB(Standardization Management Board・標準管理評議会)は、TC93 に対して P メンバー数を 5 以上にすることを求め、TC93 も P メンバー数の増加に向けて何年も努力を続けたが成功せず、2012 年 2 月 SMB において TC93 の解散と TC91 への合流が決定された。その後、TC91 での調整を終え WG13-15 の 3WG で活動を再開した。また DA (Design Automation) を扱う 3WG のみで従来同様 国内サブ委員会として電子情報通信学会下で活動継続することとなった。韓国や中国では旧 TC93 と TC91 との合流に手間取っており、旧 TC93 メンバーがうまく活動できていないという現実がある一方、日本では TC91 への合流がスムーズに進み従来通り問題なく活動できている。

(1) 活動の概要

IEC は 1906 年に設立された国際標準化機関であり、すでに 100 歳を越える。設計自動化を取り扱う IEC/TC93 は 1992 年に設立された。TC93 の全体会議は毎年開催され、スイス、英、仏、米、デンマーク、日、英、米、独、伊と開催された。その後 2012 年に TC91 傘下での活動を開始し現在に至る。

(2) TC91/DA の組織とワーキンググループ (WG)

TC91/DA は 3 つの WG から構成されている。今までの各 WG の主な活動を示す。

・WG13：部品・回路・システム記述言語、モデルのハーモナイゼーション：

(a) 設計検証記述言語 SystemVerilog とシステム記述言語 SystemC の言語仕様拡張と利用普及のためのモデル化を検討。(b) 国際規格のメンテナンス (VHDL、VHDL-AMS、PSL、SDF、DCL/SPEF、IBIS 等)。(c) STEP Electrical (ISO 規格) と EDA 標準の整合性の検討。(d) EDIF と AP-210 との整合性の検討。(e) 言語間の Interoperability の検討

・WG14：再利用可能部品ライブラリ、規格適合性テストの具体的事案の議論。

日・米・欧の各プロジェクト間の仕様整合と連携の検討、日本からは JEITA/ECALS プロジェクトの成果を提案している。IBIS も話題に取り上げられている。最近は電子カタログ

グの流通に関する規格案が議論の中心となっている。

- WG15：システムテスト記述言語、ATML（Automatic Test Markup Language）の検討。

2.2 ナノ世代物理設計ワーキンググループ(Nano Scale Physical Design Working Group)

2.2.1 目的

半導体デバイス・配線テクノロジーの進化に伴い、新たな設計上の課題があらわれてきている。また、これらの課題に対処するため各社が開発した設計手法や設計情報が、標準化されず、設計環境の開発・サポートコストが削減できない事例や、EDAツール間あるいは半導体ベンダと顧客との間の情報授受がうまく行えない事例が増えてきている。

一方、国内半導体ベンダではFabless化が進み、提供されるプロセス情報や設計環境のみでは、設計品質を保つことが困難になった。そのため、これまで以上に製造と設計を補完する種々の事象をいかにスムーズにやりとりする仕組みを作るかが重要となる。

上記課題を背景として、本ワーキンググループでは、次のような調査、課題検討、および標準化を実施することにより、より効率的な設計環境の実現に貢献することを目的として活動する。

- ナノ世代テクノロジーノードにおける、LSI の物理設計・検証に関する参加各社の共通課題の抽出、および解決手法の提案
- 半導体ベンダとその顧客との間でやり取りするライブラリや設計情報等を規定する、設計ルール・ガイドラインの作成
- LSI の物理設計、検証手法の精度、互換性や効率を向上できるライブラリ・設計情報フォーマットの標準化
- 各種ライブラリを用いて行う検証が十分な精度で行えるかを判定するための標準ベンチマーク・データの作成

2.2.2 活動内容

2014 年度は参加各社が問題意識を有している設計課題について優先順位付けを行い、以下の3テーマに注力した。

- EMI ノイズ解析
- 低電圧におけるばらつき評価
- 次世代 Tr.構造における物理設計課題の検討

現在直面している設計課題として「EMI ノイズ」を、将来を見据えたテーマとして「低電圧におけるばらつき」と「次世代 Tr.構造の課題」をピックアップした。

LSI-Package-Board にまたがる EMI の課題に関しては、LPB 相互設計 WG および半導体製品技術標準化専門委員会・集積回路製品技術小委員会・半導体 EMC-SC と連携して進めた。

これら活動で得られた成果は、本アニュアルレポートや論文発表、学会発表などを通じて、広く公表を行っていく。

今年度の活動から得られた各テーマの課題と今後の展開を以下に記す。

(1) EMI ノイズ解析

LSI 設計において、高速 IF に代表されるように高速化が年々進んでおり、ノイズ問題が深刻化している。今年度はEMI ノイズに Focus して検討を行った。EMI 設計において、LSI/Package/Board (LPB) 協調は非常に重要であり、LPB 相互設計 WG、半導体 EMC-SC、ナノ世代物理設計 WG が協力した「LEN PJ」に参画することで、調査を加速させた。

半導体 EMC-SC がおこなったマイコンをモチーフとした MP 法 EMI 実測-Sim との相関調査の結果の中から、ある周波数帯域において Simulation と実測で大きな相違がある点に着目し、解析を進めた。その結果、(1)EMI ノイズ簡易 Simulation 回路系の提案、(2)EMI 実測-SIM ずれの要因解析、を得た。

来年度は(1)については適用実績を増やし、適用範囲、精度について検討を行い、(2)については LSI-Package-Board Model の精度向上の検討、課題の抽出を進めていく。

(2) 低電圧におけるばらつき評価

昨年度に低電圧動作時に Transistor ばらつきが、Ring Osc.の動作や消費電力等の特性に及ぼす影響を検討し、Transistor の特性 Center 値を見直すことで、ばらつき耐性が向上できる可能性を見出した。今年度は新たに温度特性についての考察を加え、同一温度条件下で比較した場合には電圧を下げるほどエネルギー効率が良いが、温度ばらつきを加えた Worst 値で考えると結果が異なり電源電圧に最適値が存在する可能性を示した。

来年度は温度を含めたコーナー条件間でのばらつきを考慮した機構の更なる調査および、センサーネットワークなどの IoT (Internet of Things) への提言をまとめていく。

(3) 次世代 Tr. 構造における物理設計課題の検討

次世代プロセスルールである、16nm 以降のテクノロジーでは、これまでに扱われてきたプレーナ型の一型のトランジスタに代わり、立体構造を持つ FinFET に移行している。FinFET は立体構造であるため、その寄生 RC 成分も、既存のプレーナ型と異なると考えられる。今年度は、FinFET の寄生 RC のモデル化を行い、モデル化した寄生 RC を用いて、回路ベースでの伝搬遅延時間の最適化を行った。結果、同一面積にて最大 10% 程度の遅延時間改善が可能であることを示した。

来年度は、Power の観点も追加して、検討を進めていく。

これらの活動で得られた成果は、次のような形態により無償で一般に公開する。

- アニュアルレポート
- JEITA のホームページ
- 関連学会の研究会・学会における発表や論文誌への投稿

成果の詳細は本アニュアルレポートの付録に掲載した。

2.2.3 参加メンバー

主 査	赤 嶺 武 一 郎 *1	富士通セミコンダクター(株)
副 主 査	安 茂 博 章 *2	ソニー(株)
委 員	金 本 俊 幾	ルネサスエレクトロニクス(株)
同	栗 山 茂 *3	ルネサスエレクトロニクス(株)
同	熊 野 義 則	(株)リコー
同	河 野 正 治	(株)リコー
同	城 間 誠 *4	パナソニックシステムテクノ
同	清 水 光 平 *5	パナソニックシステムテクノ
同	長 谷 川 尚	ソニーLSI デザイン(株)
オブザーバー	黒 川 敦	弘前大学
EDA-TC 標準化担当	田 中 玄 一	ルネサスエレクトロニクス(株)

*1 : ~2015 年 2 月 3 月は特別委員

*2 : 2015 年 3 月~ 主査

*3 : ~2015 年 1 月

*4 : ~2014 年 5 月

*5 : 2014 年 6 月~

2.3 LPB (LSI・パッケージ・ボード)相互設計ワーキンググループ

2.3.1 LPB 相互設計ワーキンググループ（本委員会）活動報告

2.3.1.1 背景と設立までの経緯

2.3.1.1.1 日本工業製品の状況

電子機器(セット)の開発は高性能化、低価格化、商品サイクルの短期化が顕著となり、これに対応するためにセットの機能面、設計／製造面でのグローバル化が進んでいる。この中で市場競争力を生む商品企画と開発力が課題である。かつて、日本工業製品は機能・性能・品質において差別化を図ってきたがこの要素を保持したまま、国際市場において開発競争に勝ち残る為の手段が模索されている。これまで日本の企業において、LPB 各分野においては個別に切磋琢磨しており設計のノウハウは構築されている。しかしながらそれらを共有しない閉塞性、企業間の考え方の違い、設計保証について全体での俯瞰をすることなく供給者に対して過度の設計保証を求める傾向にあり、設計者〔会社〕は設計情報の公開には非常に消極的であると言わざるを得ない。これにより LPB 相互の設計現場の連携が十分に取れていたとは言い難い。結果として全体としての最適化が進まず、単価、開発コストや開発期間において国際市場での競争力は向上せず、むしろ低下の傾向にあるとすら言える。

2.3.1.1.2 開発環境における問題

設計を効率的に行うには EDA の整備や改良、情報の収集が迅速に行われなければならない。これらの開発環境の整備は各企業個々に行われてきており、ノウハウとして一般には公開されていない。しかしながらこの閉塞性が設計に必要な情報の流通を阻害しており、また EDA の整備コストの増大や、VOC (Voice Of Customer) の分散によりツールの改良が行われない等の弊害を生んでいる。これらは競争すべき分野と協調すべき分野が明確にされていないために、本来複数の企業が協力して効率化をするべき分野の要素まで各企業の機密内容に含まれていると拡大解釈されていたことに問題の本質があると考えられる。

2.3.1.1.3 技術的背景

システムの高速度化と電源・インターフェースの低電圧化でタイミングやノイズに対するマージンが少なくなっている。またコスト競争の激化によりコストと性能のバランス設計は益々重要となっている。これまで設計は L S I ・パッケージ・ボード（以下 LPB）それぞれ別々に設計ガイドに従って行われてきた。しかしながら設計マージンの減少に伴いあらかじめ LPB 各所個別の設計ガイドを定めることが難しくなり、LPB 全体で協調して設計ターゲットを決める必要が出てきた。すなわちシステムの設計途上でシミュレーションによって設計指針を決める手法への変革が必要であり、その為には迅速でかつ正確なシミュレーションを行える環境が必要となった。

2.3.1.1.4 特性面における LPB 相互設計の必要性一例

LPB が相互に協調して設計すべき部分の一例として電源網の設計がある。LPB 上の電源網:Power Delivery Network (以下 PDN) (図 2.3.1-1) はノイズを小さくする為にインピーダンスを下げるように設計をする。LPB 各部に存在するインダクタンス成分とキャパシタンス成分により共振が起こる。共振が発生する周波数ではインピーダンスが極端に大きくなる。すなわち LPB 各部の PDN モデルを正確にシミュレーションに反映しないと全体の PDN の設計が正しく出来ない (図 2.3.1-2)。このシミュレーションを実行するためには LSI の PDN 等価モデル、パッケージやボードの形状情報、構成材料の電気特性、構成部品の等価モデルなど様々な情報を揃えなければならない。この際に LPB の各部分の設計情報の書式や仕様の違い、必要パラメータが共有されていない事などが効率的な設計が出来ない要因となっている。

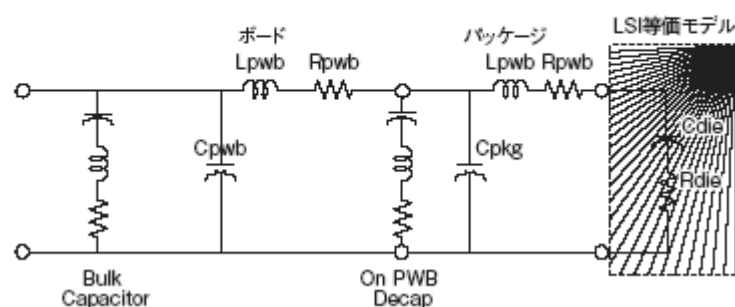


図 2.3.1-1 LPB の電源網(PDN)の等価回路

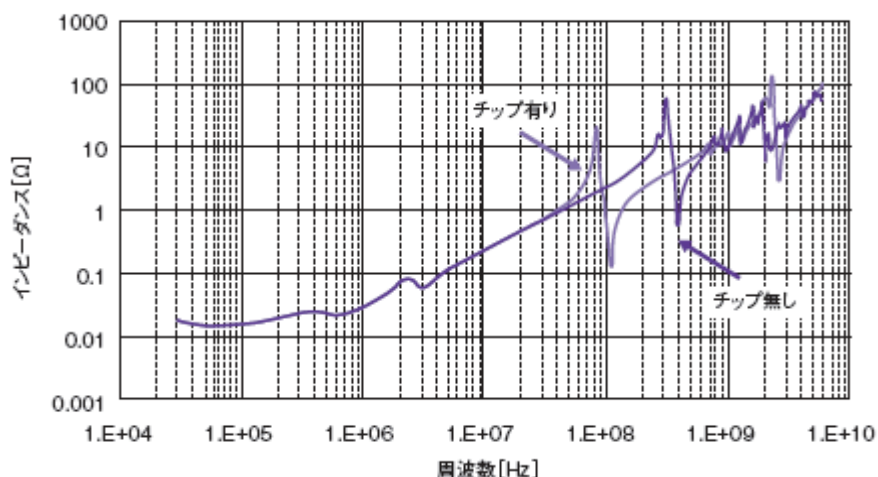


図 2.3.1-2 LPB の電源網(PDN)の等価回路

2.3.1.1.5 JEITA における LPB 相互設計 WG の発足

開発の難易度アップ、コスト・開発期間の国際競争の激化は設計のアプローチへも変革を求められる。個々の最適化ではセット全体の最適化を実現するのは難しくなり全体を見越した設計が LPB 個々にも求められる。そこで LPB の設計をある 1 つのパーティーに集約する手段も考えられるが、これは非現実的である。LPB それぞれの物理的事象はスケールが違いすぎ、個々の

専門の技術者が腕を振るわなければならない。ここで LPB がうまく連携できる仕組みが必要となってきた。この、声を受けて JEITA の半導体部会、EDA 技術専門委員会の元に各企業の代表が集まり半年の準備ワークグループ活動を経て 2010 年 4 月に LPB 相互設計ワークグループ(以下 LPB-WG) が正式発足した。このワークグループでは設計最適化の課題を整理し、設計効率を向上させる標準化を行うことを目的としている。特に LPB は設計工期やシミュレーション時間を短縮することに注力している。シミュレーション時間を一例として LPB-WG の活動範囲を説明する。シミュレーション時間とは一般に実行時間をイメージすることが一般的である。しかしながら工期から考えるとシミュレーション時間とは準備段階の情報収集やセットアップ、そして計算実行時間の合計と考えるべきである。これまでシミュレーション時間を短縮するには計算時間を短縮することに注力されてきたが、これは EDA ツールの改良やコンピュータの処理能力の改良で行われてきた。しかしながら実際にはシミュレーション時間の内訳は準備段階のほうが計算時間よりも長くかかっているのが実情である。この準備段階に費やす時間を短縮するのが LPB-WG の標準化の活動範囲となる。情報を交換する書式を同一にし、必要な情報をリストにすることで情報収集時間とセットアップにかかる時間は飛躍的に短縮する。さらに情報を交換するしくみがあれば更なる短縮が可能となる。例えば、コミュニティーの形成や e-コマースの活用、クラウドなどデータベースの整備等が考えられる。LPB フォーラム(後述)はこの目的で設立されている。標準のみならず情報流通手法まで開発することが LPB-WG の役割範囲としている。(図 2.3.1-3)

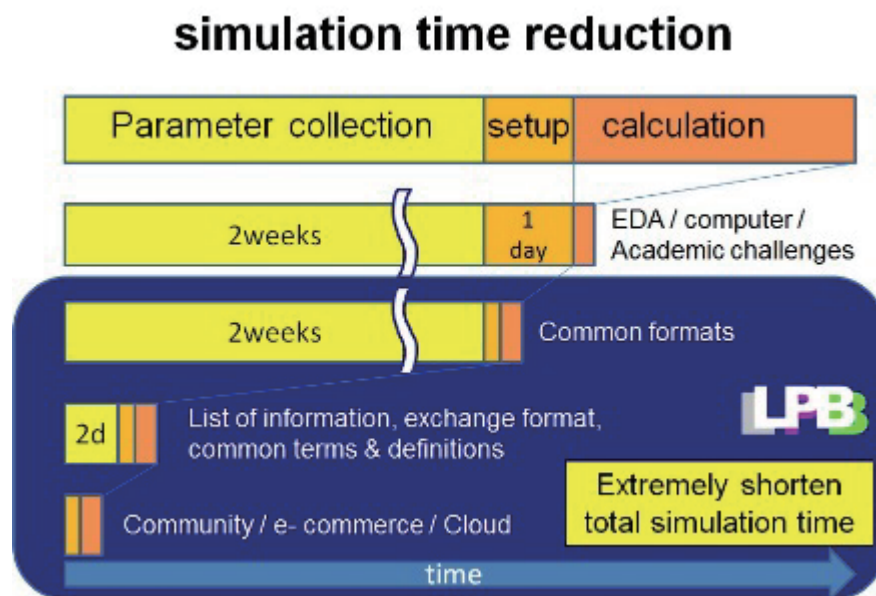


図 2.3.1-3 シミュレーション時間の削減の概念

2.3.1.2 LPB 相互設計解説

2.3.1.2.1 LPB 相互設計 WG の目的とゴール

- 1、LPB が協力しあって設計を行う為の課題を抽出しその分析を行いソリューションの提案を行う。
- 2、具体的には LPB 全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の標準を開発する。

3、標準化提案内容は公開し普及を図る

4、これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする。

2.3.1.2.2 LPB 相互設計の概念解説 ～個別設計と相互設計～

2.3.1.2.2.1 従来型個別設計の概念

LPB 相互設計がこれまでの設計思想と異なる点を説明しておく。

従来の設計手法は紙に書いたレベルの大まかなセットの製品仕様が決定されると LPB 別々に設計がスタートし、その個々分野内で最適化が行われてきた。これを個別設計という呼び方にここでは定義する。個別設計においても LPB が完全に別々に設計が行われていたわけではなく当然すり合わせは行われてきたが場当たりの確認が多く、また共通の認識も乏しいためお互いの情報の公開・流通がし難い場合も多く、時間がかかるものであった。それでも日本企業においては LPB 各部門の設計力は高く、品質・特性といった面での差別化は図られていたといえる。しかしながら上記背景に述べたような市場要求の変化に対してこの方法では以下の問題に直面することになっている。(図 2.3.1-4)

- 1、全体最適化が困難
- 2、設計解析の準備に時間がかかる
- 3、やり直しが発生し開発期間増大
- 4、リソースの重複

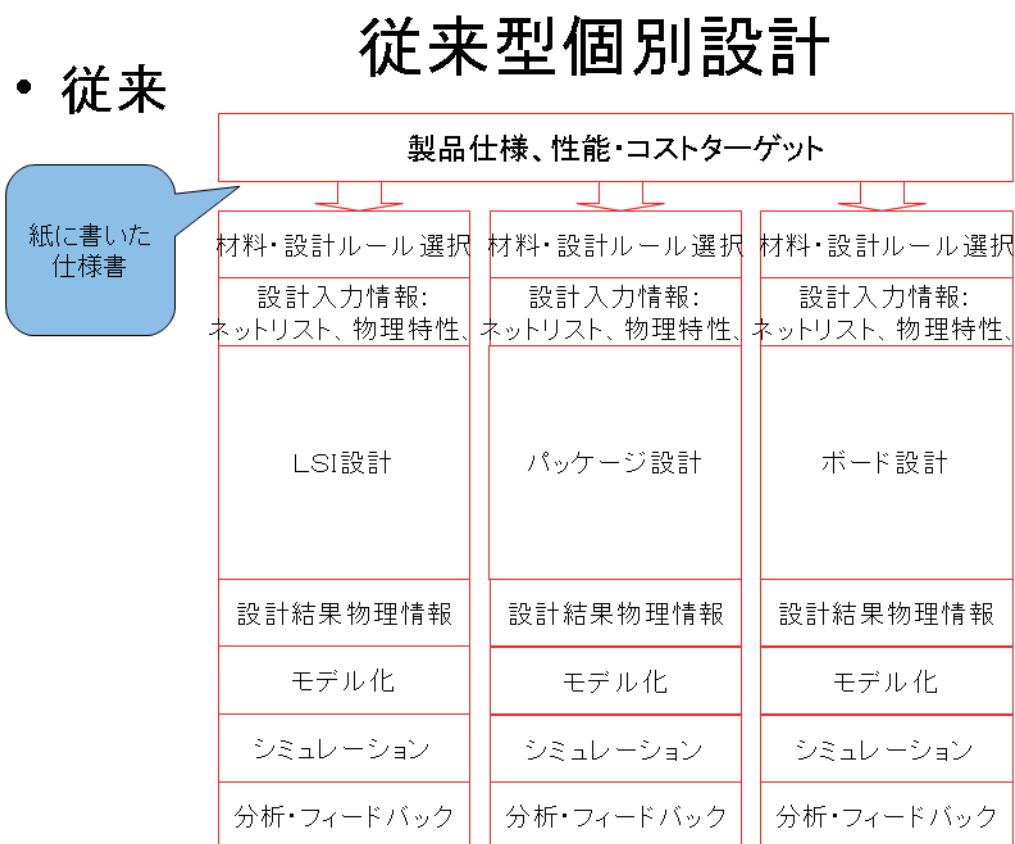


図 2.3.1-4 従来型個別設計

2.3.1.2.2.2 LPB 相互設計の概念

個別設計の課題を克服する方法として LPB 各部門が協力しあって設計を進めるスタイルを相互

設計と定義する。相互設計においては全体構想設計を十分に行い各部の設計基準を設定し、その後は個々に設計を行う。設計終了後は全体を統合したシミュレーションを行い、設計のへのフィードバックを適所に行う。これにより下記の効果を期待する。(図 2.3.1-5)

- 1、全体最適化を可能にする。
- 2、設計・解析期間を短縮。
- 3、やり直しを最小に留める。
- 4、リソースの分担。

LPB相互設計

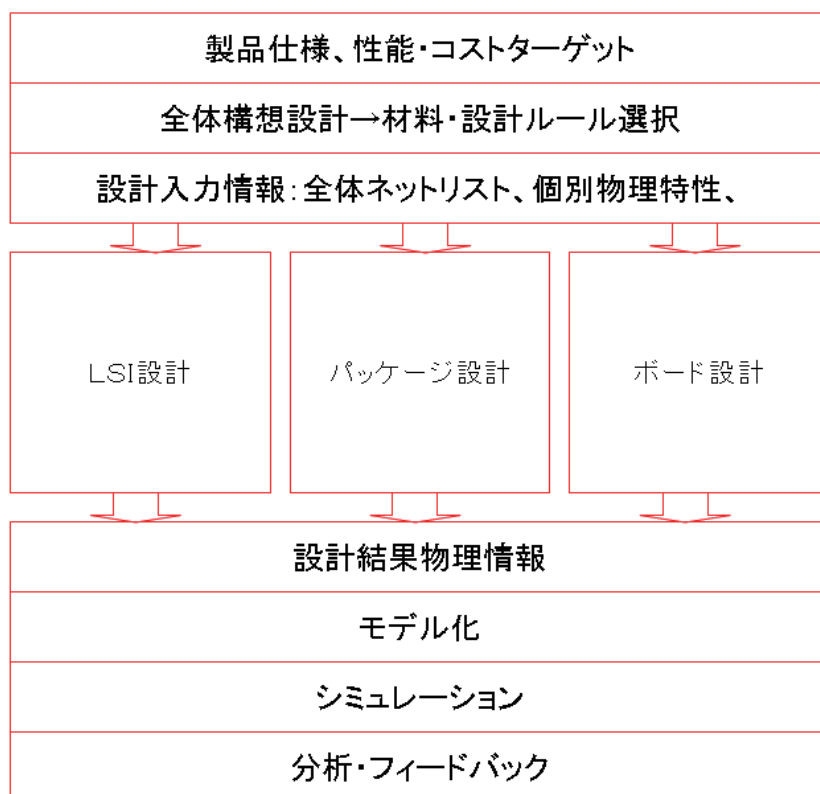


図 2.3.1-5 LPB 相互設計

2.3.1.2.2.3 EDA の面からみた LPB 相互設計

LPB 相互設計の内 EDA を使って設計検証する部分を考える

EDA が使われる工程の前段階では必ず入力データの準備がある。LPB 相互設計ワークグループの分析によると、この準備の段階において情報の流通が十分ではなく、書式の違いがあり、EDA のセットアップに多大な時間を要しており相互設計の実現を阻む要因のひとつになっている。LSI の設計は比較的 1 つの EDA ベンダツールでフロアプラン、詳細設計、検証、ECO (Engineering Change Order) でまかなわれ、工程間のやりとりも統一書式 (DEF など) がある。一方、パッケージやボードの設計では設計ツールと検証ツールは別々で、しかもツール間でデータの互換性はない。ベンダごとにもデータ書式はバラバラで、複数の EDA ツールを駆使して最適な設計環境の構築には多大な投資と開発リソースが発生する。また、この流通性の悪さにより EDA ツールをひとつのシステムから別のシステムに置き換えることの動機が削がれる。その結果一人のユーザーは同じシステムを使い続け、そして EDA ツールに対する改良要求は単一のものとなり

がちで、EDA ベンダは ROI を考慮すると改良を積極的に行わないという状況も発生する。結果的にその設計者の成果物は競争力を失い、事業整理と共に EDA ツールは購入されなくなってしまうという負のサイクルが生じる。

2.3.1.2.2.4 競争領域と共通化領域

相互設計における競争領域と共通化すべき部分とを分類してみる。構想設計や設計、検証の作業は各社のノウハウなど機密内容が含まれる。それに比して EDA の入力部分は各社で共通化できる内容であり相互設計の実現を促進する効果が期待できることからこの部分について JEITA では共通仕様化を検討・推進することとなった。(図 2.3.1-6)

相互設計における EDA 部分と共通化部分



図 2.3.1-6 相互設計における EDA 活用部分と共通化部分

2.3.1.3 LPB 相互設計共通仕様

2.3.1.3.1 課題の整理

LPB 相互設計を行おうとすると多くの問題点に直面する。

1、LPB でネットリストが不統一

それぞれのネットリストのやり取りの際に変換をする必要があり、煩雑な上にミスが起きやすい。LPB が別々に設計変更を加える際に接続にフィードバックがかかり難しくしばしば接続エラーが発生する。全体のネットを管理しないために全体での接続検証や機能検証など EDA を使ったアプローチが整備されない。すなわち、基準となるネットリスト（ゴールデン）が存在せず、個々の設計結果から個々のネットリストを更新することが多く、全体で接続に不具合があっても検出する手立てがない。

2、LPB で設計結果の形状データが不統一

LPB で設計結果の出力データフォーマットは統一されておらず、これにより解析ツールへの読み込みが一元的に出来ないために全体解析を難しくしていた。別々なフォーマットは EDA ツールに読み込む際に、EDA ツール側に複数のフォーマットに対応する機能を整備することが必要でその準備に時間とコストが発生する。それぞれの書式に対するバージョンアップも常に対応し続ける必要があり管理コストも発生し続ける。また違う書式のデータは違った付加情報を必要とし、その情報収集にも多大な時間と労力を要しているのが現状である。(図 2.3.1-7)

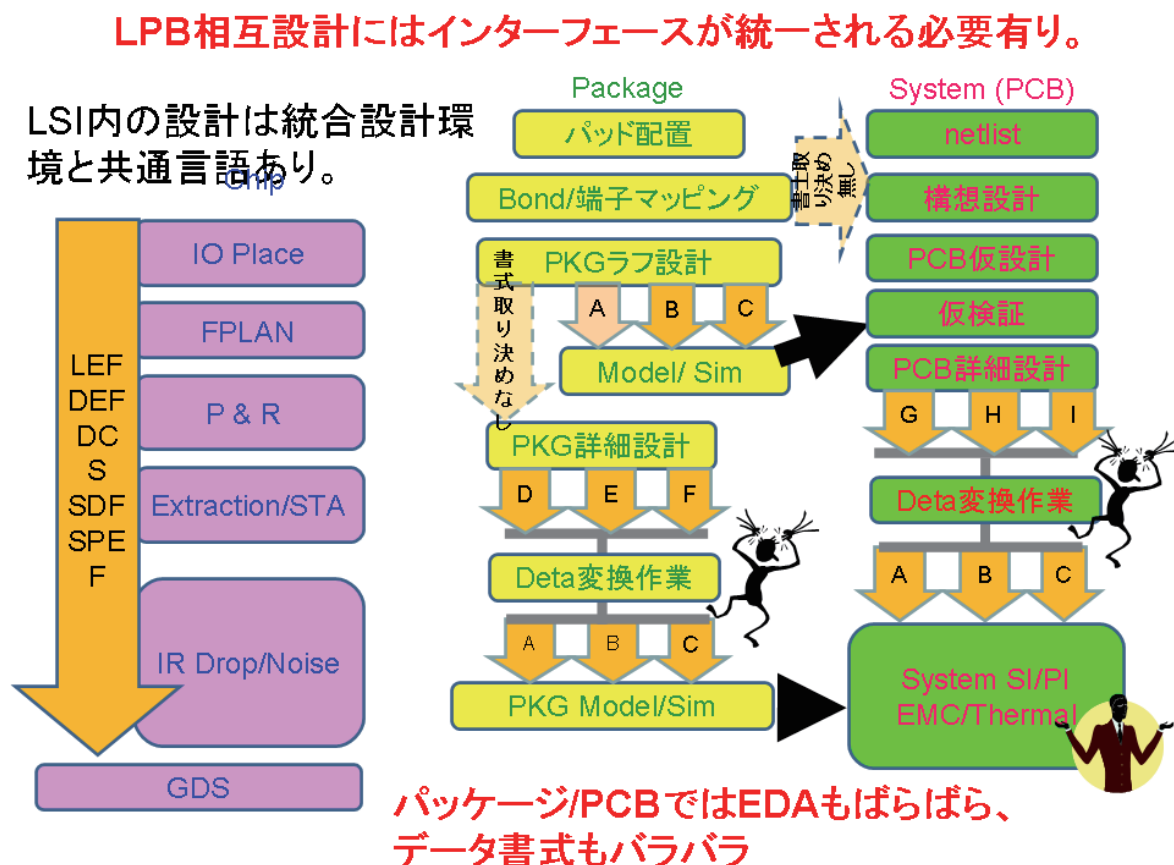


図 2.3.1-7 パッケージ・ボードはインターフェースが統一されていない

3、LPB の合成が煩雑

LPB は別々に設計されるためにそれぞれの繋ぎあわせでミスが生じやすい。たとえば LSI チップのパッケージへの搭載においてフリップ〔裏表〕やローテンション〔回転角度〕では頻繁に連絡ミスや誤解、思い込みで事故が起こる。パッケージとボード間でも同様のミスが発生することもある。解析ツール上で LPB を合成する際には画面を見ながら手作業で位置合わせや向き合せを行なって接続するのが常識的に行われている。これではミスは撲滅できない。

4、設計途上の設計制約の・設計結果へのフィードバックの難しさ

LPB の間で設計制約に対する考え方がバラバラで、与える情報量・質・書式に差があることがある。これらは設計途上での誤解や追加の煩雑なコミュニケーションを生み、結果として確認待ち時間や反復的な設計やり直しによる時間のロスを生じることがある。一方、設計後も書式の多様性やそれに伴うインターフェースの複雑化により検証結果を設計にフィードバック

するのも煩雑となり、フィードバックを避けて問題を残したままに妥協したり、比較的簡単なところのみフィードバックすることに留まって全体の最適化が進まない状況にも陥りやすい。(図 2.3.1-8)

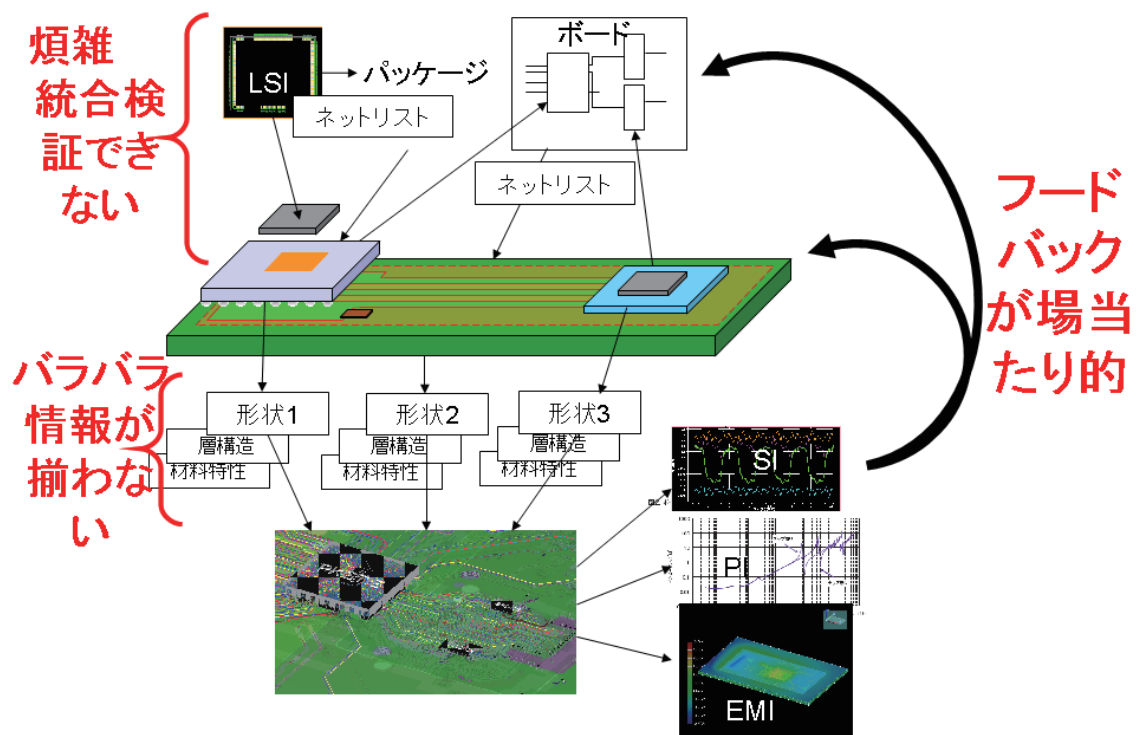


図 2.3.1-8 インターフェースが統一されていないまま相互設計を行った場合の問題点

2.3.1.3.2 標準フォーマットの作成

LPB 相互設計標準フォーマットを策定した。2010 年の活動結果では下記 5 点を策定し V1.0 としてリリースをしている。

LPB-V1.0

- 1、ネットリスト： VerilogHDL の拡張(SPICE 制約互換)
- 2、階層定義情報：独自定義 XML 出力
- 3、設計制約情報：独自定義 XML 出力
- 4、設計結果形状情報 既存フォーマット
- 5、用語集

これに基づき 2011 年の活動で設計試行を行った結果、仕様の変更が必要となり LPB-V2.0 に改定を行っている。(図 2.3.1-9)

LPB-V2.0

- 1、プロジェクト管理 (M-Format)
- 2、ネットリスト (N-Format)
- 3、コンポーネント (C-Format)
- 4、デザインルール (R-Format)
- 5、ジオメトリ (G-Format)
- 6、用語集

LPB-1.0 から LPB-2.0 への大きな変更点は開発プロジェクトにおいてそれぞれのインターフェース標準フォーマットの履歴を管理する「プロジェクト管理」フォーマットの追加と、「階層定義」「設計制約」に記載される内容を大幅に改定し、「コンポーネント」「デザインルール」に仕分けなおしたことである。

2012 年には EDA ベンダへの採用とツールへの導入が進む過程で、フォーマットの齟齬の修正や改良が必要となり LPB-V2.1 が作成され 2013 年 3 月にリリースした。LPB-V2.1 の構成は LPB-V2.0 と同じであり、各フォーマットが改定されている。

2014 年度になり、LPB フォーマットを国際標準とする活動を開始し、IEEE 標準化委員会において標準化作業を進めた (P2401 LPB-WG)。この結果、各種業界からの要望や、開発中の別な規格 (IEC SC47A EMC シミュレーションモデル) との整合性などを考慮して、様々な仕様追加を行い 2015 年 3 月に LPB-V2.2 をリリースした。

JEITA LPB標準フォーマットとして5つのファイルと用語集

1. プロジェクト管理(M-Format)
2. ネットリスト(N-Format)
3. コンポーネント(C-Format)
4. デザインルール(R-Format)
5. ジオメトリ(G-Format)
6. 用語集

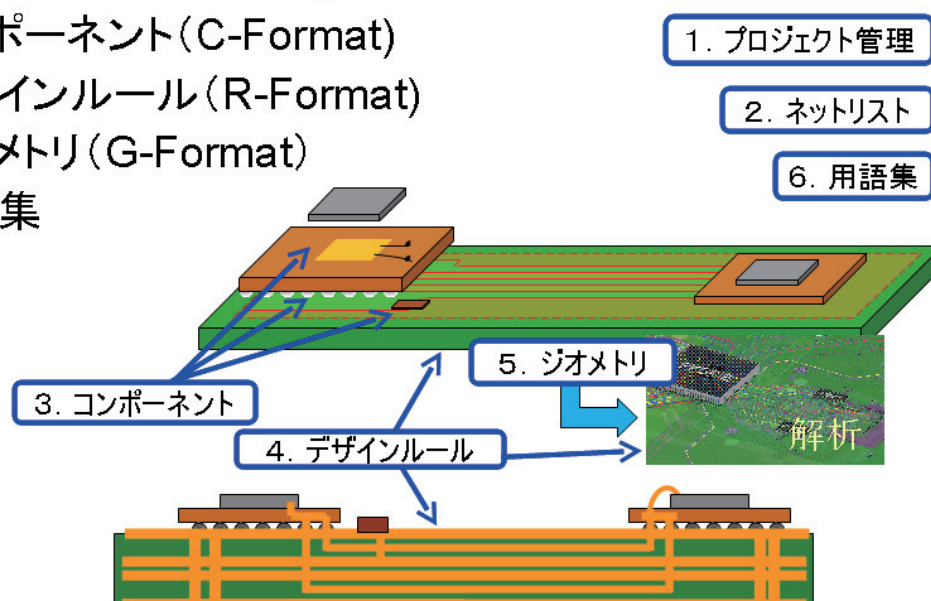


図 2.3.1-9 LPB 標準フォーマット

プロジェクト管理フォーマット： 製品の開発プロジェクトの中では LPB それぞれに標準フォーマットに沿ってインターフェースファイルが準備されるが、それぞれの設計工程の最適化や改変によりインターフェースファイルも逐次アップデートされる。LPB 相互に連絡なしにファイルをアップデートすると設計結果に不整合がおこりミスややり直しの原因となる。システム全体でインターフェースファイルのバージョンを管理する目的でそれぞれのバージョン名を記述する。

ネットリスト： LPB 全体での接続管理を目的とし、将来 LPB 全体の接続検証や機能検証ができる EDA 環境の開発が促進されることを狙って Verilog-HDL を基本ネットリストとした。形状

情報と完全に分離した接続情報に徹して階層構造にも柔軟に対処が可能である。IEEE に定められる Verilog-HDL には電源グラウンドのネットの定義がないことや、パッケージ・ボードの検証に使われている SPICE との互換性を持たなければならない。これらにより、LPB フォーマットでは Verilog-HDL の書式に電源グラウンド端子を追加し、SPICE におけるピン並びに制約と同じ制約を課す拡張仕様が加えられている。

コンポーネント : コンポーネントファイルは LPB 各部の設計結果をつなぎ合わせる場合の部品の物理的な形状、接続位置・方向、設計上の制約を定義する。流通している同様なフォーマットで必要となる情報がすべて包含されている書式がないため、本 WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするために XML の書式を採用している。

デザインルール : LPB 各部の設計ルールを記述する。ライン、V I A やスペース、層構成をあらわす。解析のセットアップの為の材料物理特性や詳細断面構造もあわせて定義する。流通している同様なフォーマットで必要となる情報がすべて包含されている書式がないため、本 WG で独自に書式を制定した。EDA ツールへの読み込みを簡単にするために XML の書式を採用している。

ジオメトリ : ジオメトリは設計結果を解析環境に渡す際の書式を定義する。各層ごとの 2 次元図形と、V I A, B u m p, B o n d W i r e の 3 次元的情報、2 次元情報を積み上げて立体構造にするための層構造（縦方向の寸法）などと記述する。テキストでの表現が必須であり、シンプルでかつある程度の精度をもった書式が必要である。これは独自の書式の開発は困難であることから EDA ベンダが提供した書式(XFL)を採用している。尚、このファイルはシミュレーションを行うために十分な形状情報のみに特化しており、製造の為の詳細な情報を加味することを目的としていない。したがってこのファイルだけでは製造コピーをすることは困難であることから需給間で設計情報を流通させる際の障壁を下げることも目的の一つである。

用語集 : LPB 各部の設計文化の違いにより同じ物理形状、材料などに対して別の表現をすることがある。たとえば Via は Via と呼ばれるだけではなく PTH など製造方法を表した表記がされることがある。この LPB 共通仕様の中では基本的にひとつの設計要素は 1 つの表記をするよう言葉の定義をしている。

図 2.3.1-10 は具体的に設計のどの部分でどのフォーマットが使用されるかの概略を示している。

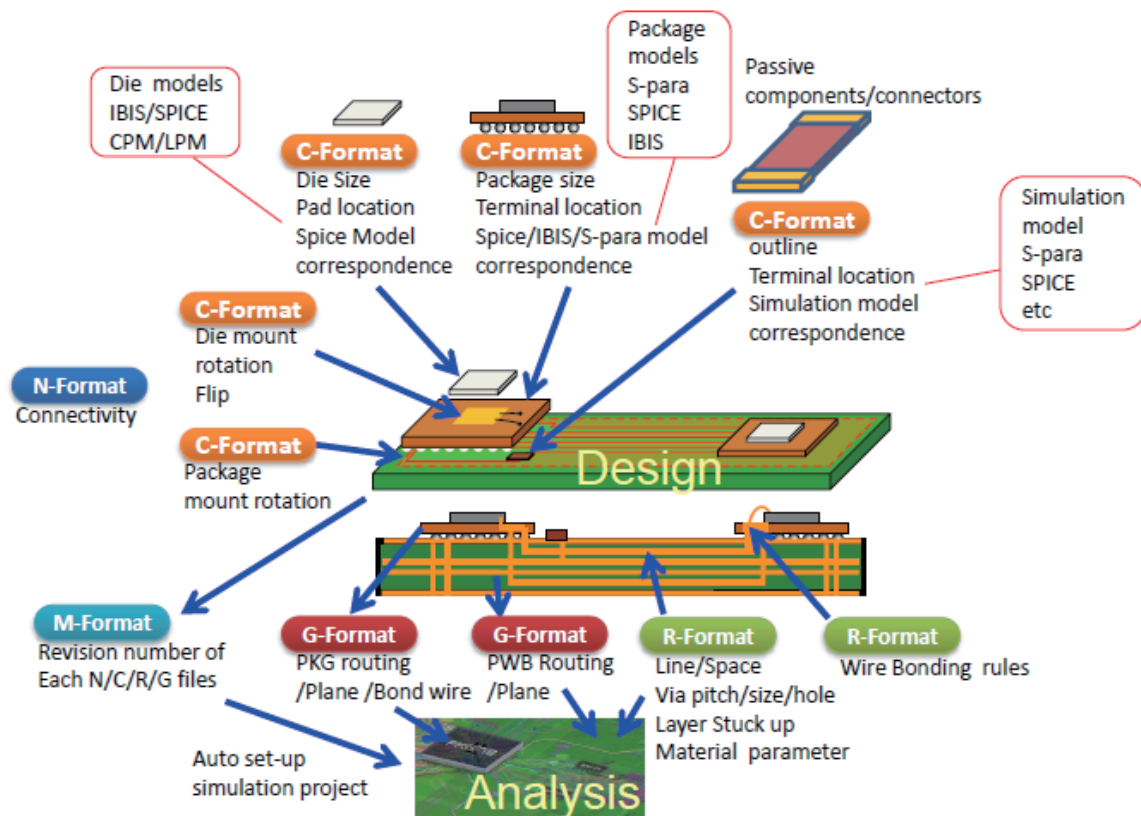


図 2. 3. 1-10 各 LPB 標準フォーマットの使われる部分の概略図

2. 3. 1. 3. 3 LPB 相互設計標準フォーマットにより期待する効果

これまで詳細設計段階で「すり合わせ」が行われてきた。前述のように、これでは設計の最適化は LPB 個々のレベルに留まる。また、「すり合わせ」が行われる時期は開発の工程の終盤になりがちであり、大きな手戻りには手遅れの場合が多い。標準フォーマットができると全体での情報伝達が容易になり、より早い段階で全体設計構想を練ることができることが期待される。全体構想設計が行われて、LPB 各部の設計仕様が詳細設計前に明確化されることにより各部の個別の設計はやり直しの少ない短期間の設計完了が期待される。また解析も全体を見越した検討が可能となり、スムーズにできれば解析にかかる時間も取れるようになり、より深く吟味した設計フィードバック案が作成できる。また、構想設計と統合解析の関係が出来上がっていると、設計のフィードバックは LPB どの部分に適用するべきかを考察した上で行えるようになり全体最適化が促進されることが期待される。EDSFair2011Nov. でパネル討議を行った結果、半導体側からの期待値として設計前半の全体設計構想の部分为主导し、設計最適化を促進したいというコメントがあった。一方セット側のコメントとしては後半の統合検証がやりやすく、効率的に解析かつ、解析の項目を増やして製品の品質保証責任を果たせることを期待している。この設計スタイルが定着すると LPB の水平分業だけではなく、半導体とセットの開発分担という縦の分業も促進される。(図 2. 3. 1-11)

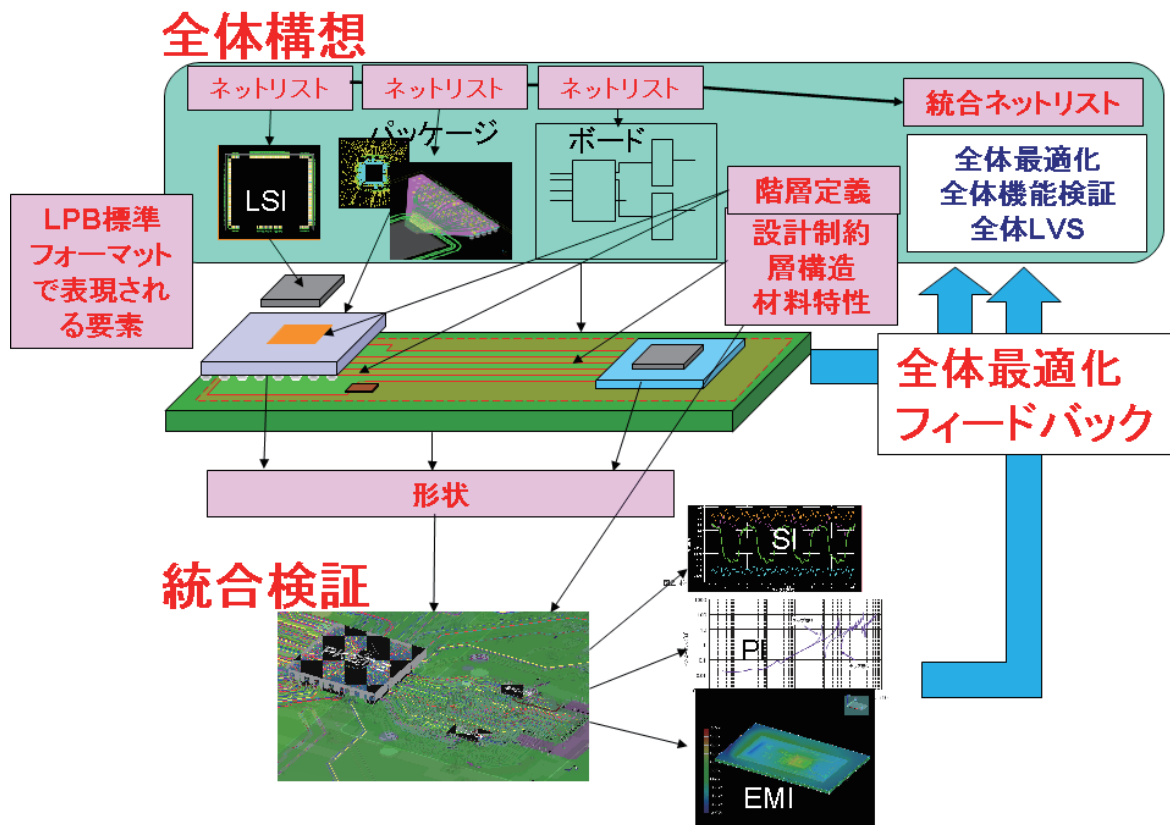


図 2.3.1-11 インターフェースフォーマットを整理した LPB 相互設計

この構想の元、LPB 相互設計共通仕様の効果を可視化する。縦方向を時間軸とみなして各工程の相対的な工程期間を示す。(図 2.3.1-12)

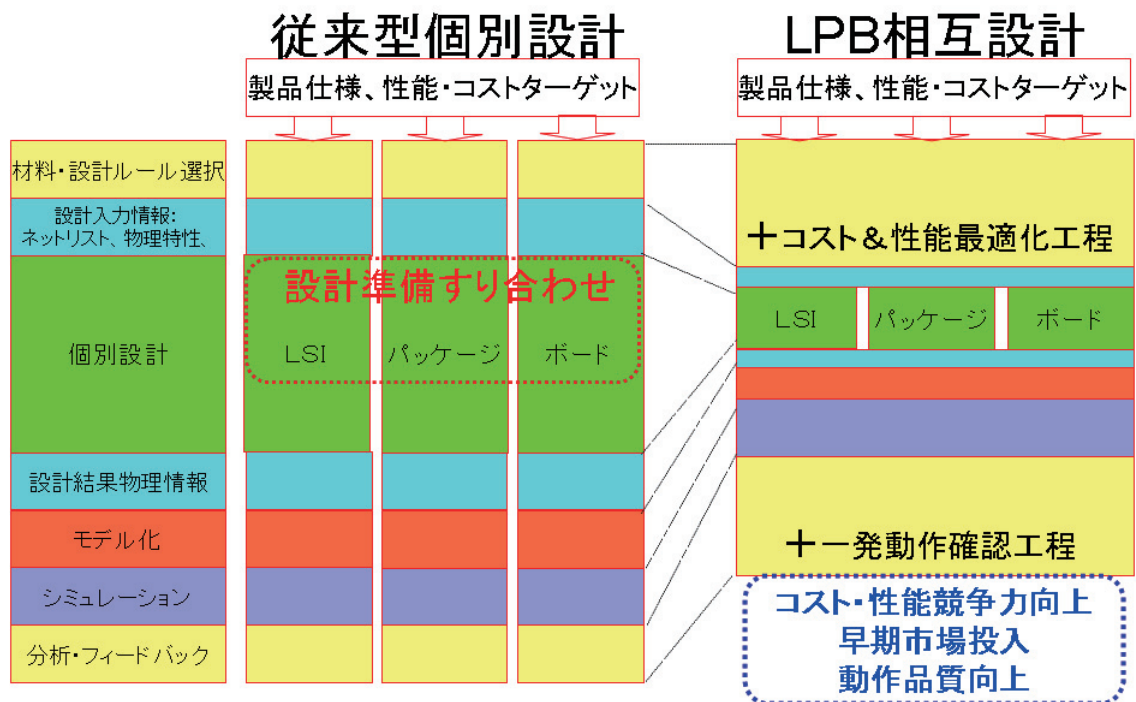


図 2.3.1-12 LPB 相互設計の効果 設計スタイルの変革

従来の個別設計に比較して相互設計のスタイルにおいては構想段階と分析・フィードバックの段階に時間をかける代わりに実際の設計期間を短縮する。これらによりコスト・性能のバランス最適化と設計品質の向上を狙う。今まで時間のかかっていた設計・解析の準備にかかる時間も短縮する。これらにより全体の開発期間を短縮可能とし、完成品での不具合を減少させ結果として市場投入を早める。

商品の市場での成功にはその時の市場にニーズにマッチした仕様の製品をいち早く市場投入することが重要であり構想設計をより早い段階で精度よく実施する必要がある。そのためには、開発に係る情報がそろっており、かつ直ぐに設計プロセスに使用可能な状況でなければならない。設計に係る情報とは LPB 各部分の設計結果だけでなく、設計に入る前に必要なデザインルールや材料の電気・物理特性、受動部品やコネクタなどの形状や電気モデル、組み立て（パッケージまたはボード）の際のルール（配置制約、ボンディングルール等）等、サプライチェーンから情報を集めなければならない。現状、それら情報の収集は人対人のコミュニケーションに大きく依存し、異種サプライヤー間で言葉の定義の違いによる相互理解にかかる余分な時間と、提供されたデータもそのまま設計ツールに読み込みができない書式であり、書式の合わせこみを行う時間が大きく発生している。これらが構想設計の実施を妨げ、時間不足となりいきなり詳細設計に入らなければならない状況を引き起こす。構想設計が不十分のまま詳細設計を行うとやり直しが多く発生する原因となる。情報のやり取りに LPB 標準フォーマットを活用することによって効率よく情報の収集や設計結果の提供ができるようになる。必要な情報は LPB 標準フォーマットで明らかになっており、LPB 標準フォーマットで記載された情報ファイルを要求、または提出すればよい。（図 2.3.1-13）。

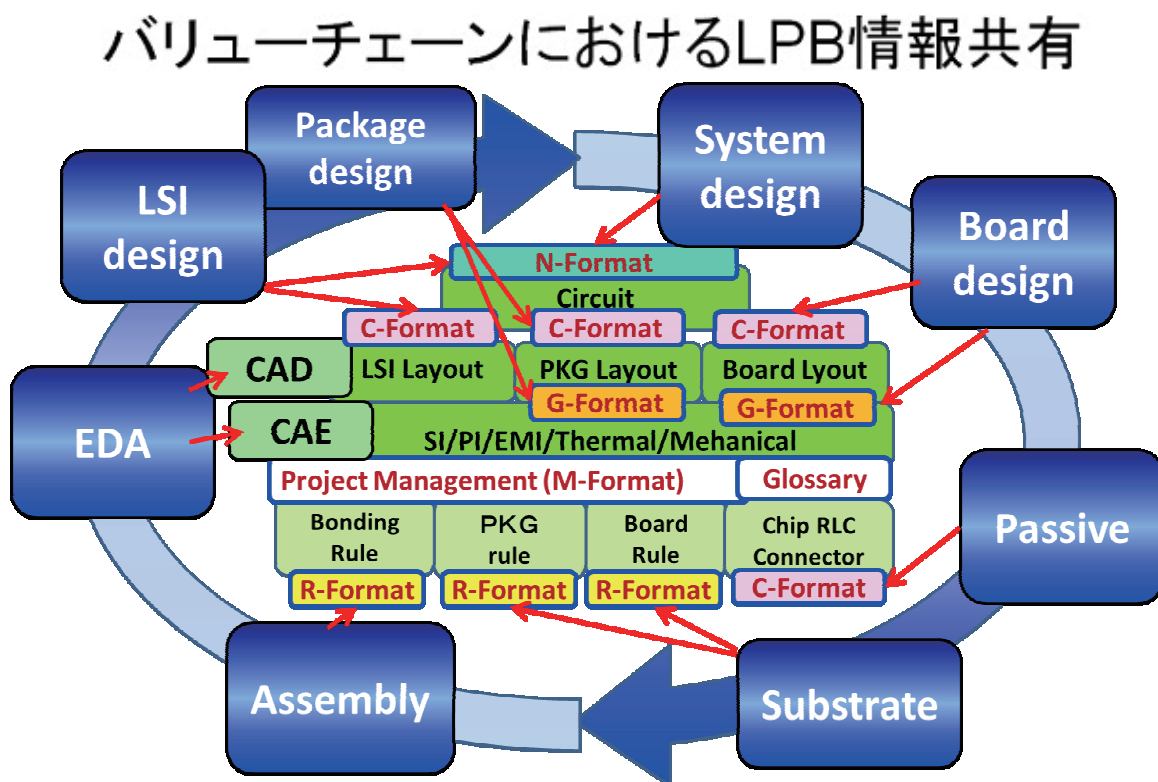


図 2.3.1-13 LPB 標準フォーマットを使った情報共有

また、あらかじめ材料、部品についての LPB 標準フォーマットによる情報ファイルを複数集め

ておき、構想設計の過程でどの材料・部品を使うか容易に試し選択することが可能となってくる。このようにサプライチェーンが協力し合って情報を集め、競争力のある製品を市場に出して成功すればサプライチェーン全体がエコシステムとして成功していく。このように一つ一つの情報が設計の価値を高めていくバリューチェーンが成立する。

2.3.1.3.4 開発効率における JEITA LPB 標準フォーマットの効果実例

LPB 標準フォーマットによる設計効率の改善は（図 2.3.1-3）に概念を説明している。ここでは実際の事例によりどの程度の改善が見込まれるかを実験した。小規模な模擬セットを想定して LPB 標準フォーマットを使って実設計を行った（図 2.3.1-14）。この結果この程度の設計事例であっても従来の詳細設計や検証にかかっていた時間を 61%削減し、情報を待っている時間を 2 週間以上削減することが出来た。

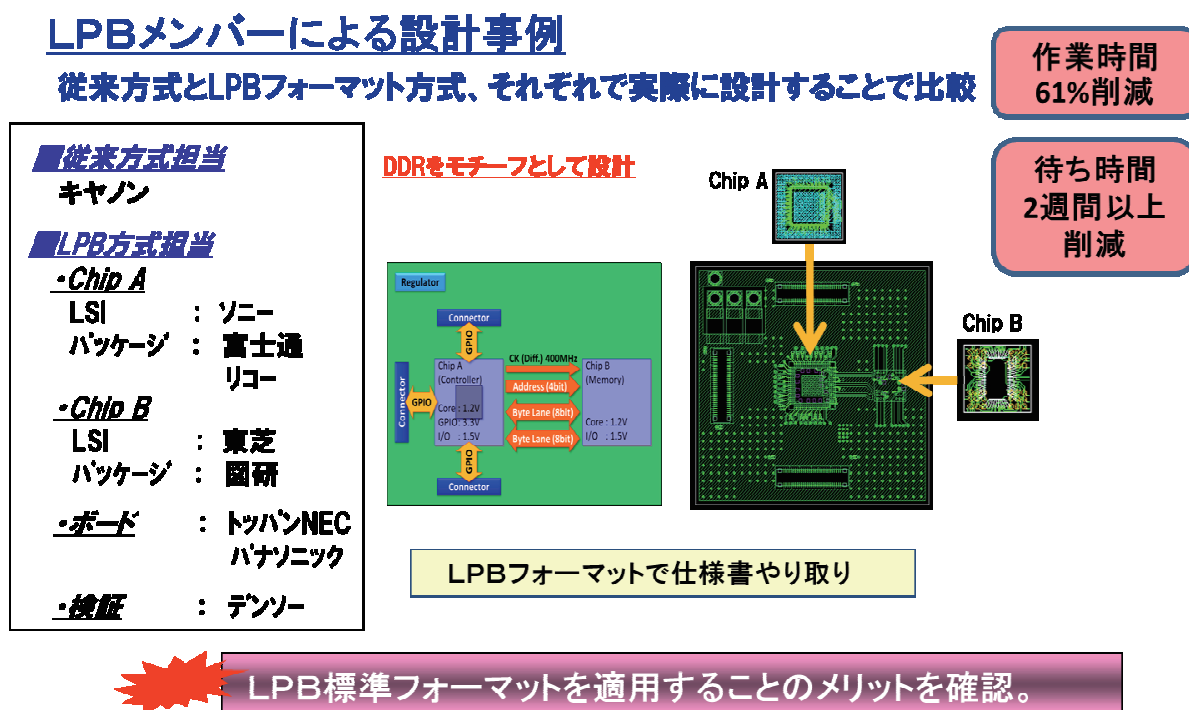


図 2.3.1-14 LPB 標準フォーマットを使った設計事例とその効果

2.3.1.4 LPB 相互設計ワークグループ活動

2.3.1.4.1 構成メンバー（表 - 1）

2010 年	1 6 社／2 0 名＋特別委員 3 名	客員 1 大学／1 名
2011 年	1 7 社／2 3 名＋特別委員 2 名	客員 1 大学／1 名
2012 年	1 7 社／2 1 名＋特別委員 4 名	客員 1 大学／1 名
2013 年	1 2 社／2 0 名	
2014 年	1 2 社／2 2 名	

主査：福場義憲 株式会社東芝

副主査：大槻隆志 株式会社リコー（国際標準化サブワーキンググループ主査）

副主査：永野民雄 ルネサスエレクトロニクス株式会社(標準化戦略サブワーキンググループ主査)

副主査：岡野資睦 株式会社東芝 (相互設計導入サブワーキンググループ主査)

表 2.3.1-1 LPB 相互設計ワーキンググループメンバー (2014 年度)

氏名	正副	役職	所属	子会社
福場義憲	正	主査	株式会社東芝	
林 靖二	正		キャノン株式会社	
村井裕典	副			
松澤浩彦	正		株式会社図研	
古賀一成	副			
濱田誉人	正		ソニー株式会社	ソニーLSI デザイン(株)
川畑航	副			
岡野資睦	副	副主査 相互設計導入 SWG 主査	株式会社東芝	
富島敦史	副			
青木孝哲	副			
益子行雄 中途人見氏に交代	正		日本ケイデンス・デザインシステムズ社	
人見忠明	正			
徳永真也	正		パナソニック株式会社	パナソニックセミコンダクターソリューションズ(株)
中川祐之 2月末まで在籍	正		富士通株式会社	富士通 VLSI (株)
松村宗明 2月末まで在籍	副		富士通株式会社	富士通セミコンダクタ(株)
折原広幸	副			富士通アドバンストテクノロジー(株)
大塚育生	副			
澤田修	正		メンター・グラフィックス・ジャパン株式会社	
門田和博 3月より加入	副			
大槻隆志	正	副主査 国際標準化 SWG 主査	株式会社リコー	
村田和希	副			
永野民雄	正	副主査 標準化戦略 SWG 主査	ルネサスエレクトロニクス株式会社	

2.3.1.4.2 活動内容

ワークグループ内で 3 つのサブワーキンググループ (SWG) を構成して活動をしている。2014 年度は下記 3 グループ。

①国際標準化 SWG

- ・ LPB フォーマットの国際標準化として IEEE-SA P2401 委員会の運営を行う。
- ・ IEEE P2401 国際標準のドキュメントを作成する。

②標準化戦略 SWG

- ・ LPB フォーマットの改良・拡張案を考察する。
 - ・ LPB-V2.2 (IEEE P2401 対応)
- ・ 他規格との連携 リエゾン活動
 - ・ LEN [LPB-EMC-Nano 世代] ジョイントワークグループ

③相互設計導入 SWG

- ・ 参加企業における導入支援
- ・ 事例構築・発表。
 - ・ LPB フォーラム

以上、3 つの SWG が協力しあって LPB 標準フォーマットの普及と国際標準化を促進する活動を行っている。

活動は 8 回の本委員会を実施した (内 2 回は 9 月に集中討議として連日で行った)。本委員会や集中討議の合間には SWG が複数回の委員会を行い、それぞれの役割における検討結果や成果を議案として本会議と集中討議に提出し討議と審議をおこなった。

また本活動を上位委員会の EDA 技術専門委員会への報告を行った。

本委員会日程

4 月 17 日 (発足からの通算第 34 回)

5 月 30 日 (同第 35 回)

7 月 11 日 (同第 36 回)

9 月 5 日 (同第 37 回)

9 月 6 日 (同第 38 回)

10 月 31 日 (同第 39 回)

1 月 8 日 (同第 40 回)

3 月 12 日 (同第 41 回)

(図 2.3.1-15)

	4	5	6	7	8	9	10	11	12	1	2	3
WG	第34回 4月17日	第35回 5月30日	第36回 7月11日 総親会	第37/38回 集中討議	第39回 10月31日					第40回 1月8日		第41回 3月12日
標準化	P2401											
イベント		JPCA 6/6	STARC			Design Solution forum シミュレーションの力	IBISサミット			LPBフォーラム		

図 2.3.1-15 LPB 相互設計ワーキンググループ活動記録（2013 年度）

●国際標準化として IEEE P2401 を運営し、規格書第 3 稿まで作成した。

・先期 IEEE Standard Association(IEEE SA)内にワーキンググループ P2401 を設置。議長に JEITA LPB 相互設計ワーキンググループ主査の福場が就任、国際幹事として JEITA EDA 技術専門委員会標準化担当の田中氏が就任した。また LPB 相互設計ワーキンググループ副主査国際標準化サブワーキンググループ主査の大槻氏がエキスパートとして参加することとなった。

7 回の電話会議とフェース T0 フェース会議を 3 月 4 日に米国 Mountainview, Fremont 市で行った。規格書は国際標準化 SWG で作成し、IEEE P2401 会議に提出し審議を行った。3 回の改定を行って 3 月 4 日に第 3 稿を承認した。このドラフトに対してワーキンググループでの最終レビューを行って 4 月 9 日に最終稿を完成（ワーキンググループ内の最終承認）させる予定である。尚、Face to Face meeting の際に、P2401 参加委員に対して LPB の紹介を行って理解を深めた。（添付ファイル 4.2.3 IEEE P2401 Face to Face meeting Mar. 4th, 2015 参照）

●IEEE P2401 に相応する LPB-V2.2 を策定してリリースした。

●IEC 東京大会にて SC47A/WG2（11 月 13 日）の会議にオブザーバーとして LPB メンバーが参加した。目的は IEC SC47A/WG2 が策定中の EMC 用シミュレーションモデルが LPB フォーマットで取り扱いが可能かを検討することであった。結果、LPB フォーマット側で対処が必要とわかり、仕様の追加を行って LPB-V2.2 および IEEE P2401 へ反映した。その後、IEC メンバーと電話会議を行い、IEEE P2401 のドラフト 3 (D3) に変更内容を含めることによって合意を得た。

●普及活動としてベンダーセミナーや実装学会での発表や展示会も積極的に行った。

- ・ JPCA ショー（発表）内容は添付ファイル 4.2.1 部品内蔵基板とこれを支える設計技術動向参照。
- ・ STARC セミナー（発表）資料は IBIS サミットと同等の内容にて割愛
- ・ Design Solution Forum（展示）EDA パンフレットを配布。
- ・ AET 主催シミュレーションの力（発表&パネル討議）資料は IBIS サミットと同等の内容にて割愛
- ・ IBIS サミット USA (DAC) で 1 回、日本で 1 回 内容は添付資料 4.2.2 DAC IBIS Summit, San Francisco, CA を参照。日本の IBIS サミットも同等の内容にて割愛。

●LPB フォーラムは JEITA LPB-WG が主催し、ユーザー・EDA ベンダ参加の会合である。これま

でに4回開催している。本年度は2回開催した。

第5回 LPB フォーラム 9月5日6日のWG会議と併設 EDA ツールのワークショップ

第6回 LPB フォーラム 3月19日 LPB フォーマットの紹介、国際標準化活動紹介、LPB 相互設計フロー実例。LEN 発表、IBIS 委員会との連携、熱・EMC シミュレーション実例。

各活動の詳細はサブワーキンググループの項目を参照。

2.3.1.4.3 今後の課題と活動方針

来年度はLPB フォーマットの IEEE での国際標準化を完遂する。2015 年末に IEEE での最終承認を終えて正式発行を行う。その後、IEC へ提案して IEC Dual Logo の取得を目指す活動に発展させる。

設計現場での LPB フォーマットの活用はまだ始まったばかりである。国際標準化の主目的は標準によって EDA ツールのインターフェースに採用され、ユーザー同士がツールをつかって情報の結合をしていくことである。市販 EDA ツールないし、企業内（設計現場レベル）で運用されるローカルツールの入出力が統一されることによってファイル交換によって情報流通ができるようにすることがゴールとなる。LPB フォーラムにおいて一企業内での活用事例が示された。今後はそのようなローカルな現場レベルでの活用からサプライチェーン内にある企業間の情報流に発展させることが必要ある。このために、来年度はより多くの設計ユーザーに JEITA LPB 相互設計ワーキンググループや LPB フォーラムへの参加を呼びかけ、普及を促進する。

2015 年度は以下の 3 つのアイテムを活動の骨子とする。

1. 国際標準化
 - LPB 標準フォーマットを IEEE 標準として発行する。IEC への提案を開始する。
2. 標準化戦略
 - 実際の実施例が増え、これで明らかになってき仕様の不足部分のエンハンスを行う。LPB-V3.0 の検討を始める。： EMC や IBIS シミュレーションにおける活用の模索を LEN プロジェクトの継続で推進する。
3. LPB 相互設計導入推進
 - 参加メンバー各社における LPB 標準フォーマットによる相互設計導入の支援を行う。（サンプルデータやリファレンスフローの充実。EDA ツールやサプライチェーンでの導入拡大推進等。）

以降サブワーキンググループごとの活動報告

2.3.2 国際標準化サブワーキンググループ

2.3.2.1 目的

2.3.2.1.1 標準化の目的、背景

JEIATA LPB-WG においては、日本のエレクトロニクス製品の国際的競争力を高めることを大きな目標として掲げ、その実現において国際標準化は大きな意味を持つということをWGの一致見解とし、国際標準化 SWG が主体となって、LPB 標準フォーマットの国際標準化へ向けての活動を行っている。

〈標準化の目的〉

■LPB 標準フォーマットの普及助長のための国際標準化

- ・ LPB 標準フォーマットの更なる設計現場での活用を促進するための公的国際標準化団体での公開。
- ・ 設計現場における LPB 標準フォーマットの活用による設計効率UP。

■EDAベンダーからの強い要望

- ・ EDAツールへのフォーマット採用に対する理由付け。

■JEITA LPB-WG としての成果物

2.3.2.1.2 国際標準化活動

昨年度、JEITA LPB 標準フォーマットとしての適合性、JEITA との連携性、公的影響度/普及性、その他を鑑み調査検討を行った結果、JEITA LPB-WG としては、公的な国際標準化団体としてIEEEを選出した。

今年度はIEEEでの国際標準化を目標として、その実現に向けての具体的な活動計画、進め方を検討し、その内容に従って着実に標準化活動を実施。

2.3.2.2 活動内容

2.3.2.2.1 今年度活動項目

今年度の大きな活動項目として以下を実施。

■標準化へ向けてのステップの立案

- ・ JEITA LPB-WG 国際標準化 SWG と IEEE P2401-WG のリンク
- ・ Draft 作成ステップ

■JEITA LPB-WG 国際標準化 SWG における活動

- ・ Draft 内容検討
- ・ Draft 作成
- ・ Draft 内容審議/IEEE P2401-WG への提出
- ・ Comment_Sheet 内容の審議・/IEEE P2401-WG への提出

■ IEEE P2401-WG における活動

- ・ 月 1 回の国際会議
- ・ Comment_Sheet 内容の審議・承認
- ・ Draft 内容審議・承認

2.3.2.2.2 今年度活動内容

2.3.2.2.2.1 標準化へ向けてのステップの立案

■IEEEとIECの標準的ステップおよび期間

まず、IEEE と IEC の一般的な標準化に向けてのステップを参考として記載する。

Road to International Standard (IS) publication

- To align and set strategies to achieve the target in a cost- and time-effective way

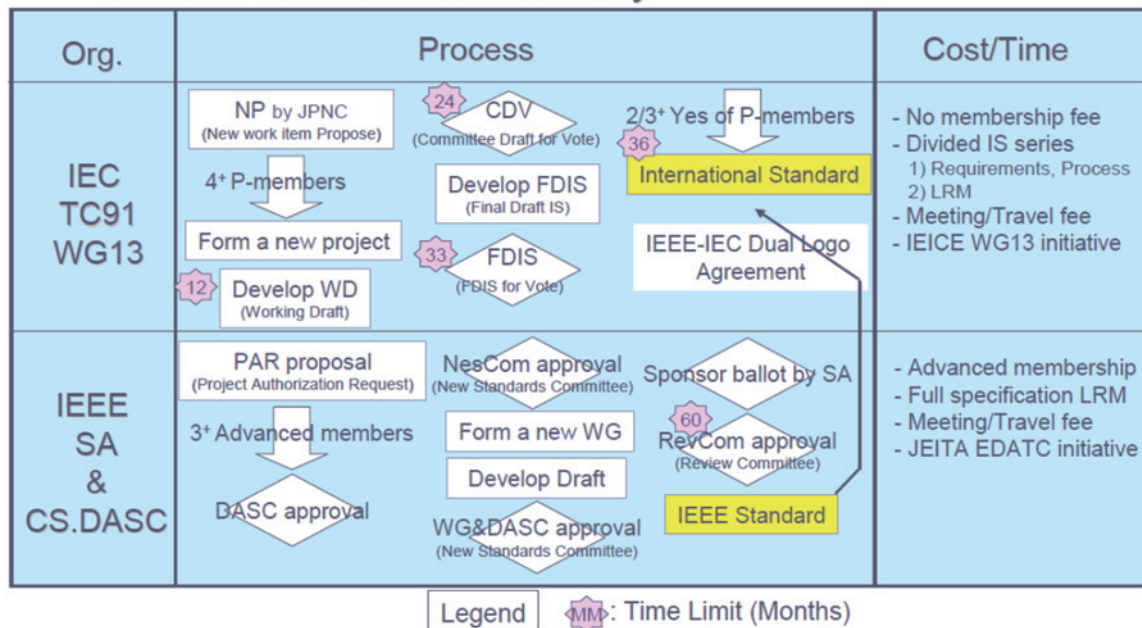


図 2.3.2-1 国際標準化への道のり

JEITA LPB-WG において優先活動として決定した国際標準化団体である IEEE については PAR(Project Authorization Request) Proposal から IEEE Standard まで 60 か月（5年）である。

また、IEEE 標準化後には” IEEE-IEC Dual Logo Agreement” において IEC 標準化も目標としているが、通常 IEC の標準化については NP(New work item Propose)から International Standard までが 36 か月（3年）となっている。

■LPB 標準フォーマットの IEEE 国際標準化へ向けての具体的ステップ

IEEE における一般的な標準化までの期間は 60 か月となっているが、昨年度の活動である DAC (Design Automation Conference)での JEITA LPB-WG 活動の紹介、さらにその後の IEEE/DASC(Design Automation Standards Committee) キーマンとの直接対話における LPB 標準フォーマットの重要性説明、理解により、IEEE における標準化大日程は以下を設定した。



- 標準化提案 (PAR)
- IEEE内におけるWG発足 (P2401-WG)

- Draft作成準備 (IEEE Style)
- Draft作成 (1st/2nd Draft)
- Review & Comment

- Draft作成 (3rd/Final Draft)
- Review & Comment
- IEEE上位組織での投票
- 最終承認 (RevCom)

図 2. 3. 2-2 IEEE 国際標準化へのステップ

この大日程をベースとして、IEEE P2401 標準化活動および JEITA LPB-WG 国際標準化 SWG 活動の具体的な活動計画を立案。

IEEE P2401-WG 活動は月 1 回のペースで国際会議を実施することとなったが、基本的には、JEITA LPB-WG 国際標準化 SWG 活動はこの IEEE P2401-WG 活動計画にリンクさせ、Draft 内容の検討、課題の抽出、対応についての議論を重ね、IEEE P2401-WG へのアウトプットとして各ステップごとに Draft、Comment_Sheet を作成、提出した。

具体的計画は以下のとおり。

	Due	Term (weeks)	Circulation end	Meeting	Draft stage
P2401 kick off	All			4/24	>D1
D1 Development	JEITA	13	7/24	7/24	D1 vote
D1 Review &comment sheet	All	4	8/21	8/28	D1
D1 Modification proposal	JEITA	4	9/25		D1
Consensus for D2	All	3.5	10/21	10/21	D1>D2
D2 intermediate report	JEITA		11/6		D2
D2 Development	JEITA	6.5	12/4	12/4	D2 vote
D2 Review &comment sheet	All	4	1/8	1/8	D2
D2 Modification proposal	JEITA	4	2/5	2/5	D2
Review proposal	All	4	3/3		D2
Consensus for D3	All			3/4(PST)	D2>D3

	Due	Term (weeks)	Circulation end	Meeting	Draft stage
D3 Development	JEITA	2	3/12		D3
D3 Review –Comment sheet	All	1	3/19		D3
D3 Modification proposal		3	4/9		D3
Review proposal		1	4/16		D3
Consensus for final		WG	4/23	4/23	D3/Final
Final Document development			4/23		Final Draft
Technical writer editorial					Revised final document
WG Vote					
DASC Vote			5/B		
RevCon Vote			12/B		

図 2.3.2-3 IEEE 国際標準化への具体的計画

■Draft 作成ステップ

Draft 作成については D1～D3 の 3 ステップを設定した。

<D1 ステップ>

IEEE 標準化へむけての Draft は JEITA LPB-WG で策定した LPB 標準フォーマット Ver2.1 をベースとし、まずは IEEE から発行されている標準作成のための Style Manual に従ったフォームとして 1st Draft (D1) を作成、および IEEE への提出。(2014/7/3)

D1 は主に IEEE 標準フォームとしての体裁を整えることを目的としたものではあるが、内容としては JEITA LPB-WG で議論し策定した LPB 標準フォーマット内容が忠実に反映されているものである。

D1 に対する審議は記述上の修正、追記がメインとなったが、LPB 標準フォーマット自体に対する使用上の改善等についても議論された。

それらの審議内容については Comment_Sheet という形で記録を残し、その審議結果を D1 へ反映し、それを Draft (D2) として作成し、IEEE P2401-WG に提出。(2014/12/3)

<D2 ステップ>

D1 ステップにおいて作成された 2nd Draft (D2) の内容に対する具体的審議を行い、それらの審議内容を 3rd Draft (D3 に反映することを目的とした。

審議内容としては、LPB 標準フォーマットの背景、目的、概要、メリット等設計現場における設計者にとっての必要性、有用性等の説明内容、また実際に LPB 標準フォーマットを使っていく上で参考となる使用事例説明内容を検討。

また、LPB 標準フォーマット自体の更なる必要情報、改善点についても議論を重ね、さらには他標準におけるモデルとリンクするためのインターフェースフォーマット等、LPB 分野における解析に必要な周囲環境とリンクするためのインターフェースフォーマットについても検討した。

これら審議された内容については D1 ステップと同様に Comment_Sheet に記録として残し、それらの審議結果を D2 へ反映し、それを Draft (D3) として作成し、IEEE P2401-WG に提出。

(2015/3/5)

＜D3 ステップ＞

D2 ステップにおいて作成された 3rd Draft (D3) の内容に対する具体的審議を行い、それらの審議内容を Final Draft に反映することを目的とした。

Draft の審議としては最終ステップとなる。D3 ステップは現在進行中であるが、審議内容としては D2 ステップで課題となっていた LPB フォーマットの設計現場での活用の参考となる事例内容についてとなる。

Final Draft 承認予定は 2015/4/23

2.3.2.2.2.2 JEITA LPB-WG 国際標準化 SWG における活動

JEITA LPB-WG 国際標準化 SWG においては、LPB 標準フォーマットの IEEE 国際標準化へ向けての Draft の作成を実施してきた。

Draft については JEITA LPB-WG で策定した LPB 標準フォーマット Ver2.1 をベースとし、IEEE 標準である Style Manual に従ったフォームへのコンバートを行い、Draft 内容の検討、課題の抽出、対応についての議論を重ねてきた。

今年度は JEITA LPB-WG 国際標準化 SWG としては計 7 回の会合を開催した。

2.3.2.2.2.2.1 国際標準化 SWG 活動履歴

上記ステップに対応し、JEITA LPB-WG 国際標準化 SWG において以下の日程で内容の検討をしてきた。

今年度は計 7 回の会合を実施。内容概略について以下に記す。

■第一回 国際標準化 SWG 会合 (2014/5/8)

＜内容＞

LPB フォーマットの IEEE 国際標準化へ向けての活動。

第一回は LPB フォーマットの IEEE 国際標準化へ向けてのベースとなる Draft 作成に取りかかっていくにあたっての Style Manual 内容の確認、メンバー間の意識合わせ、および今後の A. I. について決定。

Draft 作成にあたり、各フォーマットに対する作成担当者を決定。各担当者により Style manual に従ったフォームで Draft 作成開始。作成完了は 6/13 を設定。

■第二回 国際標準化 SWG 会合 (2014/6/13)

＜内容＞

第一回 IEEE 国際標準化 WG 会合で擦り合わせた Draft 作成に向けての方針、進め方に従って作成作業を実施しているが、7 月 3 日の IEEE への Draft 提出にあたり、各フォーマットの Draft 作成進捗状況を確認するとともに、今後の進め方等についての調整実施。

■第三回 国際標準化 SWG 会合 (2014/8/27)

＜内容＞

第二回 IEEE P2401 国際会議 (2014/7/24) において、JEITA で策定した LPB フォーマットの Draft に対するコメントを“comment Sheet”に記載し、その内容 JEITA でまとめて IEEE 国際会議で議論していくことに決定。コメントのまとめは JEITA LPB-WG 国際標準化 SWG であり、今回は“comment Sheet”にアップされた内容の確認とまとめを実施。

■第四回 国際標準化 SWG 会合 (2014/9/24-25 集中討議)

＜内容＞

IEEE P2401 Draft D1 完了に向けて、D1 における修正内容範囲の確認、および具体的修正箇所についての議論を実施。

■第五回 国際標準化 SWG 会合 (2014/12/3)

＜内容＞

D2 ステージへの移行に伴い、D1 Draft に対して出されたコメント内容についての D2 Draft への反映内容についての議論を行い、D2 Draft を完成させることを目的とした。

■第六回 国際標準化 SWG 会合 (2015/1/7)

＜内容＞

Draft D2 を昨年末作成完了し、その内容に対するコメントを IEEE P2401 メンバーおよび JEITA LPB-WG メンバーから収集。

また、コメントに対する内容審議をまず国際標準化 SWG で実施し、最終承認は JEITA 本会合で行う。

今回は Draft D2 の内容に対する 1st コメントの審議を実施。

■第七回 国際標準化 SWG 会合 (2015/2/4)

＜内容＞

D 2 ステージにおいては LPB フォーマットの実使用レベルでの具体的内容審議を行い、修正、追記等の内容をコメントシートにまずは提案内容として記載。

D 2 Draft 内容に対する修正、追加等の提案内容について JEITA 内で審議し、コメントシートとしてその内容をまとめた。

2.3.2.2.2.3 IEEE P2401-WG における活動

昨年度 (2013/12/11)、IEEE における NesCom において LPB 標準フォーマットの標準化活動が承認され、その後に IEEE 内で正式に P2401-WG (LPB フォーマット)が発足した。

P2401-WG 発足に伴い、第一回目の IEEE P2401-WG 国際会議を 2014/4/25 に実施し、LPB フォーマットの IEEE 標準化活動が正式に Kick Off した。

当初、IEEE P2401 国際会議の開催ペースとしては JEITA からは 3 か月に一回という提案であったが、そのペースではインターバルが長いとのメンバーからの指摘があり、それを受けて 1 か月に 1 回のペースで会議を行っていくことになり、Draft 内容審議サイクルも 1 か月単位となった。

2.3.2.2.2.3.1 Draft 内容審議について

JEITA LPB-WG において策定した LPB 標準フォーマット Ver.2.1 をベースにして、IEEE Style Manual (IEEE で定められた標準 Style) に従ったフォームに則り、1st Draft を JEITA LPB-WG において作成。

1st Draft は 2014/7/3 に IEEE に提出し、IEEE P2401-WG メンバーに公開。

第二回 IEEE P2401 国際会議 (2014/7/24 開催) において、今後の Draft 内容審議の方法について議論が行われ、Draft の審議は 3 ステップ (D1/D2/D3) で実施していくことで合意され、それぞれのステップにおけるサイクルは以下の内容で実施していくことに決定。また、Draft に対するコメントは Comment_Sheet に記載し提案することも決定。

Draft 内容審議スケジュールについては 2.3.4.2.2.1 における “LPB 標準フォーマットの IEEE 国際標準化へ向けての具体的ステップ” 項を参照のこと。

＜各ステップにおけるサイクル内容＞

① Draft (D1/D2/D3) Development

JEITA LPB-WG による Draft 案作成、および IEEE への提出 (P2401-WG メンバーへの Draft 公開)

② Draft (D1/D2/D3) Review & Comment Sheet

①で提出された Draft に対する内容審議、および Comment_Sheet へのコメント内容記載、IEEE への提出 (P2401-WG メンバーへの Draft 公開)

③ Draft (D1/D2/D3) Modification Proposal

②で提出された Comment_Sheet の内容についての審議を行い、次ステップにおける Draft への採用可否を決定

④ Consensus for Draft

③で決定された内容の Draft への反映、および Draft の承認。ここで承認されると次ステップへの移行となる。

Comment_Sheet とは、以下の項目で構成されており、各ステップにおける審議内容の履歴となる。

Name ¹⁾ .	Line number. (e.g. 17). .	Clause/ Subclause. (e.g. 3.1). .	Paragraph/ Figure/ Table. (e.g. Table 1). .	Comments. .	Proposed change. .	Observations. .
-------------------------	------------------------------------	---	---	----------------	-----------------------	--------------------

Name/Line Number/Clause/Paragraph/Comment/Proposed Change/Observation

図 2.3.2-4 Comment_Sheet 項目

2.3.2.2.3.2 IEEE P2401-WG (LPB フォーマット) 国際会議活動履歴

上記 Draft 審議内容に従って、IEEE P2401-WG 国際会議を以下の日程および内容で実施。会議は米国と日本を繋いでの Conference Call で実施。

今年度は計 8 回の国際会議を実施。内容概略について以下に記す。

■第一回 IEEE P2401-WG 国際会議 (2014/4/25)

＜内容＞

IEEE での LPB フォーマットの標準化活動が承認されての最初の会合であり、標準化活動が正式に Kick Off した。

- ・メンバーの紹介および役割確認
- ・IEEE WG Policies and Procedures (P&P)の説明および承認
- ・Draft 作成について
- ・今後の計画について

■第二回 IEEE P2401-WG 国際会議 (2014/7/24)

＜内容＞

- ・First Draft (D1)は本会議にてオーソライズされた。
- ・まずはこの D1 に対するレビューを実施していく。
- ・レビューについては下記添付資料における” Comment_Sheet” を使って進めていく。
- ・JEITA 側から提案した IEEE P2401-WG の大日程は基本的には 3 か月毎に開催する案であったが、それでは間隔が長いということで、臨機応変に Small Meeting という形で議論する場を設ける。

■第三回 IEEE P2401-WG 国際会議 (2014/8/28)

＜内容＞

- ・Draft D1 に対する Comment_Sheet の作成
- ・Draft D1 の内容に対するコメントを JEITA 作成のコメントシートに記入し、IEEE CentralDesktop にアップロードする。納期は 9/18

■第四回 IEEE P2401-WG 国際会議 (2014/10/21)

＜内容＞

- ・D1 ステージから D2 ステージへの移行は承認された。
- ・D2 Draft に反映させる内容のアウトラインを作成し、IEEE P2401-WG メンバーにアナウンスする。(～11/6)
- ・次のミーティングまでに D2 Draft を完成する。(～12/4)

■第五回 IEEE P2401-WG 国際会議 (2014/12/4)

＜内容＞

- ・D2 Draft の内容について説明。D2 Draft は承認された。
- ・D2 Draft の内容に対するコメントを D2_Comment_Sheet に記載する。(～2015/1/5)
- ・RAMANUJA さん (Valeo 社)が IEEE P2401-WG メンバーとして新規参加する。

■第六回 IEEE P2401-WG 国際会議 (2015/1/8)

＜内容＞

- ・Draft D2 に対する Comment_Sheet の内容の確認および審議
- ・今回のコメントシート内容として、Mentor John Park 氏から 2 件、JEITA LPB-WG から 6 件がコメントとして提出され、その内容の説明および採用可否について審議が行われた。
- ・上記コメントについては継続審議項目も含めて承認された。
- ・F2F ミーティングは 3/4 Freemont Mentor Office にて開催決定。
- ・引き続き、D2 Draft の内容に対するコメントを D2_Comment_Sheet に記載する。（～2015/2/4）

■第七回 IEEE P2401-WG 国際会議(2015/2/5)

〈内容〉

- ・D2 ステージとして LPB フォーマットの実用化レベルでの具体的内容の審議
- ・今回のコメントシート内容として、前回提案された Mentor John Park 氏からの Encryption に関する継続審議案件 1 件、JEITA LPB-WG からの前回からの継続審議案件 1 件、新たな提案 12 件がコメントとして提出され、その内容の説明および採用可否について審議が行われた。
- ・F2F ミーティングは 2015/3/4 14:00-17:00 (P S T) Freemont Mentor office で開催されることが決定

■第八回 IEEE P2401-WG 国際会議(2015/3/5)

〈内容〉

本会合は IEEE P2401-WG における米国メンバーとの Face to Face ミーティングとなり、Freemont Mentor Office で開催された。日本からは P2401-WG Chairman 福場氏、Secretary 田中氏が参加。

- ・LPB フォーマットについての概要、メリット、事例等について説明
- ・Comment_Sheet 内容審議
- ・Draft D3 内容については本会議で承認。

2.3.2.3 国際標準化へ向けての今後の予定

IEEE P2401-WG 活動においては、現在 Draft D3 が承認され、Final Draft ステージに移行した。

Final Draft が承認されると、DASC (Design Automation Standard Committee) において Draft に対する Voting が行われ、その後 Sponsor Ballot へ移行し、最終ステップである RevCom Final へと進み、そこでの承認により IEEE 標準となる。

主なステップは以下のとおりである。

- ・Final Document Development/Final Draft Vote → 4/23
- ・DASC Vote → 5/B 予定

- ・ MEC and Sponsor Ballot Invitation
- ・ Sponsor Ballot
- ・ Recirculation 1 Ballot
- ・ Recirculation 2 Ballot
- ・ Submit to RevCom & Final Recirculation(if necessary)
- ・ RevCom Final → 12/7 予定

2.3.2.4 国際標準化 SWG 参加メンバー

表 2.3.2-1 LPB 相互設計国際標準化サブワーキンググループメンバー (2014 年度)

リーダー	大槻 隆志	株式会社リコー
メンバー	福場 義憲	株式会社東芝
同	田中 玄一	ルネサスエレクトロニクス株式会社
同	青木 孝哲	株式会社東芝
同	中川 裕之	富士通株式会社
同	大塚 育生	富士通株式会社
同	永野 民雄	ルネサスエレクトロニクス株式会社
同	岡野 資睦	株式会社東芝
同	川端 航	ソニー株式会社
同	富島 敦史	株式会社東芝

2.3.3 LPB 相互設計WG 標準化戦略サブワーキンググループ

2.3.3.1 目的

LPB 相互設計 WG で、LPB を統合的に扱う設計環境の実現に向け、その課題の分析をする中で、LSI、Package、Board の設計・解析で扱うツールが異なり、データフォーマットが異なること、さらに、Package、Board の設計・解析環境では、EDA ベンダ間でデータフォーマットが統一されていないため、必要情報が揃わない、設計・解析のセットアップに膨大な時間とリソースがかかる、結果が共用できない、といったことが明らかになった。

そこで、ツール間のデータフォーマットの統一を検討するサブワーキンググループを立ち上げ、①LPB 全体の管理、②接続記述、③部品・制約・端子情報、④設計ルール・材料特性情報、⑤解析用形状データのフォーマットを『JEITA LPB 標準フォーマット』として策定した。また、JEITA LPB 標準フォーマットの理解を深めるため、LPB 相互設計の一例として『Reference Flow』を定義、それぞれの作業の間でどのようなファイルの受け渡しが行われるか、および EDA 開発に使えるテスト用のデータとして『Golden Sample』を整備・拡充している。

サブワーキンググループは 2010 年度より継続して活動しており、

2010 年度 LPB 標準フォーマット Ver. 1.0

2011 年度 LPB 標準フォーマット Ver. 2.0

2012 年度 LPB 標準フォーマット Ver. 2.1

Golden Sample Ver. 1.0

2013 年度 Reference Flow Ver. 1.0

Golden Sample の拡充 (Reference Flow の途中段階のファイル作成)

としてリリースしている。

LPB 標準フォーマットは、2012 年度にリリースした Ver. 2.1 を基に IEEE P2401 で標準化を進めている。2015 年に標準化する上で、記述の見直しや追加要望に応じてフォーマットを修正、標準化へ提案するバージョンとしてまとめる必要がある。一方、Ver. 2.1 としてまとめる時点で課題として見送った機能があることや、Ver. 2.1 を策定した 2012 年度以降に、LPB フォーラムの参加者など LPB 相互設計 WG 外の方々からもご意見をいただいております、より実設計に使えるような工夫・発展を継続的に行う必要もある。そのため今年度は、他規格との連携・リエゾン活動を通じ意見収集を行い、

1. LPB 標準フォーマット Ver. 2.1 の標準化対応

IEEE P2401 での標準化活動に対応し、記述の見直しや追加要望に対する具体案を作成、標準化として提案するバージョンを策定し、Ver. 2.2 としてリリースする。

2. LPB 標準フォーマットの拡張案の検討

Ver. 2.1 を策定する際に見送った内容や、LPB フォーラム参加者など WG 外からいただいた意見要望を整理・検討し、Ver. 3.0 への対応案としてまとめる。

を目的に活動を行った。

2.3.3.2 活動内容

(1) LPB 標準フォーマット Ver. 2.1 の標準化対応 (Ver. 2.2 のリリース)

表 2.3.3-1 は LPB 標準フォーマット一覧を示す。LPB 標準フォーマットは、(1)プロジェクト管理 (M-Format)、(2)ネットリスト (N-Format)、(3)コンポーネント (C-Format)、(4)デザインルール (R-Format)、(5)ジオメトリ (G-Format) の 5 種類のファイルで構成されている。

表 2.3.3-1 LPB 標準フォーマット

フォーマット種別		概要	フォーマット書式
(1)プロジェクト管理	M-Format	LPB全体のファイル管理	XML (独自)
(2)ネットリスト	N-Format	ネット接続記述	Verilog-HDL (既存) ※電源・GNDはコメントで注記
(3)コンポーネント	C-Format	部品・制約・端子情報	XML (独自)
(4)デザインルール	R-Format	設計ルール・材料特性情報	XML (独自)
(5)ジオメトリ	G-Format	解析用形状データ	XFL Ver.1.0 (既存)

表 2.3.3-2 は、各フォーマットの Ver. 2.1 からの変更点をまとめたもので、Ver. 2.2 では(1)プロジェクト管理 (M-Format)、(3)コンポーネント (C-Format)、(4)デザインルール (R-Format) を見直している。(2)ネットリスト (N-Format)、(5)ジオメトリ (G-Format) については(提案不採用も含め)変更はなかった。

表 2.3.3-2 各フォーマットの Ver. 2.1 からの変更点

No.	Format	内容	Ver.2.2 対処
1	C-Format	単位系の見直し、及び単位にインチを許可する	⇒ 採用 長さの単位だけ許可、要素「distance」に値「inch」「mil」を追加、ただし、SI接頭辞は不可とする
2	C-Format	要素「padstack」の属性「type」の値「DIE_PAD」「BOND_PAD」を本文にあわせ修正するか	⇒ 採用 属性「type」を削除する
3	C-Format	モジュール内部に接続しないPortを許可する	⇒ 採用 要素「Port」の属性「type」に値「through」を追加
4	C-Format	リファレンスのformatにVHDLを追加する	⇒ 採用 要素「format」に値「VHDL」を追加
5	C-Format	リファレンスのformatに、ICEM対応として、XML記述自体をサポート、モデル種指定を追加する	⇒ 採用 属性「format」に値「XML」を追加 モデルの種類を指定するオプション属性「type」とその値「ICEM-CE」「ICEM-RE」「ICIM-CI」「ICIM-RI」を追加
6	C-Format	暗号化の機能を追加する	⇒ 採用 W3C勧告のXML Encryptionを用いることを適用例として追加
7	C-Format	要素「placement」がどの要素「module」に対するものなのか不明	⇒ 採用 最初の要素「module」が対象となる 本文に追記
8	M-Format	要素「class」の属性「log」が不要	⇒ 採用 属性「log」を削除する
9	R-Format	単位系の見直し、及び単位にインチを許可する	⇒ 採用 長さの単位だけ許可、要素「distance」に値「inch」「mil」を追加、ただし、SI接頭辞は不可とする
10	R-Format	要素「padstack」の属性「type」の値「DIE_PAD」「BOND_PAD」を本文にあわせ修正するか	⇒ 採用 属性「type」を削除する
11	R-Format	M-Formatで紐付けられたR-FormatのルールがC-Formatのどの要素「module」に適用されるのか不明	⇒ 不採用 全部に適用される 本文の変更なし
12	G-Format	PartのPinの形状指定の「padstackID」がオプション扱いとなっているが、必須項目にすべき	⇒ 不採用 解析ツール都合のため不採用

この内、No.5 C-Format の ICEM 対応については、現在 IEC で EMC モデルの標準化として取り組みが行われている「ICEM-CE」「ICEM-RE」「ICIM-CI」「ICIM-RI」に対応するものであり、ICEM-CE 自体は XML で記述された IC やパッケージのモデルである。LPB 標準フォーマットの内、コンポーネント情報を扱う C-Format に、外部モデルを参照し物理情報(端子)に紐付ける機能(リファレンス記述)があるため、そのリファレンス記述の対応フォーマットに XML を加えることで ICEM-CE を参照できるように修正を実施した。対応案と記述例を表 2.3.X-3 に示す。

表 2. 3. 3-3 ICEM 対応

C-FormatのリファレンスICEM対応
指定方法：format="XML" type="ICEM-CE"などを追加 port_pathに「XML Path Language」準拠で指定する 長所：XML形式であれば何でもOK、モデル種が増えてもLPBは対応不要 短所：指定が面倒、指定ミスのリスク大、LPBの記述変更(type追加)
<pre> <reference xmlns:xml="http://www.jeita.or.jp/LPB/xml" reffile="XXXX.xml" format="XML" type="ICEM-CE"> <connection socket_name="socket1" port_id="A1"> <xml:ref_port port_path="/Cemodel/Lead_definitions/Lead[@Id='1']" /> </connection> <connection socket_name="socket1" port_id="A2"> <xml:ref_port port_path="/Cemodel/Lead_definitions/Lead[@Id='2']" /> </connection> <connection socket_name="socket1" port_id="A3"> <xml:ref_port port_path="/Cemodel/Lead_definitions/Lead[@Id='3']" /> </connection> ... </reference> </pre>

なお、本修正案は、今年度の取組みとして行った他規格との連携・リエゾン活動「LPB-EMC-Nano 共同 LEN プロジェクト」において、JEITA-半導体部会-半導体製品技術標準化委員会-集積回路製品技術小委員会-半導体 EMC サブコミッティに、ICEM の紹介・内容説明、対応案の精査など、ご協力いただいている。

(2) LPB 標準フォーマットの拡張案の検討

表 2. 3. X-4 は Ver. 2. 1 策定時に見送った機能や、2012 年度以降 LPB フォーラムの参加者など LPB 相互設計 WG 外の方々からもご意見をいただいた意見要望を整理し、その対応案をまとめたものである。Ver. 2. 2 で対応・修正したものも含まれている。

表 2. 3. 3-4 Ver. 3 へ向けた拡張案

No.	Format	内容	Ver.3 対処
1	C-Format	frequencyの用途不明。 また、仕様の記述が、「概要」と「詳細」で合っていない (C-Formatの「概要」タブでは、<specification>内で定義されているが、「詳細」タブ内では、<socket>内で定義されている。	クロックを想定していて、PKG側に端子の出力情報として与えているだけ？ <specification>に入れた方が良い？ 入力としての制限であるならば設計制約に入れるべき？ 最終的な結論は先送り ⇒ 解決済み
2	C-Format	アナログ電源のリップル率など、電圧のmin/max以外の表現ができない	必要性含めて検討する ⇒ 採用 リップル率：出力の規格として(Portの属性)か、入力の許容値として(power_domainの属性)が検討要 恐らく出力、継続検討
3	C-Format	swappable の意味	port入れ替え(I/Oセル入れ替え)可能となる表記を検討する ⇒ 採用 swappableではなく、未決定を表す属性を追加 キーワードは継続検討
4	C-Format	KEEPOUT領域が指定できない	検討する (R-Formatも含めて) ⇒ 採用 要素moduleの中で定義する Keepoutの対象は継続検討
5	C-Format	差動信号のSkewを定義するとき、Groupでmax.を定義すると、Pos-Negどっちがどっちかわからない。PKG-PCBでの帳尻合わせをする場合 コントロールできない。	portの部分にskewを記載し、制約の部分は変えない というやり方はいかがか？ ⇒ 採用 portgroupに差動属性を追加、Pos/Negの属性も追加、指定する
6	C-Format	C-FormatにはLayer定義が無いため、Layer指定ができない - padstack の ref_shape - component の placement	部品内蔵等含めた対応を考える ⇒ 採用 要素mountに値「MIDDLE」追加、基準面からのz方向の順番の属性を追加、ユーザが値「正の整数（TOPとBOTTOMは外に向かって数字が大きくなる、MIDDLEはTOP側からの順番とする）」を指定する
7	C-Format	次の設計フェーズに移れるかなど、判断結果の記述「Fixed」「Locked」などのプロパティを付けるか	全フォーマット対象、エレメントに指定、下位エレメントを含む ⇒ 採用 キーワードは継続検討
8	C-Format	Portのアトリビュートに内部に接続しないスルーを追加	⇒ 採用 Ver.2.2で対応
9	C-Format	差動信号の専用定義	⇒ 採用 No.5と同じ
10	C-Format	Power_domainで電源とGNDのペアとして指定できない	⇒ 採用 power_domainを要素「power」「ground」に分け、それぞれに属性portと属性min/typ/maxを指定する 複数指定可とする
11	R-Format	Bonding Padを長円で表現できない	検討する ⇒ 不採用
12	R-Format	Die Pad層を三次元的に正しく表現できない	必要性含めて検討する ⇒ 不採用
13	R-Format	モールドの高さ定義が不明確	高さ基準を変更できるようにするか検討する ⇒ 不採用
14	R-Format	KEEPOUT領域が指定できない	検討する (C-Formatも含めて) ⇒ 採用
15	R-Format	bondingwire_def と ball_def で英語表記方法が異なる	機を見て見直す ⇒ 採用 対応済み
16	R-Format	デザインルールのエリア指定など、ユーザ由来と製造由来との区別 複数(ファイル)のエリア指定の場合の優先度	⇒ 採用 優先順位を付ける属性を追加する 値は正の整数（大きい方が優先） 省略可能、省略時は「default」エリアは「0」、それ以外のエリアは「1」とする 同値の複数ルールは包含のみ許し、狭い領域を優先とする 属性のキーワードは継続検討
17	N-Format	各端子がどの電源系に属しているかの記述	⇒ 採用 オプションとして指定可能にする 電源系は /* PG_NET=「domain」 */ で指示 「domain」はユーザ指定信号系に /* pow=「domain」 gnd=「domain」 */ で電源系を指定 pow、gndなどのキーワードは継続検討
18	M-Format	設計バージョンの履歴管理をフォーマット記述がサポートするか	⇒ 採用 セットを複数許可する、履歴を示す番号を追加 キーワードは継続検討

2.3.3.3 LPB-EMC-Nano 共同 LEN プロジェクト

LPB 標準フォーマットをより実設計に使えるような工夫・発展を継続的に行うため、今年度は、他規格との連携・リエゾン活動、意見交換の場として「LPB-EMC-Nano 共同 LEN プロジェクト」を開催した。図 2.3.3.3-1 に本プロジェクトの参加 WG/SC の構成を示す。

本年度は表 2.3.3-5 のとおり第 1 回～第 6 回の計 6 回開催した。

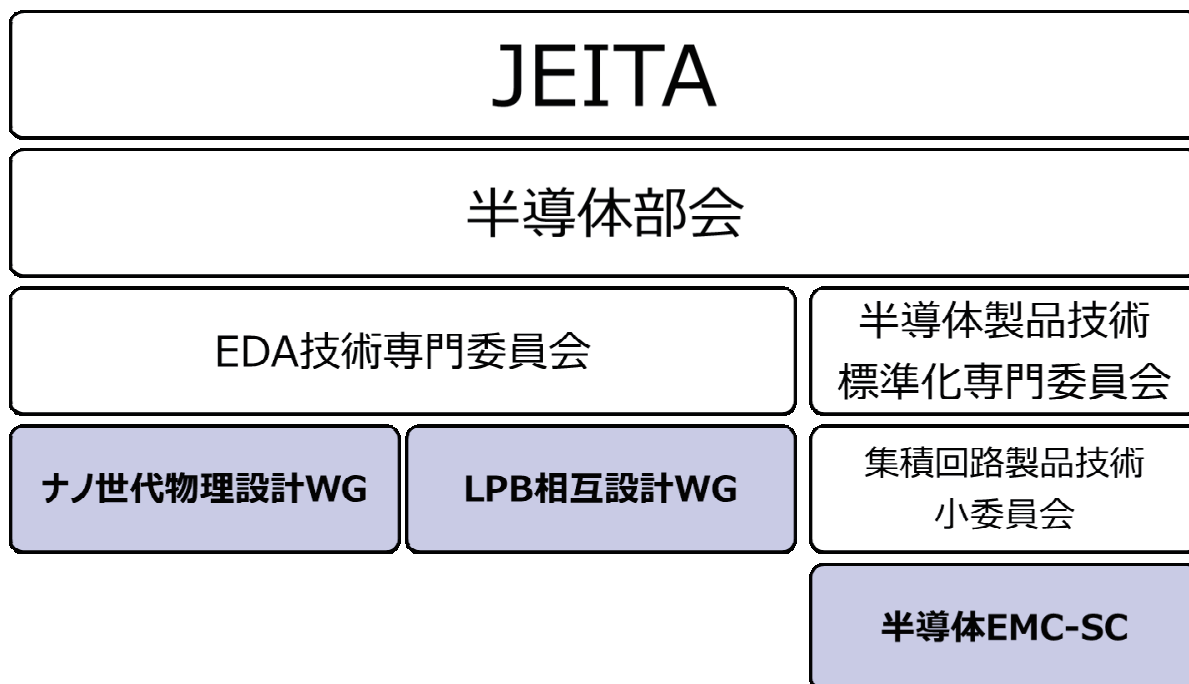


図 2.3.3-1 LEN プロジェクト構成 WG/SC

表 2.3.3-5 本年度に開催した LEN プロジェクト

	開催日時	会場	概要（LPB 関連）
第1回	2014/6/18	富士通 新横浜中央ビル	参加者：13 名 各 WG/SC の活動紹介。今後の進め方を議論した。
第2回	2014/7/30	富士通 新横浜中央ビル	参加者：15 名 活動の目標と成果を議論。ICEM について紹介いただいた。
第3回	2014/9/10	富士通 新横浜中央ビル	参加者：12 名 半導体 EMC-SC のモチーフを LPB フォーマットで解析した場合について検討した。
第4回	2014/10/30	富士通 野村不動産新横浜ビル	参加者：15 名 ICEM 対応の LPB フォーマット (C-Format) を提案。内容について議論した。
第5回	2014/12/19	富士通 新横浜中央ビル	参加者：13 名 ICEM 対応についての修正案を提案。内容を議論、確認した。
第6回	2015/2/10	日本ケイデンス 新横浜中央ビル	参加者：16 名 活動のまとめについて議論。

この活動を通じ、下記 2 点について検討、成果としてまとめた。

- LPB 標準フォーマットの IEEE P2401 での標準化で ICEM 記述を対応
ICEM 記述に対応するため、ICEM 記述の標準化の状況や、その内容について議論、対応

案の作成、精査を行い、標準化提案バージョンへ反映することが出来た。

- LPB 標準フォーマットの適用検証

LPB 標準フォーマットを設計に適用した場合、効率化されるかの検証のため、半導体 EMC-SC が行っている MP 法のシミュレーションをモチーフに、LPB フォーマットを用いて解析を実施した。また、その結果については、3 月 19 日に開催した LPB フォーラムで報告を行った。

2.3.3.4 参加メンバー

サブワーキンググループのメンバーは下記表 2.3.3-1 の通り。

2014 年度はこのメンバーで、サブワーキンググループを計 8 回開催した。(内、6 回は LEN プロジェクトと並行開催)

表 2.3.3-1 LPB 相互設計標準化戦略ワーキンググループメンバー (2014 年度)

リーダー	永野 民雄	ルネサスエレクトロニクス株式会社
メンバー	松村 宗明	富士通セミコンダクター株式会社
同	青木 孝哲	株式会社東芝
同	村田 和希	株式会社リコー
同	富島 敦史	株式会社東芝
同	林 靖二	キヤノン株式会社
同	川畑 航	ソニーLSI デザイン株式会社
同	大塚 育生	富士通アドバンステクノロジー株式会社
同	益子 行雄	日本ケイデンス・デザイン・システムズ社 ※1
同	人見 忠明	日本ケイデンス・デザイン・システムズ社 ※1
同	松澤 浩彦	株式会社図研

※1 期の途中で益子から人見に交代した。

2.3.4 LPB相互設計導入WG

2.3.4.1 目的

JEITA LPB 標準フォーマットを実際の設計現場で使用することで、フォーマットの成熟を図り現場レベルでの課題を明確にする。また各社のフォーマット使用開始を公開することで、業界全体のフォーマット流通性を図る。

2.3.4.2 活動内容

2.3.4.2.1 活動概要

昨年度までは WG 内でフォーマットを使った事例を作ることで LPB 相互設計の検証および普及活動を展開してきた。本年度は各社がフォーマットを使った設計を開始し、その進捗度合いおよび以下の課題を共有する活動を行った。

- ・フォーマットに課題があればフォーマット修正案の作成
- ・EDA ツールに課題があれば EDA ベンダーと折衝

上記課題を含め、各社がフォーマット使用を開始したことを 2015 年 3 月 19 日開催の第 6 回 LPB フォーラムで公開した。

具体的な活動内容

1. 各社、設計現場でのフォーマット使用開始の推進
2. 第 5 回 LPB フォーラム準備、開催
3. 第 6 回 LPB フォーラム準備、開催

チラシ、案内状作成、EDA ツールのフォーマット採用状況調査 など

2.3.4.2.2 各社、設計現場でのフォーマット使用開始の推進

各社 LPB フォーマットの使用状況は以下の通り。徐々にではあるが開始することができた。

社名	状況
東芝	数機種のみだが、G および C フォーマットの入出力を使った設計を開始。また R フォーマットを使った設計制約へ取り組みを開始。
キヤノン	Package, Board データ (評価用) を使用して、GemPackage で読み込み / 書き出しの確認を開始。
ルネサス	社内推進中。
富士通	社内推進中
ソニー	社内推進中。
半導体 EMC-SC コラボ企画	半導体 EMC-SC で CPM+Package+Board をつないで EMC の Simulation を実施している。同じモデルを用いて LPB フォーマットを使用した場合、Simulation の効率がどれくらい良くなるかの検証を実施した。

表 2.3.4-1 LPB 相互設計ワーキンググループ参加各社の LPB フォーマット使用状況

2.3.4.2.3 第5回 LPB フォーラム準備、開催

2014 年 9 月 5 日－2014 年 9 月 6 日の一泊二日でヴィラ箱根にて LPB 相互設計 WG の集中審議に併設して、第 5 回 LPB フォーラムを開催した。参加人数は 25 名。

目的は LPB フォーマットの勉強会。LPB フォーマットの概要説明から始め、各フォーマット (R, N, G, M) に対しそれぞれ講師を立てフォーマット構造について勉強した。その後、LPB フォーマットを扱っている EDA ツールを参加者全員の PC にインストールして試用し、設計フローを見立てて LPB フォーマットの理解を深めた。

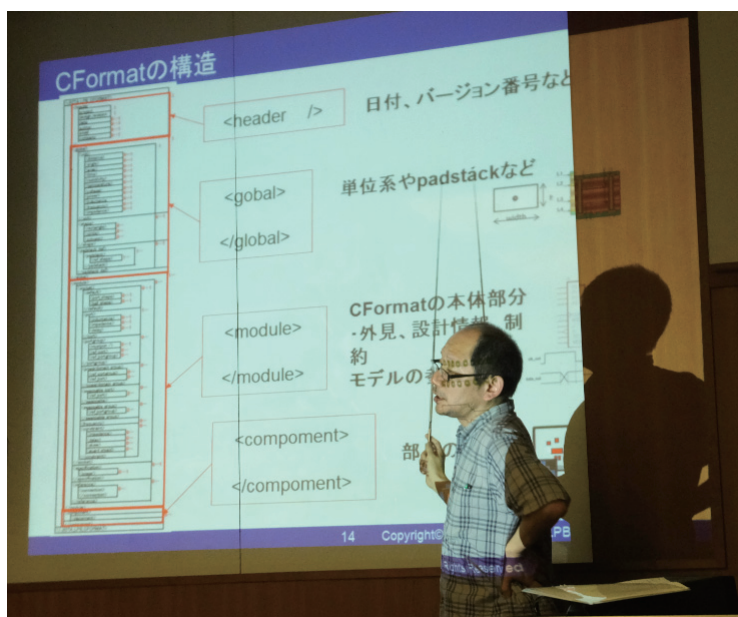


図 2.3.4-1 LPB フォーマットの勉強会風景

2.3.4.2.4 第6回LPB フォーラム準備、開催

- チラシ、案内状作成

告知するため、IBIS フォーラムなど各種展示会で配るための以下チラシを作成した。その効果もあり、参加希望者を 89 名集めることができた。

第6回LPB Forum開催

～LPBフォーマットの国際標準化と各社の活用事例～

これまでLPBフォーマットの仕様策定に取り組んで参りましたが、EDAツールへの採用も広がり、2015年には本フォーマットがIEEE/IEC国際標準化される予定です。本フォーラムでは各社活用事例も含め、最新情報をご紹介します。

日時：2015年3月19日(木) 14:00-17:00 (受付 13:30～)
懇親会 17:15～

場所：JEITA (大手町) 4F
〒100-0004 東京都千代田区大手町1-1-3 大手センタービル

参加方法：JEITA LPB相互設計WGホームページにて受付中
http://www.jeita-edatc.com/wg_lpb/home/lpb.html

参加費：無料

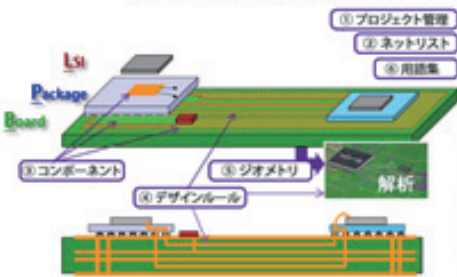
プログラム

第一部：LPBフォーマットの紹介と国際標準化の状況について

第二部：EDA採用状況(Mentor/図研/Gem Design/Ansys等)

第三部：各社の活用事例
(キヤノン/ルネサス/東芝/Sony/ JEITA-LEN等)





フォーマット種別	概要
①プロジェクト管理 M-Format	LPB全体のファイル管理
②ネットリスト N-Format	ネット接続記述
③コンポーネント C-Format	部品・制約・端子情報
④デザインルール R-Format	設計ルール・材料特性情報
⑤ジオメトリ G-Format	解析用形状データ



LSI・パッケージ・ボード相互設計ワーキンググループ
LSI-Package-Board

図 2.3.4-2 LPB フォーラムパンフレット

- EDA ツールのフォーマット採用状況調査

LPB フォーラム開催に先立ち、EDA 各社の LPB フォーマット採用状況を調査した。調査結果は以下の通り。本結果からアップデートのある EDA ベンダーに LPB フォーラムでその内容を発表して頂いた。

分類	ベンダ	ツール名	入力					出力				
			M	C	N	R	G	M	C	N	R	G
設計	図研	DesignForce		○	○				○	○		○
	GemDesign	GemPacakge		○	○	○	○		○	○	○	○
	Mentor	Xpedition										
	Cadence	Allegro										
	YDC	CADVANCE										○
	FIRST	START	△	○		△	○	△	○		△	○
	二ソール	CADLUS		△	△				△	△	△	△
解析	Ansys	Sentinel					○					○
		ANSYS ALinks for EDA					○					○
	Mentor	Nimbic	△				○					
		HyperLynx										
	Cadence	Sigrity										
	富士通	SignalAdvisor	○	○		○	○					
	Future Facilities	6SigmaET					○					
	MEL	S-NAP										
	OR テック	EMPIRE XCcel					○					

△：開発中

表 2.3.4-2 EDA 各社の LPB フォーマット採用状況

● 当日およびアンケート集計

当日は 89 名登録の内、参加者 70 名で出席率 79%であった。

アンケート集計結果(43 枚回収)、本フォーラム全般について概ね好評となる結果となった。

・大変参考になった	17 票
・参考になった	22 票
・あまり参考にならなかった	0 票
・参考にならなかった	0 票

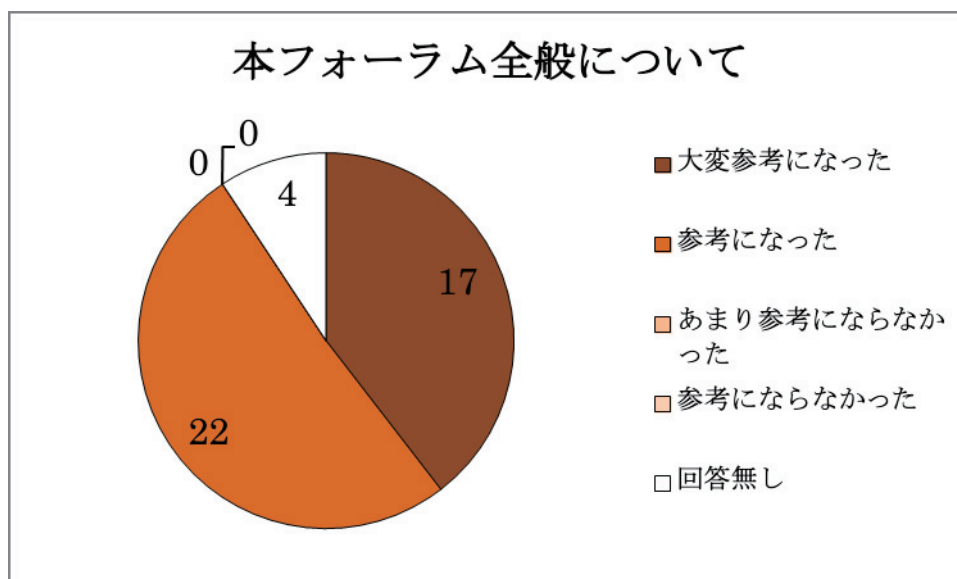


図 2.3.4-3 第 6 回 LPB フォーラムアンケート結果（フォーラム全般）

各プレゼンテーションについての集計結果は以下の通り。

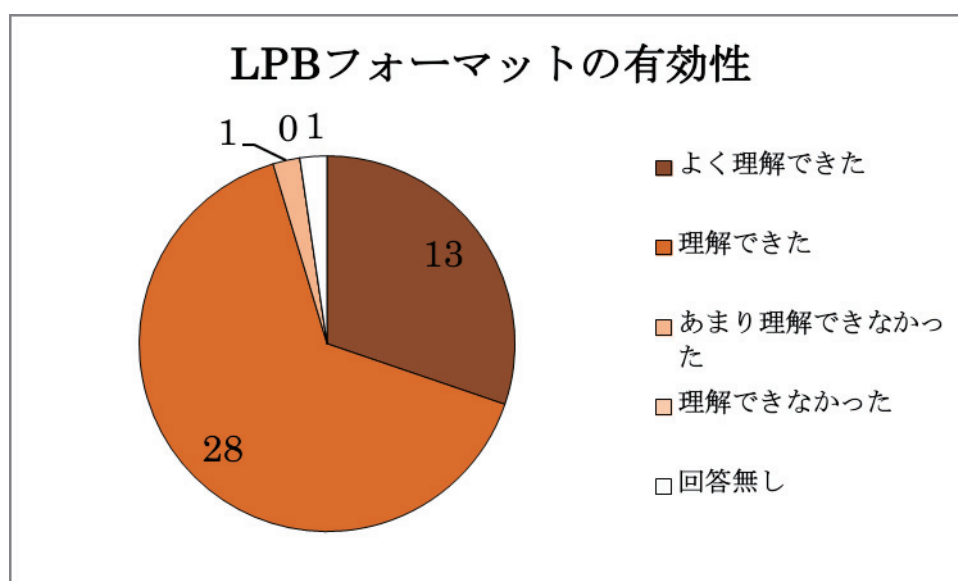


図 2.3.4-4 第 6 回 LPB フォーラムアンケート結果（LPB フォーマット有効性）

EDAベンダーのLPBフォーマット採用状況

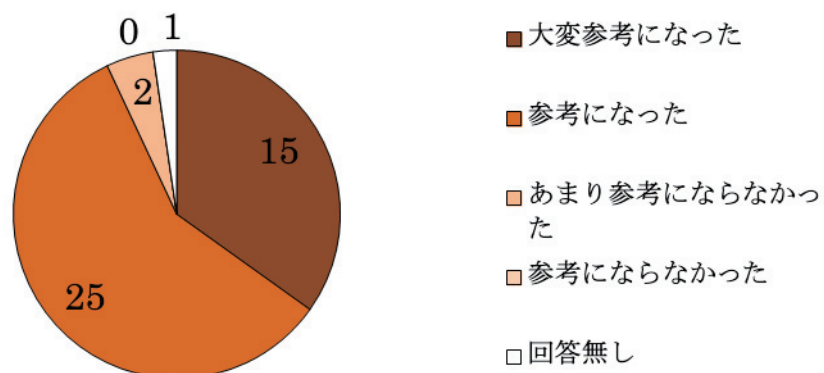


図 2.3.4-5 第 6 回 LPB フォーラムアンケート結果（採用状況）

LPBフォーマット活用事例

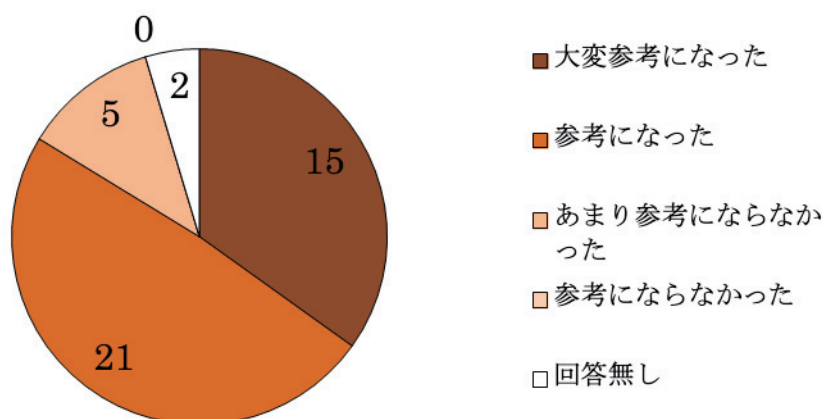


図 2.3.4-6 第 6 回 LPB フォーラムアンケート結果（活用事例）

3次元積層ICを用いたパッケージ熱設計

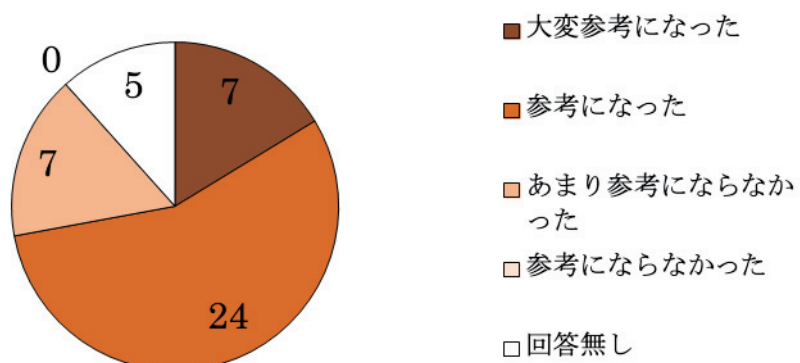


図 2.3.4-7 第 6 回 LPB フォーラムアンケート結果（熱設計事例）

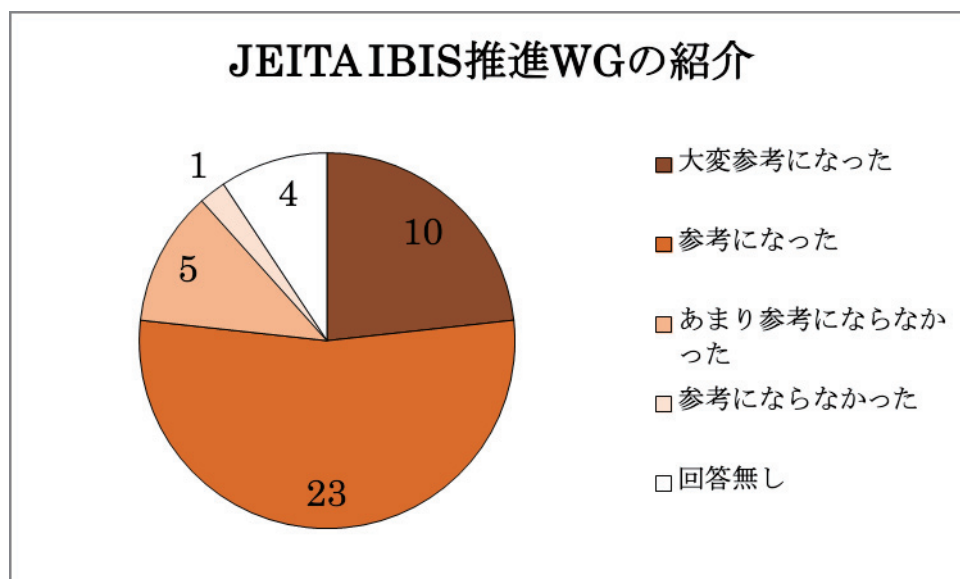


図 2.3.4-8 第 6 回 LPB フォーラムアンケート結果（IBIS 推進 WG 紹介）

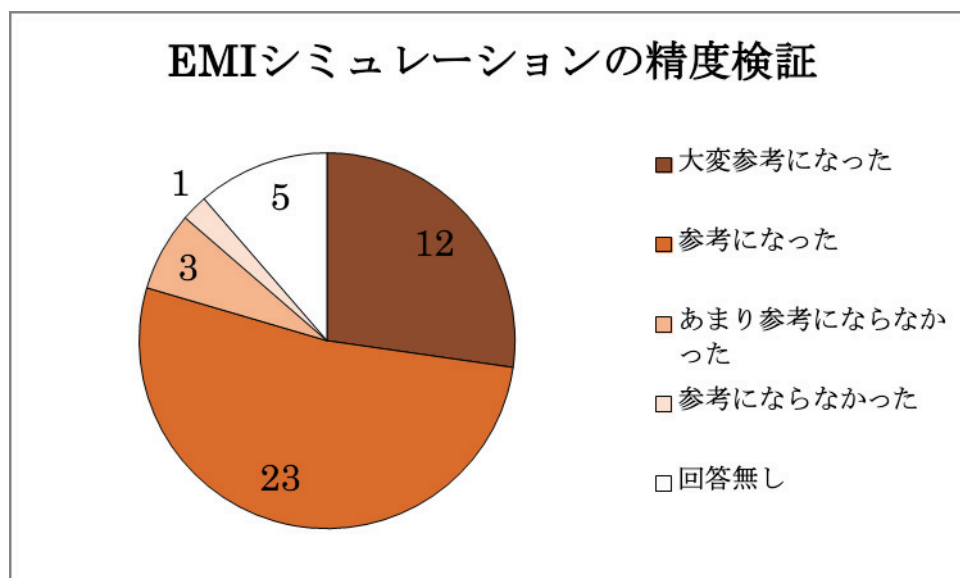


図 2.3.4-9 第 6 回 LPB フォーラムアンケート結果（EMC シミュレーション）

上記結果から、全てのプレゼンテーションにおいて聴講者に有益な情報を提供できた結果となった。

また次回も参加したいか聞いたところ、未回答者を除いて全てで前向きな回答となり、本フォーラムに対する期待度が高いことが分かった。

- | | |
|--------------|------|
| ・都合のつく限り参加する | 26 票 |
| ・内容によって判断する | 11 票 |
| ・多分参加しない | 0 票 |
| ・回答無し | 6 票 |

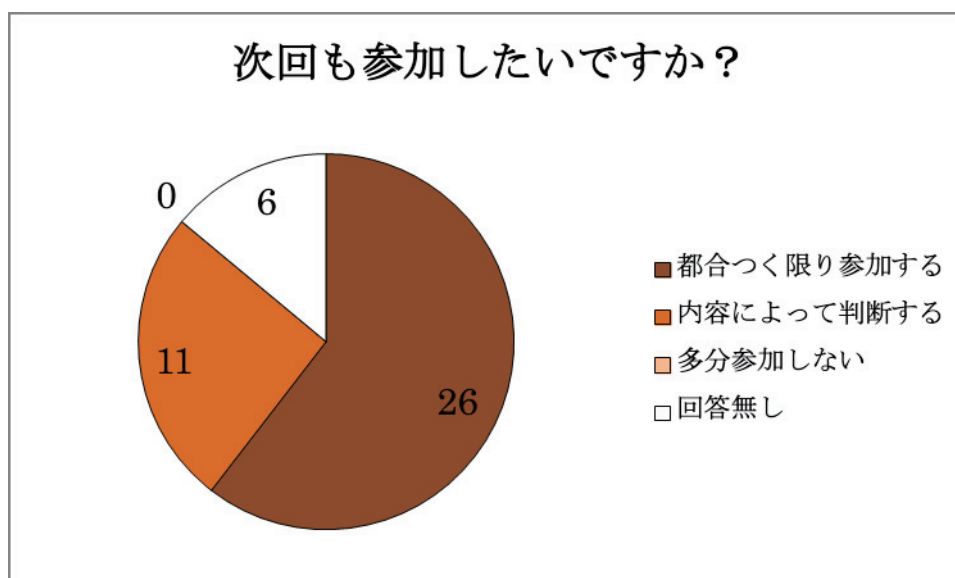


図 2.3.4-10 第 6 回 LPB フォーラムアンケート結果（次回参加意思）

最後の質問で、何を次回のフォーラムで取り上げて欲しいか聞いた結果(複数回答可)、以下となり、多くの人が各社の LPB フォーマット活用事例を要求していることが分かった。本結果は来年度の活動テーマとして取り上げていく必要がある。

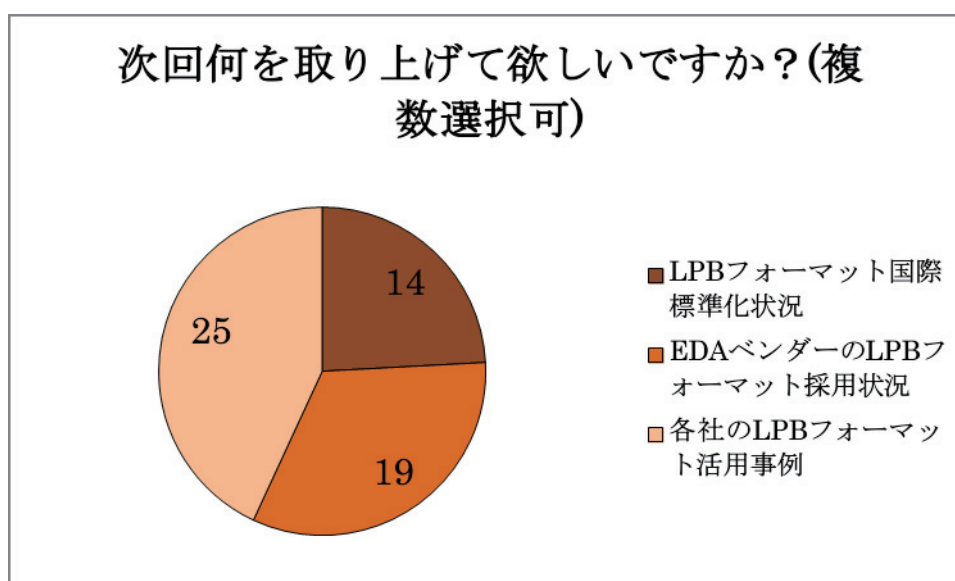


図 2.3.4-11 第 6 回 LPB フォーラムアンケート結果（次回内容）

2.3.4.3 相互設計導入サブワーキンググループメンバー

表 2.3.4-3 LPB 相互設計導入サブワーキンググループメンバー

役割	名前	会社
リーダー	岡野 資睦	(株)東芝
メンバー	中川 祐之	富士通 VLSI (株)
同上	村井 裕典	キヤノン(株)
同上	濱田 誉人	ソニーLSI デザイン(株)
同上	永野 民雄	ルネサスエレクトロニクス(株)
同上	徳永 真也	パナソニックセミコンダクターソリューションズ(株)
同上	古賀 一成	(株)図研
同上	折原 広幸	富士通アドバンステクノロジー(株)
同上	澤田 修	メンター・グラフィックス・ジャパン(株)

以上

添付資料

4.2.1 部品内蔵基板とこれを支える設計技術動向 発表資料

4.2.2 DAC IBIS Summit, San Francisco, CA 発表資料

4.2.3 IEEE P2401 Face to Face meeting Mar. 4th, 2015 発表資料

2.4 LPB-EMC-Nano 共同 LEN プロジェクト

2.4.1 LPB-EMC-Nano 共同 LEN プロジェクト活動報告

2.4.1.1 LEN プロジェクトの意義

2.4.1.1.1 これまでの取組み

半導体は、家電製品や情報端末だけでなく、自動車、医療機器などにも搭載され、今や、社会基盤にはなくてはならないものになっている。更に、クラウドのような高度情報化社会、エコ社会を実現するために、高信頼性、低消費電力といった高付加価値をもつ半導体製品の提供が求められている。一方で、高付加価値の実現と追求のために、高集積化や微細化が進み難易度が上がっているデバイス開発、低消費電力化や低ノイズ化などシステムへの要求増、それらを実現するための全体の最適化を考慮した効率的なシステム設計、解析技術など困難な課題を解決することが求められている。そのような状況で、JEITA-半導体部会-半導体技術委員会の下、それぞれの分野で個別の活動を行っている。

LSI-パッケージ-ボード相互設計(以下 LPB)WG では、

LPB 個々の最適化ではセット全体の最適化を実現するのは難しくなり全体を見越した設計が求められる。LPB がうまく連携できる仕組みが必要であり、設計最適化の課題を整理し、設計効率を向上させる標準化を行うことを目的としている。

- LPB が協力しあって設計を行うための課題を抽出しその分析を行いソリューションの提案を行う
- 具体的には LPB 全体での接続記述、形状情報、解析設定条件に着目し、それらの定義や書式等の標準を開発する
- 標準化提案内容は公開し普及を図る
- これにより日本のエレクトロニクス製品の国際的競争力を高めることを目標とする

半導体 EMC(以下 EMC)-SC では、

電子機器の EMC 対策は、搭載 LSI の高速化・高集積化・高機能化等により年々難しくなっている。(製品レベルでは) 対策部品の追加や回路基板の再設計といった機器開発・製造コストを押し上げる要因となっており、この対策の一つとして LSI 間の比較も試みられるようになっている。半導体 EMC に関する標準規格(IEC 61967/62132/62215/62433、等)の策定に関する活動を通し、以下の内容を実施することを目的としている。

- 国際電気標準会議(IEC)技術委員会(SC47A/WG2、WG9)への参画と標準規格への国内意見の反映
- LSI 特性が機器の EMC に及ぼす影響についての正しい理解
- 標準規格を正しく運用するために必要な技術・基準の明確化
- 標準規格を利用するメリットの明確化
- 標準規格適用限界の明確化
- 国内外における EMC シミュレーションのニーズ把握と対応ツールの開発動向把握

ナノ世代物理設計(以下 NPD)WG では、
ナノメータ半導体デバイス・配線テクノロジーの実用化に伴い、新たな設計上の課題が顕著になってきている。設計手法や設計情報を標準化し、設計環境の開発・サポートコストを削減、EDA ツール間あるいは半導体ベンダと顧客との間の情報授受を有効かつ効率的におこなうことが重要になってきている。より効率的な設計環境の実現に貢献することを目的としている。

- ナノ世代テクノロジーノードにおける、LSI の物理設計・検証に関する参加各社の共通課題の抽出、および解決手法の提案
- 半導体ベンダとその顧客との間でやり取りするライブラリや設計情報等を規定する、設計ルール・ガイドラインの作成
- LSI の物理設計、検証手法の精度、互換性や効率を向上できるライブラリ・設計情報フォーマットの標準化
- 各種ライブラリを用いて行う検証が十分な精度で行えるかを判定するための標準ベンチマーク・データの作成

に取り組んでいる。

2.4.1.1.2 それぞれの取組みでの課題

このように、微細化や高集積化が進むデバイス開発の効率化、EMC ノイズ解析の高精度化、システム全体の最適化設計の効率化など、個々の活動を進める中で以下のような課題に直面している。

LPB 相互設計 WG :

LPB 標準フォーマットはチップやパッケージのモデルには踏み込まず、それを用いるための接続定義、解析条件などのデータについて標準化を進めている。そのため、モデルにどんなものがあるか、何を表現しているのか、それを用いた解析のリファレンスとなる測定動向や原理については不明点が多い。

半導体 EMC-SC :

EMC の実測とシミュレーションの比較は行っている、シミュレーションに用いるチップモデルは協力者から入手しているため、モデル自身の作り方は不明。実設計でのモデルの使われ方、設計フェーズ、提案された規格の運用上の課題、設計的視線での評価などができていない。

ナノ世代物理設計 WG :

チップモデルの作成方法や抽出方法について検討しており、モデルの精度についてグレードのランク付けの規格化など検討したいが、モデル自身やシステム全体での精度の情報がない。

2.4.1.1.3 期待される効果

それぞれの取組みの中で発揮される専門性や知見による強みが、他取組みでの課題を補完できる関係にある。その関係を図 2.4.1-1 に示す。

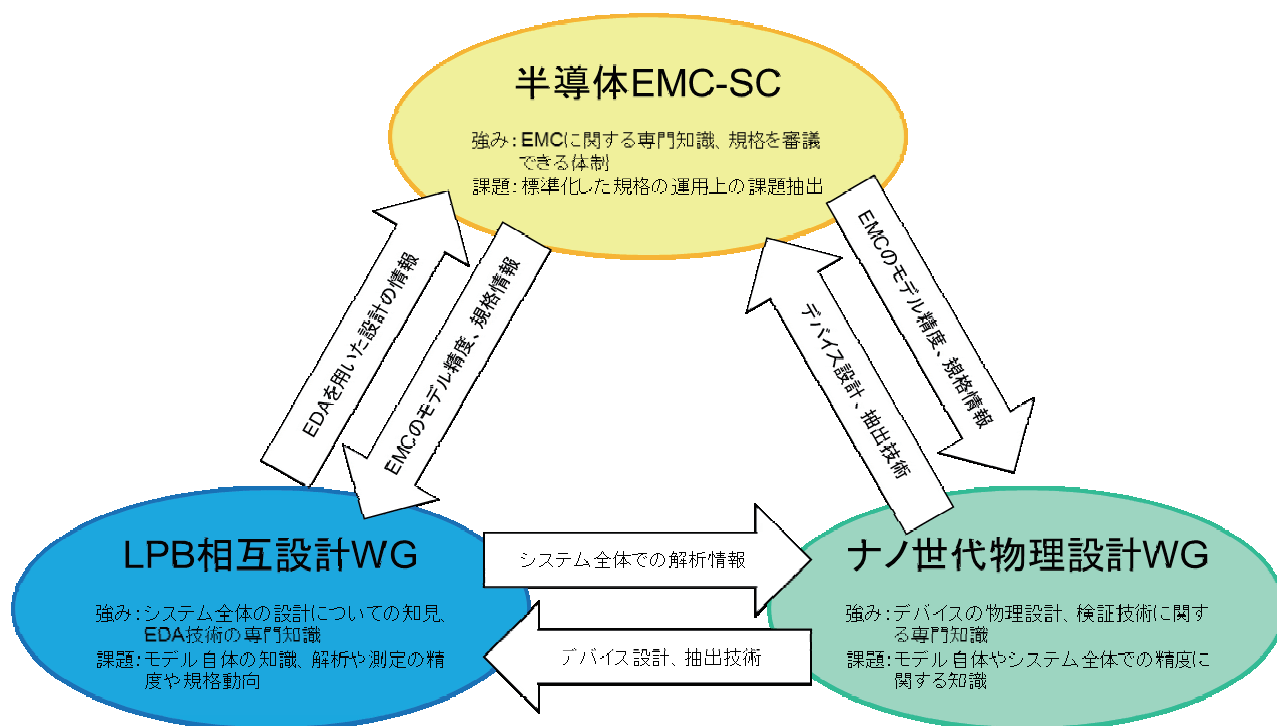


図 2.4.1-1 取組みごとの強みと課題の補完関係

2.4.1.2 LEN プロジェクト活動

2.4.1.2.1 構成メンバー（表）

LPB 相互設計 WG 主査 : 福場 義憲 株式会社東芝
 半導体 EMC-SC 主査 : 林 靖二 キヤノン株式会社
 ナノ世代物理設計 WG 主査 : 赤嶺 武一郎 富士通セミコンダクター株式会社

氏名	JEITA 組織	所属	子会社
福場 義憲	LPB	株式会社 東芝	
永野 民雄	LPB	ルネサスエレクトロニクス 株式会社	
松村 宗明	LPB	富士通 株式会社	富士通セミコンダクター株式会社
村田 和希	LPB	株式会社 リコー	
大塚 育生	LPB	富士通 株式会社	富士通アパーステクノロジー株式会社
青木 孝哲	LPB	株式会社 東芝	
川畑 航	LPB	ソニー株式会社	ソニーLSI デザイン株式会社
門田 和博	LPB	メンター・グラフィック・スジャパン株式会社	
人見 忠明	LPB	日本ケイデンス・デザイン・システムズ社	
松澤 浩彦	LPB	株式会社 図研	
林 靖二	EMC	キヤノン 株式会社	
富島 敦史	EMC	株式会社 東芝	

山本 浦瑠那	EMC	富士通 株式会社	富士通 VLSI 株式会社
土居 直史	EMC	ルネサスエレクトロニクス 株式会社	
市川 浩司	EMC	株式会社 デンソー	
石川 靖之	EMC	株式会社 デンソー	
稲垣 亮介	EMC	ローム 株式会社	
和田 修己	EMC	京都大学	
赤嶺 武一郎	NPD	富士通 株式会社	富士通セミコンダクター株式会社
金本 俊幾	NPD	ルネサスエレクトロニクス 株式会社	
長谷川 尚	NPD	ソニー 株式会社	ソニーLSI デザイン株式会社

表 2.4.1-1 LEN プロジェクトメンバー

2.4.1.2.2 活動内容

活動は計 6 回開催した。それぞれの課題に対し、それぞれの役割における検討結果の報告や討議を行った。また、本活動をそれぞれ所属する WG/SC へ報告し情報の共有と展開を行った。

開催日程

6 月 18 日（第 1 回）

7 月 30 日（第 2 回）

9 月 10 日（第 3 回）

10 月 30 日（第 4 回）

12 月 19 日（第 5 回）

2 月 10 日（同第 6 回）

- 本年度、3 組織の頭文字をとり「LEN プロジェクト」と命名し活動を開始
- 本活動は初年度ということもあり、部分的な取り組みながら以下の成果を得た
 - ・各活動の課題の共有と、組織外からの意見や解決へのアプローチを検討、更に半導体 EMC-SC からの評価データの提供により、具体的な設計データを基にした議論が可能な場を得た
 - ・実測データに基づくチップモデルの精度検証を実施
 - EMI ノイズ簡易シミュレーション回路を提案、LPB の各要素がどのような周波数帯に影響を与えるか調査し、実測とシミュレーションのズレの要因解析を実施した
 - ・LPB 標準フォーマットの IEEE P2401 での標準化で ICEM 記述を対応
 - IEC で標準化が進んでいる EMC チップモデル記述の ICEM-CE などの情報展開、LPB 標準フォーマットへの組込みについて議論し、IEEE P2401 提案に反映した
 - ・LPB 標準フォーマットの適用事例を検証
 - 半導体 EMC-SC が行っている MP 法のシミュレーションをモチーフに、LPB 標準フォーマットの適用検証を実施、C-Format、N-Format を用いた解析で人為ミスの低減、工数が 2/3 となることを確認した
- 上記成果を、LPB 相互設計 WG が主催する第 6 回 LPB フォーラムで LEN プロジェクトの活動報告として実施（3 月 19 日開催）
- 年間を通じた活動で、新たに組織の枠を超えた横断的な活動を行うことに意義があるとの結

論を得た

各活動の詳細は各 WG/SC の項目を参照。

2.4.1.3 今後の課題と活動方針

LEN プロジェクトとして、JEITA-半導体部会-半導体技術委員会内の組織の枠を超えた活動が実現できたことは意義があったといえる。しかしながら本年度は、活動の初年度ということもあり、半導体 EMC-SC とナノ世代物理設計 WG 間での実測データに基づくチップモデルの精度検証や、同 SC と LPB 相互設計 WG との間での LPB 標準フォーマットの ICEM 対応、適用事例検証など 2 者間での部分的な協業にとどまった。それぞれの取組みも成果はあったものの、課題を残している状況である。

来年度以降、活動を継続し課題の解消を図る必要がある。また、解決すべき課題の複雑化に対応し、更に大きな連携の輪へ広げ、活動を展開していかなければならない。

3. 各種イベント（主催／協賛）報告

3.1 ASP-DAC 2015

3.1.1 はじめに

Asia and South Pacific Design Automation Conference (ASP-DAC) は、VLSI およびシステム LSI の設計技術や設計自動化技術をテーマにしたアジア太平洋地域での最大規模の国際会議である。ASP-DAC は米国で開催されるこの分野のトップ・コンファレンスである Design Automation Conference (DAC)、International Conference on Computer Aided Design (ICCAD) や欧州で開催される Design, Automation and Test in Europe (DATE) とはシスター・コンファレンスの関係にあり、お互いにリエゾンを交換して協力関係を持っている。

ASP-DAC は、電子情報通信学会や情報処理学会などの学会だけでなく、電機メーカおよび半導体メーカの業界団体である JEITA（会議開始当時は EIAJ）と EDSF（会議開始当時は EDAT）の支援のもとで 1995 年に開始された。業界団体である JEITA が ASP-DAC のような国際会議の支援を行っているのは、次のような理由による。電機メーカや半導体メーカが国際競争力のある電子製品の開発を行うためには、マーケティングや製品企画だけでなく、大規模・高機能・低消費電力のシステム LSI の最適設計を短期間で行える設計力を持つ必要がある。そのためには、最新の設計自動化技術についての情報収集と研究開発を行う必要がある。一流の国際会議を国内で開催することにより、わが国からより多くの技術者と研究者が参加して最先端の設計技術および設計自動化技術についての情報収集、情報交換などを行うことが可能になる。

3.1.2 会議の開催経緯

ASP-DAC の第 1 回目の会議は 1995 年 8 月 30 日から 9 月 1 日にかけて幕張メッセの日本コンベンションセンターで、情報処理分野の国際学会である International Federation on Information Processing (IFIP) の TC10 WG10.2 および WG10.5 に属する CHDL および VLSI という名称の 2 つの国際会議と並列開催の形で開催された。第 2 回目は 1997 年 1 月に開催され、それ以降毎年 1 月に開催されてきた。この間、1999 年には香港（中国）で、2002 年にはバンガロール（インド）でそれぞれ開催された。2007 年以降は、日本と国外で交互に開催するというローテーションで運営されている。今回の会議（ASP-DAC 2015）は 20 回目で、幕張メッセ（千葉市）で 1 月 19 日（月）から 1 月 22 日（木）の日程で開催された。

3.1.3 ASP-DAC 2015 の概要

ASP-DAC 2015 の概要を表 1 に示す。一般講演としては、27 カ国から投稿された 318 編の論文の中から 106 編が採択され、3 日間にわたって並列の 4 つのトラック、26 のセッションで発表された。表 1 からわかるように、論文の投稿数については前回シンガポールで開催された ASP-DAC 2014 より若干少ない 318 件であり、論文の採択率は前回とほぼ同じ 33%と、この分野での他の国際会議（DAC、ICCAD、DATE）とほぼ同じ水準を維持している。これまでどおり、ASP-DAC は名実ともに一流の国際会議であると評価できる。

基調講演のタイトルと講演者を表 2 に、特別セッションのタイトルを表 3 に、デザイナーズ・フォーラムのタイトルを表 4 に、有料チュートリアルのタイトルを表 5 に示す。

発表された論文の中から、表 6 に示す 1 件の論文に Best Paper Award が授与された。また、10 年前の ASP-DAC 2005 で発表された論文の中から、引用件数など点からその後の研究に最も影響を与えた論文として、表 7 に示す 1 件の論文に 10-Year Retrospective Most Influential Paper Award が授与さ

れた。また、デザイン・コンテストに応募した作品の中から、表 8 に示す Best Design Award および Special Feature Award がそれぞれ 1 件選ばれて表彰された。学生フォーラムは 2012 年を最後に中断していたが、今回は新たに ACM SIGDA が主催となって実施された。

表 1: ASP-DAC 2013、2014、2015 の比較

開催年	2013 年	2014 年	2015 年
日時	2013 年 1 月 22 日 (火) ～25 日 (金)	2014 年 1 月 20 日 (月) ～23 日 (木)	2015 年 1 月 19 日 (月) ～22 日 (木)
会場	横浜市 (日本) パシフィコ横浜	シンガポール Suntec Convention & Exhibition Centre	千葉市 (日本) 幕張メッセ
論文投稿数	311	343	318
論文投稿国 (地域) 数	29	29	27
論文採択数 (採択率)	97 (31%)	108 (31%)	106 (33%)
キーノート アドレス	3 件	4 件(うち 1 件は Banquet Keynote)	3 件 (表 2 参照)
一般講演	25 セッション (97 編)	26 セッション(108 編)	26 セッション(106 編)
特別セッション (招待講演等)	6 セッション	9 セッション	5 セッション (表 3 参照)
デザイン・ コンテスト	1 セッション	1 セッション	1 セッション
学生フォーラム	---	---	20(火)夜に実施 (ACM SIGDA 主催)
有料チュートリアル	5 件 (2 時間 5 件)	8 件 (半日 8 件)	6 件 (表 5 参照) (2 時間 6 件)
デザイナーズ・ フォーラム	4 セッション (招待講演 2、 パネル討論 2)	---	4 セッション (表 4 参照) (招待講演 2、 パネル討論 2)

表 2: 基調講演

講演タイトル	講演者
The required technologies for Automotive towards 2020	Udo Wolz (Bosch Corporation, Japan)
Programmable Network	Atsushi Takahara (NTT Network Innovation Laboratories, Japan)
When and how will an AI be smart enough to design?	Noriko Arai (National Institute of Informatics, Japan)

表 3: 特別セッションのタイトル

種類	セッション・タイトル
招待講演	セッション 2S: Internet of Things
	セッション 3S: New Challenges and Solutions in Nanometer Physical Design
	セッション 4S: Machine Learning in EDA: Promises and Challenges in Selected Applications
	セッション 7S: The Future of Emerging ReRAM Technology
	セッション 9B: System-Level Designs and Tools for Multicore Systems

表 4: デザイナーズ・フォーラムのタイトル

種類	セッション・タイトル
招待講演	セッション 5S: Car Electronics
	セッション 8S: Technology Trend toward 8K Era
パネル討論	セッション 6S: Challenges in the Era of Big-Data Computing
	セッション 9S: IP base SoC design and IP design innovation

表 5: Tutorial のタイトル

トピック	種類	タイトル
1	2 時間	Ultra-low power ultra-low voltage design techniques in Fully Depleted SOI technologies
2	2 時間	Leading-Edge Lithography and TCAD
3	2 時間	Normally-Off Computing: Synergy of New Non-Volatile Memories and Aggressive Power Management
4	2 時間	Hardware Trust in VLSI Design and Implementations
5	2 時間	High-Level Synthesis for FPGAs: From Software to Programmable Hardware
6	2 時間	Electronic Design Automation for Nanotechnologies

表 6: Best Paper Award が授与された論文

論文タイトル・著者
1C-1: "Quantitative Modeling of Racetrack Memory, A Tradeoff among Area, Performance, and Power," Chao Zhang, Guangyu Sun, Weiqi Zhang (CECA, Peking University, China), Fan Mi, Hai Li (University of Pittsburgh, U.S.A.), Weisheng Zhao (Spintronics Interdisciplinary Center, Beihang University, China)

表 7: 10-Year Retrospective Most Influential Paper Award が授与された論文

論文タイトル・著者
"Thermal-driven multilevel routing for 3-D ICs," Jason Cong, Yan Zhang

表 8: デザイン・コンテストにて表彰された設計

種類	論文タイトル・著者
Best Design Award	1S-1: "An HDL-Synthesized Gated-Edge-Injection PLL with A Current Output DAC," Dongsheng Yang, Wei Deng, Tomohiro Ueno, Teerachot Siriburanon, Satoshi Kondo, Kenichi Okada, Akira Matsuzawa (Tokyo Institute of Technology, Japan)
Special Feature Award	1S-23: "Circuit and Package Design for 44GB/s Inductive-Coupling DRAM/SoC Interface," Akira Okada, Abdul Raziz Junaidi, Yasuhiro Take, Atsutake Kosuge, Tadahiro Kuroda (Keio University, Japan)

3.1.4 論文の投稿状況

2005年から2015年の、ASP-DACへの論文投稿数の地域別の推移を図1に示す。図1に示すように、ここ数年は、安定的に300件程度の投稿がある。名実ともに、ASP-DACは設計自動化分野の国際会議として定着したと言ってよいであろう。

表9に、日本からの論文投稿数の推移と、全世界から投稿された論文に占める割合を示す。日本からの論文投稿数が全体に占める割合は、ここ数年は10%弱である。論文投稿数が多かったのは、米国の74編（前回は96編）、中国の54編（前回は54編）、ドイツの30編（前回は19編）、日本の28編（前回は26編）、台湾の26編（前回は32編）であった。

図1 地域別論文投稿数

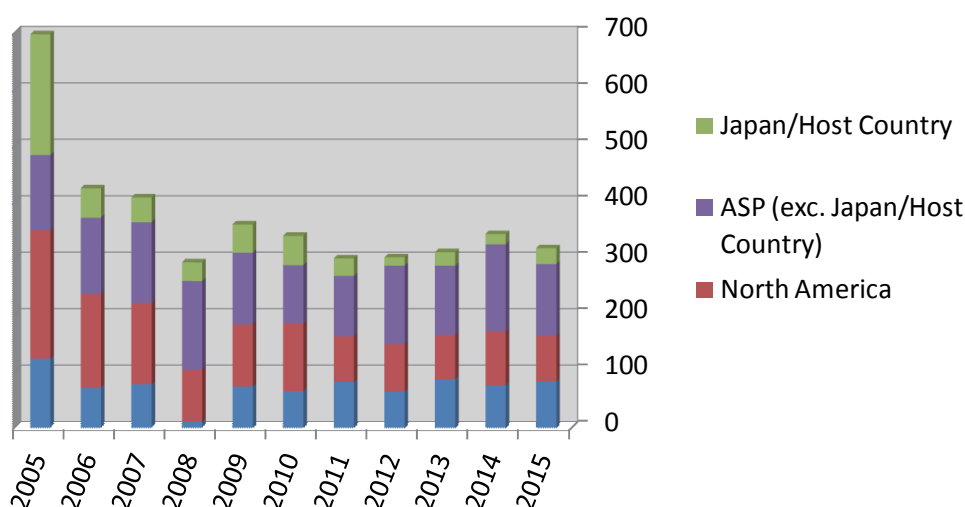


表9 日本からの論文投稿数と全体に占める割合

年 地域	'02	'03	'04	'05	'06	'07	'08	'09	'10	'11	'12	'13	'14	'15
日本 (割合)	24 (9%)	42 (18%)	36 (12%)	46 (7%)	51 (12%)	44 (11%)	31 (9%)	50 (14%)	33 (10%)	31 (10%)	24 (8%)	24 (8%)	26 (8%)	28 (9%)
全体	269	235	291	692	424	408	350	355	340	300	287	311	343	318

次に、研究分野別の論文投稿数および採択論文数を表10に示す。ASP-DAC 2015では、研究分野を18種類に分類して論文の査読と採否の決定を行った。今回論文投稿数が多かった分野は、分野1のシステムレベルのモデリングと設計手法、分野3のチップ内通信およびネットワークオンチップ、分野8のシステムレベル電源・温度マネジメント、分野10の組込みソフトウェア、分野11の物理設計、分野13の製造容易化および信頼性設計であった。

表 10: 分野別の論文投稿数と採択論文数

分野	研究分野	投稿数	採択数	採択率
1	System-Level Modeling and Design Methodologies	27	10	37.0%
2	Embedded System Architectures and Design	21	9	25.0%
4	System-on-Chip Architectures and Design	15		
3	On-chip Communication and Networks-on-Chips	24	7	29.2%
5	Device/Circuit-Level Modeling, Simulation and Verification	11	4	36.4%
6	Logic/Behavioral/High-Level Synthesis and Optimizations	20	6	30.0%
7	Analog, RF and Mixed Signals	13	4	30.8%
8	System-Level Power and thermal management	23	6	26.1%
9	Device/Circuit/Gate-Level Low Power Design	13	4	30.8%
10	Embedded Software	27	9	33.3%
11	Physical Design	23	8	34.8%
12	Timing and Signal/Power Integrity	11	5	45.5%
13	Design for Manufacturability and Reliability	28	10	35.7%
14	Test and Design for Testability	16	6	37.5%
15	Security [and Fault-Tolerant Systems]	16	6	37.5%
16	Emerging Technologies	12	4	33.3%
17	Emerging Applications I (Bio+nano+3D+quantum)	7	3	42.9%
18	Emerging Applications II (Energy+EV+IoT+Smart grid+Data center)	11	5	45.5%
	合 計	318	106	33.3%

3.1.5 参加者の内訳

ASP-DAC への地域別の参加者数の推移を図 2 に示す（チュートリアルのみ参加者を除く）。また、日本からの参加者の推移を表 11 に示す（日本開催時のみ）。今回の全参加者数は 422 名であった。前回（270 名）と比べると、参加者が増加した。開催地である日本からの参加者数は全体の 53% の 224 名であった。

図 2 地域別参加者の推移

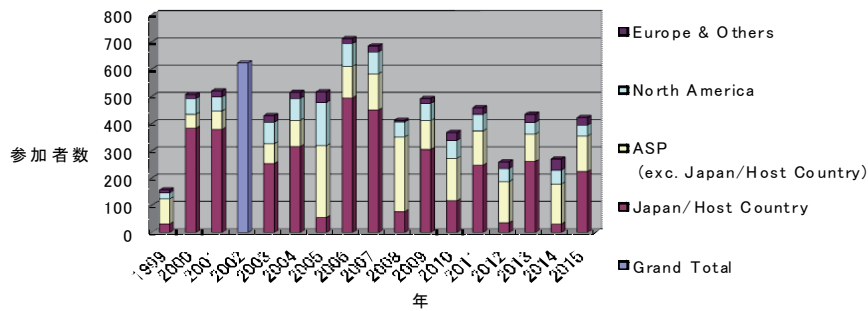


表 11: 日本開催年の日本からの参加者数と全体に占める割合
(チュートリアルのみ参加者を除く)

年 地域	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015
日本 (割合)	253 (59%)	316 (61%)	--	494 (70%)	450 (66%)	--	305 (62%)	--	247 (54%)	--	261 (60%)	--	224 (53%)
全体	429	515	516	708	685	412	492	367	458	259	434	270	422

3.1.6 今後の展望

ASP-DAC の今後の開催予定を表 12 に示す。引き続き、隔年で日本開催になる模様である。

表 12: ASP-DAC の今後の開催予定

年	開催予定地	開催時期	実行委員長
2016 年	マカオ (中国)	2016 年 1 月 25 日 (月) ~ 28 日 (木)	Rui Martins 氏 (University of Macau)
2017 年	幕張 (日本)	2017 年 1 月 16 日 (月) ~ 19 日 (木)	高木 直史氏 (京都大学)

4. 添付資料

ナノ世代物理設計ワーキンググループ 2014年度活動報告書

JEITA Nano Scale Physical Design Working Group

1

EMIノイズ解析

JEITA Nano Scale Physical Design Working Group

はじめに

- 背景
 - LSI設計において、高速IFに代表されるように高速化が年々進んでおり、ノイズ問題が深刻化している。今期はEMIノイズにFocusして検討を行った。
 - EMI設計においてLSI/Board/Package(LPB)協調は重要である。
 - LPB相互設計WG、半導体EMC-SC、ナノ世代物理設計WGが協力したLEN PJに参画して、調査を行った。
- その調査から得られた知見として、以下を紹介する
 - 1.EMIノイズ簡易Simulation回路系の提案
 - 2.EMI 実測-SIMずれの要因解析

JEITA Nano Scale Physical Design Working Group

3

背景

- LEN PJでのEMC-SCのEMI実測結果を活用、EMIノイズシミュレーションの精度検証を行った。その結果、ある周波数帯域においてSimulationと実測で合わないポイントが発生し、LSI/Package/Board Modelの視点から調査を行った。

まとめ

FUJITSU

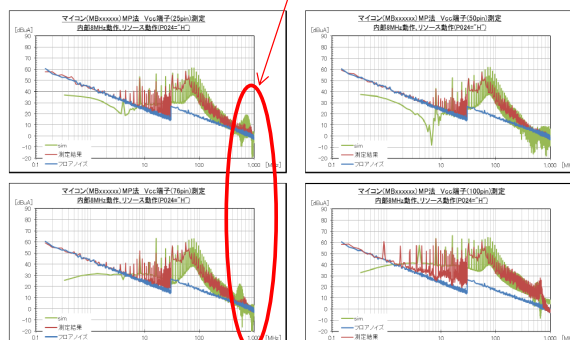
- マイクンをモチーフとした、MP法のSimulationと実測の相関調査を実施した。
 - 実測の放射ピークは、Simにより概ね再現できた
 - 実測結果に対して、多くの周波数帯域においてSim.が過剰放射する
- 電源供給線のモデリング有無による結果の比較を実施した。
 - 放射ピークにおいては、電源共有線モデルの有無による差がほとんど見られなかった
- Simulationでは25pinと76pinにおいて、500MHz,750MHz付近に実測では見られない共振らしき放射が観測された。
 - CPMの電流特性では、その周波数に特徴的なピークが見られないことから、電源系の共振に伴う放射が予想されるが、実測では観測されない原因については調査中。

Simulation結果(1)

電源供給線モデル有り

FUJITSU

ここに差分あり



・ピーク強度は、電源供給線モデル無しとの差異はほとんどなし。

[1]"140304_JEITA_MP法_実測相関_富士通VLSI_rev2.pdf", 半導体EMC-SC より抜粋

JEITA Nano Scale Physical Design Working Group

4

1.EMIノイズ簡易Simulation回路系の提案

JEITA Nano Scale Physical Design Working Group

背景

- MP法によるsimulationはCPM Modelを用い、3usのtransient解析を行う必要があるためruntimeが長く、効率よく解析が行えない。
- 容易に確認できる解析系を検討した。

提供物

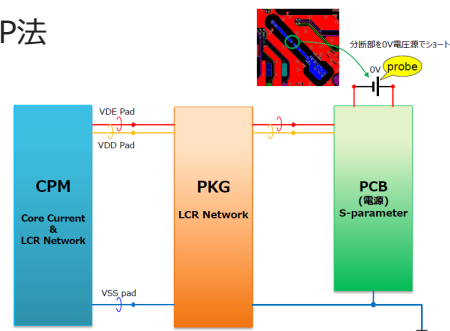
- LSIモデル一式(計5ファイル)
 - 動作モード①
DIE-Model_mode1/PowerModel.sp
PowerModel.sp.inc
 - 動作モード②
DIE-Model_mode2/PowerModel.sp
PowerModel.sp.inc
 - 電源/GNDのPKGモデル(.sp)
- MLF-100LQV18-NW_V10.sp
- LSIモデル仕様書[本書](計1ファイル)
 - LSIモデル仕様を説明した資料
- 130125_JEITA-LSIモデル仕様_rev1.0.pdf
- PKG CADデータ一式(計2ファイル)
 - DXFデータ
- LQFP100.dxf
 - Wire座標および材料特性値
- 座標関連_材料特性.xlsx

FUJITSU

Simulationモデル

FUJITSU

MP法



[1]"140304_JEITA_MP法_実測関連_富士通VLSI_rev2.pdf", 半導体EMC-SC より抜粋

JEITA Nano Scale Physical Design Working Group

6

EMIノイズ簡易Sim系の提案

- 各モデルの説明 (EMC-SCよりモデルを入手 [2])
 - DIE
 - Aparch社 Redhawkを使用して抽出したCPM model
 - Process = Typical , Voltage = 1.4V/5.0V , Temp = 27c
 - 回路動作条件 = vector , 回路動作時間 = 3us. 動作周波数 = 8Hz
 - “perform powermodel -wirebond -noglobal_gnd -pincurrent”で抽出
 - PKG
 - DIE Pad～PKG Pin間のRLC特性(相互LCも考慮)をsubckt化したモデル
 - PKG電気特性には、WireおよびLead Frameの特性が含まれる。
 - PKG電気特性抽出時には、PKGのみをモデリング。(LSI直下のBoard L1ベタプレーンは未考慮)
 - Tool : Ansoft Q3D Extractor 10.0.0
 - Board
 - S-Parameter
 - Tool : PowerSI 12.1.2.10304

※EMC-SCからMP法Simulation環境をご提供頂いた。

JEITA Nano Scale Physical Design Working Group

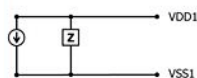
7

EMIノイズ簡易Sim系の提案

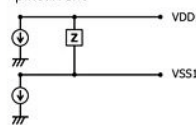
*生成CPM Options

*perform powermodel -wirebond -noglobal_gnd -pincurrent

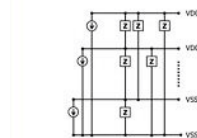
-nx 1 -ny 1



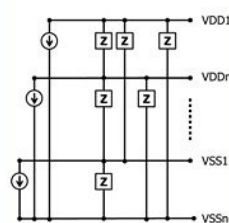
-nx 1 -ny 1
-pincurrent



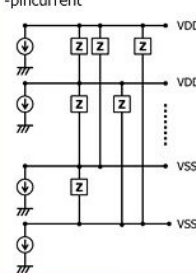
-wirebond
-emil
gsr> COUPLE 1
gsr> DYNAMIC_SOLVER_MODE 1



-wirebond



-wirebond
-pincurrent

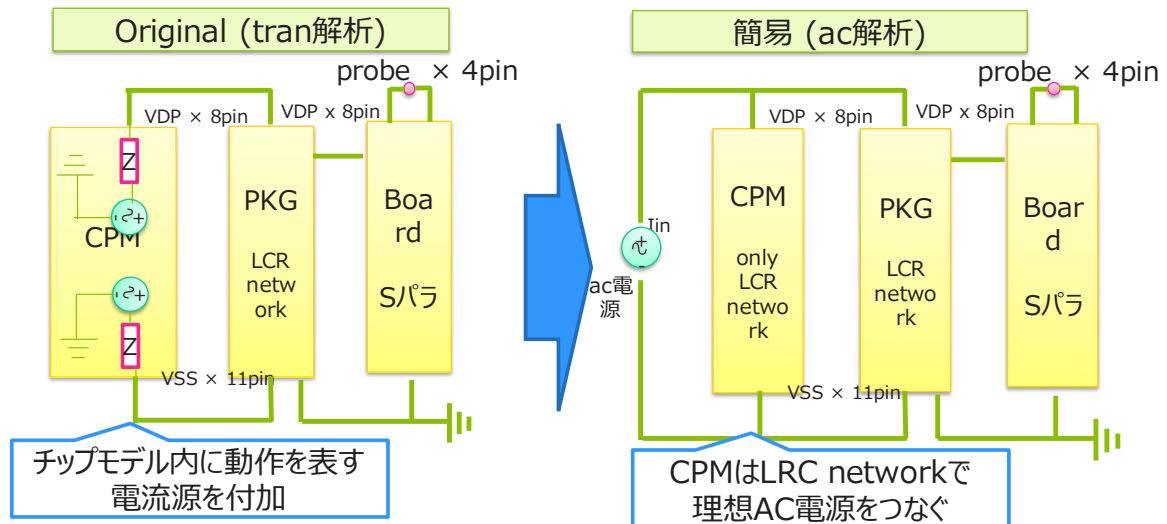


-noglobal_gndはdefault設定
→ -noglobal_gnd(default)
の場合は0 nodeを使わない。

JEITA Nano Scale Physical Design Working Group

EMIノイズ簡易Sim系の提案

- Point
 - AC解析にすることで高速化を図る。
 - 解析系インピーダンスの周波数特性を取得する。
 - 電流源の位置とProbe Point
- 以下簡易解析系を提案する。



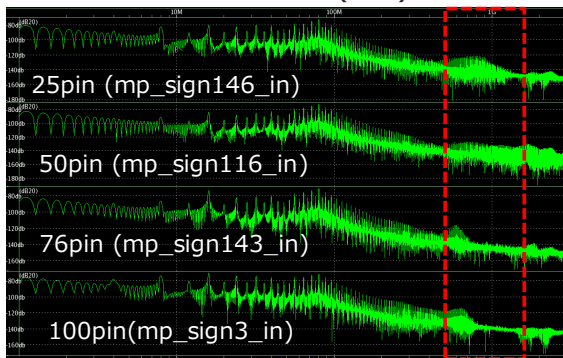
JEITA Nano Scale Physical Design Working Group

9

EMIノイズ簡易Sim系の提案

- MP法Simulation傾向と一致を確認。(実行時間 5min)

◇ MP法Simulation (数h)



◇ 簡易Sim (数min)

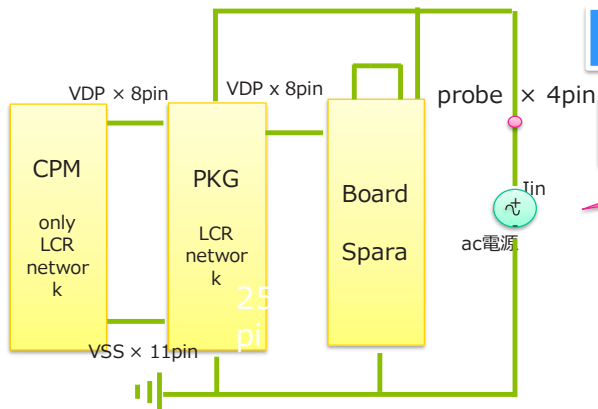


MP法simulationでの25/76/100pinに見られた700MHz付近の peakを簡易Simで再現！ 50 pinでpeakがないことを確認！

JEITA Nano Scale Physical Design Working Group

10

EMIノイズ簡易Sim系の提案

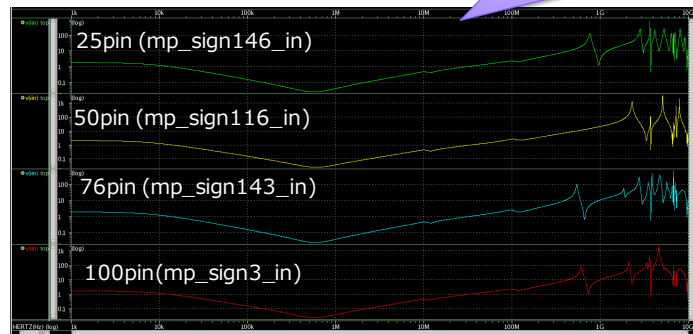


◇ 簡易解析系トライアル過程

ac電源をBoard側に配置した場合
CPM/PKGの特性が見えてこない。

数十MHz領域における本chipの
共振点での特性が見えていない。

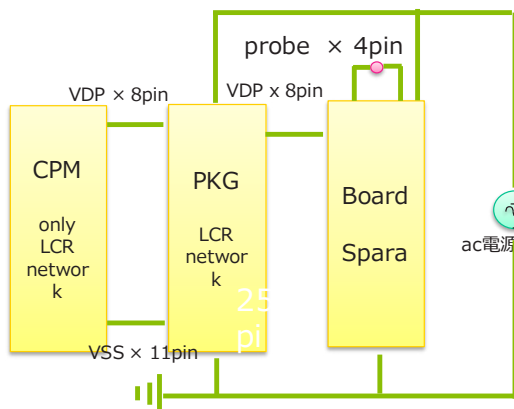
- ac電源はCPM側におくべき。



JEITA Nano Scale Physical Design Working Group

11

EMIノイズ簡易Sim系の提案

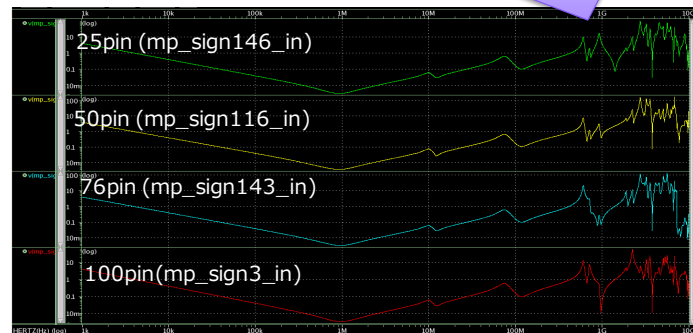


◇ 簡易解析系トライアル過程

ac電源をBoard側に配置した場合
CPM/PKGの特性が見えてこない。

700MHz付近のpeakが50pinに
も見えてしまっておりMP法
simulationと不一致

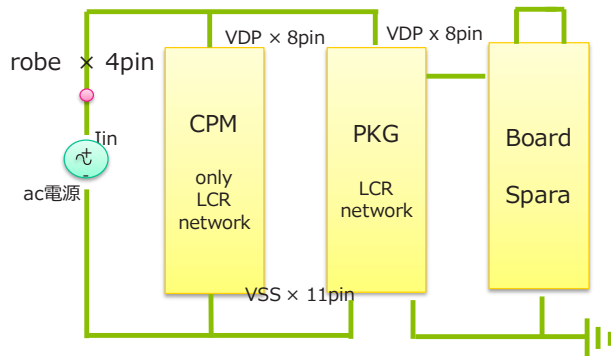
- ac電源はCPM側におくべき。



JEITA Nano Scale Physical Design Working Group

12

EMIノイズ簡易Sim系の提案

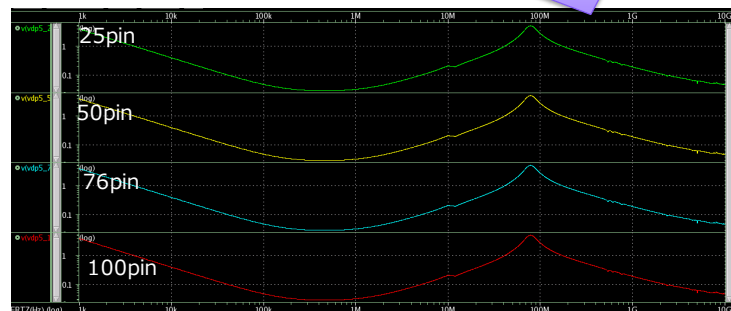


◇ 簡易解析系トライアル過程

probe pointをac電源に置いた場合 (loop Z)、Boardの影響が見えてこない

700MHz付近以降の特性が再現できていない。

- probeはBoard側に置くべき。



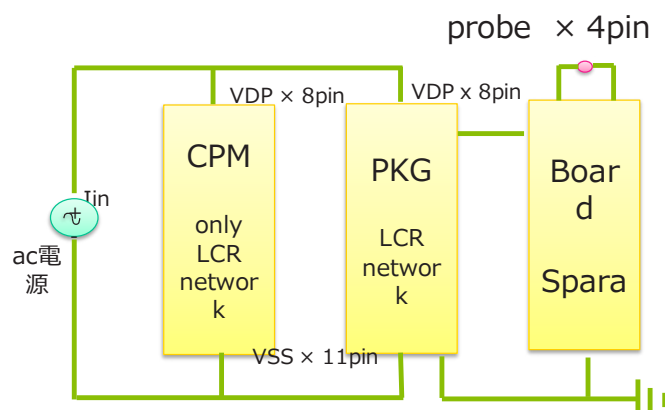
JEITA Nano Scale Physical Design Working Group

13

EMIノイズ簡易Sim系の提案

- 結論
 - MP法によるsimulationの簡易解析回路を検討した。
 - 簡易解析回路を使って大幅にsimulation runtimeの削減を実現
 - transient解析 → ac解析に変更
 - ac電源はCPM側に作成
 - probe pointはBoard側
 - CPM電流波形がなくとも、Simulation系の周波数特性が再現。
 - 低周波側、Chip動作周波数付近の精度は未確認。

- 今後
 - 簡易Sim手法の適用事例を増やして、適用範囲の検討、効果を確認する。



JEITA Nano Scale Physical Design Working Group

14

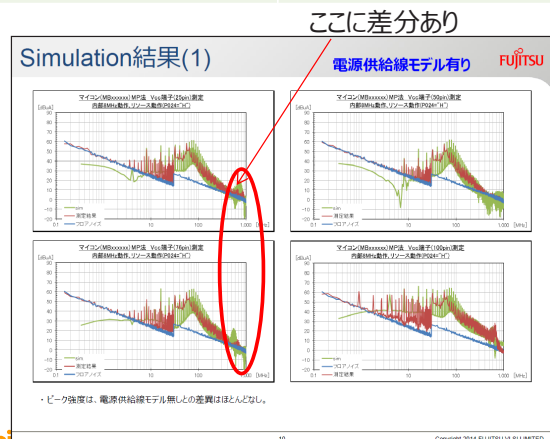
2.EMI 実測-SIMずれの要因解析

JEITA Nano Scale Physical Design Working Group

背景

Pin	結果	実測	MP法SIM
25	実測と合わない	500-800MHz付近に peakなし	500-800MHz付近に peakあり
50	実測と合う	500-800MHz付近に peakなし	500-800MHz付近に peakなし
76	実測と合わない	500-800MHz付近に peakなし	500-800MHz付近に peakあり
100	実測と合う	500-800MHz付近に peakあり	500-800MHz付近に peakあり

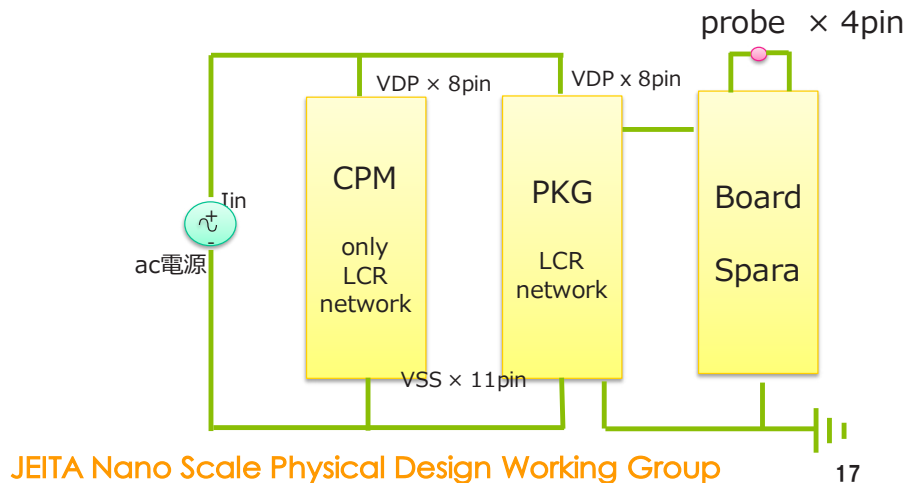
- 500-800MHz帯の実測とSimとの違いに注目し、調査を行った。
- LSI(CPM)、Package(RLC Model)、Board (S-Para)の各Modelがどのように影響を与えているかを前章で提案した簡易Sim系を行って調査する。



JEITA Nano Scale Physical Design Working Group

EMI 実測-SIMずれの要因解析

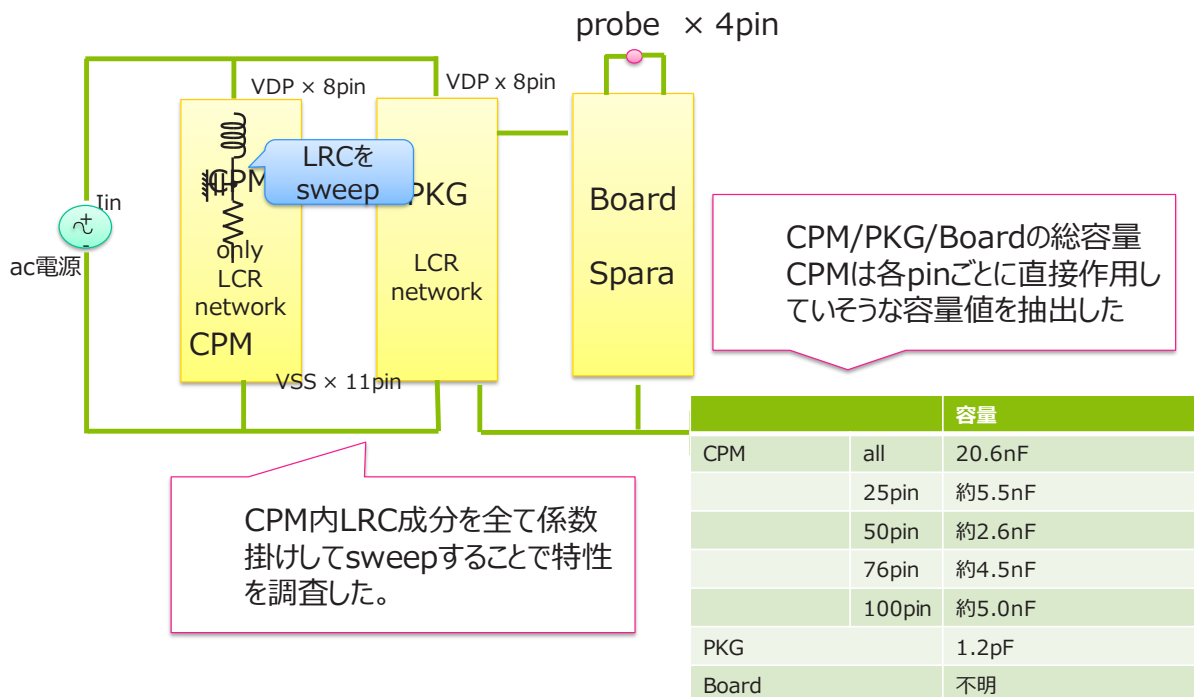
- LSI(CPM)/Package(RLC Model)/Board(S-Para)の各要素がどのような影響を及ぼしているかを以下簡易Sim系を使って、インピーダンス特性解析から調査する。



17

EMI 実測-SIMずれの要因解析

- CPMによりどのような影響を及ぼしているかをCPM内LRCをsweepさせて調査する。

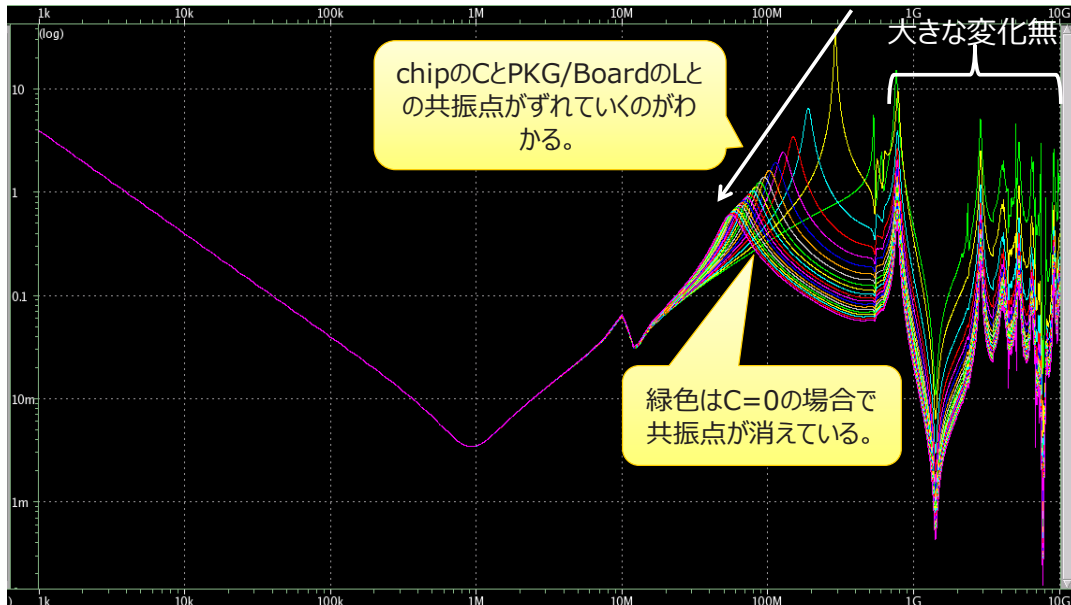


JEITA Nano Scale Physical Design working Group

18

EMI 実測-SIMずれの要因解析

- CPM中のCをsweepさせてインピーダンス特性がどのように変わるかをSimulationした。
 - CPM中のCを0.0倍から2.0倍まで0.1倍刻みでsweep

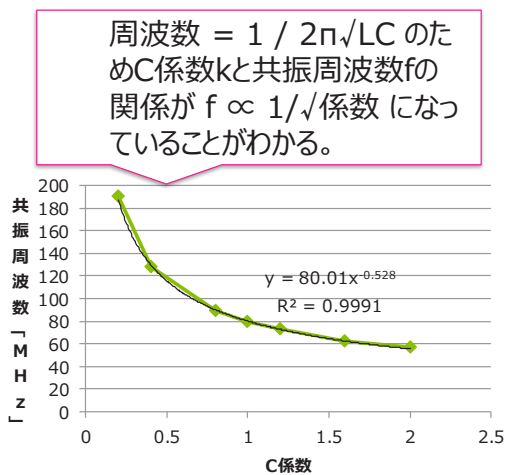


JEITA Nano Scale Physical Design Working Group

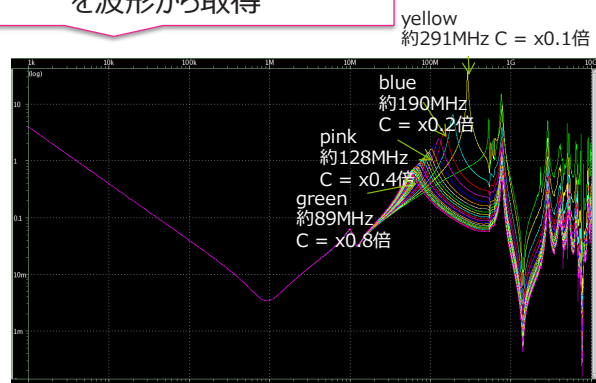
19

EMI 実測-SIMずれの要因解析

- CPMのCによって共振が起こっている様子を確認した。
 - 共振点からLを計算すると 約0.2nH になる。
 - QFP、SOCKET無直付けのため妥当と判断。



共振点と思われるポイントを波形から取得

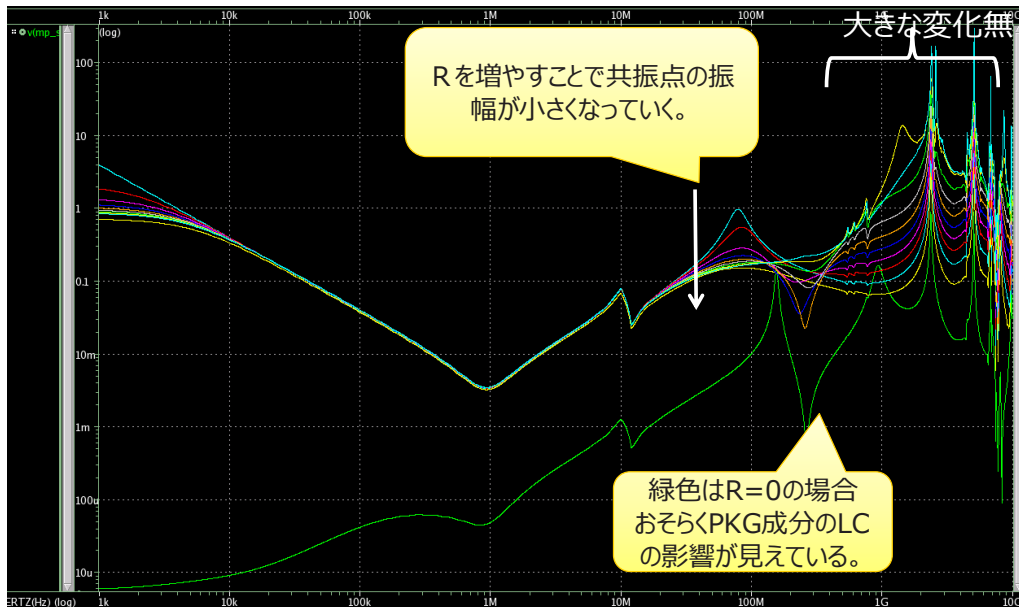


JEITA Nano Scale Physical Design Working Group

20

EMI 実測-SIMずれの要因解析

- CPM中のRをsweepさせてインピーダンス特性がどのように変わるかをSimulationした。
 - CPM中のR成分を0.0倍から5.0倍まで0.5倍刻みでsweep

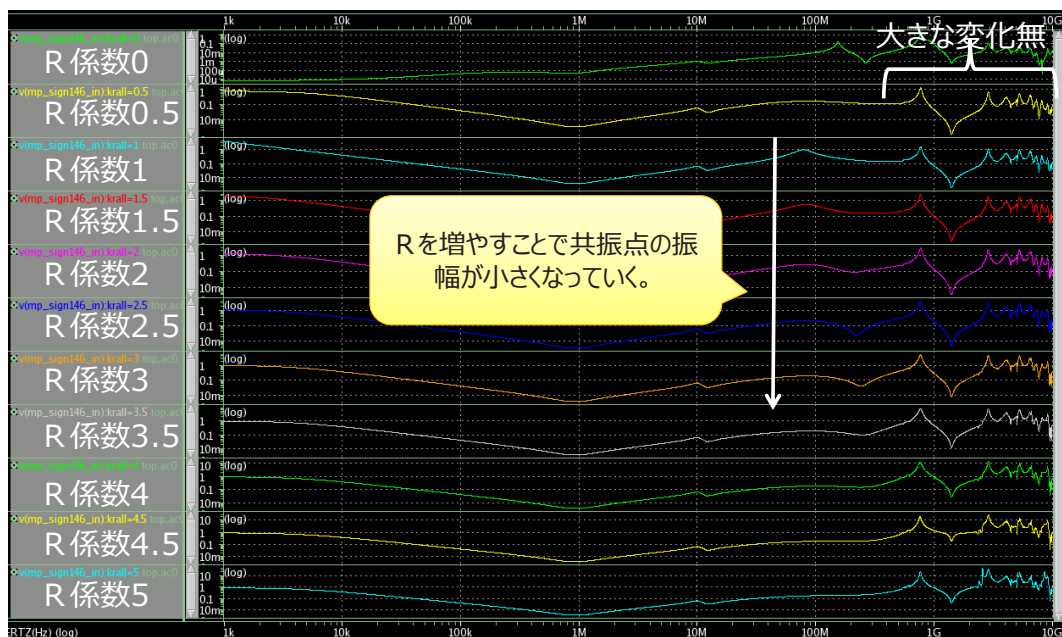


JEITA Nano Scale Physical Design Working Group

21

EMI 実測-SIMずれの要因解析

- CPM中のRをsweepさせてインピーダンス特性がどのように変わるかをSimulationした。
 - CPM中のR成分を0.0倍から5.0倍まで0.5倍刻みでsweep

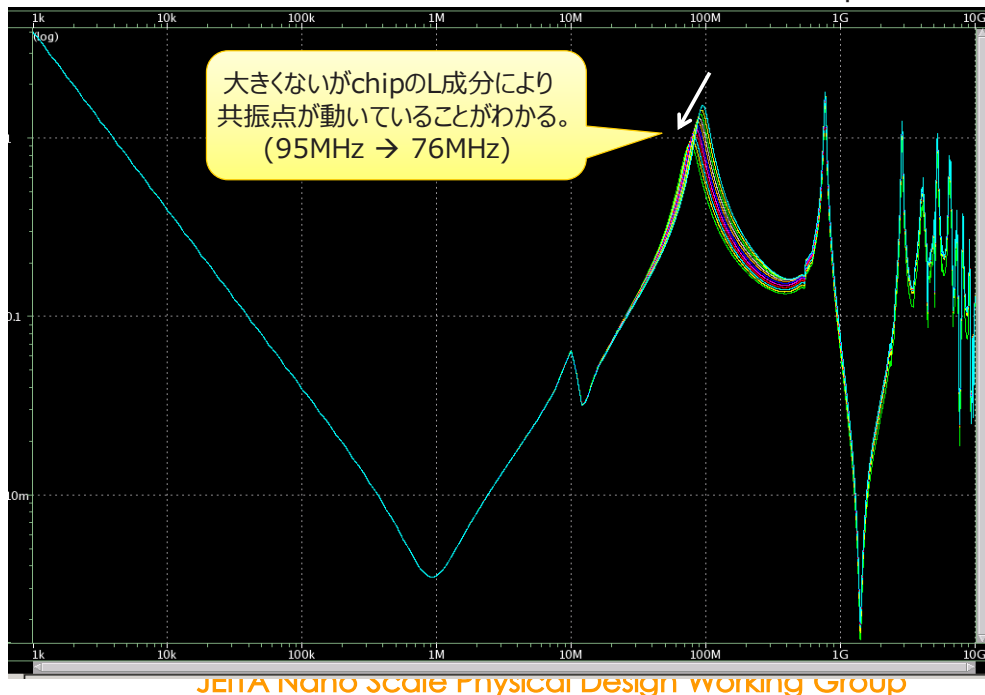


JEITA Nano Scale Physical Design Working Group

22

EMI 実測-SIMずれの要因解析

- CPM中のLをsweepさせてインピーダンス特性がどのように変わるかをSimulationした。
 – CPM中のL成分を一律0.0倍から10.0倍まで1.0倍刻みでsweep

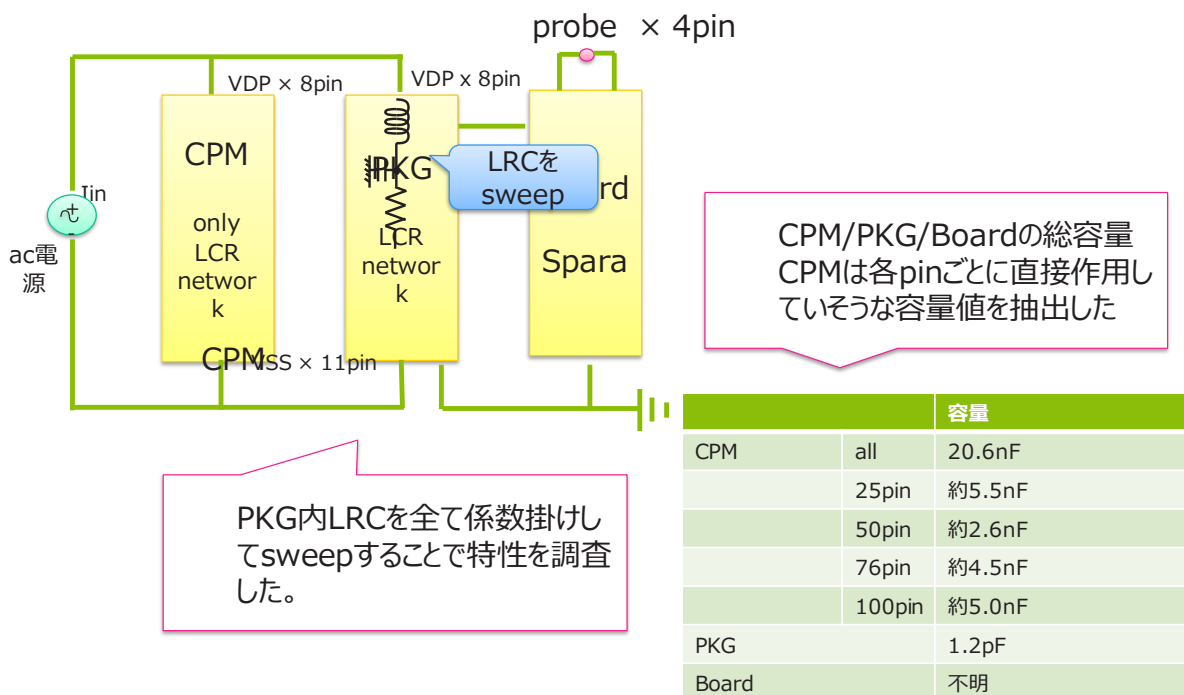


JEITA Nano Scale Physical Design working Group

23

EMI 実測-SIMずれの要因解析

- PKGによりどのような影響を及ぼしているかをPKG内LRCをsweepさせて調査する。



JEITA Nano Scale Physical Design working Group

24

EMI 実測-SIMずれの要因解析

- PKG中のCをsweepさせてインピーダンス特性がどのように変わるかをSimulationした。
 - PKG中のC成分を0.0倍から2.0倍まで0.1倍刻みでsweep

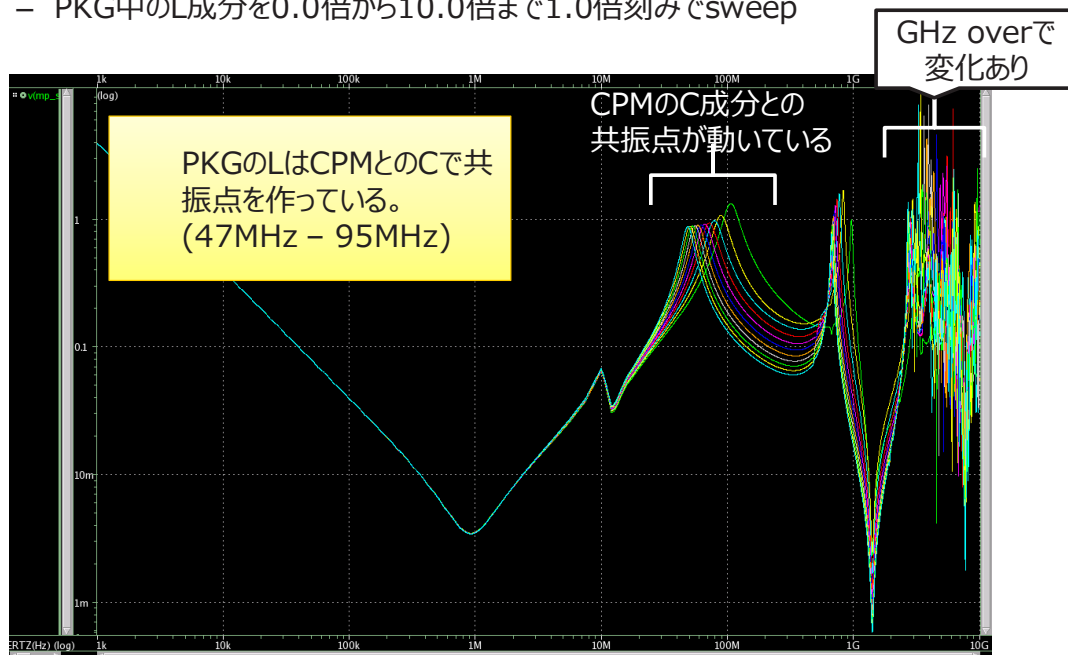


JEITA Nano Scale Physical Design Working Group

25

EMI 実測-SIMずれの要因解析

- PKG中のLをsweepさせてインピーダンス特性がどのように変わるかをSimulationした。
 - PKG中のL成分を0.0倍から10.0倍まで1.0倍刻みでsweep

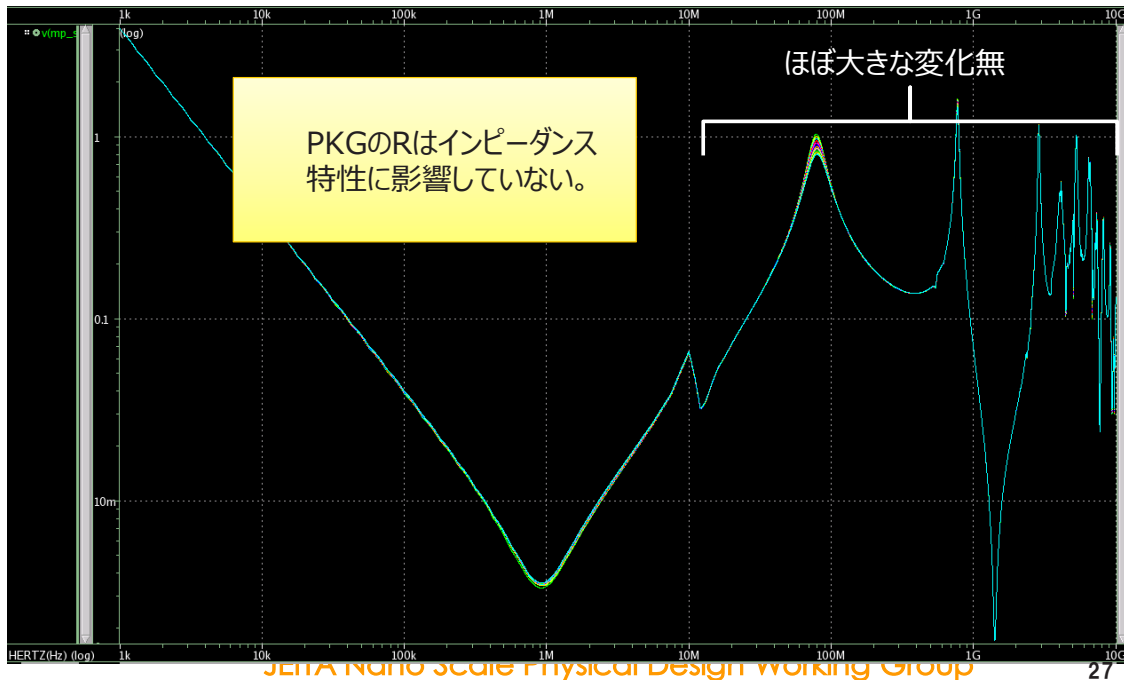


JEITA Nano Scale Physical Design Working Group

26

EMI 実測-SIMずれの要因解析

- PKG中のRをsweepさせてインピーダンス特性がどのように変わるかをSimulationした。
 - PKG中のR成分を0.0倍から5.0倍まで0.5倍刻みでsweep



EMI 実測-SIMずれの要因解析

- 簡易Sim系AC解析から、本マイコン測定においてはCPM/PKGがEMI周波数特性にどのような影響を及ぼすのか調査した。
 - CPM関係
 - C成分によって数十 ～ 200MHzの共振peakを作られる。
 - R成分によって数十 ～ 200MHzの共振peakの振幅が決まる。
 - C成分によって変化するインピーダンス特性は ～ 200MHzに限られる。
 - L成分によってインピーダンス特性は大きく変化しないと思われる。
 - L成分を一律変えているだけのため精度に問題がある。
 - PKG関係
 - C成分によって変化するインピーダンス特性は over GHzに限られる。
 - R成分によってはインピーダンス特性は変化しないと思われる。
 - L成分によってCPMのC成分との共振peak周波数が変化する。
- 見解
 - EMC実測とSim の相関調査の実測とSimulationとの差分である500-800MHz付近のpeak有無はCPM/PKGによって発生するものではないことが推定できる。

EMC 実測-SIMずれ解析

- EMC実測とSim の相関調査の実測とSimulationとの差分について、500-800MHz peak有無に注目すると、インピーダンス特性調査からCPM/PKGの影響とは考えにくいので、Board S-Paraについて調査を行った。

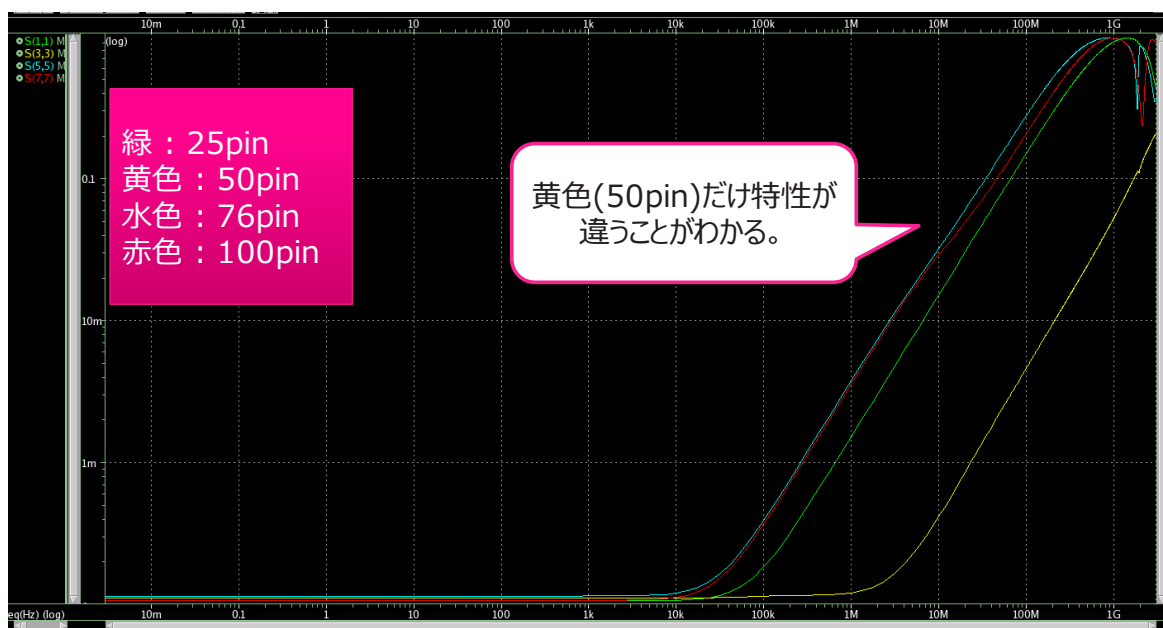
Pin	結果	実測	MP法SIM
25	実測と合わない	500-800MHz付近にpeakなし	500-800MHz付近にpeakあり
50	実測と合う	500-800MHz付近にpeakなし	500-800MHz付近にpeakなし
76	実測と合わない	500-800MHz付近にpeakなし	500-800MHz付近にpeakあり
100	実測と合う	500-800MHz付近にpeakあり	500-800MHz付近にpeakあり

JEITA Nano Scale Physical Design Working Group

29

EMC 実測-SIMずれ解析

- BoardのS-Para モデルの確認



JEITA Nano Scale Physical Design Working Group

30

EMC 実測-SIMずれ解析

- BoardのS-Para モデルをZ-Paraに変換して確認
 - S-Para Modelが500-800MHz帯peakに影響を与えている可能性が高い。

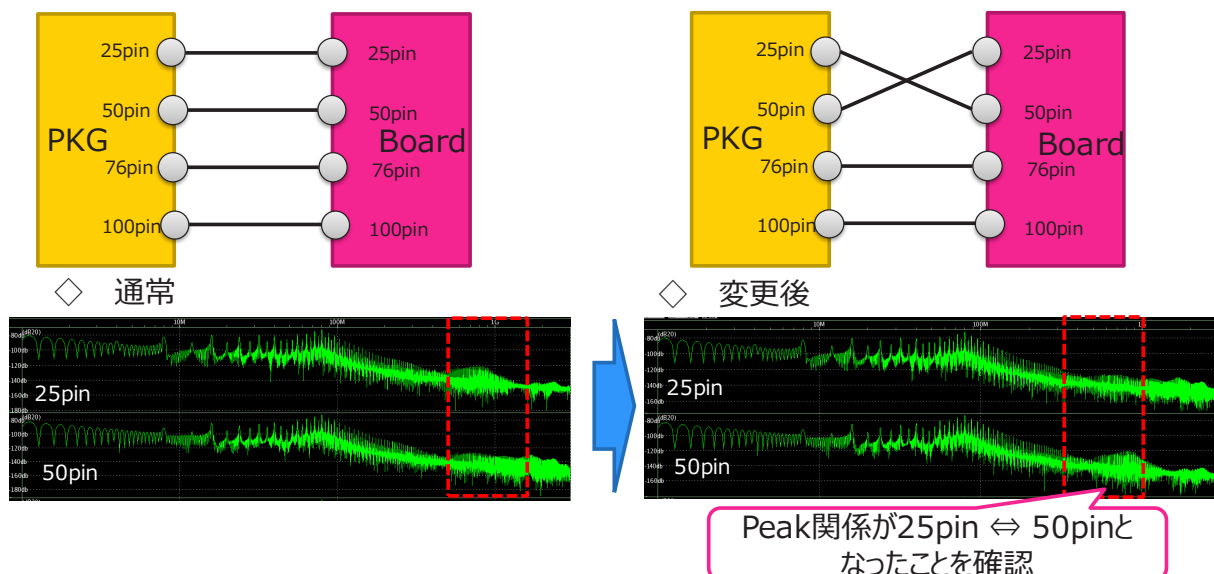


JEITA Nano Scale Physical Design Working Group

31

EMC 実測-SIMずれ解析

- 検証を得るためBoardの接続のみ25pin ↔ 50pinを変えてMP法Simを実施



Board起因で500-800MHz帯のpeakが出ていることがわかる

JEITA Nano Scale Physical Design Working Group

32

EMC 実測-SIMずれ解析

- EMC実測とSim の相関調査の実測とSimulationとの差分について、500-800MHz peak有無に注目して調査した。
 - インピーダンス特性解析によりCPM/PKGによる影響とは考えにくい。
 - BoardのZ-Para特性がMP法Simの結果と一致することから500-800MHz付近 peakの実測との差分はBoardモデルが起因の可能性が高い。

SIMとS-Paraの特性
関係が同じ

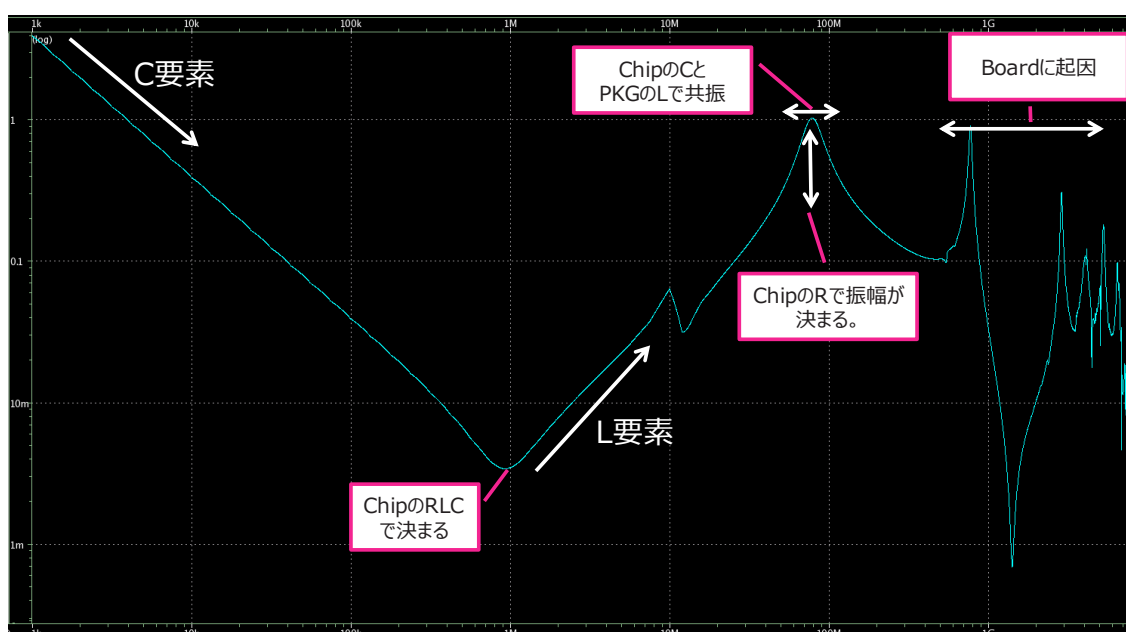
Pin	結果	実測	MP法SIM	S-Para(Z-Para)
25	実測と合わない	500-800MHz付近にpeakなし	500-800MHz付近にpeakあり	500-800MHz付近に谷あり
50	実測と合う	500-800MHz付近にpeakなし	500-800MHz付近にpeakなし	500-800MHz付近に谷なし
76	実測と合わない	500-800MHz付近にpeakなし	500-800MHz付近にpeakあり	500-800MHz付近に谷あり
100	実測と合う	500-800MHz付近にpeakあり	500-800MHz付近にpeakあり	500-800MHz付近に谷あり

JEITA Nano Scale Physical Design Working Group

33

EMC 実測-SIMずれ解析

- インピーダンスの各ピークの影響要素は以下のように考えられる。



JEITA Nano Scale Physical Design Working Group

34

まとめ、今後の進め方

- JEITA 半導体EMC-SCでのマイコンをモチーフとしたMP法 EMI Simulation環境を頂き以下に関して検討をした。
 - 簡易Sim系を使ったAC解析から各Model要素の影響調査
 - LPBの各要素がどのように周波数特性に影響を与えるかを調査
 - EMI 実測-SIMずれの要因解析
 - 特性解析の結果、500-800MHz peak有無はBoard(S-Para)Modelに起因していると推定した。
- 来年度はLSI-Package-Board Modelの精度向上の検討、課題の抽出を行う。

文献資料

[1]”140304_JEITA_MP法_実測相関_富士通VLSI_rev2.pdf”，半導体EMC-SC

[2]山本 浦瑠那 “130128_JEITA-LSIモデル仕様_rev1.0.pdf” “130128_JEITA-LSIモデル関連.zip”，半導体EMC-SC

低電圧におけるばらつき評価

JEITA Nano Scale Physical Design Working Group

37

背景

- ・ センサーネットワーク等の Ultra Low Power チップ実現のため、Near Threshold 動作回路等が検討されている。
- ・ 微細化により、素子特性ばらつきは増大するが、Vdd を低減するとばらつきの感度が更に増す。
- ・ プロセス世代が進むと、設計の Simulation Corner 数が増大し、検証に時間を要し、設計コスト増大をもたらす。
- ・ 昨年度 NPD-WG では、TransistorばらつきによるRingOscillatorの動作や消費電力に与える影響を検討した。
- ・ その結果、特性Center値を見直すことによってばらつき耐性が向上することがわかった。

JEITA Nano Scale Physical Design Working Group

38

低電圧動作の利点 ～極低電力～

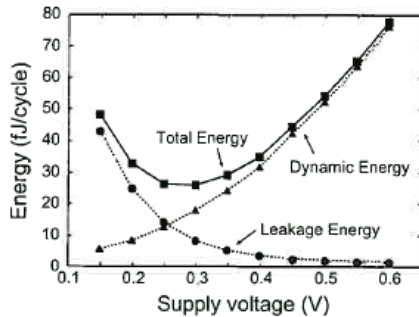


図4 桁上げ伝搬加算器の1サイクル当りのエネルギー (90 nm CMOS プロセス, シミュレーション値)

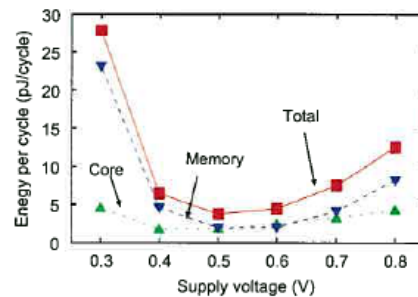


図5 16 bit プロセッサのエネルギーと電源電圧の関係 (65 nm プロセス, 測定値)⁽⁴¹⁾

超低電圧サブスレッショルド回路設計技術【1】

橋本昌宜 Masanori HASHIMOTO

IEICE Fundamentals Review Vol.7 No.1

JEITA Nano Scale Physical Design Working Group

39

低電圧動作の課題 ～ばらつき感度大～

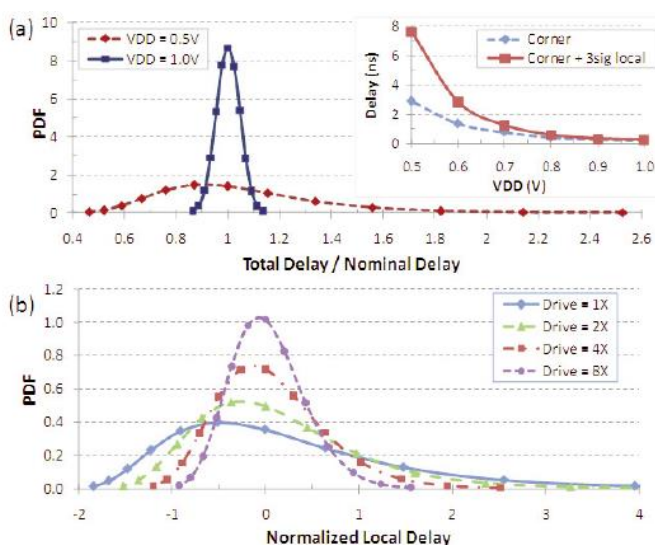


Figure 7.5.4: (a) Delay PDF of a representative library cell at $V_{DD} = 1.0V$ and $V_{DD} = 0.5V$. The horizontal axis is normalized the respective 3σ global corner delays. (b) Impact of drive strength on PDF.

7.5 A 28nm 0.6V Low-Power DSP for Mobile Applications

Gordon Gammie¹, Nathan Ickes², Mahmut E Sinangil³, Rahul Rithe², J. Gu³, Alice Wang¹, Hugh Mair¹, Satyendra Datla¹, Bing Rong¹, Sushma Honnavara-Prasad¹, Lam Ho¹, Greg Baldwin¹, Dennis Buss¹, Anantha P Chandrakasan², Uming Ko¹

¹Texas Instruments, Dallas, TX,

²Massachusetts Institute of Technology, Cambridge, MA,

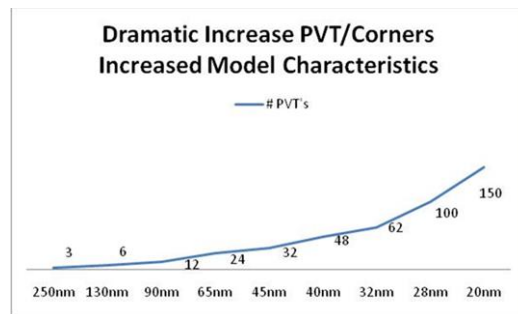
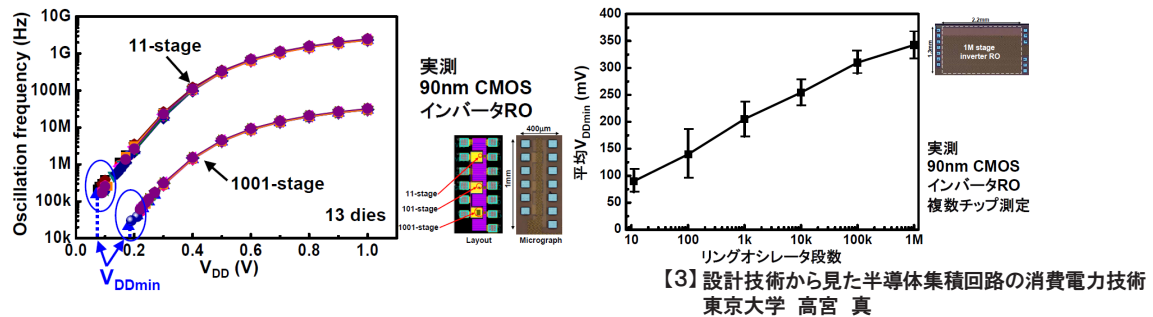
³Texas Instruments (now with MaxLinear), Dallas, TX

【2】

JEITA Nano Scale Physical Design Working Group

40

低電圧動作の課題 ～大規模回路 低 V_{DD} 化困難～



【4】ケイデンスのキャラクタライズ・ツールのご紹介
Cadence Design Systems, Inc.

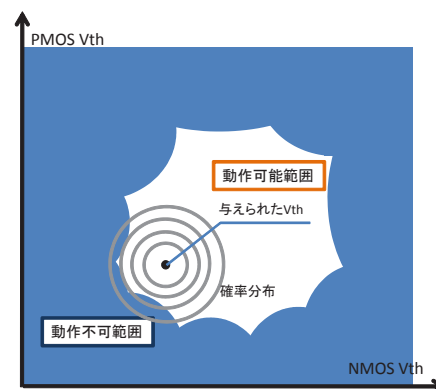
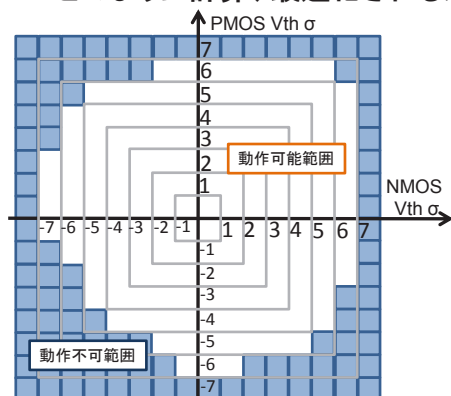
JEITA Nano Scale Physical Design Working Group

41

ばらつき設計 Methodology 検討

2013年度検討実施

3-5 σ , 7 σ のばらつきを考慮するとき、歩留まり、動作可能限界電圧はどのように計算、最適化されるか。



- 動作限界を特定するためのばらつきシミュレーションの方法、ばらつき条件の設定等、統計的、実験計画的に効率的な手法を検討する。
- 動作可能なばらつき許容範囲を特定する手法を検討する。

JEITA Nano Scale Physical Design Working Group

42

探り検討結果

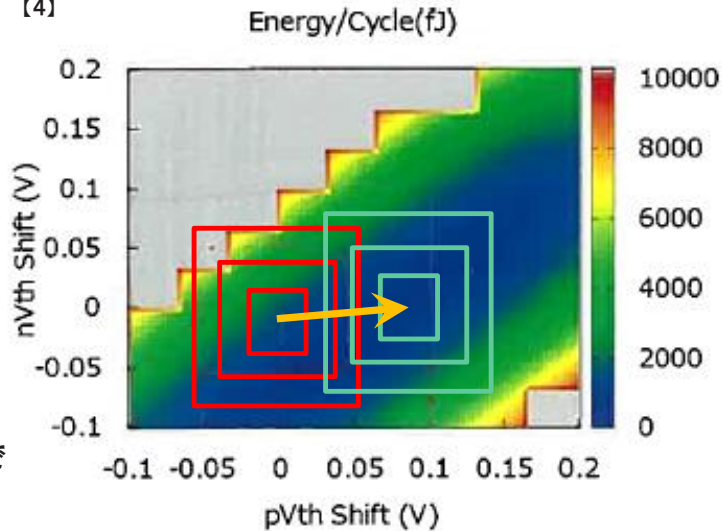
2013年度検討実施

SPICE モデル：PTM Metal Gat [4]

電源電圧：0.2V

ばらつき：なし

回路：1001 段リングオシレータ



Vth を Shift させることで
ばらつき耐性が拡大。

指標とする特性により
corner が変わる。

JEITA Nano Scale Physical Design Working Group

43

目的

目的：

低電圧におけるばらつき Simulation、ばらつき条件策定を統計、
実験計画を用いて効率的におこなう設計手法を検討する。

今年度は新たに温度特性について調査を実施する。

手法：

昨年使用したモデル(プレーナ型Tr. PTM32nmLP)でインバータに
よるリングオシレータについて、遅延および消費電力の温度依存を
調査する。

[5] *PTM: Predictive Technology Model (PTM) <http://ptm.asu.edu/>

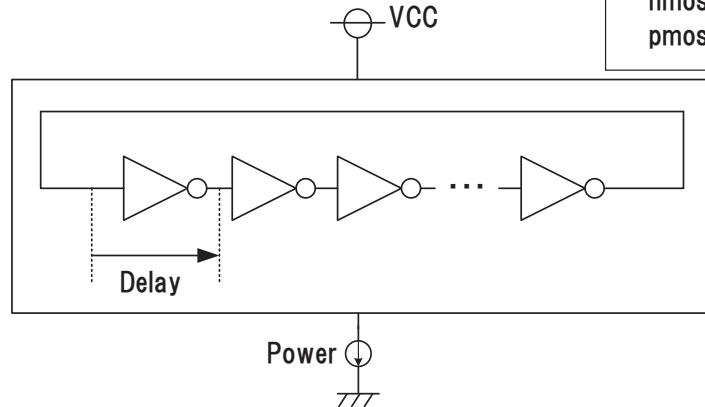
JEITA Nano Scale Physical Design Working Group

44

評価回路

評価回路(リングオシレータ:11段)

PTM 32nm LP モデル
Nominal VDD = 1.0V
nmos : Vth0=0.63V
pmos : Vth0=-0.58V

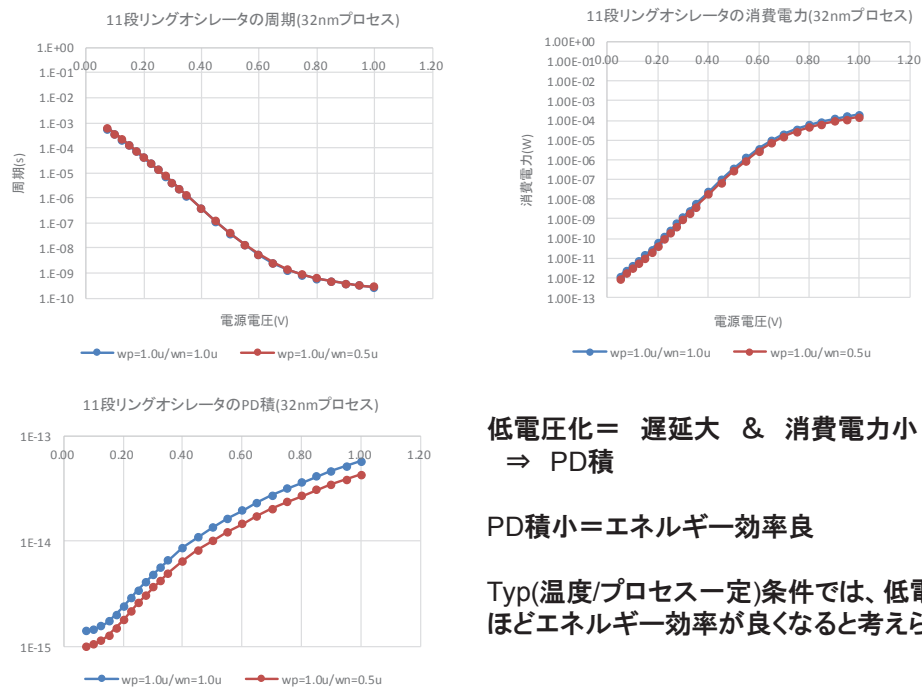


- ・DelayおよびPowerのVCCによる変化を計測
- ・DelayおよびPowerの各VCCにおける温度特性を計測

JEITA Nano Scale Physical Design Working Group

45

低電圧化による変化

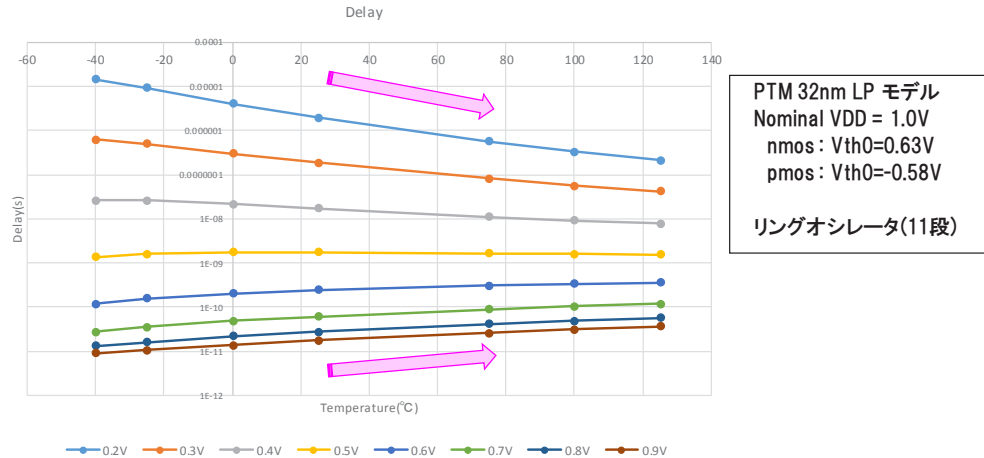


JEITA Nano Scale Physical Design Working Group

46

遅延の温度特性

Sub-Near-Threshold領域における温度特性をシミュレーション



Sub-Threshold電源では高温ほど遅延小

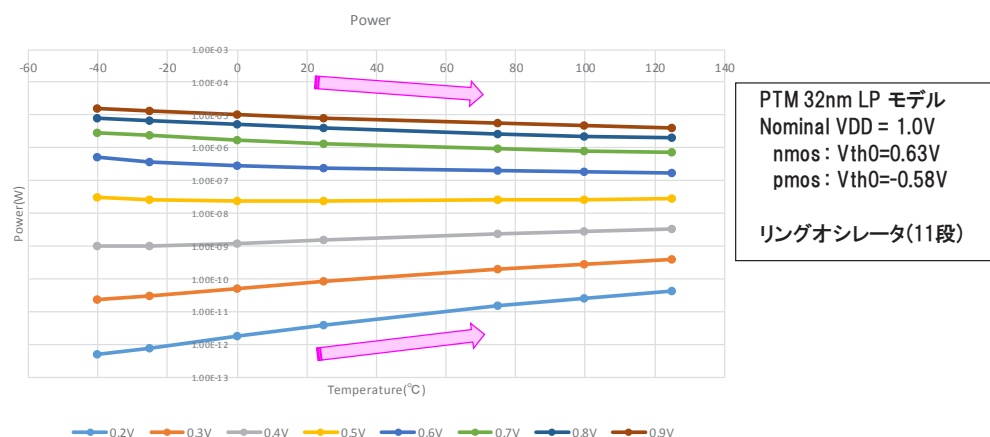
Near~Over Threshold電源では高温ほど遅延大

JEITA Nano Scale Physical Design Working Group

47

消費電力の温度特性

Sub-Near-Threshold領域における温度特性をシミュレーション



Sub-Threshold電源では高温ほど消費電力大

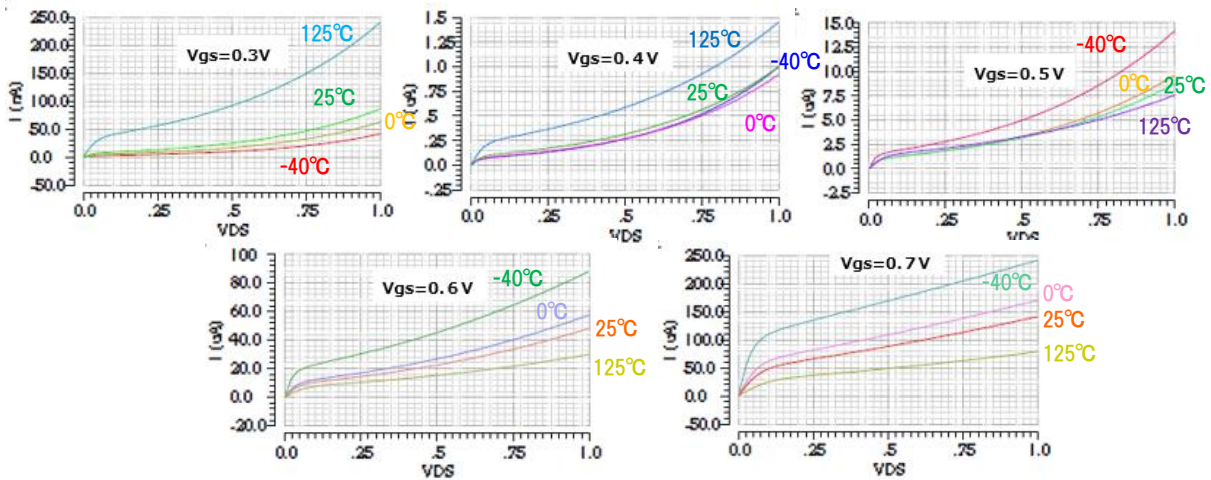
Near~Over Threshold電源では高温ほど消費電力小

JEITA Nano Scale Physical Design Working Group

48

Tr.の温度特性

Tr.単体での I_{ds} - V_{ds} 特性はどうなっているか？



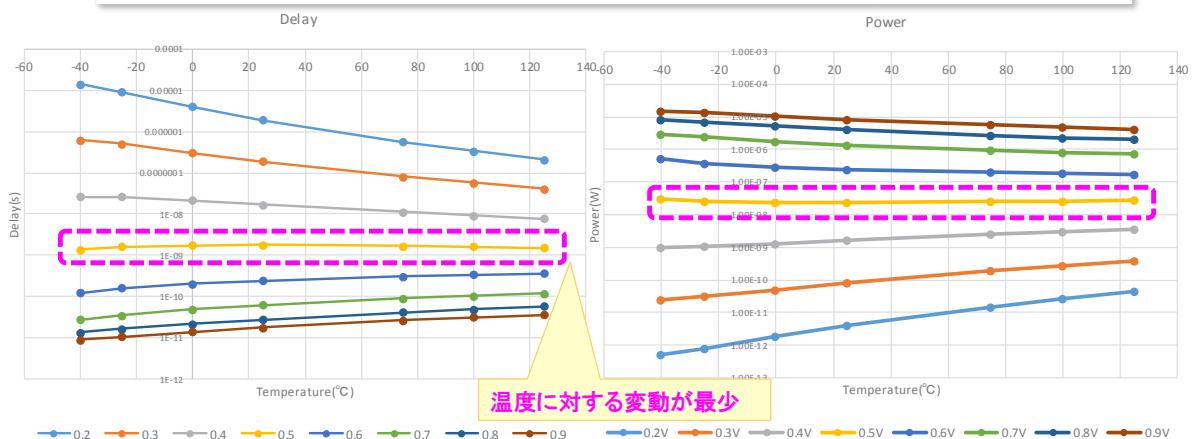
Sub-Threshold領域動作では、高温ほど I_{ds} が大きい

INVで考えると、遅延が小さい&消費電力が大きい、となり
リングオシレータの温度特性と一致する。

JEITA Nano Scale Physical Design Working Group

49

温度によるばらつき



温度に対する遅延と消費電力の振る舞いが、0.5V付近で反転している。

0.5V付近で温度によるばらつきが最少化

ばらつきを考慮して設計した場合に、
0.5V付近が有利になるか？
評価する指標はないか？

ユースケースで考察

JEITA Nano Scale Physical Design Working Group

50

R0ユースケース

ケース①

消費電力に着目(電源電圧=0.5V)

RO(INV×11段)の消費電力Worst値

$$31.1 \text{ nW} \times 11 = 342.1 \text{ nW}$$

40 nW以下に抑える必要がある場合、電源電圧を下げるか、INVを構成するTr.のサイズDownが必要

INV1段あたりの遅延、消費電力

Vdd=0.5V		
Temp.(°C)	Delay(s)	Power(W)
-40	1.3432E-09	3.1114E-08
-25	1.5991E-09	2.6182E-08
0	1.7514E-09	2.3932E-08
25	1.7614E-09	2.3814E-08
75	1.6623E-09	2.5259E-08
100	1.5986E-09	2.6264E-08
125	1.5364E-09	2.7314E-08

Tr.のサイズを1/10にすると、

消費電力は単純に1/10と仮定して 34.21 nW

この時、遅延は10倍になると仮定して、
1.34 ns ⇒ 13.4 ns

ただし、遅延のWorst値はTemp.=25°Cの時なので、
1.76 ns ⇒ 17.6 ns
568MHz ⇒ 56.8MHz
となり最低動作周波数が1/10となる。

電源電圧を0.4Vに下げると、

消費電力は 3.48×11=38.3 nW

この時、遅延のWorst値は、26.3ns

最低動作周波数は、
568MHz ⇒ 38.02MHz

INV1段あたりの遅延、消費電力

Vdd=0.4V		
Temp.(°C)	Delay(s)	Power(W)
-40	2.6336E-08	1.0164E-09
-25	2.5918E-08	1.0341E-09
0	2.1445E-08	1.2505E-09
25	1.7055E-08	1.5732E-09
75	1.1091E-08	2.4227E-09
100	9.1955E-09	2.9277E-09
125	7.7545E-09	3.4814E-09

このケースでは、

電源電圧を0.5V⇒0.4Vに低減するよりも、
Tr.サイズを小さくした方が最低動作周波数の低下を抑えられる

JEITA Nano Scale Physical Design Working Group

51

R0ユースケース

ケース②

遅延時間に着目(電源電圧=0.2V)

RO最低動作周波数 1/14.13us = 70.8kHz

最低動作周波数700kHzが必要な場合、電源電圧を上げるか、INVを構成するTr.のサイズUPが必要

INV1段あたりの遅延、消費電力

Vdd=0.2V		
Temp.(°C)	Delay(s)	Power(W)
-40	1.4132E-05	5.1091E-13
-25	9.0682E-06	7.8909E-13
0	4.0518E-06	1.7750E-12
25	1.9232E-06	3.8568E-12
75	5.5591E-07	1.4818E-11
100	3.3336E-07	2.6409E-11
125	2.1209E-07	4.4632E-11

Tr.のサイズを10倍にすると、

遅延が10倍になると仮定すると 1.413us なので
最低動作周波数は 708kHz

消費電力は10倍と仮定して、
0.51 pW ⇒ 5.1 pW

ただし、消費電力のWorst値はTemp.=125°Cの時なので、
44.6 pW ⇒ 446 pW

電源電圧を0.3Vに上げると、

0.62us = 1.61MHz

この時の、消費電力Worst値は、385 pW

INV1段あたりの遅延、消費電力

Vdd=0.3V		
Temp.(°C)	Delay(s)	Power(W)
-40	6.2727E-07	2.3977E-11
-25	4.9818E-07	3.0214E-11
0	3.0245E-07	4.9864E-11
25	1.8559E-07	8.1636E-11
75	8.0227E-08	1.9214E-10
100	5.6545E-08	2.7691E-10
125	4.1368E-08	3.8591E-10

このケースでは、

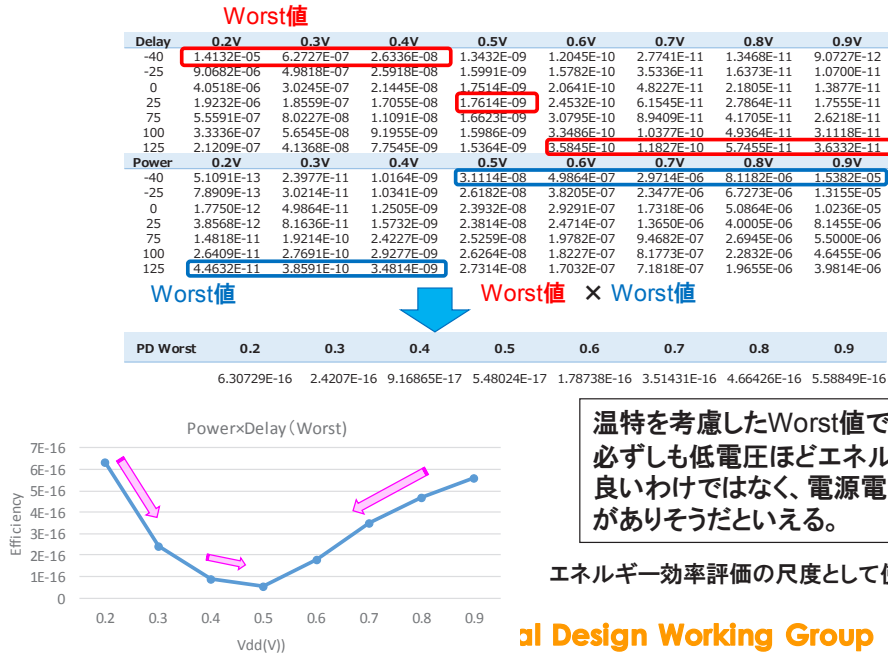
Trサイズを調整するよりも、
電源電圧を0.2V⇒0.3Vに変更した方が消費電力が少なくて済む

JEITA Nano Scale Physical Design Working Group

52

エネルギー効率の比較方法検討

温度特性のシミュレーション結果から、各電源電圧での遅延と消費電力の Worst値の積を出してみる



al Design Working Group

53

まとめと今後の予定

- 低電圧動作時に Transistor ばらつきだけでなく、温度による動作特性のばらつきに特徴的な傾向が見られた。
- 同一温度条件でのみ比較した場合、低電圧ほどPD積効率が良いが温度間のばらつきを考慮すると必ずしもそうでない可能性が判明した。
- 温度を含めたコーナー条件間でのばらつきを考慮した機構のさらなる調査および、センサーネットワークなどのIoTへの提言をまとめる。

文献資料

- [1] 超低電力サブIEICE Fundamentals Review Vol.7 No.1
- [2] Proceeding of ISSCC 2011
- [3] http://icdesign.iis.u-tokyo.ac.jp/2009_5.pdf
- [4] THE SOUND OF CADENCE Sep.2012
- [5] <http://ptm.asu.edu/>
 A set of models for low-power applications (PTM LP),
 incorporating high-k/metal gate and stress effect.
 November 15, 2008

JEITA Nano Scale Physical Design Working Group

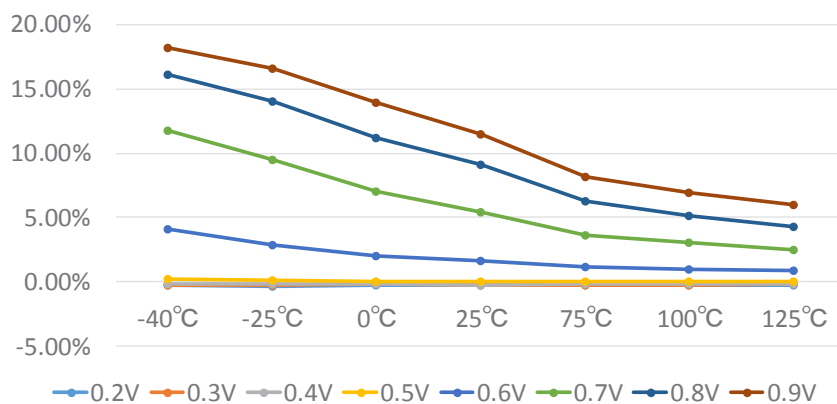
55

Tr.サイズによる速度変化率

温度特性のシミュレーションにおいて、Tr.のWサイズを10倍にした場合の速度変化率(周波数変化率)の結果

$$\text{変化率} = \{\text{Freq(org)} - \text{Freq}(x10)\} / \text{Freq(org)} \quad \%$$

周波数変化率



0.5V以下では、0.5%未満の変化率となった。

JEITA Nano Scale Physical Design Working Group

56

次世代Tr.構造における物理設計課題の 検討

JEITA Nano Scale Physical Design Working Group

57

目次

- ・ 背景と目的
- ・ Triple-gate FinFETとモデルパラメータ
- ・ 評価に用いるinv.構造の決定
- ・ フリンジ容量モデル式の確認と導出
- ・ スペーサー抵抗+SD抵抗の導出
- ・ 回路ベースでのFinFET最適化
- ・ 結論
- ・ 参考文献

JEITA Nano Scale Physical Design Working Group

58

背景と目的

- 背景
 - 次世代のプロセスルールである16nm以降のテクノロジーでは、これまでの扱いなれたプレーナー型のトランジスタから立体構造を持つFinFETへ移行している。
- 目的
 - FinFETは3D構造であるため、その寄生RC成分もプレーナー型と異なると考えられる。本テーマでは、FinFETの寄生RCのモデル化を行う。
 - モデル化した寄生RCを使用し、回路ベースでの伝搬遅延時間 T_{pd} の最適化を行う。

Triple-gate FinFETとモデルパラメータ

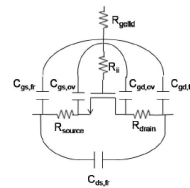
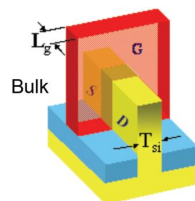
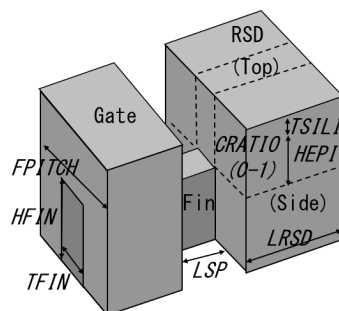


Figure 8: R-C network for CGEOMOD=1, NQSMOD=1, and RGATEMOD=1. If NQSMOD or RGATEMOD is 0, then the corresponding resistances become 0 and the nodes collapse.

FinFETと各寄生成分
(BSIM-CMG 107.0.0 Multi-Gate MOSFET Compact Model Technical Manual)



FinFETとレイアウトパラメータ

評価に用いるinv.構造の決定

- 目的
 - 伝搬遅延時間評価に使用する基本的なinv.構造を決定する。
- 手法
 - 16nmFinFET及び16nmプレーナ型Tr.にて次ページの評価回路を作成。赤で示したインバータのT_{pd}を回路sim.(HSPICE)比較する。
 - 16nmプレーナ型については、Nangateの45nmの inv.からのシュリンクで、AD/AS/PD/PS/NRD/NRSを設定。
 - PTM* 16nm FinFET/HP について、16nmプレーナ型/HP と同等のT_{pd}となるpmos/nmosのNFINを求める。

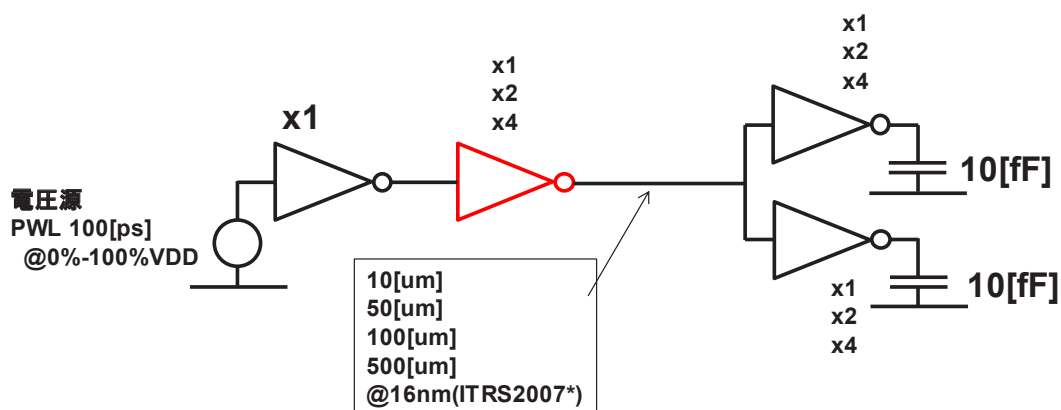
*PTM: Predictive Technology Model (PTM) <http://ptm.asu.edu/>

JEITA Nano Scale Physical Design Working Group

61

評価に用いるinv.構造の決定

• 評価回路



注* ITRS2007のInterconnectにおいて、2011(Gate length16nm)の Capacitance per unit length for global wires (pF/cm) が 1.8-2.0 とされており、ここでは2.0を採用。100μm→ 20fF、1mm あたりの RC delay が 487ps となので、100μm→ 4.87ps → 243.5Ω とした。

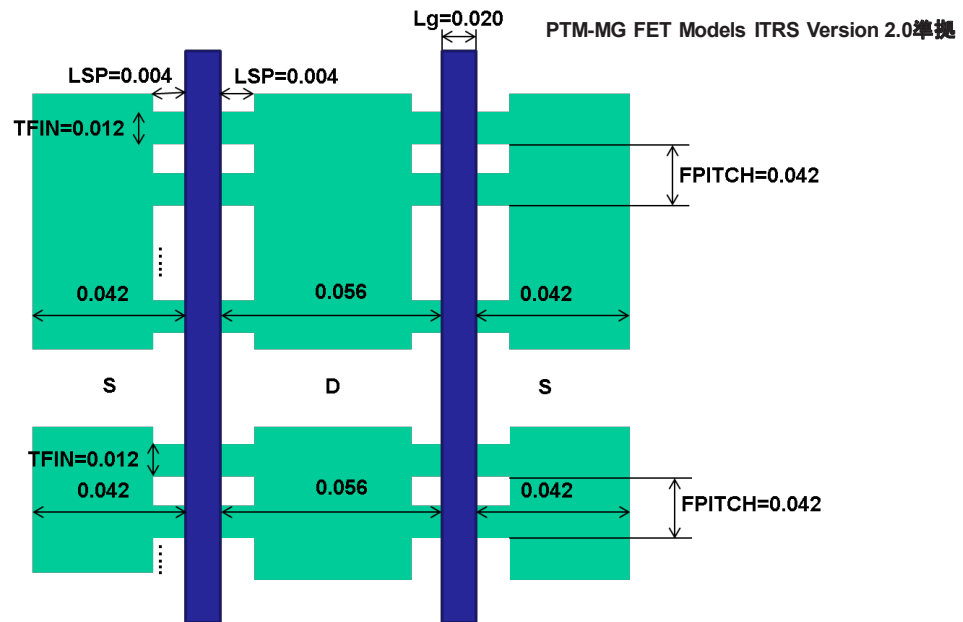
回路シミュレータ: HSPICE(v2012.06-SP1)

JEITA Nano Scale Physical Design Working Group

62

評価に用いるinv.構造の決定

- PTM 16nm/HPのレイアウトパラメータ



JEITA Nano Scale Physical Design Working Group

63

評価に用いるinv.構造の決定

- NFINの決定
 - 下記のSim.結果より、NFIN(p/n)=3/2 でFinFETとPlanerのTpd が最も拮抗。
 - 評価を行うFinFETはNFIN(p/n)=3/2とする。

	Rise [ps]	Fall [ps]	NFIN(p/n)
プレーナ	30.12	31.38	-
FinFET	35.84	32.36	2/2
FinFET	26.12	32.36	3/2

JEITA Nano Scale Physical Design Working Group

64

フリンジ容量モデル式の確認と導出

- Top側フリンジ容量 $C_{fr,top}$
 - BSIMで以下のモデル式を定義
 - $C_{fr,top} = \left\{ 3.467 \times 10^{-11} \cdot \ln \left(\frac{\epsilon_{sp} \cdot 10^{-7}}{3.9 \cdot LSP} \right) + 0.942 \times 10^{-11} \cdot H_{rsd} \cdot \frac{\epsilon_{sp}}{LSP} \right\} \times \{TFIN + (FPITCH - TFIN) \cdot CRATIO\} \cdot NFIN$
 - 上述のモデル式と3D Field Solverの解析結果を比較・確認する。
- Side側フリンジ容量 $C_{fr,side}$
 - BSIMで以下のモデル式を定義
 - $C_{fr,side} = 2 \times C_{fringe,2D}(W_g, T_{rsd}, LRSD) \times HFIN \times NFIN$
 現時点では非公開
 - 3D Field Solverの解析により、上述のモデル式を導出する。

JEITA Nano Scale Physical Design Working Group

65

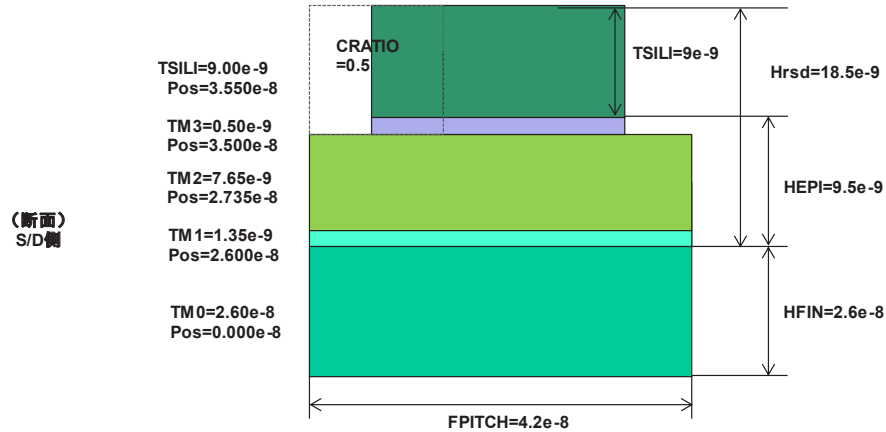
フリンジ容量モデル式の確認と導出

- 3D Field Solver
 - Raphael D-2010.03, Synopsys Corp.
 - 有限要素法を適用。
 - 次ページ以降にRaphael RC3の構造を記載する。

JEITA Nano Scale Physical Design Working Group

66

フリンジ容量モデル式の確認と導出



JEITA Nano Scale Physical Design Working Group

69

フリンジ容量モデル式の確認と導出

- 以下の組み合わせで3D Field Solverと5%の誤差となる。

- $C_{fr,top}$ については、BSIMのモデル式。

$$C_{fr,top} = \left\{ 3.467 \times 10^{-11} \cdot \ln \left(\frac{\epsilon_{sp} \cdot 10^{-7}}{3.9 \cdot LSP} \right) + 0.942 \times 10^{-11} \cdot H_{rds} \cdot \frac{\epsilon_{sp}}{LSP} \right\} \times \{ TFIN + (FPITCH - TFIN) \cdot CRATIO \} \cdot NFIN$$

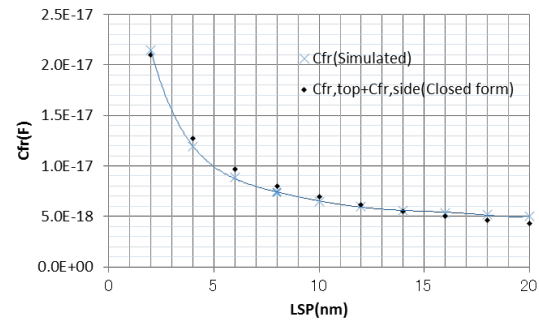
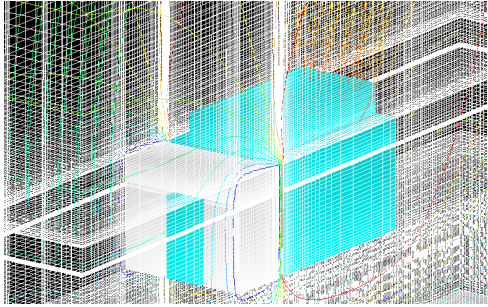
- $C_{fr,side}$ については、以下のモデル式を導出

$$C_{fr,side} = \left\{ 1.656 \times 10^{-11} \cdot \ln \left(\frac{\epsilon_{sp} \cdot 10^{-7}}{3.9 \cdot LSP} \right) + 0.347 \times 10^{-11} \cdot H_{rds} \cdot \frac{\epsilon_{sp}}{LSP} \right\} \times 2 \cdot HFIN \cdot NFIN$$

JEITA Nano Scale Physical Design Working Group

70

フリンジ容量モデル式の確認と導出



JEITA Nano Scale Physical Design Working Group

71

スペーサー抵抗+SD抵抗の導出

- BSIMのモデル式より、SDの線低効率 ρ_{rsd} は以下。

- $$\rho_{rsd} = \frac{1}{q \cdot NSD \cdot \mu_{rsd}}$$
- $$\mu_{rsd}(NMOS) = 52.2 + \frac{\mu_{MAX} - 52.2}{1 + \left(\frac{NSD}{9.68 \times 10^{22}}\right)^{0.680}} - \frac{43.4}{1 + \left(\frac{3.41 \times 10^{26}}{NSD}\right)}$$
- $$\mu_{rsd}(PMOS) = 44.9 + \frac{\mu_{MAX} - 44.9}{1 + \left(\frac{NSD}{9.68 \times 10^{22}}\right)^{0.680}} - \frac{29.0}{1 + \left(\frac{3.41 \times 10^{26}}{NSD}\right)}$$
- $$q = 1.60217657 \times 10^{-19}$$
- $$\mu_{MAX}(NMOS) = 1417, \mu_{MAX}(PMOS) = 470.5$$
- $$NSD = 3 \times 10^{-19} \text{ (PTM-MG HSPICE Model Card for 16nm LSTP NFET/PFET)}$$

	NMOS	PMOS
RHORS	5.33E-06	5.13E-06

JEITA Nano Scale Physical Design Working Group

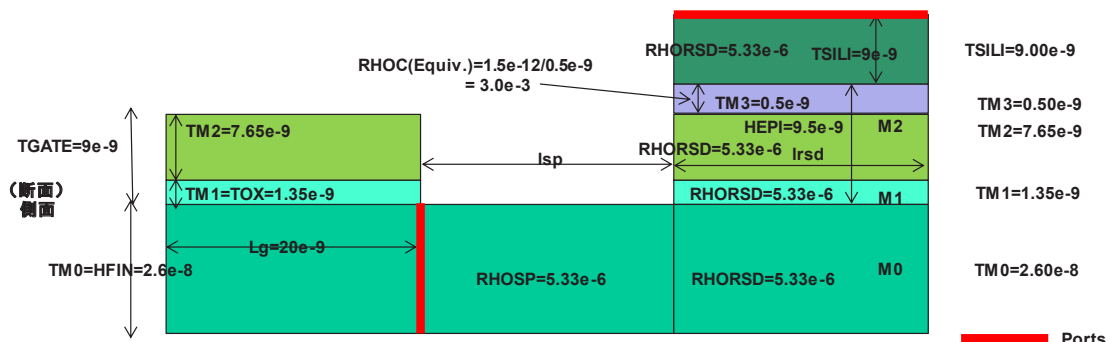
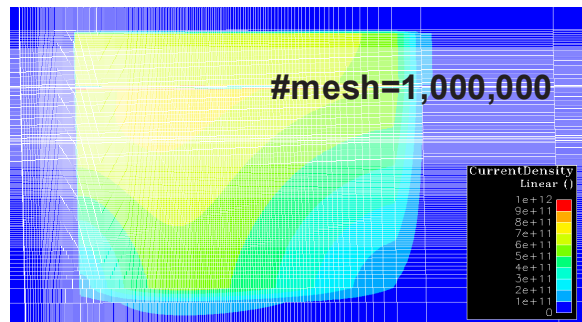
72

スパーサー抵抗+SD抵抗の導出

- ・ 前頁のRHORSDを適用し、3D Field Solverでスパーサー抵抗(R_{sp})+SD抵抗(R_{rsd})を導出する。
 - Raphael D-2010.03, Synopsys Corp.
 - 有限要素法を適用。
 - 次ページ以降にRaphael RC3の構造を記載する。

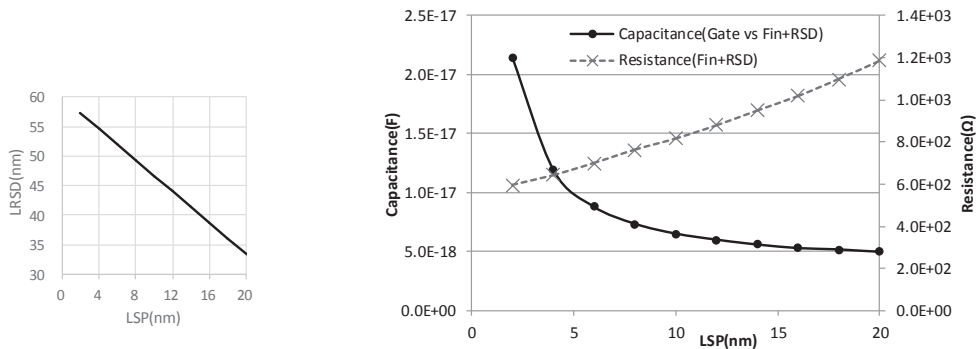
スパーサー抵抗+SD抵抗の導出

LSP(nm)	Rsp+Rrsd (Ω) (Raphael, CRATIO=1)
2	5.91E+02
4	6.40E+02
6	6.89E+02
8	7.39E+02
10	7.90E+02
12	8.43E+02
14	8.98E+02
16	9.55E+02
18	1.01E+03
20	1.08E+03



LSPと寄生RCの関係

- 前頁までの解析で得られた以下の関係。
 - LSP vs. フリンジ容量
 - LSP vs. スペーサー抵抗+SD抵抗

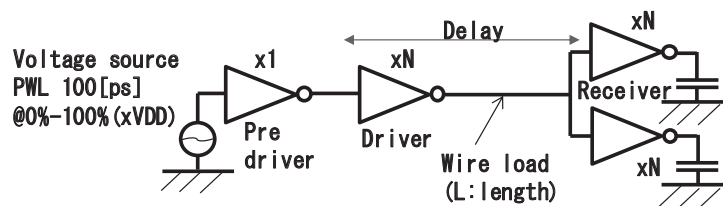


JEITA Nano Scale Physical Design Working Group

75

回路ベースでのFinFET最適化

- 回路ベースで、伝搬遅延時間の最小化を目的としたFinFETの最適化を検討する。
- FinFETの寄生RCには、前頁までで求めたフリンジ容量およびスペーサー抵抗+SD抵抗を用いる。
- 評価回路を下に、評価に使用するインバータのレイアウトを次頁に示す。



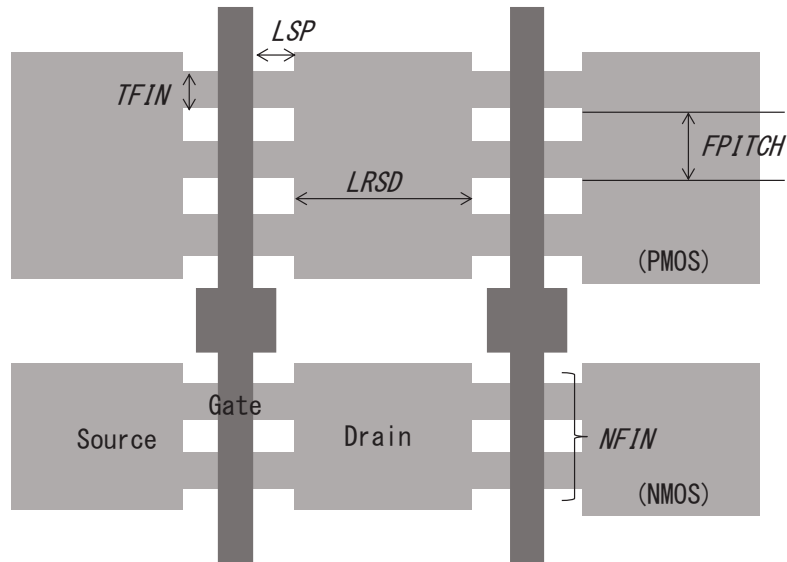
回路シミュレータ: Synopsys HSPICE I-2013.12-SP1-1

JEITA Nano Scale Physical Design Working Group

76

回路ベースでのFinFET最適化

・評価inv.レイアウト

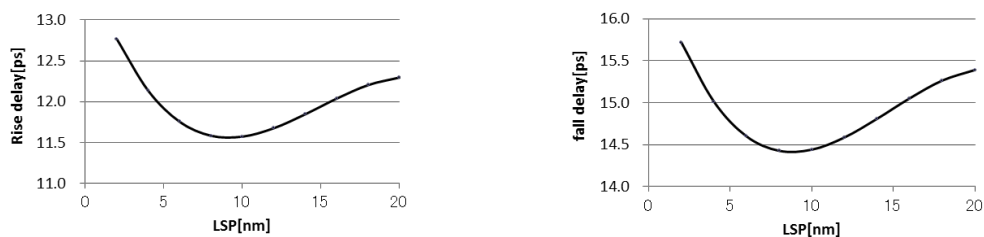


JEITA Nano Scale Physical Design Working Group

77

回路ベースでのFinFET最適化

・評価結果 (N=4, L=100[um]の場合)



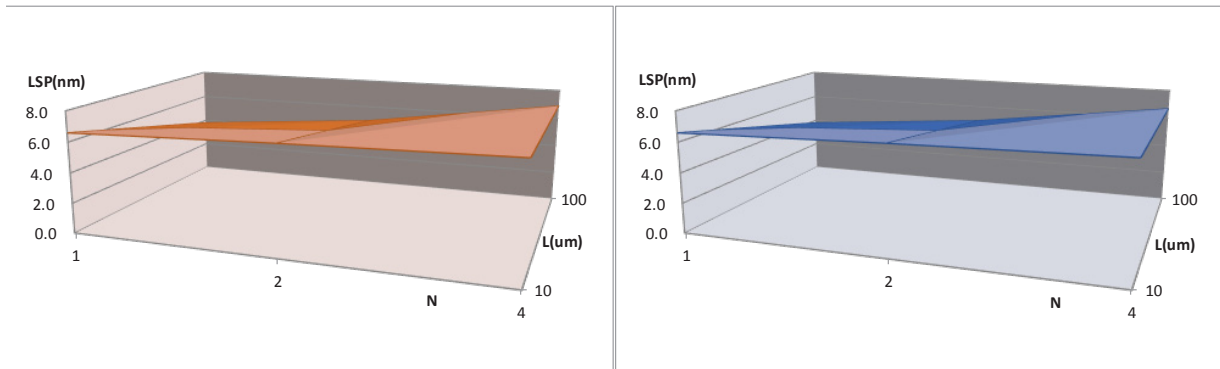
- $LSP=6.8$ [nm]付近で T_{pd} の最小化が可能。
- 最大10%程度の遅延地改善が可能。

JEITA Nano Scale Physical Design Working Group

78

回路ベースでのFinFET最適化

- 最小遅延時間でのLSP, N, Lの相関



- 遅延値に対するLSPの最適値は、配線長に対する感度が低い。

結論

- FinFETの寄生RC成分の関係について、モデル化を行った。
- モデル化した寄生RC成分を適用し、回路ベースで遅延値の最適化を行った。
- 最適化の結果、最大10%程度の遅延改善を確認した。
- 次年度においては、powerの観点に着目し、最適化の検討を行う。

参考文献

- [1] S. Chaudhuri, P. Mishra and N.K.Jha: International Conference on VLSI Design(2012) 238.
- [2] M. Alioto: IEEE International Symposium on Circuits and Systems(2010) 3204.
- [3] BSIM-CMG(Berkeley Short-channel IGFET Model - Common Multi-Gate) 107.0.0 (2013): <http://www-device.eecs.berkeley.edu/bsim/?page=BSIMCMG>
- [4] D. Hisamoto, Wen-Chin Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T-J King, J. Bokor and C. Hu: IEEE Trans. Electron Dev. 47[12] (2000) 2320
- [5] Synopsys Corp., “Raphael Interconnect Analysis Program Reference Manual, Version D-2010.03,” 2010
- [6] Predictive Technology Model (PTM): <http://ptm.asu.edu>
- [7] NanGate Free 45nm Open Source Digital Cell Library: <http://si2.org/openeda.si2.org/projects/nangatelib>
- [8] The International Technology Roadmap for Semiconductors (ITRS2007): <http://public.itrs.net>
- [9] Synopsys Corp., “HSPICE Reference Manual, Version I-2013.12-SP1-1,” 2012
- [10] Akira Todoroki and Tetsuya Ishikawa: Composite Structures 64.3 (2004) 349.

LSI Package Board(LPB)の相互設計を実現する JEITA LPB標準フォーマットとその国際標準化

JEITA 半導体部会、EDA技術専門委員会
LSIパッケージボード相互設計ワーキンググループ
主査
福場 義憲



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page1

Agenda

1. はじめに
～部品内蔵基板モジュール設計で大変だったこと～
2. LPB標準フォーマットの紹介と標準化
3. ゴールデンサンプルとリファレンスフロー
4. LPBの効果例
5. LPBがもたらしたもの



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page2

Agenda

1. はじめに
～部品内蔵基板モジュール設計で大変だったこと～
2. LPB標準フォーマットの紹介と標準化
3. ゴールデンサンプルとリファレンスフロー
4. LPBの効果例
5. LPBがもたらしたもの



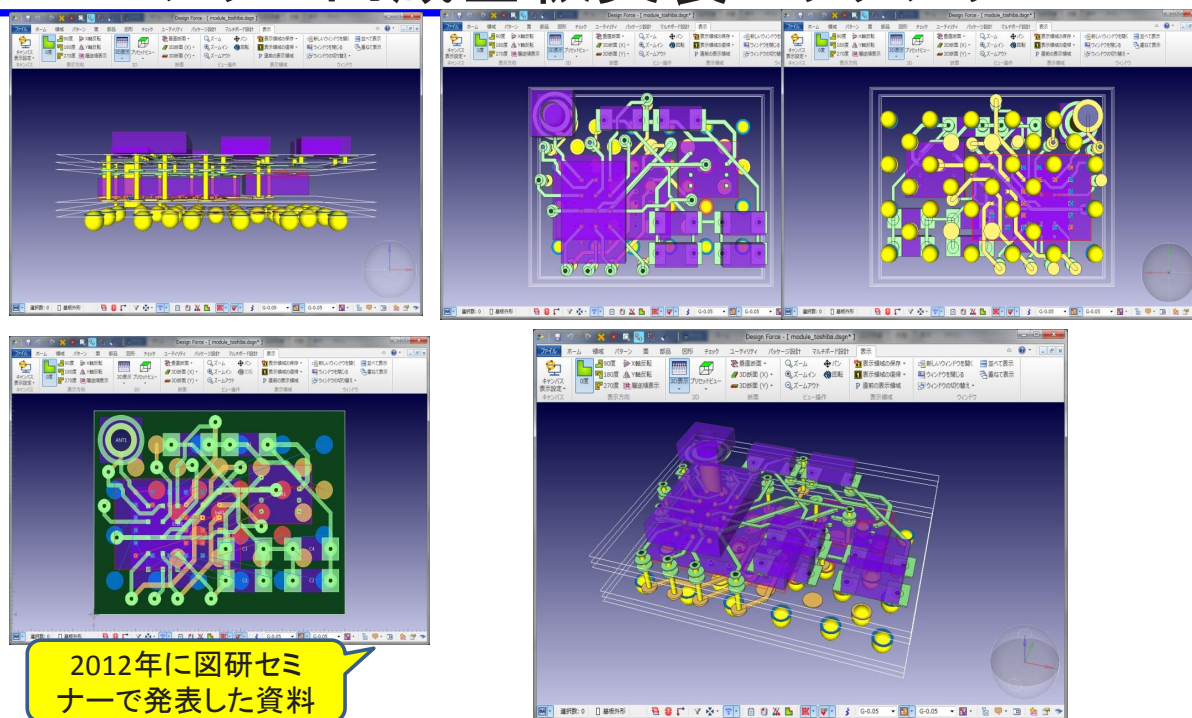
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page3

チップ内蔵基板実装モックアップ



CR-8000



での配置配線

図研様ご提供

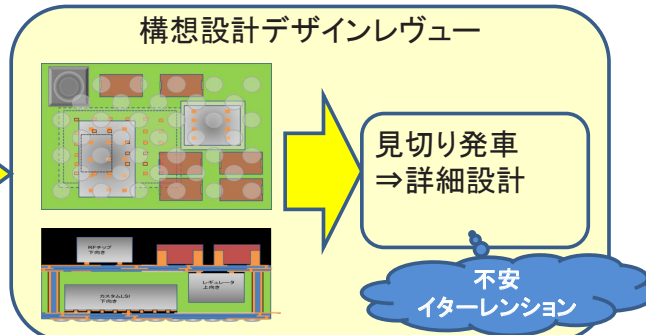
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page4

チップ内蔵基板設計で感じた課題

- ・ 構想段階で既に多くのイタレーションが発生
- ・ 結果に確信が持てない



- ・ 設計者の知識、スキル、用語、検討環境がばらばら
& 情報不足
- ・ 構想設計の精度が不十分。
 - － モジュールは性能特性自己完結
 - － 構造図だけでは電気・熱・構造シミュレーションができない。



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

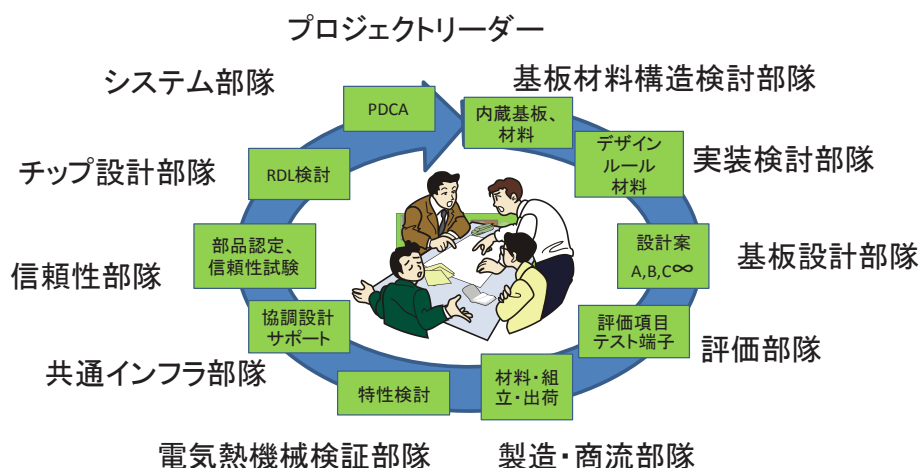
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page5

課題続き

- ・ 設計情報収集と意思決定に手間取った



必要情報が整理されていない、流通していない。



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page6

内蔵基板モジュールとして課題整理

- ・構想段階での精度を上げる。
- ・物理・特性検証をできるだけ上流でこなす。
- ・設計・解析セットアップ時間は極めて短く。
 - ・迅速なイタレーション。
- ・LSI 基板 マザーの設計環境間での意思の疎通。
 - ・十分な考察



- ・情報収集(設計パラメータ、設計ターゲット)。
- ・設計制約・自由度の正確な伝搬
- ・スキルアップ



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page7

設計現場における課題



LPB協調設計における課題

- ① 設計者の主観による認識ずれ
- ② 全体最適に必要な情報の不明確さ
- ③ 本来、設計に費やされるべき時間の浪費

何が必要か:
リスト

どうやって
伝えるか:
書式

何をしたいか:
伝達方法



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page8

Agenda

1. はじめに
～部品内蔵基板モジュール設計で大変だったこと～
2. LPB標準フォーマットの紹介と標準化
3. ゴールデンサンプルとリファレンスフロー
4. LPBの効果例
5. LPBがもたらしたもの



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

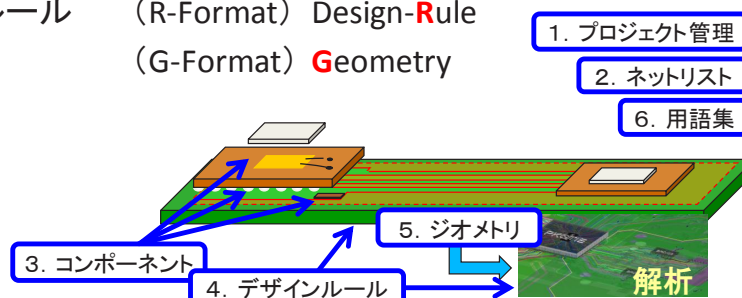
Page9

JEITA LPB標準フォーマット

JEITA LPB-WG LPB標準フォーマット

5つのファイルと用語集を策定

1. プロジェクト管理 (M-Format) **M**anagement
2. ネットリスト (N-Format) **N**etlist
3. コンポーネント (C-Format) **C**omponent
4. デザインルール (R-Format) Design-**R**ule
5. ジオメトリ (G-Format) **G**eometry
6. 用語集



必要情報伝達の際の項目と書式を定義



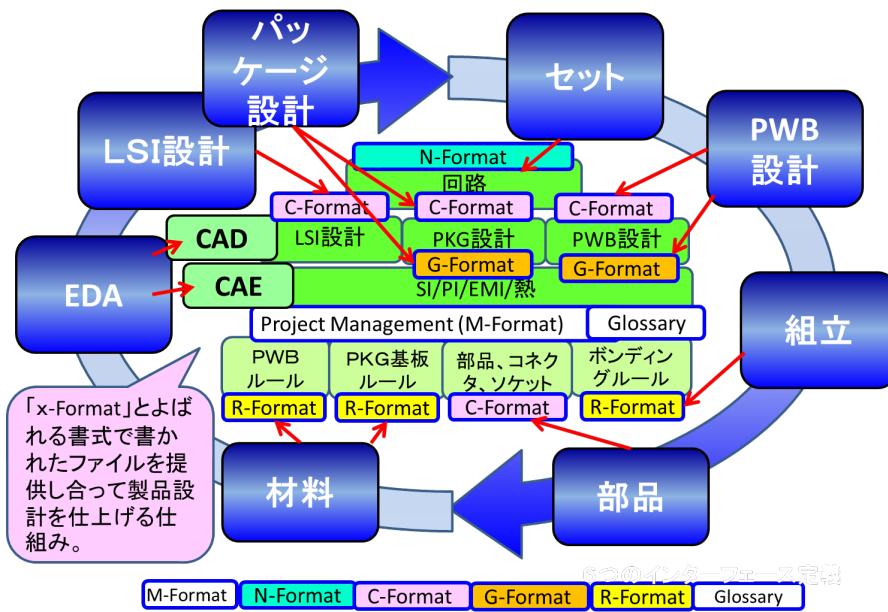
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page10

情報チェーンを作る



サプライチェーン上に情報の流通を形成



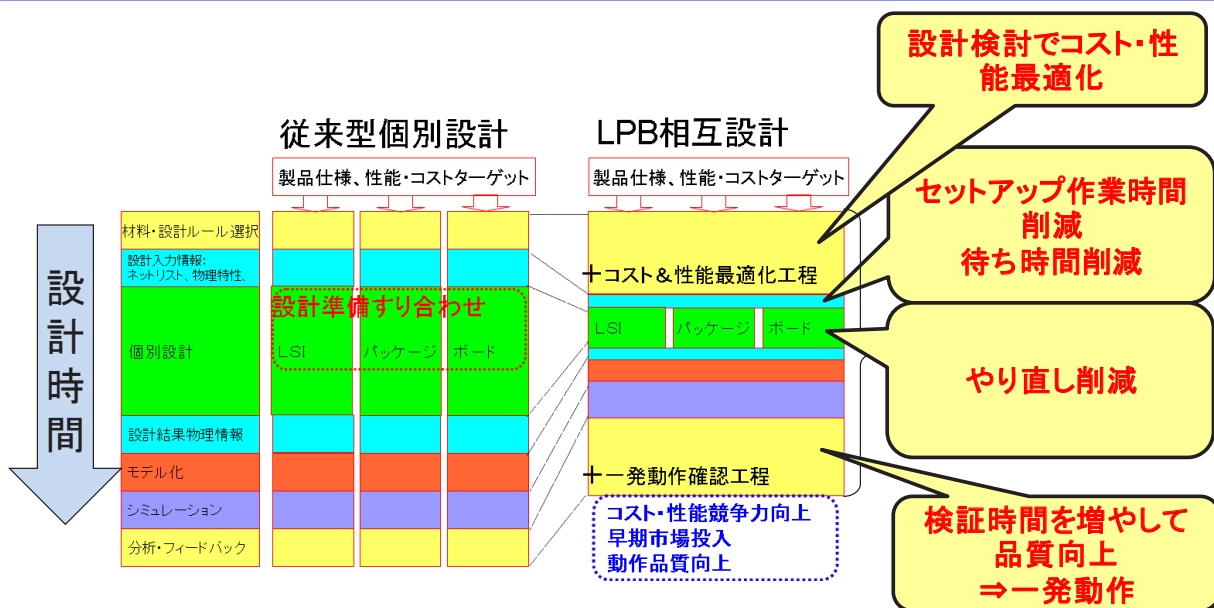
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page11

設計工程の時間配分の変化



設計時間を短縮し構想や検証に時間をかける



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page12

JEITA LPB-WGの紹介



JEITA-JSIA 半導体部会



EDA技術専門委員会



LPB(LSI Package board) 相互設計ワーキンググループ



http://www.jeita-edatc.com/wg_lpb/home/lpb-en.html

・参加メンバー(過去分含む)

Toshiba, Fujitsu semiconductor, Renesas Electronics Ricoh
 Canon, Sony, Panasonic, Denso, Nokia
 Fujitsu VLSI, Sony LSI, NEC System Technologies
 Toppan NEC Circuit solutions
 Zuken, Cadence Japan, Mentor Graphic Japan, StayShift(nimbic)
 Fujitsu Advanced Technologies, Gem Design Technologies.
 ANSYS, ANSYS Apache, ATE service(Sigrity) Else.

多数・多彩なメンバの参加で活発に活動中



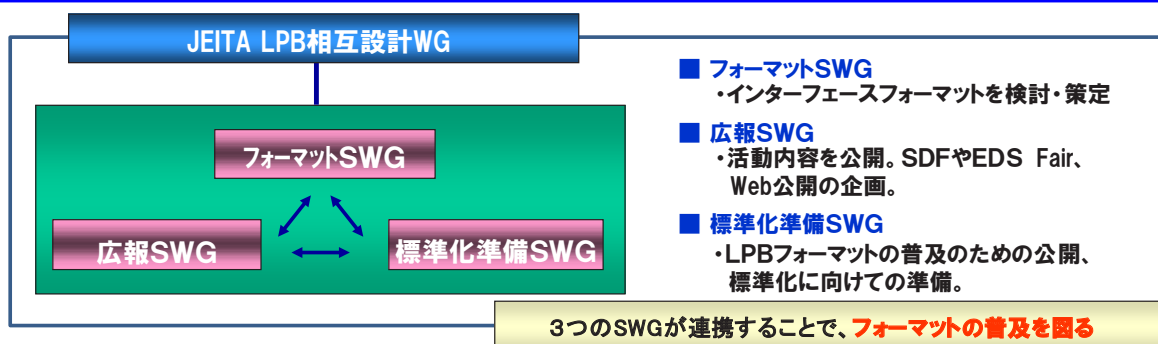
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page13

JEITA LPB-WG活動



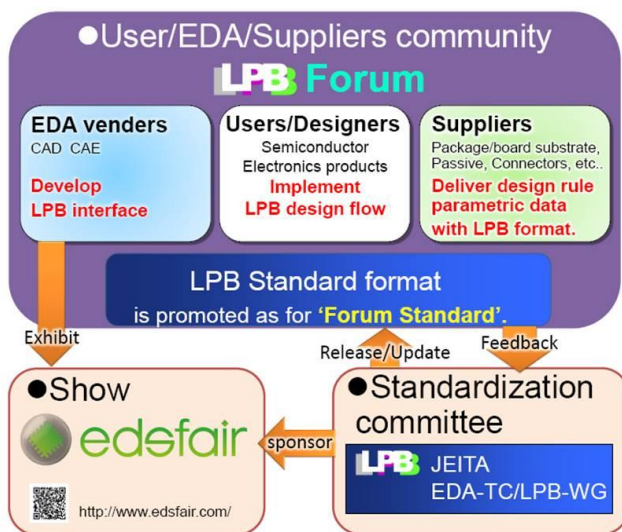
■LPBフォーマットロードマップ

CY2009	CY2010	CY2011	CY2012	CY2013	CY2014
◆preparation	◆LPB-WG start	▲LPB V1.0	▲LPB V2.0	▲LPB V2.1 ▲Golden Sample	△Ref. Flow △Golden Sample (Updated)
●EDSFair2009		●EDSFair2011	●EDSFair2011Nov.	●EDSFair2012	●EDSFair2013

役割分担で大きなアウトプットを出している。

LPBフォーラム

<http://www.lpb-forum.com/>



活動経緯

- 2013年3月6日
第1回LPBフォーラム開催
・EDAベンダーのLPBフォーマット対応状況として、EDA事例発表等を実施。
- 2013年9月27日
第2回LPBフォーラム開催
・標準化状況報告
・リファレンスフローについて議論
- 2013年11月20日
第3回LPBフォーラム(EDSフェア2013)
・標準化状況報告
・リファレンスフローにおけるLPBフォーマットの効果を議論
- 2014年3月4日
第4回LPBフォーラム開催予定

コミュニティを形成し普及を図る。



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page15

LPB標準フォーマット国際標準化

■ 2013年度 標準化へ向けての本格的活動開始。

LPB標準フォーマットの国際標準化は、IEEEに決定。

<活動内容>

- ・ロビー活動 (DAC2013展示等)
- ・標準化計画立案 (IEEEと協議)
- ・PAR (Project Authorization Request) 作成/提出

8月28日 PAR (Project Authorization Request) 最終案を提出

9月24日 Project Number "P2401"としてIEEEにてAssign完了
→DASC Approval 9/27~2week voting for PAR

10月10日 PARがIEEE/DASCにて承認。

IEEEにて、2015年6月に標準化を目指す。



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page16

Agenda

1. はじめに
～部品内蔵基板モジュール設計で大変だったこと～
2. LPB標準フォーマットの紹介と標準化
3. ゴールデンサンプルとリファレンスフロー
4. LPBの効果例
5. LPBがもたらしたもの



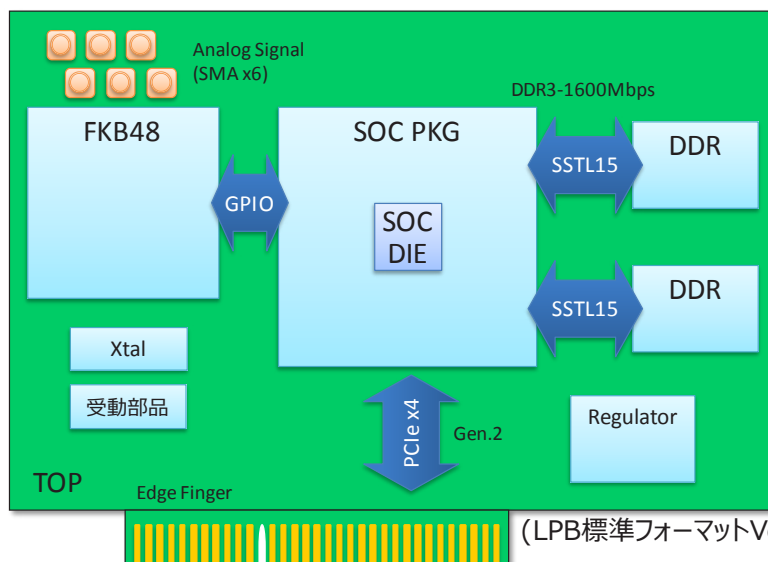
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page17

ゴールデンサンプル



搭載部品	補足説明
SOC	DIE, PKGとも新規設計
DDR	既成品 (PKG品)
FKB48	既成品 (PKG品)
Regulator	既成品 (PKG品)
Xtal	既成品
受動部品	既成品

開発用テストベンチ「ゴールデンサンプル」を用意



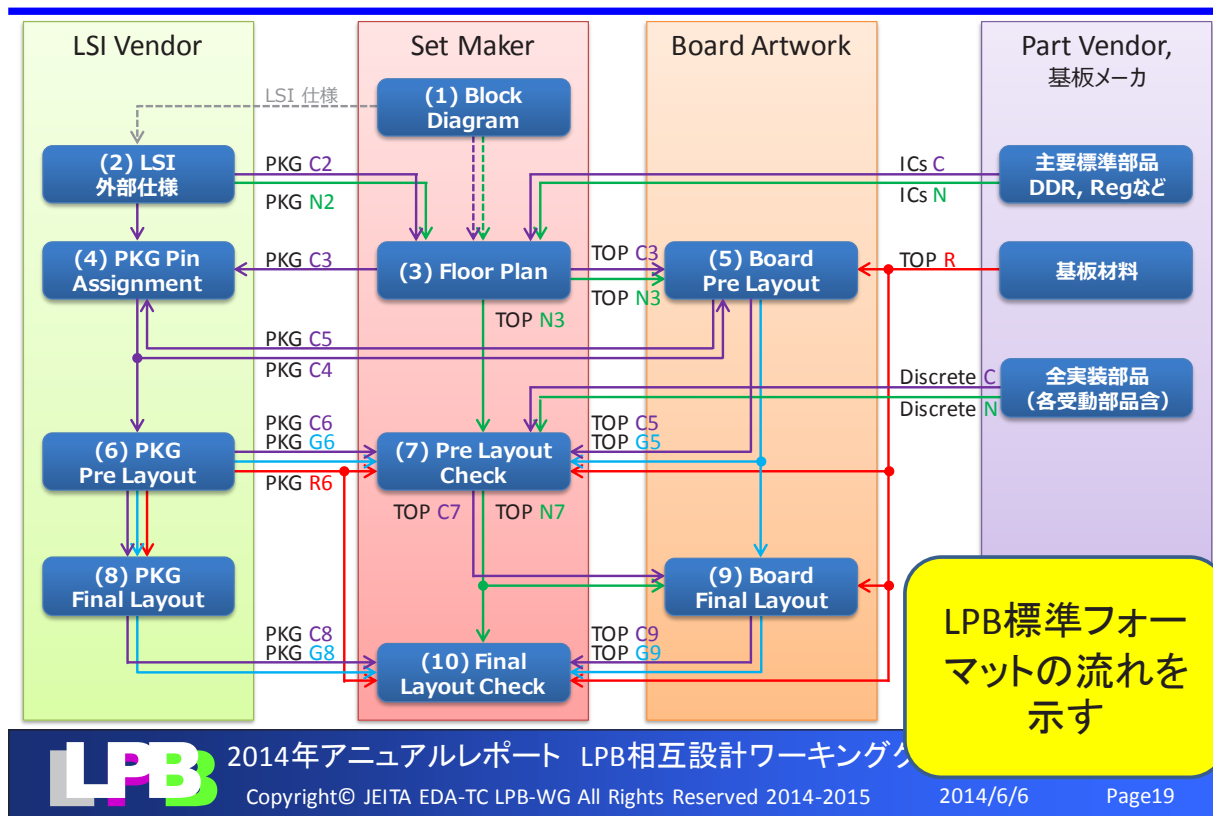
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

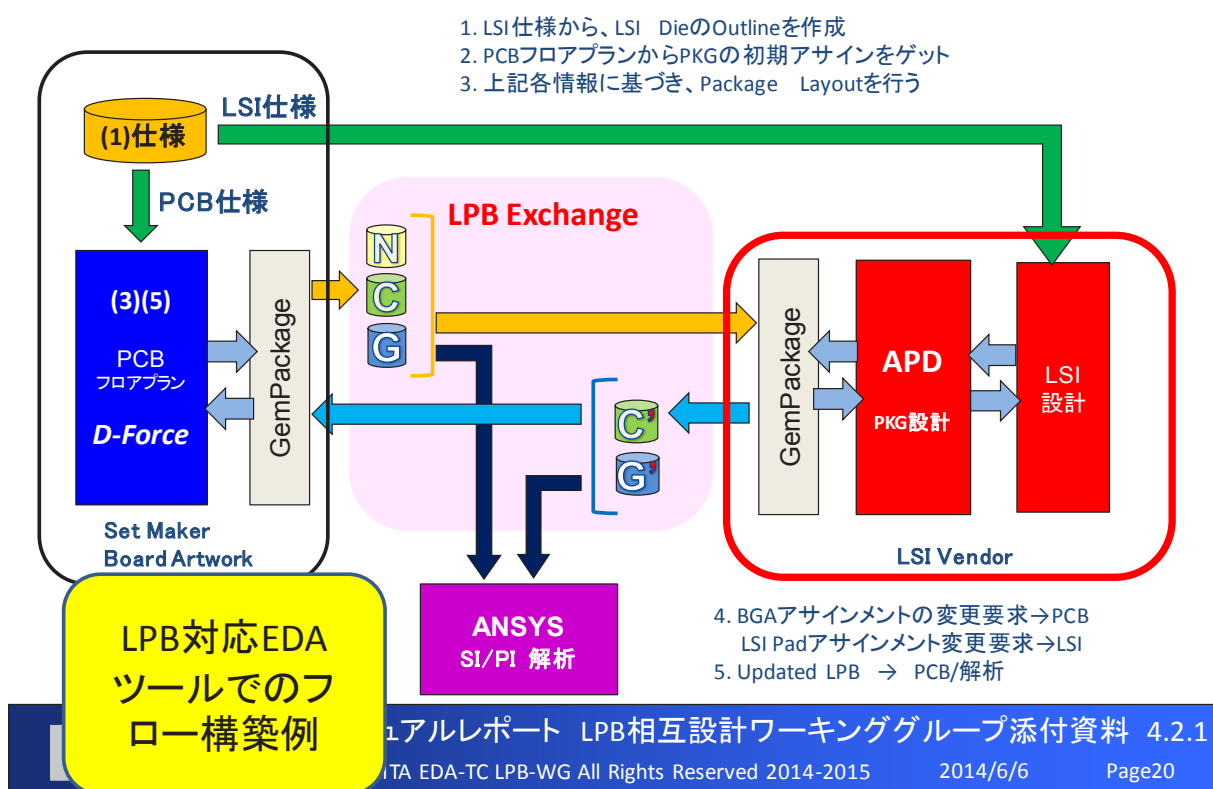
2014/6/6

Page18

リファレンス・フロー



LPBの相互設計EDA一例



ファイル成長の例 (C-Format)

Header	header	ヘッダ
Global	unit	単位系の設定
	shape	padstackを構成する基本形状(Rectangle)
	pad stack	端子番号、x座標、y座標、端子名など 下の組み合わせを定義
Module	socket	端子の形状、座標、名称を定義
	port	交換可能な端子や端子グループを指定
	port group	交換可能な端子/端子グループ
	power domain group	端子の動作電圧
	swappable port/group	特性インピーダンス、遅延、スキューなど
	frequency	機能ブロックの仕様を定義
	constraint	上位階層と機能ブロックの接続手続きを定義
	specification	機能ブロックの配置
Component	placement	機能ブロックの配置

各工程を通過
することに成長
していく。

部品の配置情報

[記述例]

```
<placement ref_module="SOC" inst="SOC" x="400" y="-6500" />
<placement ref_module="DDR" inst="DDR0" x="37000" y="-3200" />
```



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page21

C-formatの成長(例)

```

...
<port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A2" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A3" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A4" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A5" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A6" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A7" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A8" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A9" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A10" x="12500" y="12500" angle="0" name="NC" type="dontcare" />

```

PKG-C2

```

...
<port id="A3" x="-10500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A4" x="-9500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A5" x="8500" y="12500" angle="0" name="FKBDO[3]" direction="out" type="signal" />
<port id="A6" x="7500" y="12500" angle="0" name="FKBDO[0]" direction="out" type="signal" />
<port id="A7" x="6500" y="12500" angle="0" name="FKBDO[1]" direction="out" type="signal" />
<port id="A8" x="5500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" />
<port id="A9" x="4500" y="12500" angle="0" name="XTAL2" direction="inout" type="signal" />
<port id="A10" x="3500" y="12500" angle="0" name="XTAL3" direction="inout" type="signal" />

```

PKG-C3

```

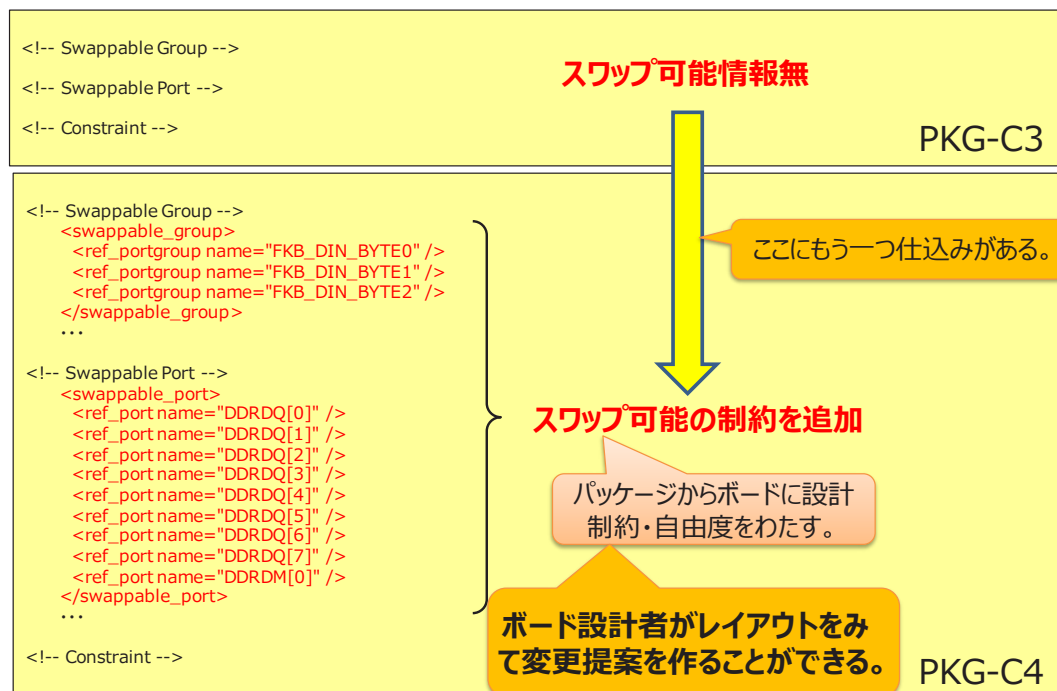
...
<port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A2" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A3" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A4" x="12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A5" x="12500" y="12500" angle="0" name="FKBDO[5]" direction="out" type="signal" />
<port id="A6" x="12500" y="12500" angle="0" name="FKBDO[2]" direction="out" type="signal" />
<port id="A7" x="12500" y="12500" angle="0" name="FKBDO[4]" direction="out" type="signal" />
<port id="A8" x="5500" y="12500" angle="0" name="VDD_PLL" direction="inout" type="power" />
<port id="A9" x="4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" />
<port id="A10" x="3500" y="12500" angle="0" name="XTAL2" direction="inout" type="signal" />

```

PKG-C4

工程通過するとLPBフォーマットは成長しお互いの都合を伝え合う。

C-Formatへのスワップ可能ピン情報追加



制約・自由度の情報共有⇒設計変更案作成可能

4.2.1
Page23

Agenda

1. はじめに
～部品内蔵基板モジュール設計で大変だったこと～
2. LPB標準フォーマットの紹介と標準化
3. ゴールデンサンプルとリファレンスフロー
4. LPBの効果例
5. LPBがもたらしたもの



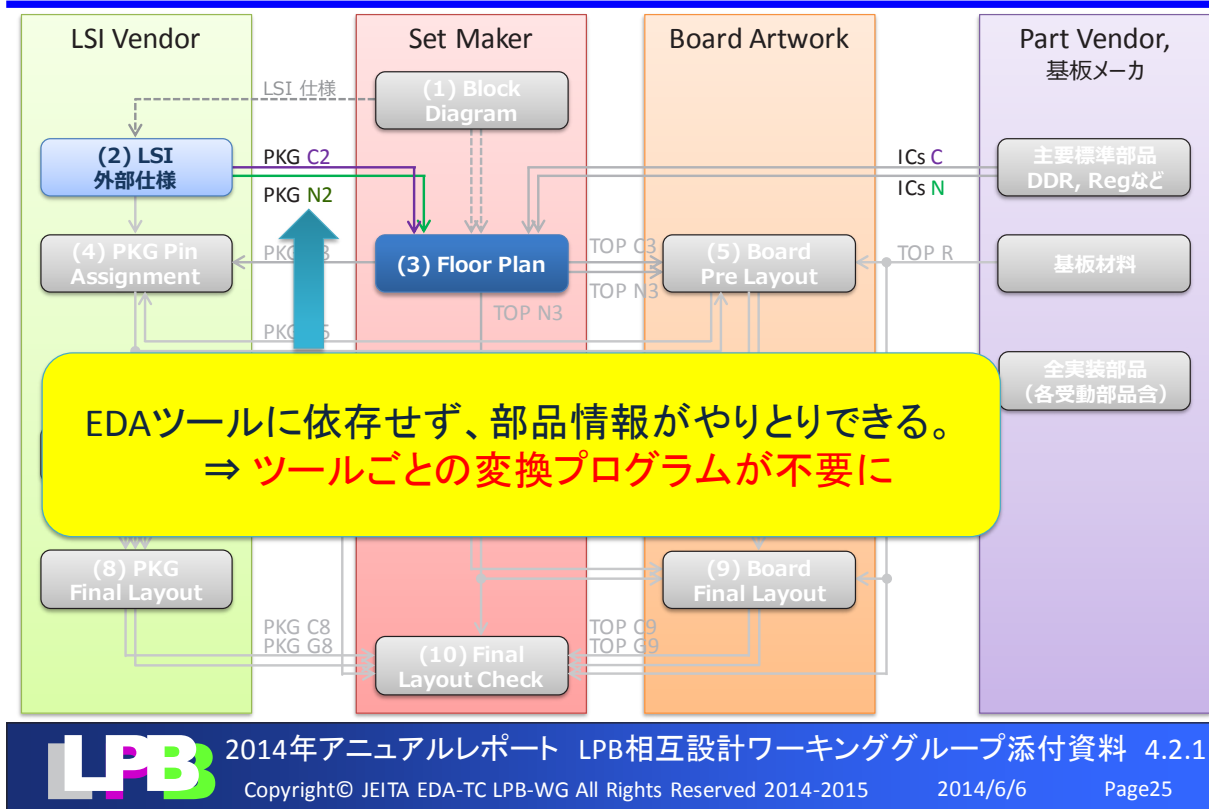
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

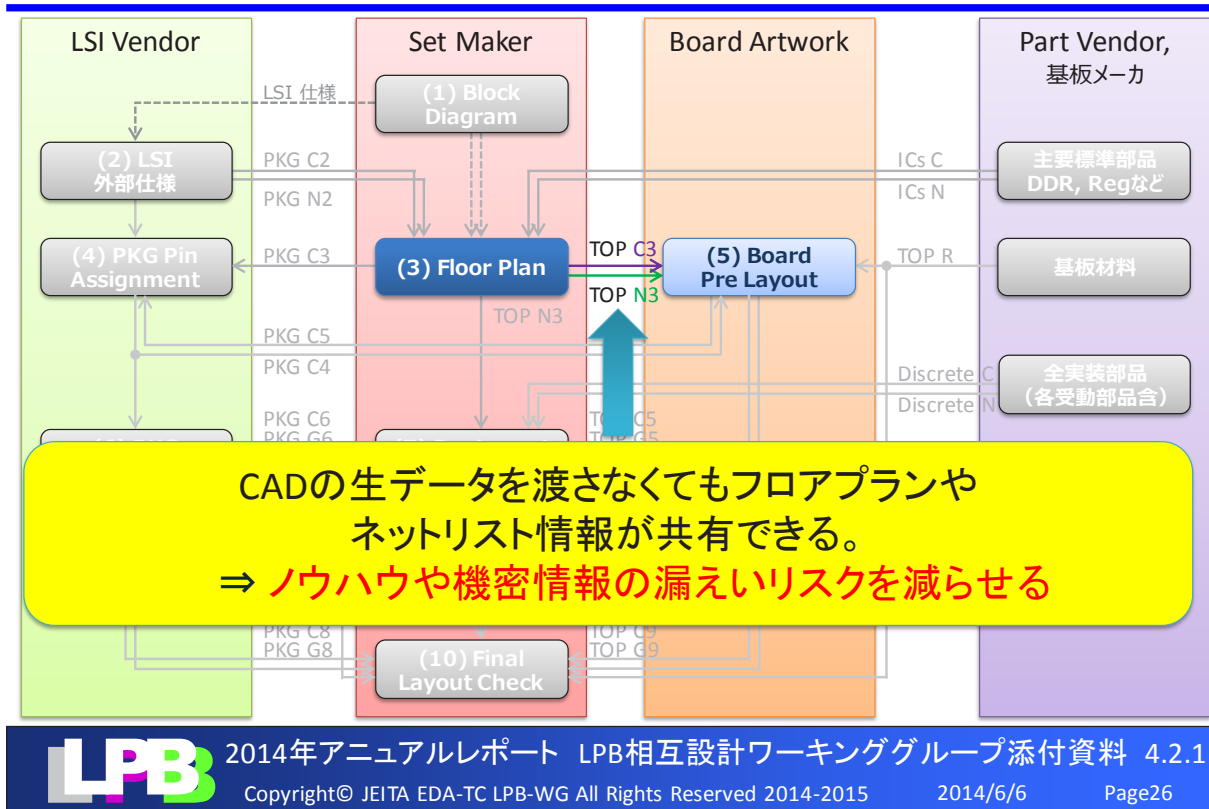
2014/6/6

Page24

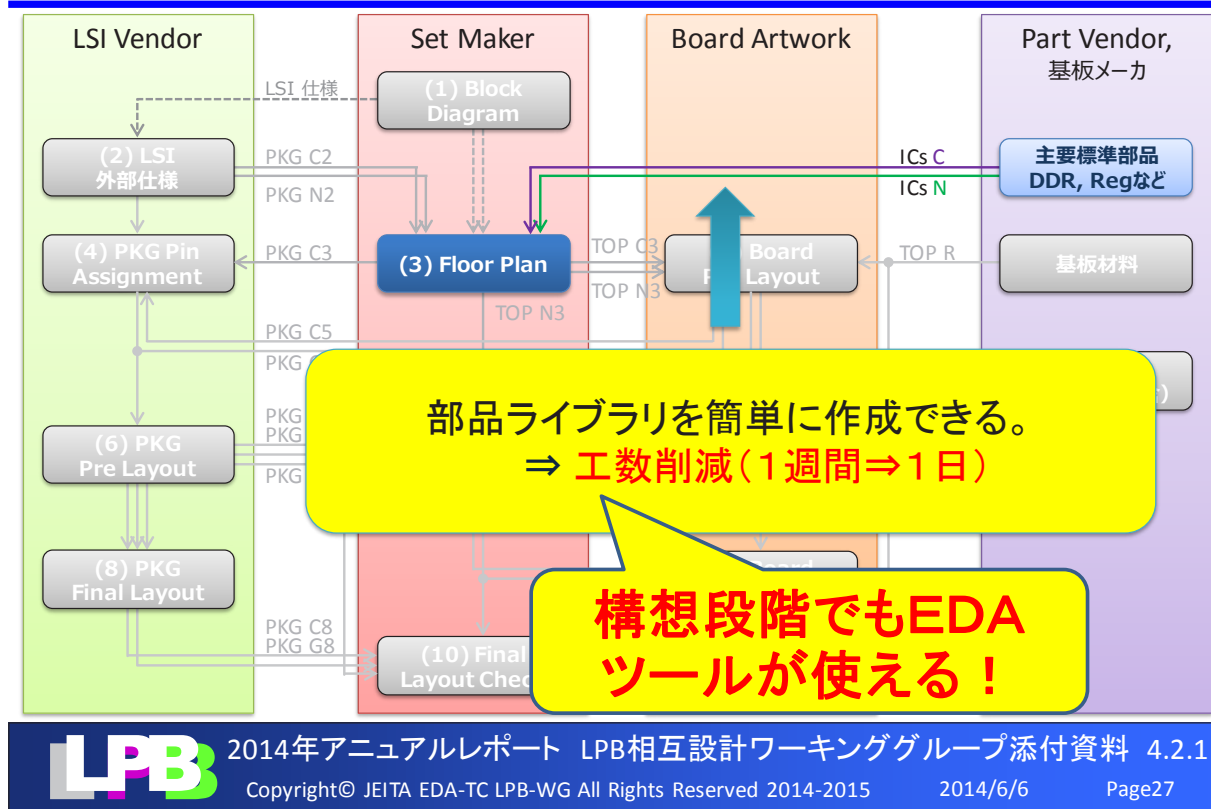
LPB Formatのメリット(全体構想) 1



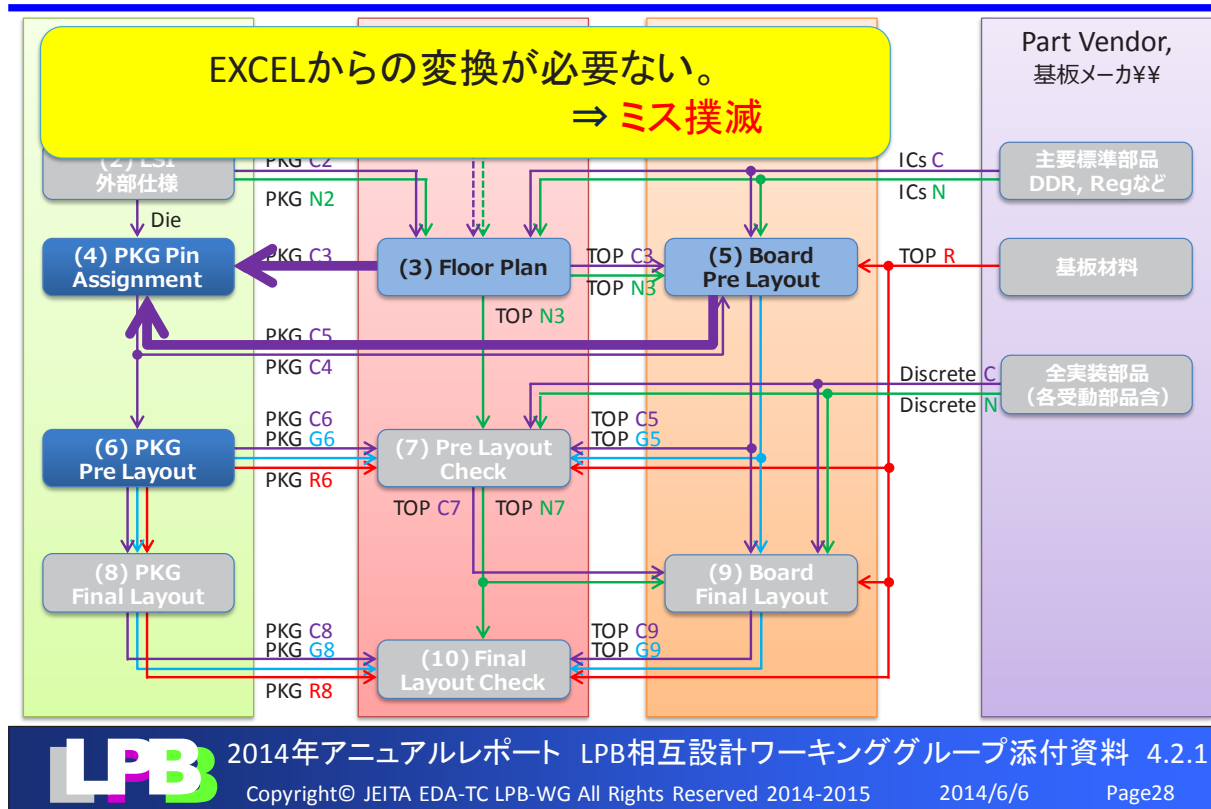
LPB Formatのメリット(全体構想) 2



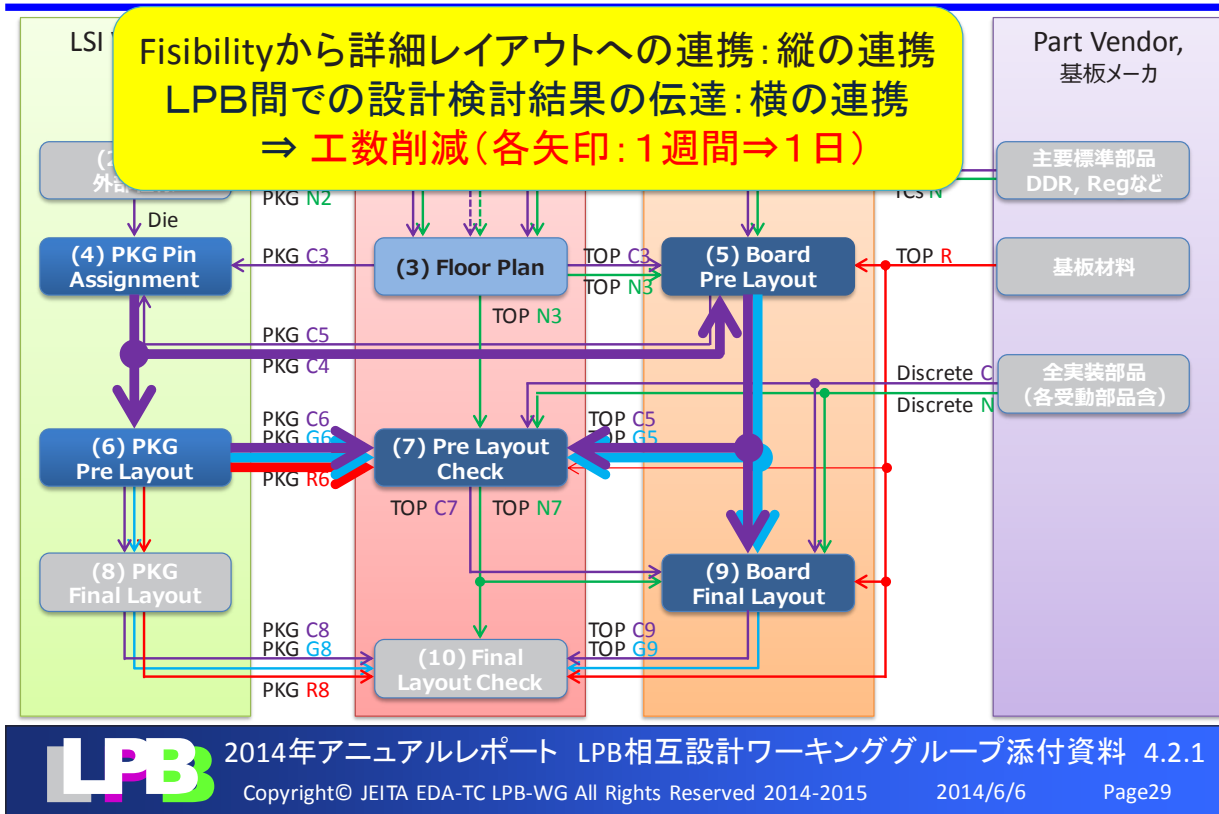
LPB Formatのメリット(全体構想)3



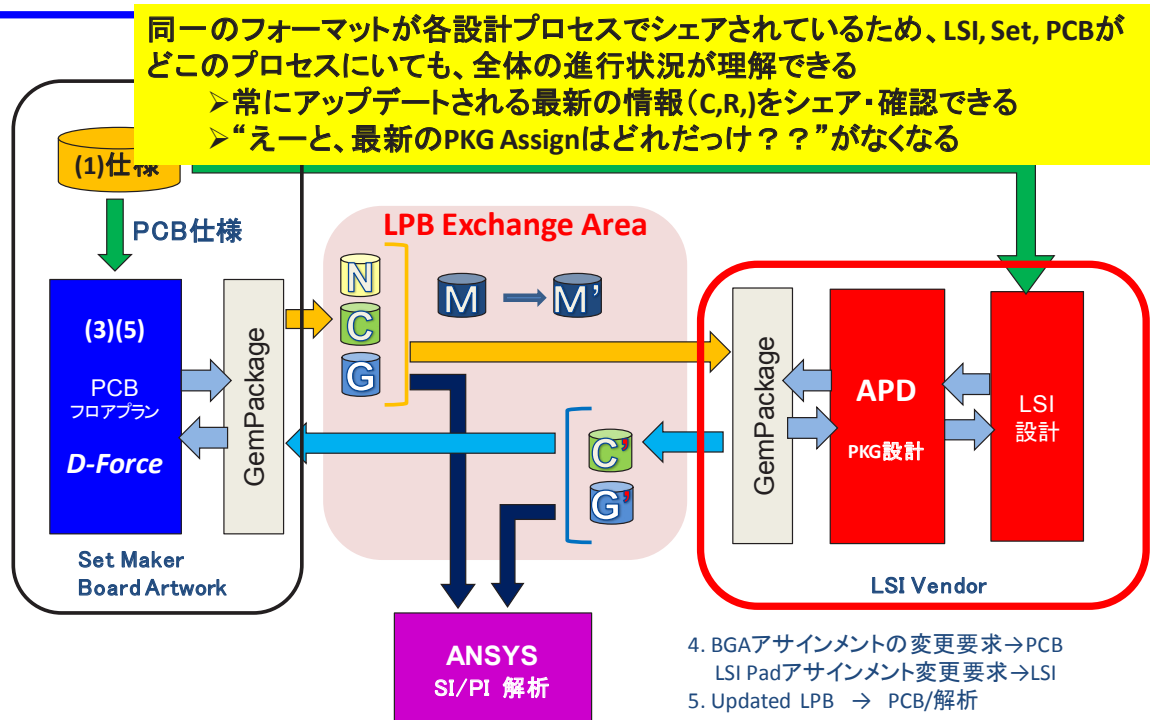
LPB Formatのメリット(PKG入力)



LPB Format のメリット(連携部分)



LPB Formatのメリット(プロジェクト管理)



解析ツールのセットアップ

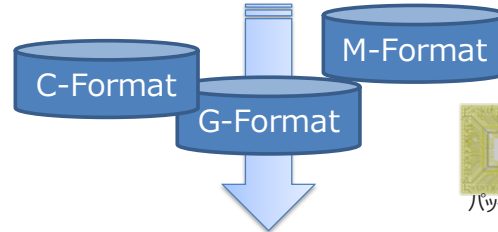
シミュレーションの セットアップ :

- 基板、パッケージ形状
 - 配線パターン、ビア、パッド
 - プレーン、ポリゴン
 - etc...

- 搭載部品
 - キャパシタ、インダクタ、抵抗
- 制約項目
 - スキュー、周波数、etc...

各社レイアウトツール :

- 図研 Design Force
- Cadence APD
- Fast Start YDC CADVANCE
- GemDesign Gem package etc...



電磁界解析ツール :

- ANSYS全般 ANSYS
- apache全般
- Nimbic OR-tech MEL etc...

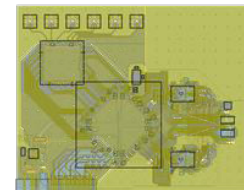
熱解析ツール :

- ANSYS Icepack ANSYS
- apache Sentinel-TI

Capacitor (C, ESL, ESR)

Inductor (L)

Resistor (R)



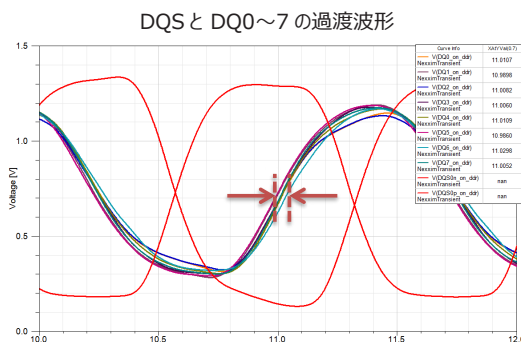
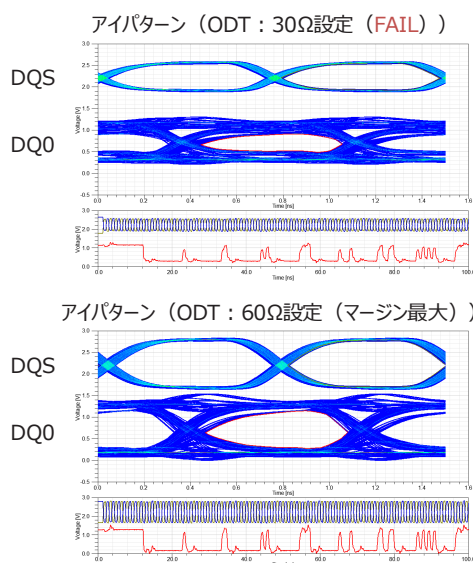
パッケージ

ボード

解析ツールのセットアップが一瞬で終わる。
CAD・CAEの組み合わせのデータ変換問題が無くなる。
⇒ 構想段階からサインオフまで設計と解析が連携できる

SIの例

シミュレーション結果 :



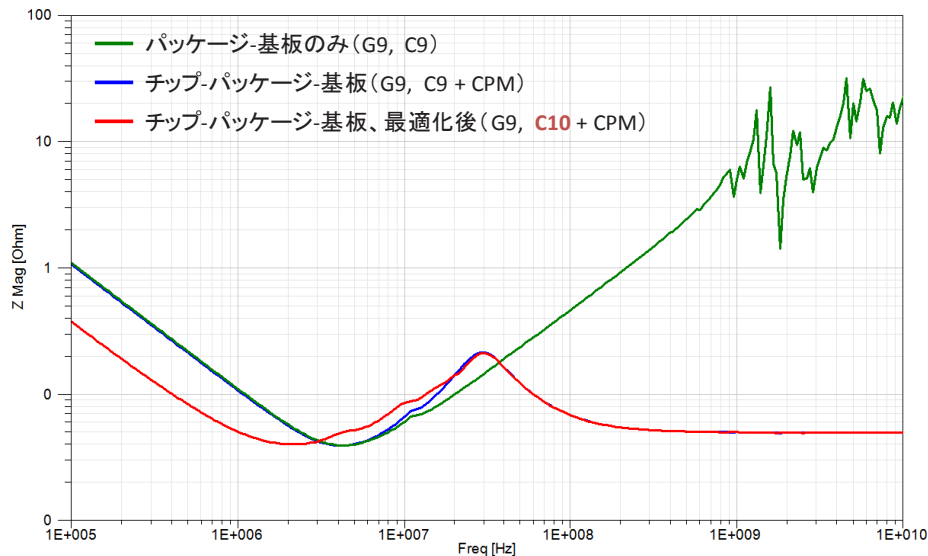
【スキューの最大値 (ODT=60Ω)】

- 42.8ps (DQ5-DQ6)

アイバターンと過渡波形 / ANSYS DesignerSI (回路シミュレータ)

PIの例

シミュレーション結果：



コントローラIC 1.5V電源のインプットインピーダンス / ANSYS SIwave (電磁界解析)



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

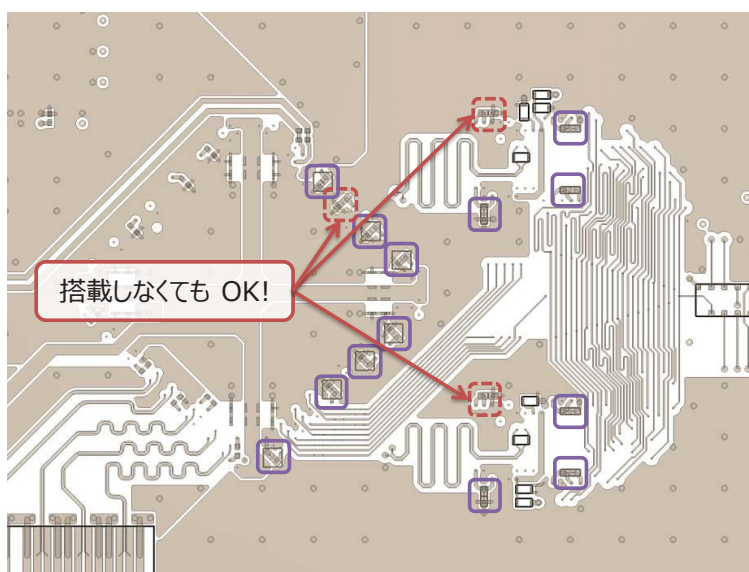
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page33

PIの例(最適化例)

シミュレーション結果：



バイパスコンデンサの配置 (基板の裏面) / ANSYS SIwave (電磁界解析)

解析ツールから設計ツールへの変更提案を書式で表現できる

C-Format

最適化後の部品配置に修正

Board Artwork へ



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

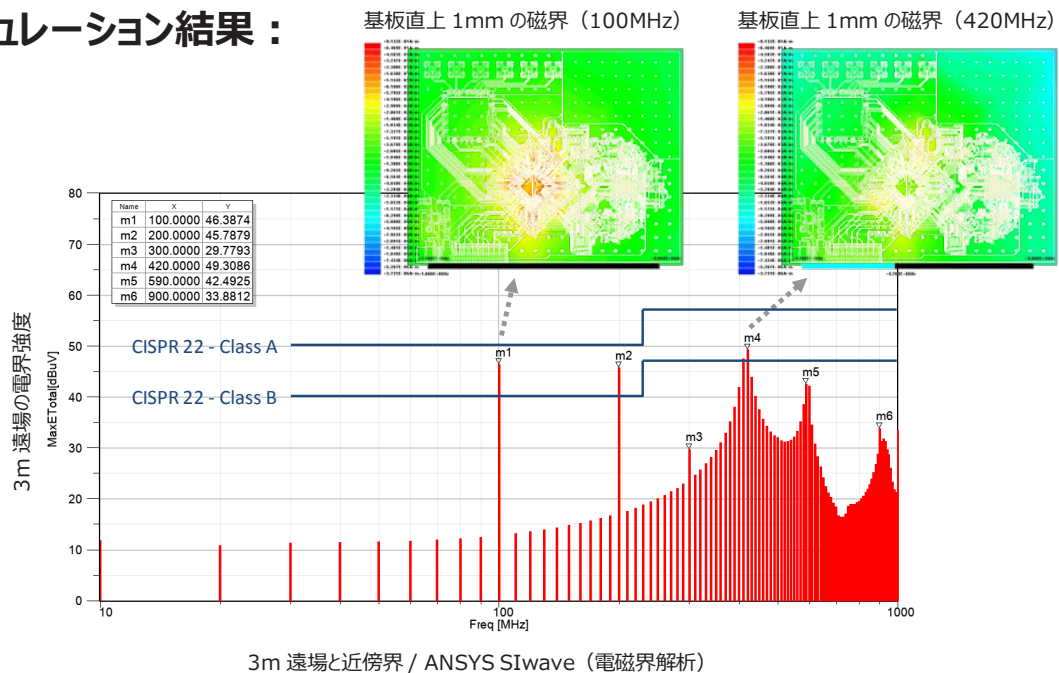
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page34

EMIの例

シミュレーション結果：



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page35

Agenda

1. はじめに
～部品内蔵基板モジュール設計で大変だったこと～
2. LPB標準フォーマットの紹介と標準化
3. ゴールデンサンプルとリファレンスフロー
4. LPBの効果例
5. LPBがもたらしたもの



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page36

LPBがもたらしたものの一例

LPBは仕組みや人を変える。

- ・ 構想段階ではEDAツールは使えない。何故なら、
 - ・ 情報が集まらない。
 - ・ CAD/CAEのセットアップが1週間かかる。

➤ LPBによって構想設計にEDAを持ち込む。

⇒ 小型・軽量化、最適特性、開発期間短縮（早期市場投入）

- ・ 設計者が作業者となっている。

- ・ 制約や自由度が適切に伝達されない。
- ・ 時間の猶予が無い。

➤ LPBによって設計者が制約・自由度を考慮して対応できる。

➤ セットアップの時間短縮で考える時間が生まれる。

⇒ 作業者から技術者へのステップアップが可能：人材活用



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page37

最後に

LPB標準フォーマットは上流設計において活躍します。

しかし、製造側にうまく情報を渡すことは深く考慮されていません。

重くて上流で使い難くなるからです。

製造側との連携は別なフォーマットと連携しそれを引用、追認することでカバーしていく方針です。

LPBの趣旨に合致した優れたフォーマットと連携するつもりです。

FUJIKOはその最有力候補です。



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.1

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014-2015

2014/6/6

Page38

Introduction of P2401

LSI-Package-Board Standard Format

JEITA EDA-TC Standardization Representative
Genichi Tanaka



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

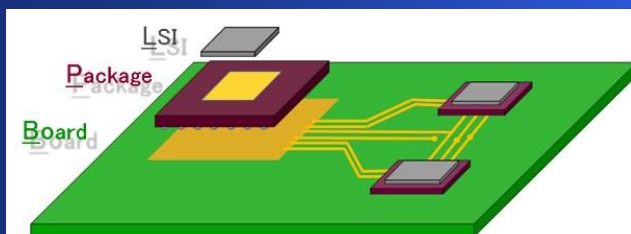
Page39

LSI Package Board needs...

- ★ Mutual Communication
- ★ Design Consistency
- ★ Shorten Development Time

Enabled by

LPB *New Standard format*



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page40

About LPB-WG



JEITA-JSIA Semiconductor board



Electronic Design Automation Technical Committee



LPB(LSI Package board) interoperable design process working group



http://www.jeita-edatc.com/wg_lpb/home/lpb-en.html

•Members

• LPB-WG + ex-LPB-WG

Toshiba, Fujitsu semiconductor, Renesas Electronics, Ricoh

Canon, Sony, Panasonic, Denso, Nokia

Fujitsu VLSI, Sony LSI, NEC System Technologies

Toppan NEC Circuit solutions

Zuken, Cadence Japan, Mentor Graphic Japan, StayShift(nimbic)

Fujitsu Advanced Technologies, Gem Design Technologies.

ANSYS, ANSYS Apache, ATE service(Sigrity)

etc.



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

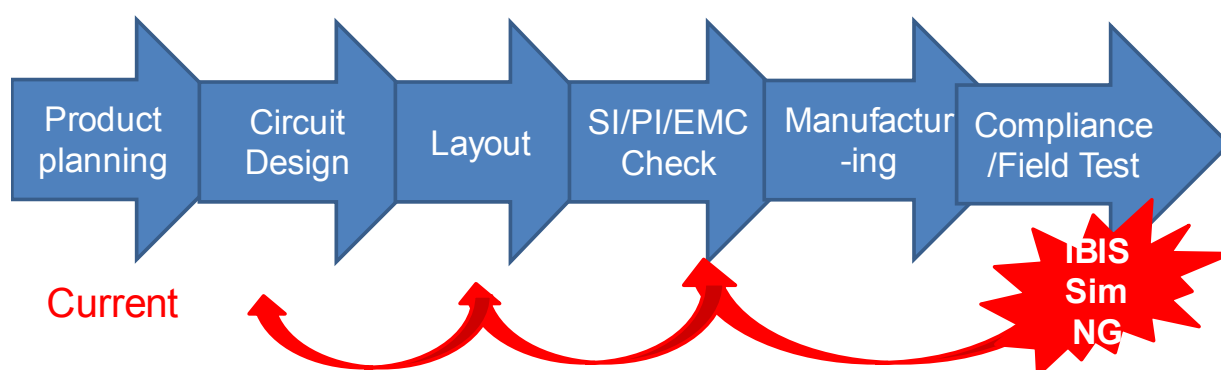
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page41

Issues

• Product development flow & EMC issues



Time consuming, re-design at all
=>development cost,
missing business window



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

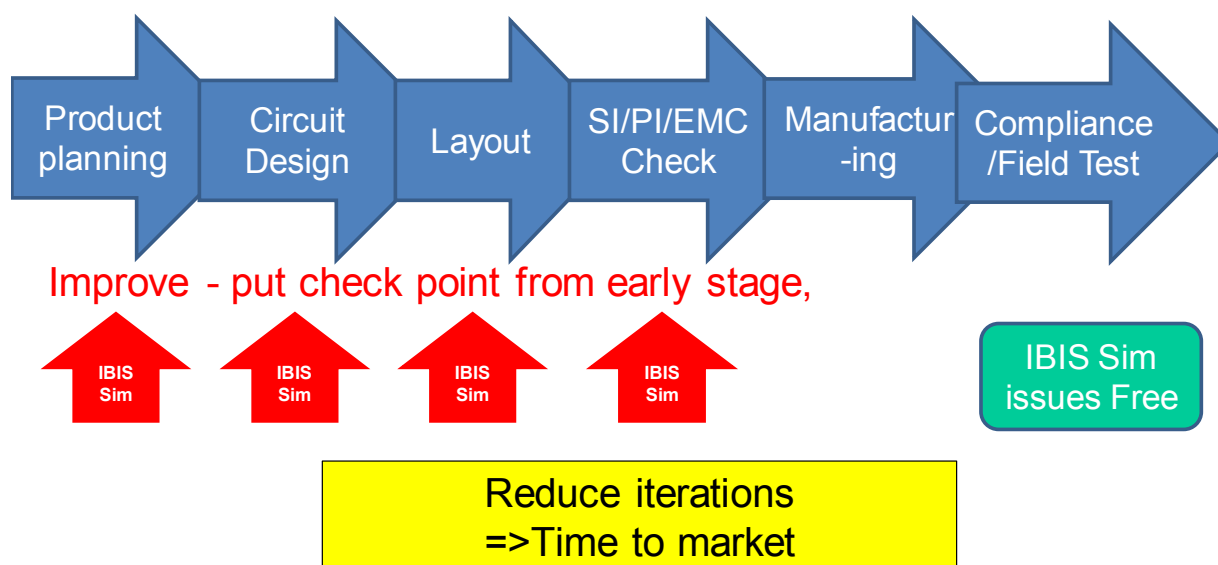
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page42

Target to improve

- How to improve...



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

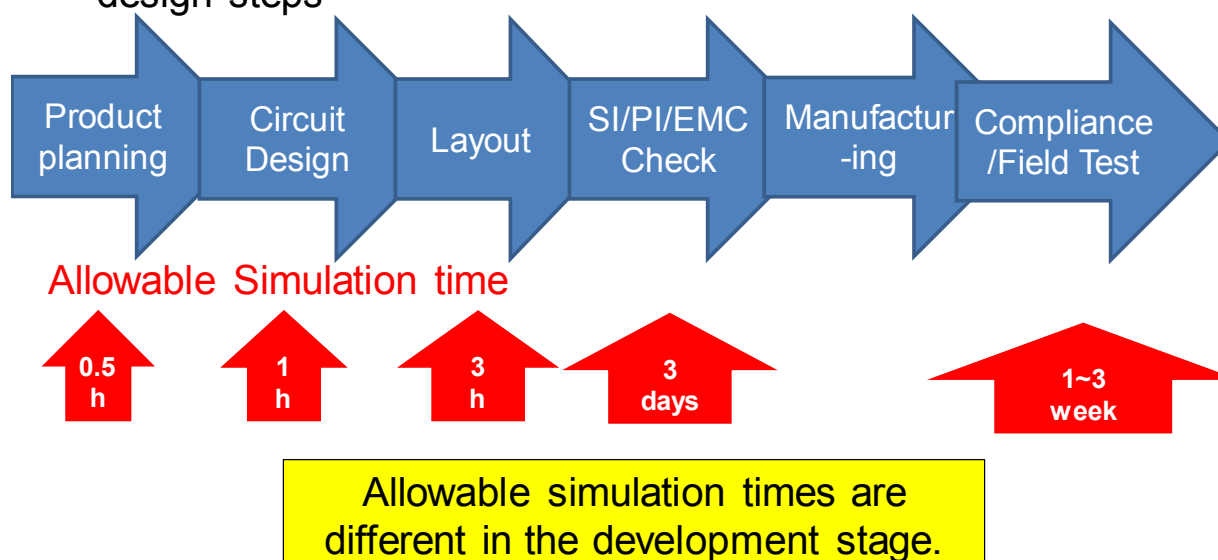
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page43

Challenge of EMC simulation in design

- To estimate simulation time which is allowed in each design steps



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

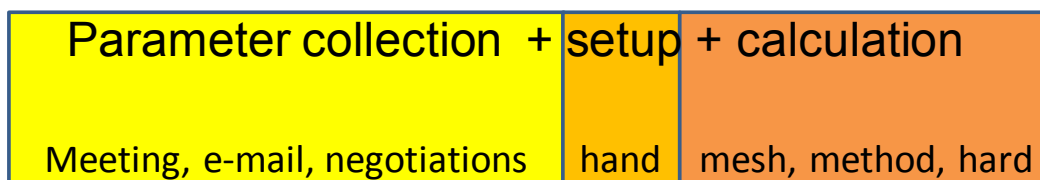
2014/06/05

Page44

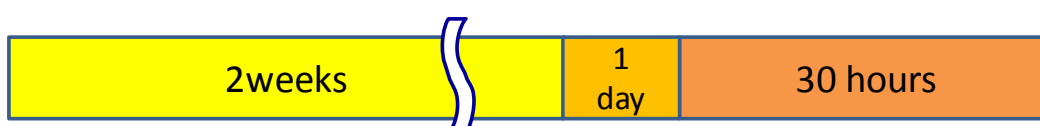
What is the simulation time?

- definition

Simulation time =

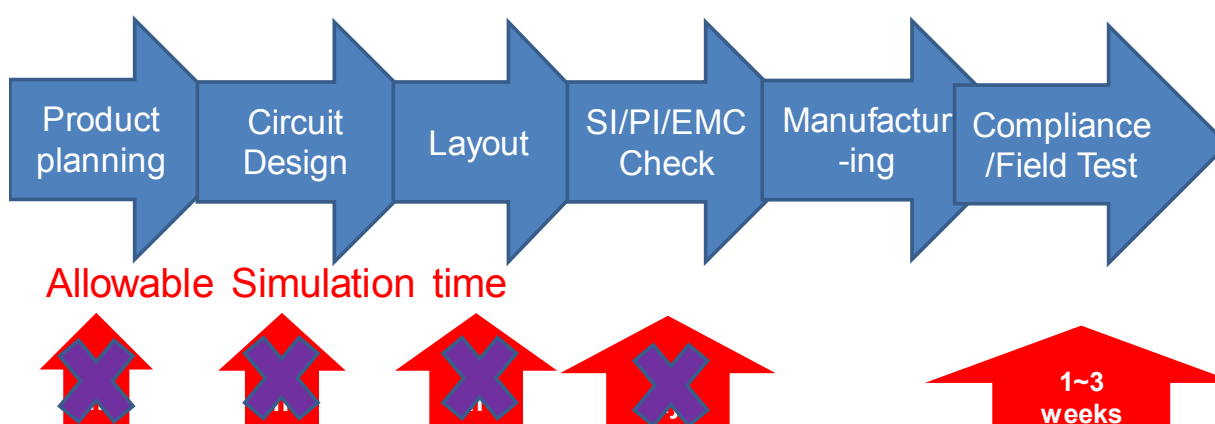


Typical TAT



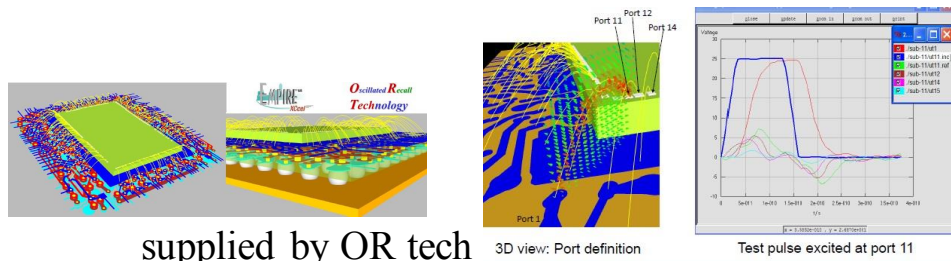
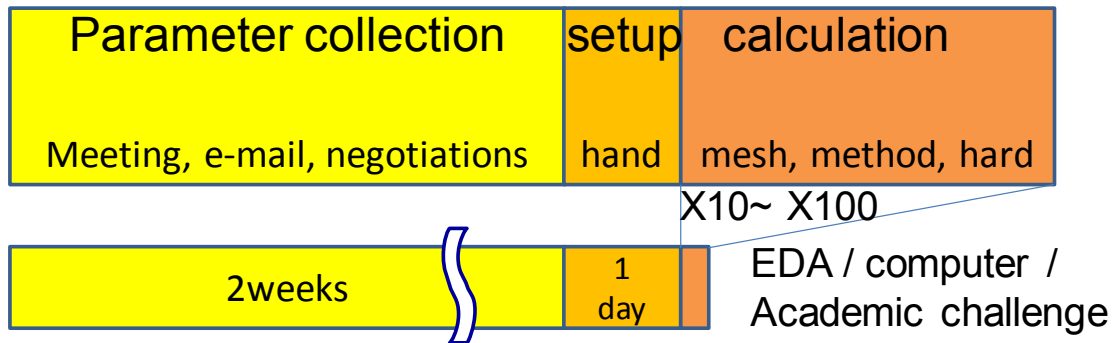
However...

- Actually ...



IBIS simulation cannot be done at early stage.

Challenge to reduce the time. But...



supplied by OR tech



2014年アニュアルレポート LPB相互設

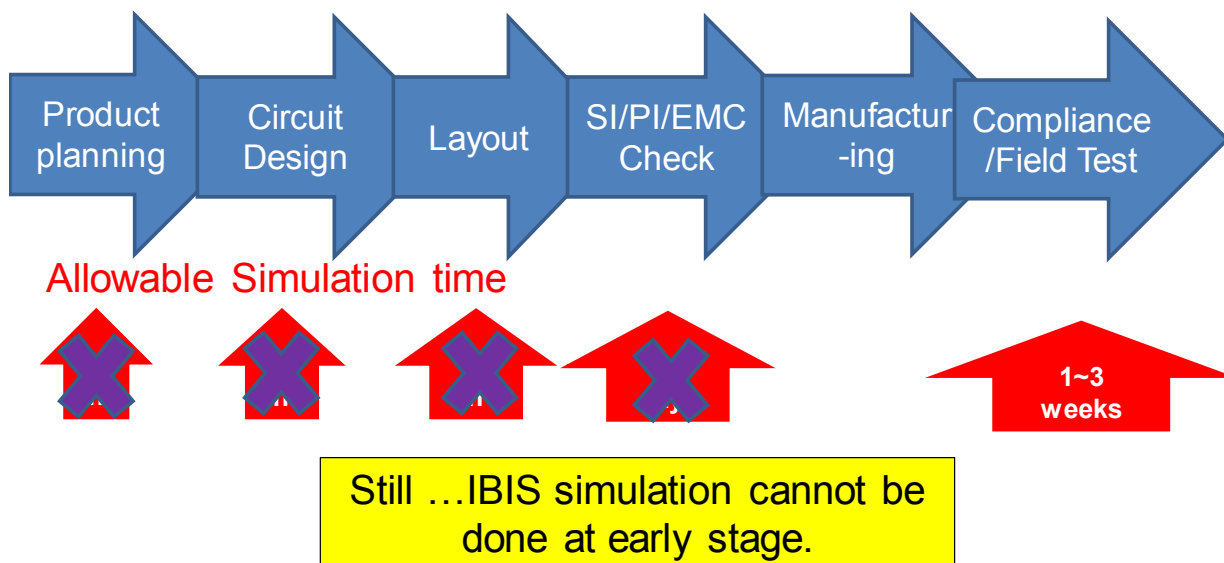
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

Simulation time < 97sec / port ; Memory usage 680 MB
13 Million cells; grid: 15 μm < Δ < 200 μm
Used CPU: Intel Xeon E5-2687W

2

Still...

- Not enough ...



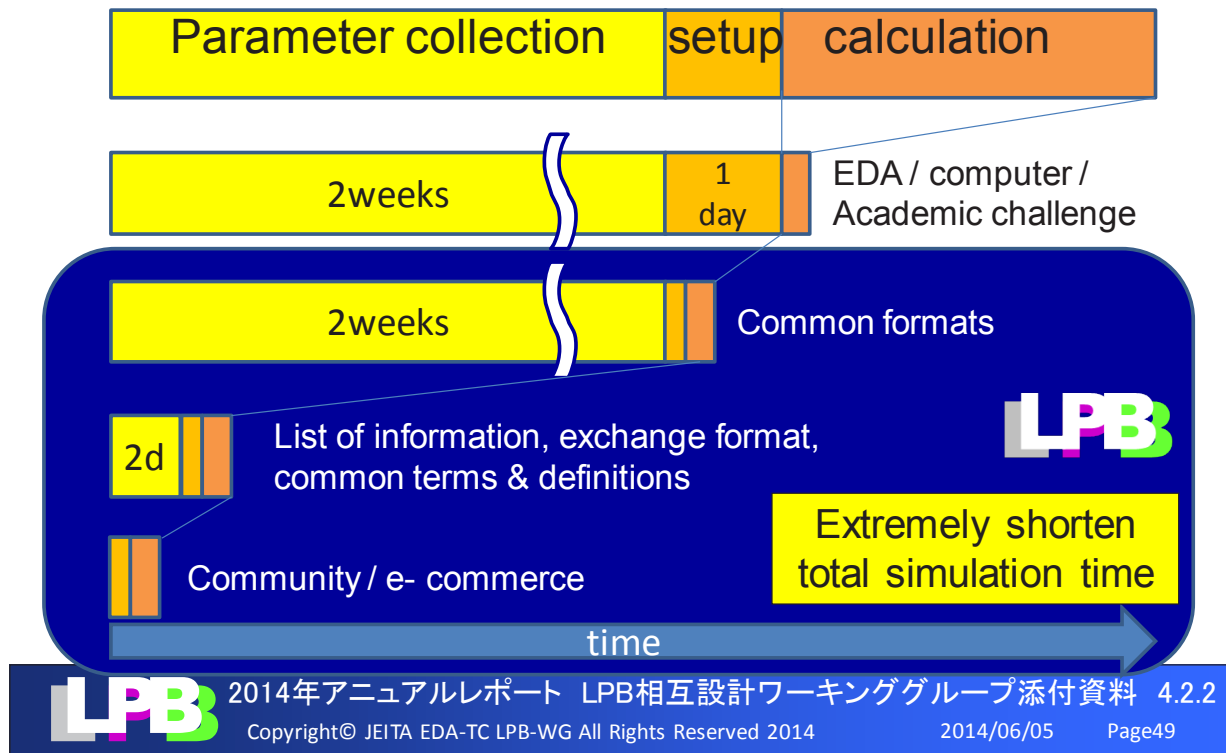
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

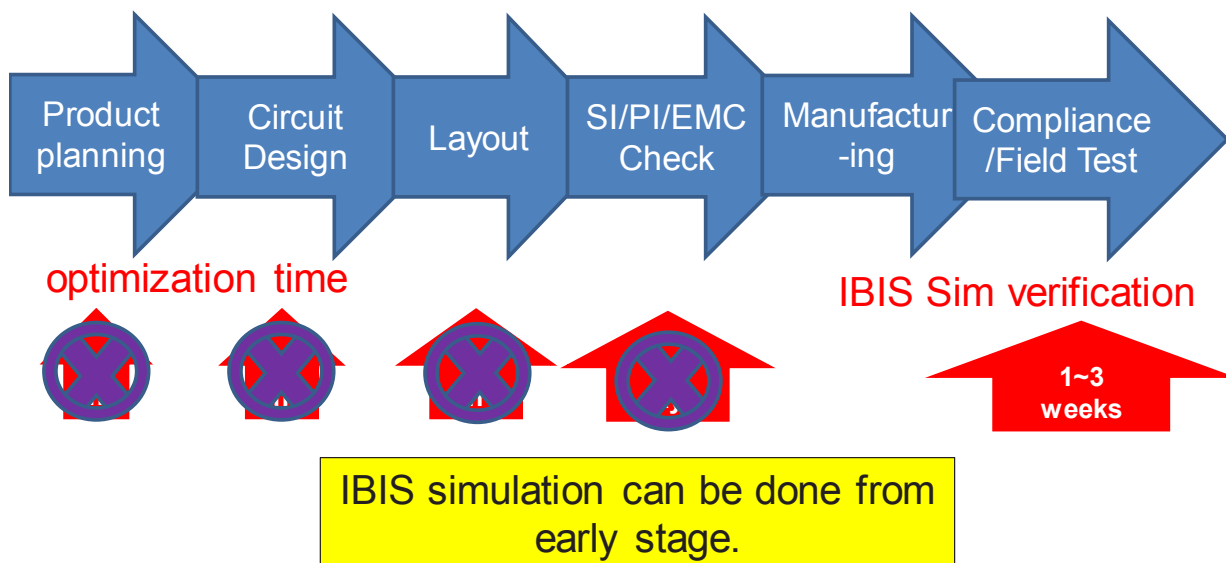
Page48

What LPB is trying to achieved?



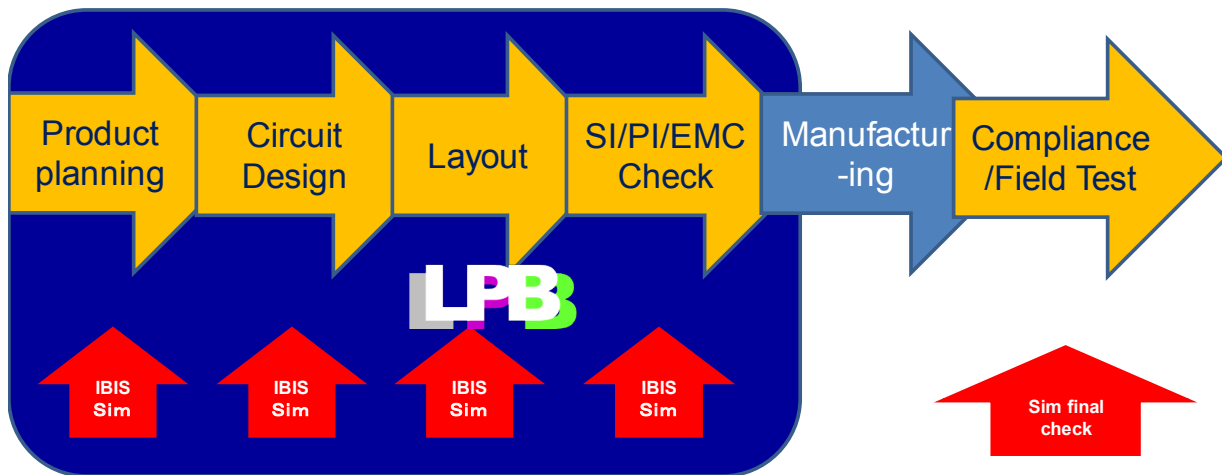
Reach to the target!

• Finally!



Design and Simulation

- LPB Standard format is also effective to shorten design process.



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

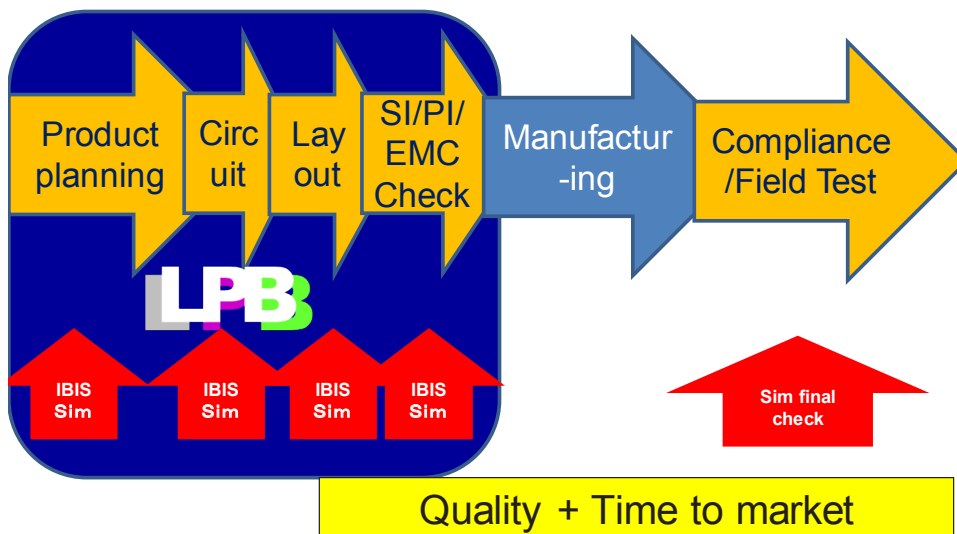
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page51

Design and Simulation

- LPB Standard format is also intended to shorten design process.



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

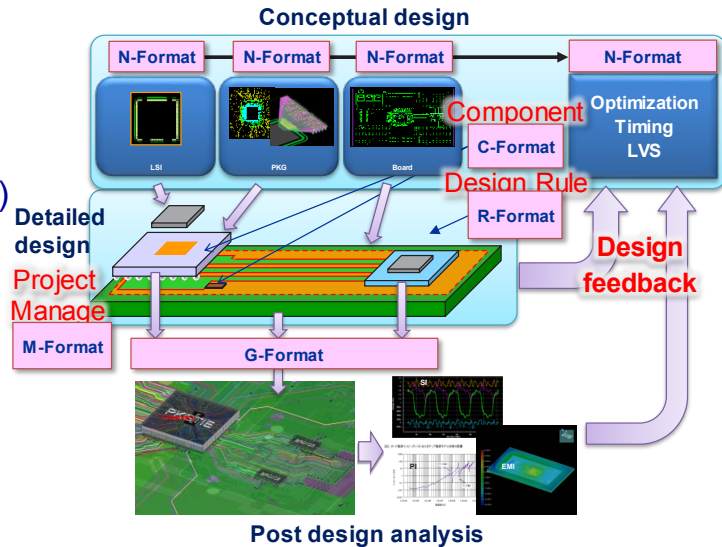
Page52

LPB Standard format

JEITA LPB-WG produce LPB Standard format.

Design environment to be constructed by 6 formats,

1. Project Manage (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design Rule (R-Format)
5. Geometry (G-Format)
6. Glossary



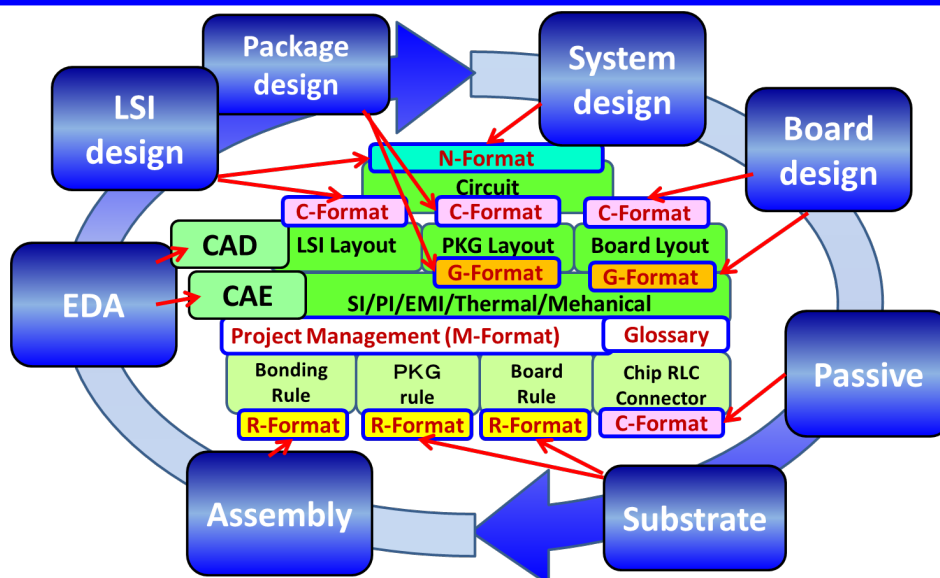
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page53

Exchange information in supply chain



LPB standard format reveal what the information necessary.

The required information must be shared and are provided in the supply chain.



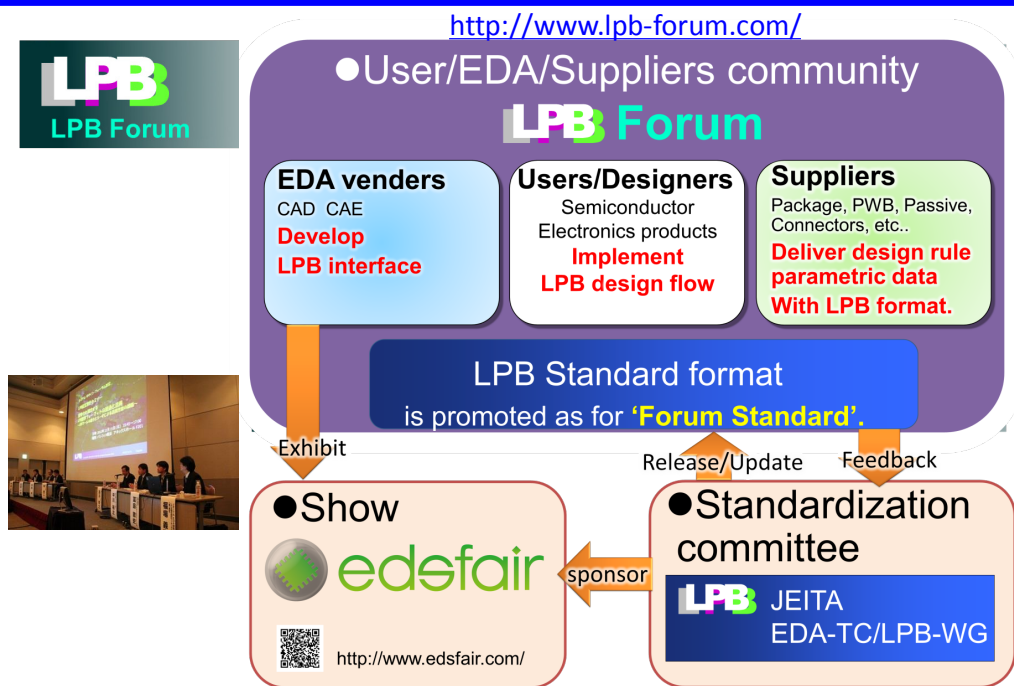
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page54

LPB Community



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page55

International Standardization Plan

■ Standardization Plan

Approved project: P2401 LPB-WG

Target IEEE standard : 2015 Dec.

IEC dual logo : follows P2401



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page56

EDA vendors adoption

- More than 10 vendors already start to develop LPB interface.



- In addition, Cadence/ Fujitsu advanced technologies are also member of standardization committee of LPB.



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page57

LPB Standard Format & Usage example



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

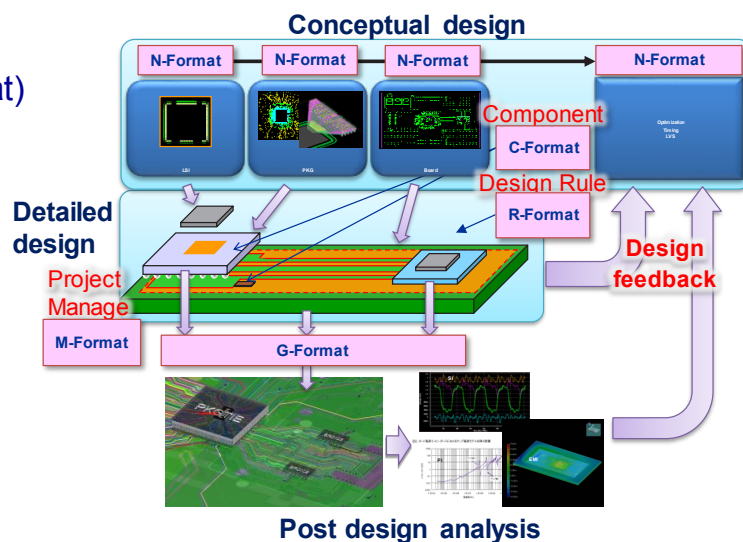
2014/06/05

Page58

LPB Standard Format

Design environment to be constructed by 6 formats

1. Project **M**anage (M-Format)
2. **N**etlist (N-Format)
3. **C**omponent (C-Format)
4. Design **R**ule (R-Format)
5. **G**eometry (G-Format)
6. Glossary



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page59

LPB Standard Format Abstract

Format	Abstract	Benefit
Project Management (M-Format)	Manage the LPB files of the LSI, package and board. - Manage the history, revision and update of the files - JEITA original format using XML	Easy to Manage Design history Easy to understand Design Status Understanding The Latest Condition for Verification
Netlist (N-Format)	Connection of the parts - Netlist between LSI, Package and Board. - Verilog HDL format	Easy to Check Connection Between LSI-PKG-Board Enable to Simulate on Board Level
Component (C-Format)	Information of the parts that includes - Pin assignment - Design constraint - Design Status - JEITA original format using XML	Easy to Verify for Optimization of LPB Clarification of Constraint Condition
Design Rule (R-Format)	Rules of the components that includes - Design rule - Assembly rule - Characteristics of the material - JEITA original format using XML	Clarification of Design Rule in Advance Clarification of Verification Condition Easy to Set up for Verification
Geometry (G-Format)	Geometry of the Package and Board - XFL format	Efficient Use of Design Property Use as Reference Design Easy to convert Data



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page60

LPB Standard Format Abstract

Project Manage (M-Format)

Abstract	Manage the LPB files of the LSI, package and board. - Manage the history , revision and update of the files - JEITA original format using XML
Example	<pre><include MFORMAT="MFMF_FKB48.xml" /> <include MFORMAT="MFMF_SOC_PKG.xml" /> <class comment="DDR MEMORY" > <CFORMAT file_name="CFMT_DDR.xml" /> <RFORMAT file_name="RFMT_DDR.xml" /> <NFORMAT file_name="NFMF_DDR.v" /> <OtherFile file_name="DDRPowerModel.sp" /> </class></pre>



LPB Standard Format Abstract

Netlist (N-Format)



LPB Standard Format Abstract

Component (C-Format)

Abstract	Information of the parts that includes - Pin assignment - Design constraint - Design Status - JEITA original format using XML
Example	<pre> <module name="SOC_PKG" type="PKG" shape_id="PKG_BODY" > <socket name="SOC_PKG" > <port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[5]" /> <port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[2]" /> <constraint> <impedance group_name="FKB_DIN" type="single" min="40" typ="50" max="60"/> <delay group_name="FKB_DIN" min="100" typ="150" max="200" /> </constraint> </socket> </module> </pre>



LPB Standard Format Abstract

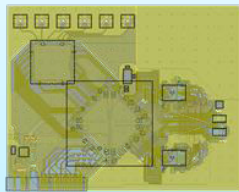
Design Rule (R-Format)

Abstract	Rules of the components - Design rule - Assembly rule - Characteristics of the material - JEITA original format using XML
Example	<pre> <material_def> <conductor material="COPPER" volume_resistivity="1.68e-8" /> <dielectric material="FR-4" permittivity="4.5" tan_delta="0.035" /> </material_def> <layer_def> <layer name="TOP_COND" type="conductor" thickness="0.030" conductor_material="COPPER" /> <layer name="DIELECTRIC12" type="dielectric" thickness="0.100" dielectric_material="FR-4" /> </layer_def> <spacing_def> <layer name="TOP_COND"> <line_to_line space="0.050" /> </layer> </spacing_def> </pre>



LPB Standard Format Abstract

Geometry (G-Format)

Abstract	Geometry of the Package and Board - XFL format	
Example	<pre> shape 1 4 53.2 26.8 90 N via 1 4 V020C060C085 54.55 20 0 N via 2 3 B010C050C075C23 41 24.25 0 N shape 1 11 35.5 29 0 N via 1 2 B010C030C12 35.5 29 0 N path 2 0.1 { 41 24.25 41.000000 24.750000 } </pre>	



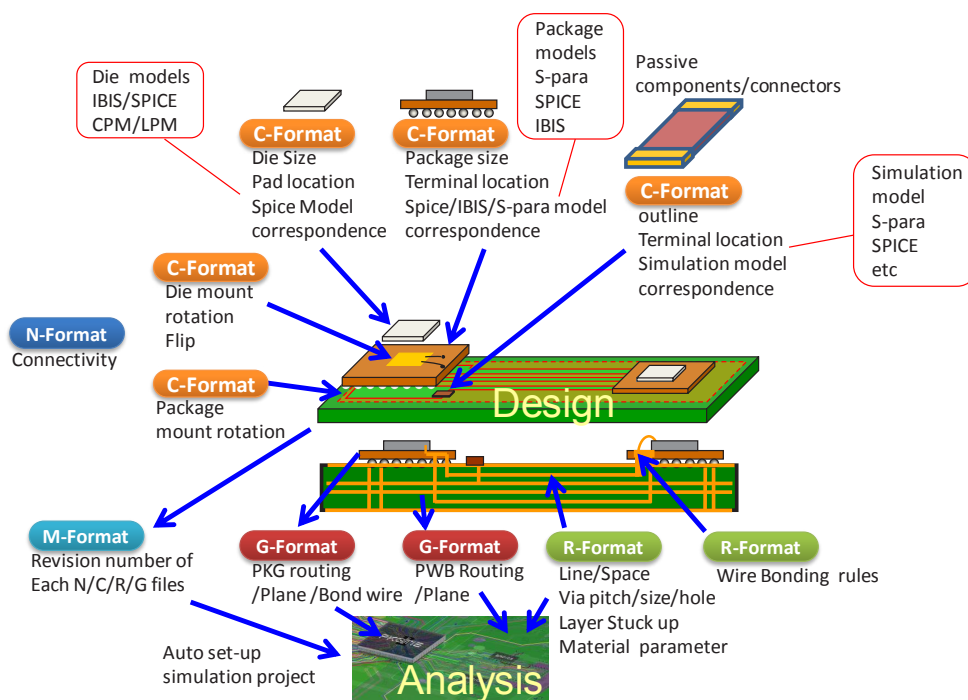
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page65

LPB Files Delivery



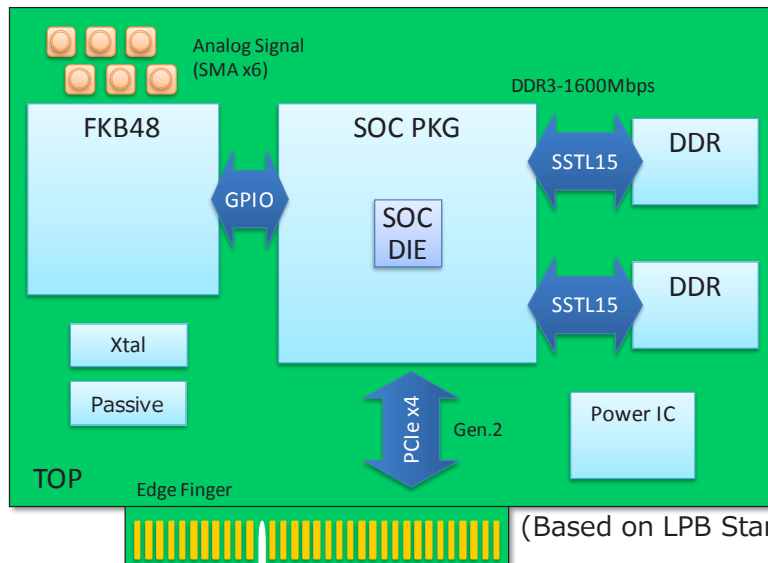
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page66

LPB sample files for test bench



Component	Details
SOC	New Design
DDR	generic parts
FKB48	generic parts
Power IC	generic parts
Xtal	generic parts
Passive	generic parts

Golden Sample are provided as a test bench for implementation.



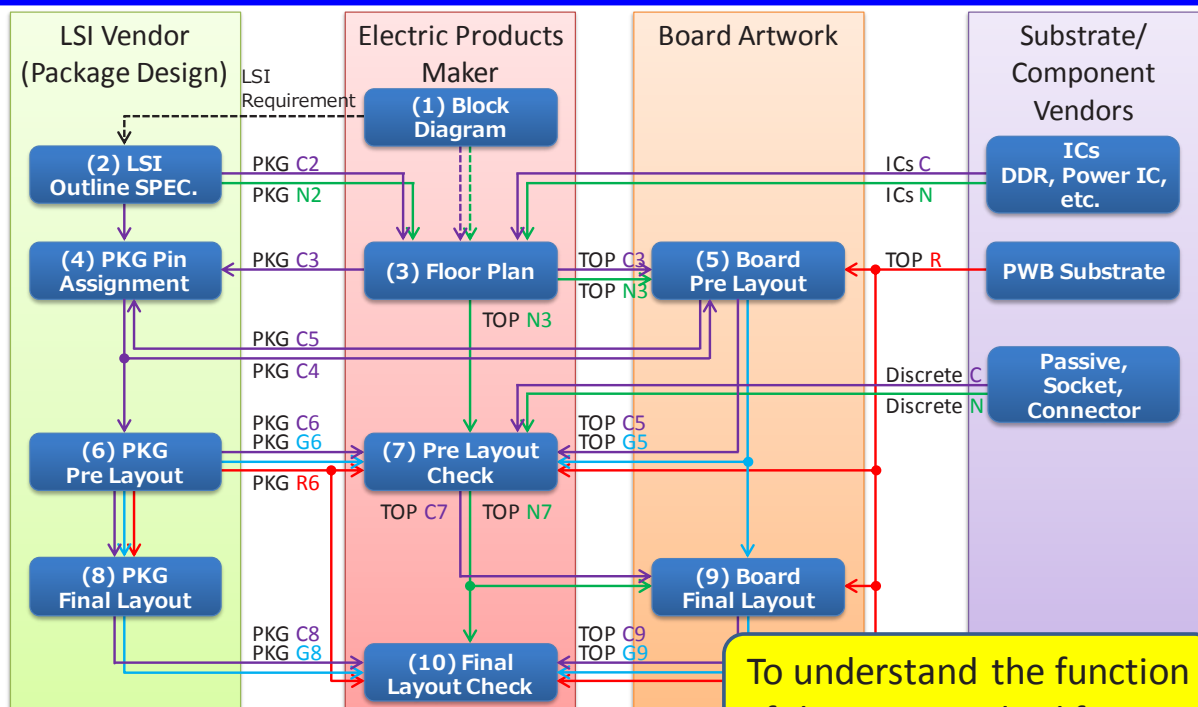
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page67

Reference flow using LPB standard format



To understand the function of the LPB standard format.



2014年アニュアルレポート LPB相互設計

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page68

Growth of LPB files in design steps

C-Format		
Header	header	Header
Global	unit	Defines the unit
	shape	Defines the shape
	pad stack	Defines the pad stack
Module	socket	Defines the socket, output ports of the module
	port	Defines the port shape, name and location
	port group	Swappable Ports/Port groups
	power domain group	Defines the power domain of the signals
	swappable port/group	Defines the swappable ports/port groups
	frequency	Specifies the operating (clock) frequency for the port
	constraint	Defines the constraint (impedance, delay, skew) of the port
	specification	Defines the specification of the module
Component	reference	Defines the connection procedure between ports in socket section and ports in referenced file.
	placement	Defines the placement of the module

LPB files will grow every time you go through the process of the design.

Port ID, Coordinate, Port Name

Defines the port shape, name and location

Swappable Ports/Port groups

Defines the power domain of the signals

Defines the swappable ports/port groups

Specifies the operating (clock) frequency for the port

Impedance, Delay, Skew

Defines the constraint (impedance, delay, skew) of the port

Defines the specification of the module

Defines the connection procedure between ports in socket section and ports in referenced file.

Defines the placement of the module

Placement Information of the parts

[Example]

```
<placement ref_module="SOC" inst="SOC" x="400" y="-6500" />
<placement ref_module="DDR" inst="DDR0" x="37000" y="-3200" />
```



2

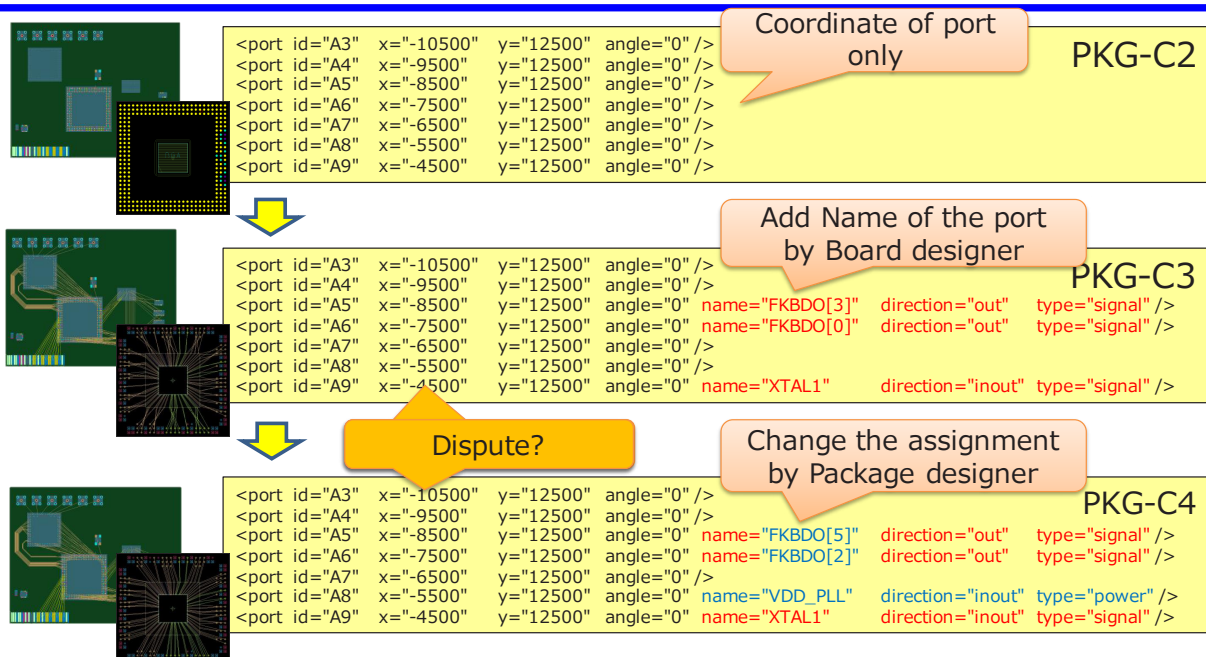
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

資料 4.2.2

Page69

<Example> The growth of C-format



LPB files grow and share the information each other.



2

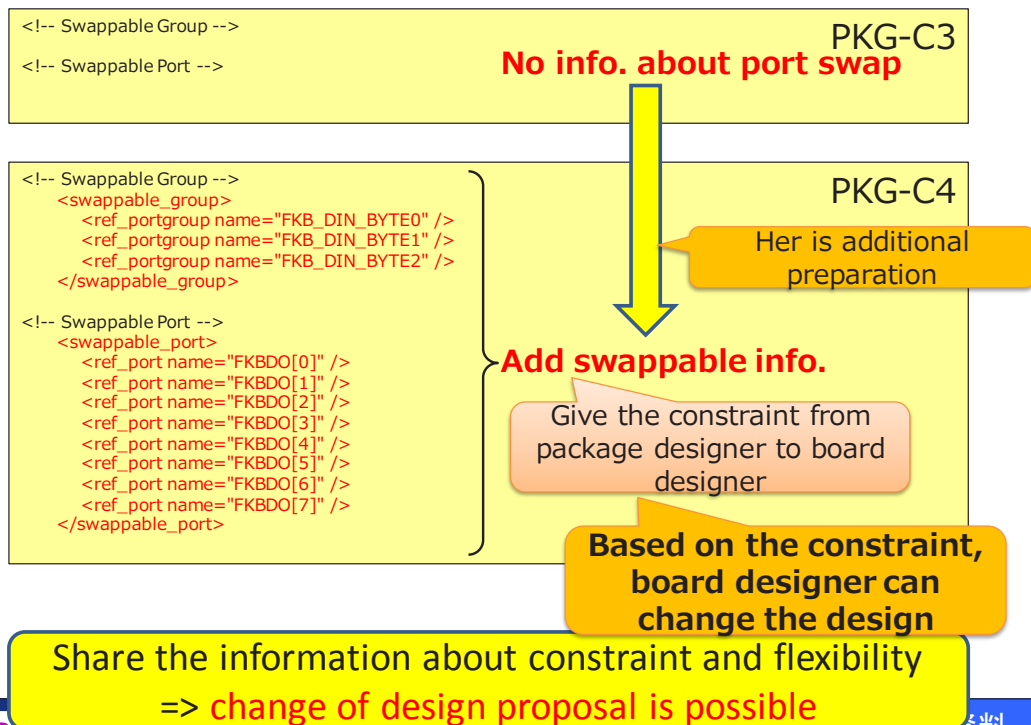
2014年アーユアルレポート LPB相互設計フォーマットルール添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page70

<Example> The growth of C-format



LPB Standard Format Summary



Benefit of LPB format

- **Quick & Accurate design/simulation set up**
 - No more e-mail/phone call/meetings
 - Avoid human error; eliminate hand edit, version control
- **Feedback can be done from any parties, and instantly.**
 - For optimization/cost down/quality up feedback
- **Easy implementation**
 - Human readable, open format XML/Verilog-HDL
 - XML parser available.
 - Simple / light geometry format (G-format:XFL)



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page73

Join us!

Visit & Support

- Visit website “LPB format” “LPB forum”
- Please support International Standard IEEE SA P2401

Link Together by LPB standard format



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.2

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2014

2014/06/05

Page74

Introduction of P2401

LSI-Package-Board Standard Format

IEEE-SA P 2401 chair
Yoshinori Fukuba



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

Page75

IEEE P2401 LPB-WG Face to Face meeting subtitle

- Background of IEEE P2401 LPB-WG, LPB format
 - To be shorten product development
 - Design planning
 - Artwork/simulation tool set up
 - Information exchange in supply chain
 - Benefits for design flow / EDA developers
 - XML for EDA development
 - Cost down of EDA development in non-competitive area
- Positioning of IEEE P2401 in development flow
 - Reference flow
 - How the files are updated in design progress?
- Future actions
 - Toward to IEC standard
 - Expand/Adopt physical format for 3DIC, 3D module, Passive/Active component Embedded
 - Collaboration to other de facto standard
 - Si2 CPIP
 - ODB++, IPC2581, EB02(Japan, for embedded substrate)



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

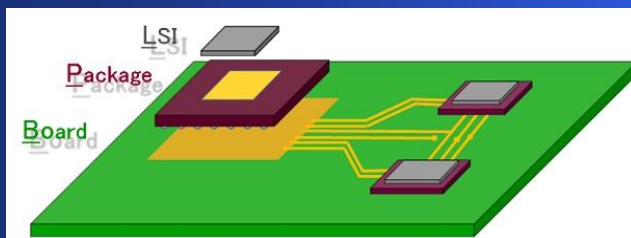
Page76

LSI Package Board needs...

- ✦ Mutual Communication
- ✦ Design Consistency
- ✦ Shorten Development Time

Enabled by

LPB New Standard format



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

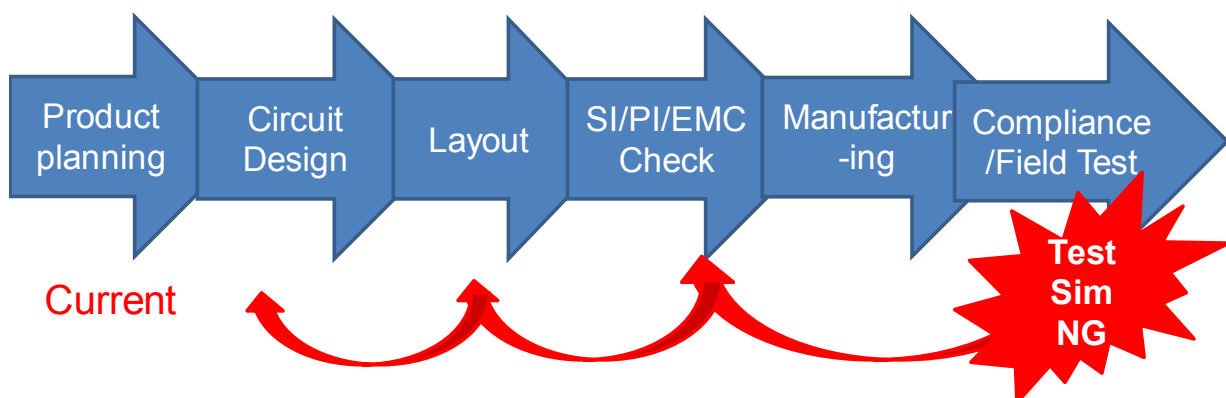
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

Page77

Iteration issues

- Product development flow & SI/PI/EMC issues



Time consuming, re-design at all
=>development cost,
missing business window



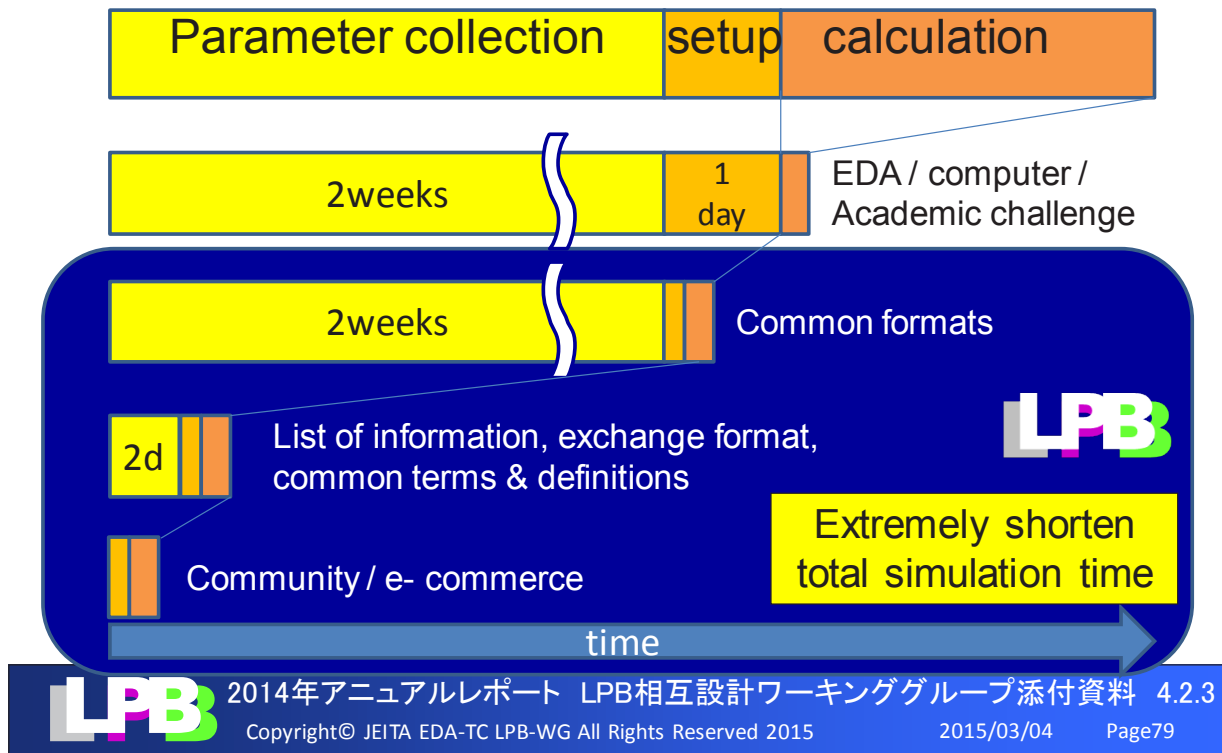
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

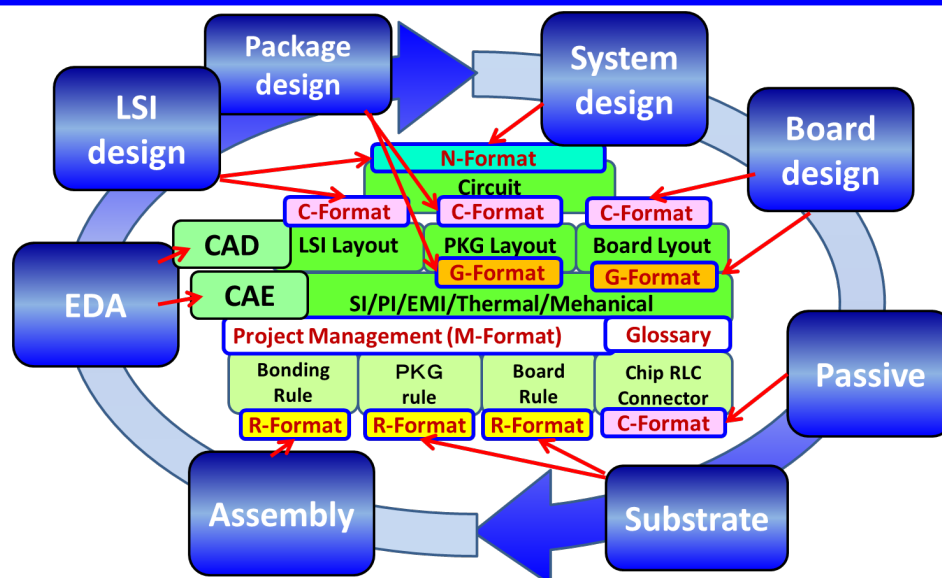
2015/03/04

Page78

EDA set up time issue



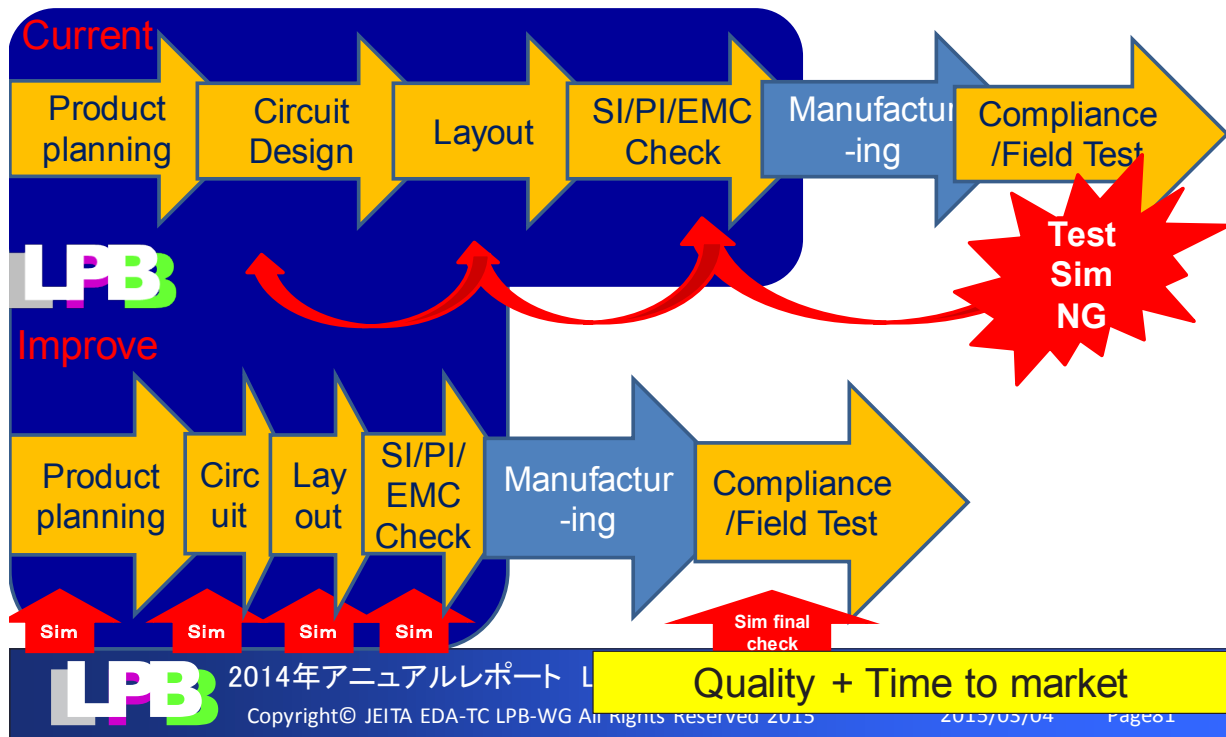
Exchange information in supply chain



LPB standard format reveal what the information necessary.
The required information must be shared and are provided in the supply chain.

Design and Simulation

- LPB Standard format is effective to shorten design process.



- Benefits for design flow / EDA developers
 - Easy format for EDA developer
 - Cost down of EDA development in non-competitive area

EDA vendors adoption

- More than 12 vendors already start to develop LPB interface.



Fujitsu advanced technologies

- In addition, Cadence/ Mentor are also members of standardization committee of LPB-WG Japan.



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

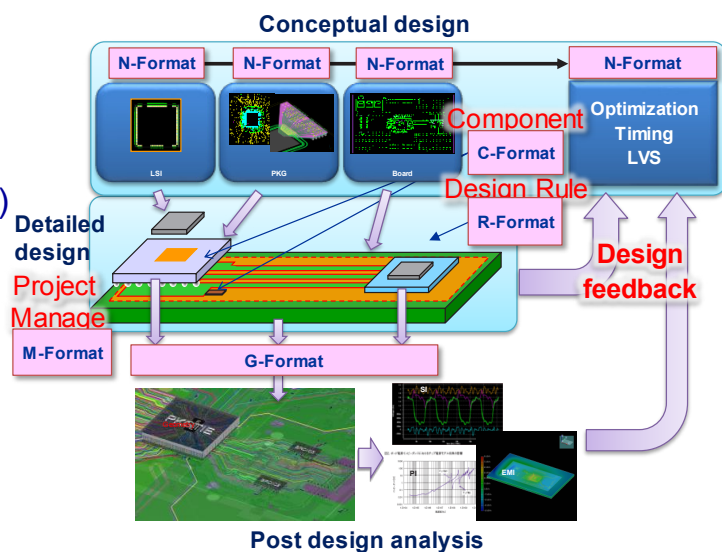
Page83

LPB Standard format

JEITA LPB-WG produce LPB Standard format.

Design environment to be constructed by 6 formats,

1. Project Manage (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design Rule (R-Format)
5. Geometry (G-Format)
6. Glossary



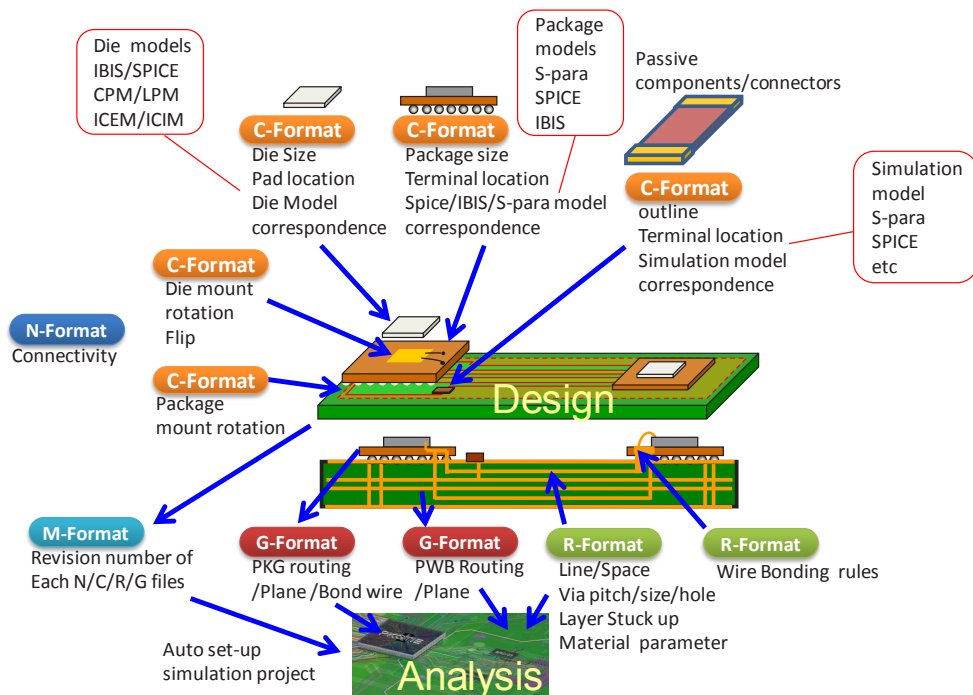
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

Page84

LPB Files Delivery



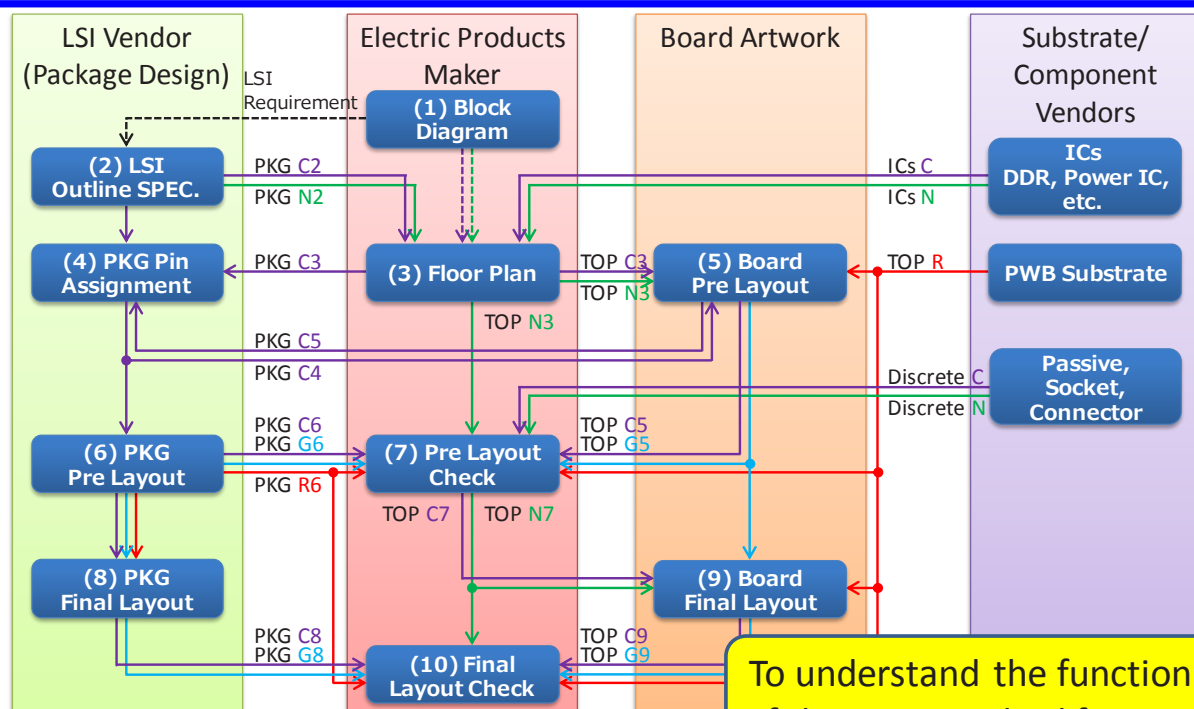
2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

Page85

Reference flow using LPB standard format



To understand the function of the LPB standard format.



2014年アニュアルレポート LPB相互設計

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

Page86

Growth of LPB files in design steps

C-Format		
Header	header	Header
Global	unit	Defines the unit
	shape	Defines the shape
	pad stack	Defines the pad stack
Module	socket	Defines the output ports of the module
	port	Defines the port shape, name and location
	port group	Swappable Ports/Port groups
	power domain group	Defines the power domain of the signals
	swappable port/group	Defines the swappable ports/port groups
	frequency	Specifies the operating (clock) frequency for the port
	constraint	Defines the constraint (impedance, delay, skew) for the port
	specification	Defines the specification of the module
	reference	Defines the connection procedure between ports in socket section and ports in referenced file.
Component	placement	Defines the placement of the module

LPB files will grow every time you go through the process of the design.

Port ID, Coordinate, Port Name

Impedance, Delay, Skew

Placement Information of the parts

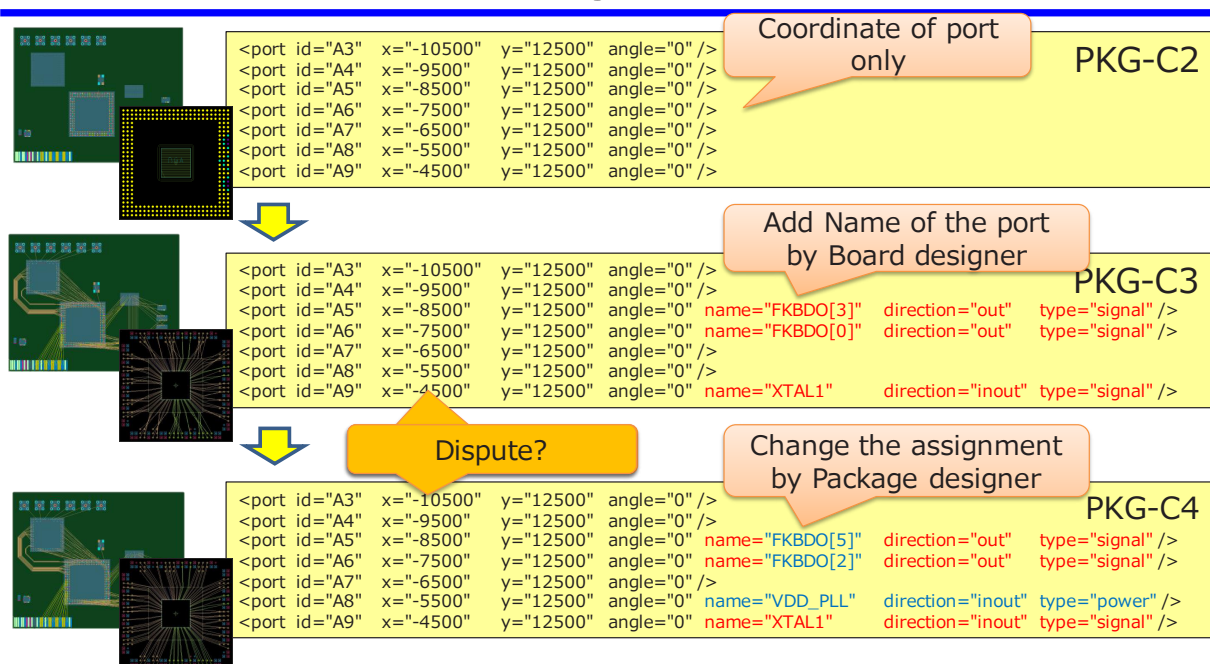
[Example]

```
<placement ref_module="SOC" inst="SOC" x="400" y="-6500" />
<placement ref_module="DDR" inst="DDR0" x="37000" y="-3200" />
```

LPB 2

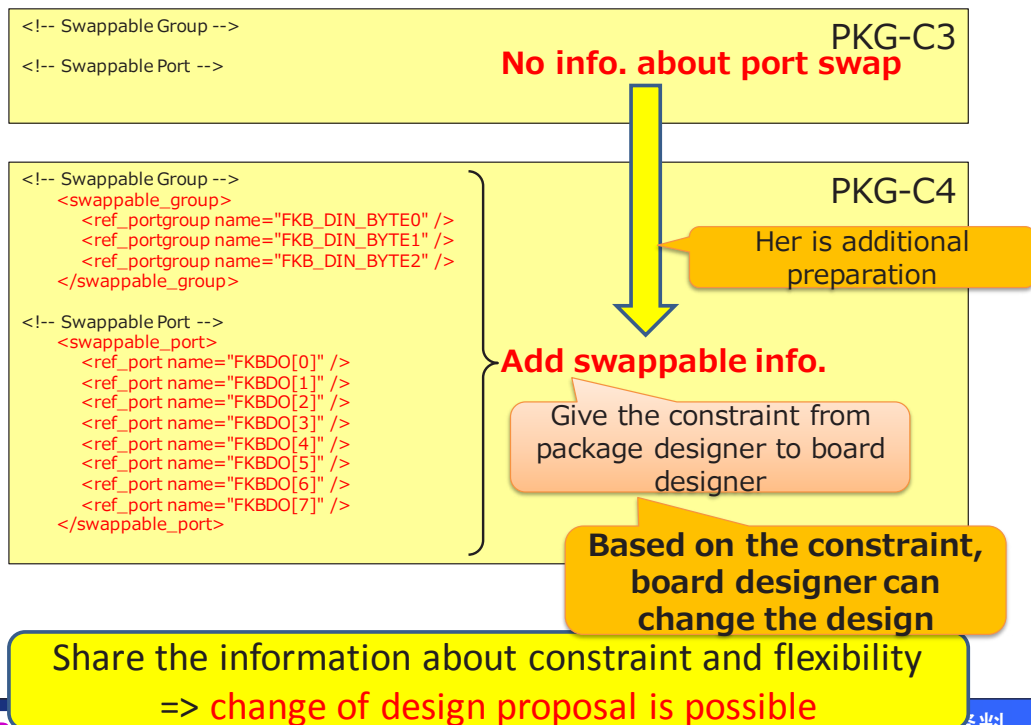
Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015 2015/03/04 Page87

<Example> The growth of C-format



LPB files grow and share the information each other.

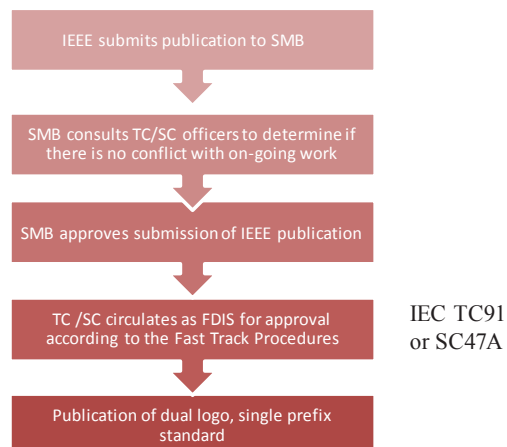
<Example> The growth of C-format



International Standardization Plan

■ Standardization Plan

Target IEEE standard : 2015 Dec.
IEC dual logo : follows P2401



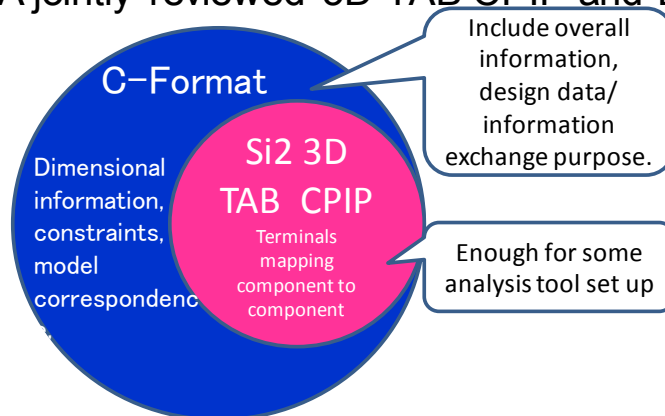
Future expansion

- Current LPB format can deal with only 2D stack-up structure(Especially G-format). 3D implementation may need expansion or new physical data definition.
- Also need to determine 3D outline data for thermal, mechanical analysis.
- Component Embedded substrate may be technical trend for multichip integration solution.
- Collaborations with other standard may be needed, because we do not make alone standard.



Collaboration to other de facto standard

- Si2 and JEITA jointly reviewed 3D TAB CPIP and LPB format.

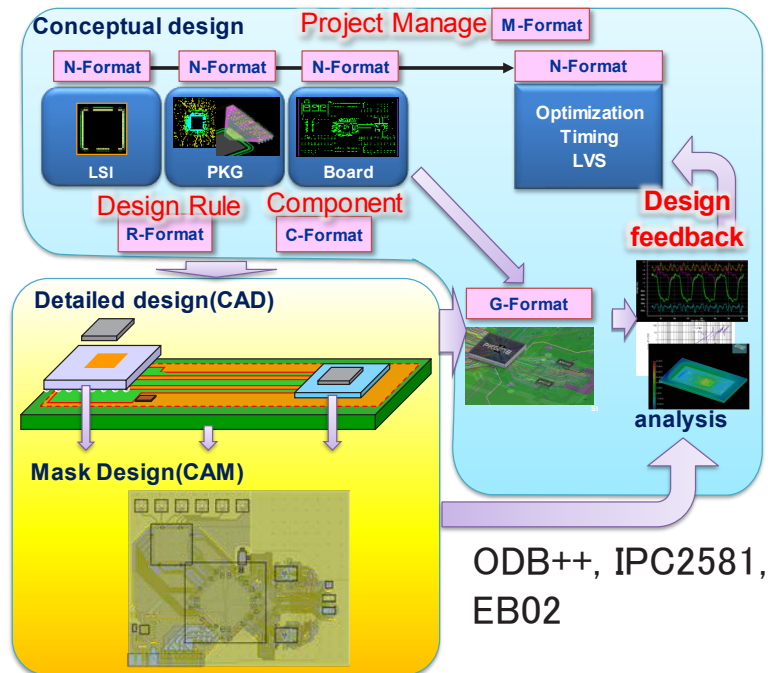


- Propose IEEE P2401 includes the instruction how to convert from C-format to CPIP, add this section to Annex of final draft.
- Question: Si2 agreement ? Any rule in IEEE?



What is the coverage?

- LPB format intend to cover the product planning/ floor plan/ design set up stage,
- CAD/CAM are not the scope of LPB.
- CAD, CAM data can be input to analysis tools either directly or through G-format.



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

Page93

Collaboration to other de facto standard

- LPB dose not cover CAD-CAM interface
- ODB++, IPC281, EB02
-



2014年アニュアルレポート LPB相互設計ワーキンググループ添付資料 4.2.3

Copyright© JEITA EDA-TC LPB-WG All Rights Reserved 2015

2015/03/04

Page94

EDAアニュアルレポート 2014

2015年6月発行

禁無断転載

発 行	一般社団法人 電子情報技術産業協会 電子デバイス部 〒100-0004 東京都千代田区大手町1丁目1番3号 大手センタービル 電話 03-5218-1061 FAX 03-5218-1080
作 成	株式会社 栄光舎 〒153-0061 東京都目黒区中目黒1-8-8 目黒F2ビル2階 電話 03-5794-1074 FAX 03-5794-1081

Copyright 2015 by Japan Electronics and Information Technology Industries Association

本書中に記載の会社名および商標名は、各社の登録商標、商標です。