講演テーマ：LPB相互設計セミナー

『実践！これでいける！
LSI･パッケージ･ボードの相互設計実例
～LPB標準フォーマットの活用方法とその効果～』

日 時：平成23年11月17日(木)　15：30-17：00

場 所：パシフィコ横浜
展示ホール「EDSFair2011Nov.」アネックスホールF201

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

1部

LSI-パッケージ - ボードの相互設計の為の標準フォーマットとその活用方法実施例

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

アジェンダ

- 背景
- 適用事例の説明
- 従来方式
- LPB方式
- 総括

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

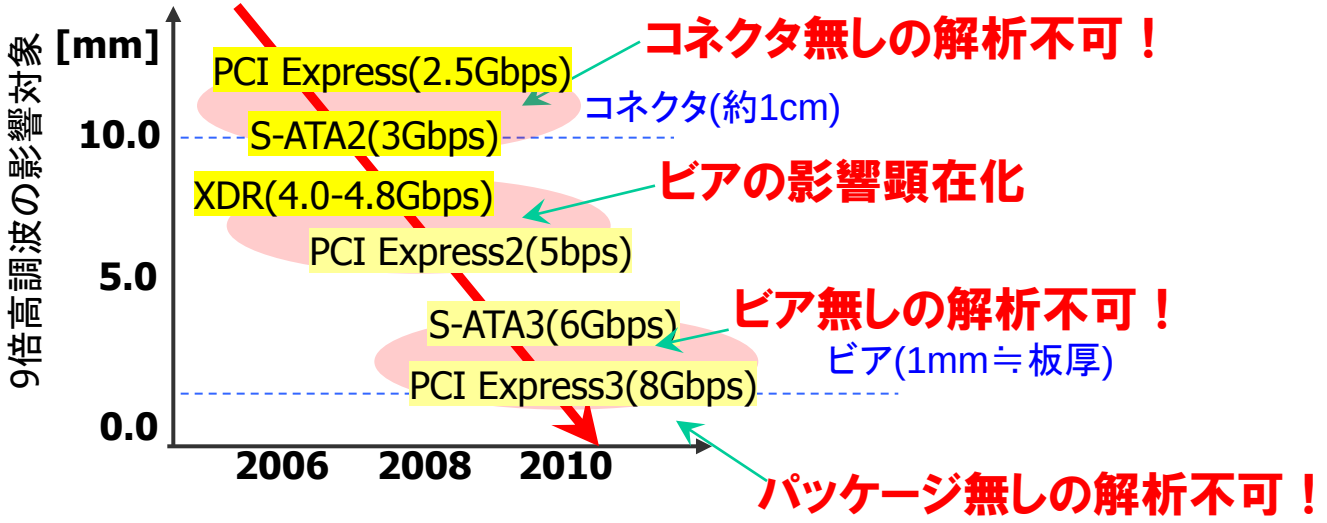
アジェンダ

- **背景**
- 適用事例の説明
- 従来方式
- LPB方式
- 総括

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

背景

回路の高速化に伴い、設計マージンが厳しくなっている。



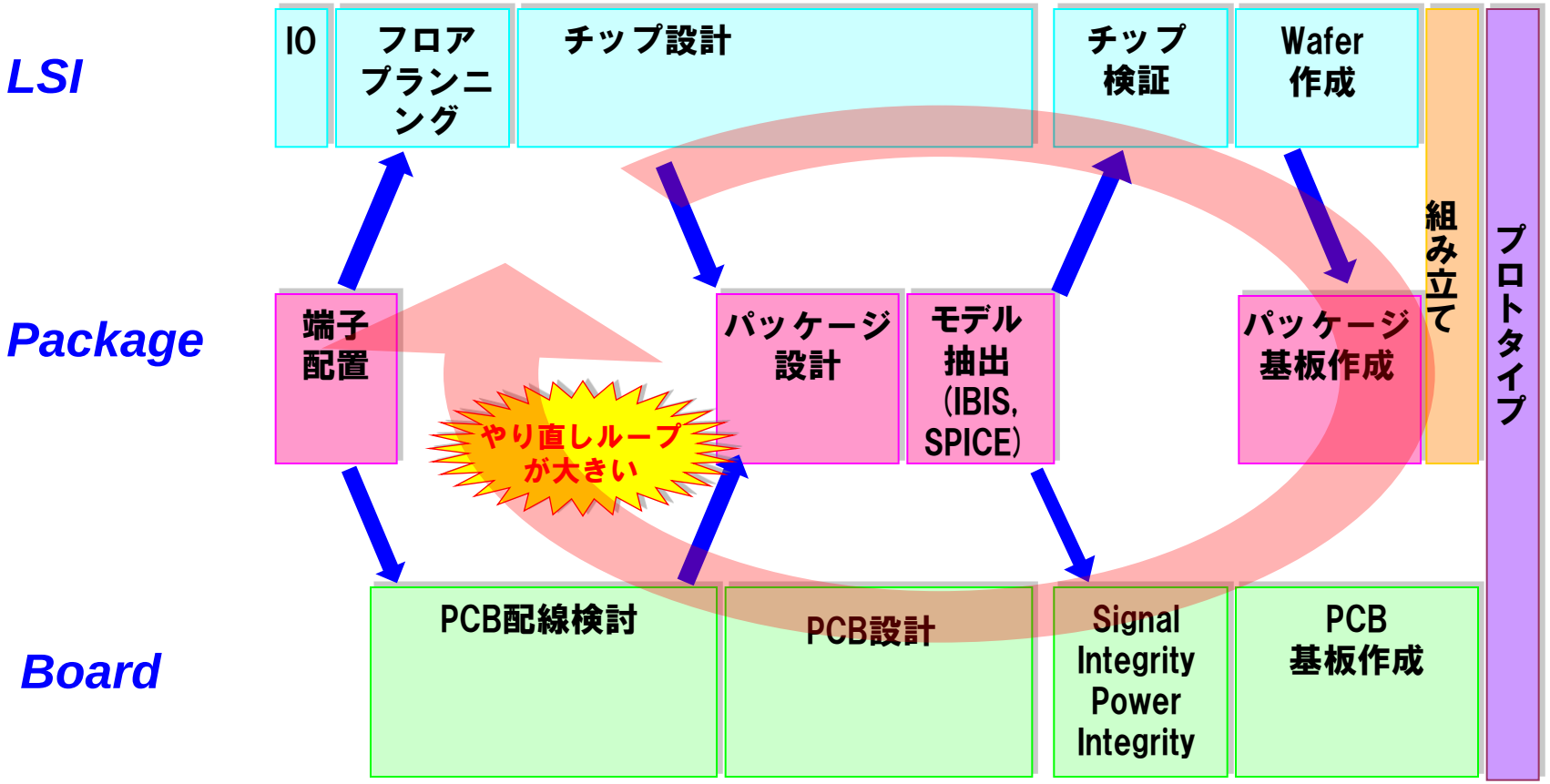
LSI、Package、Board全てを考慮した設計が必要となってきている。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

背景

■ 現在の主な設計手法：

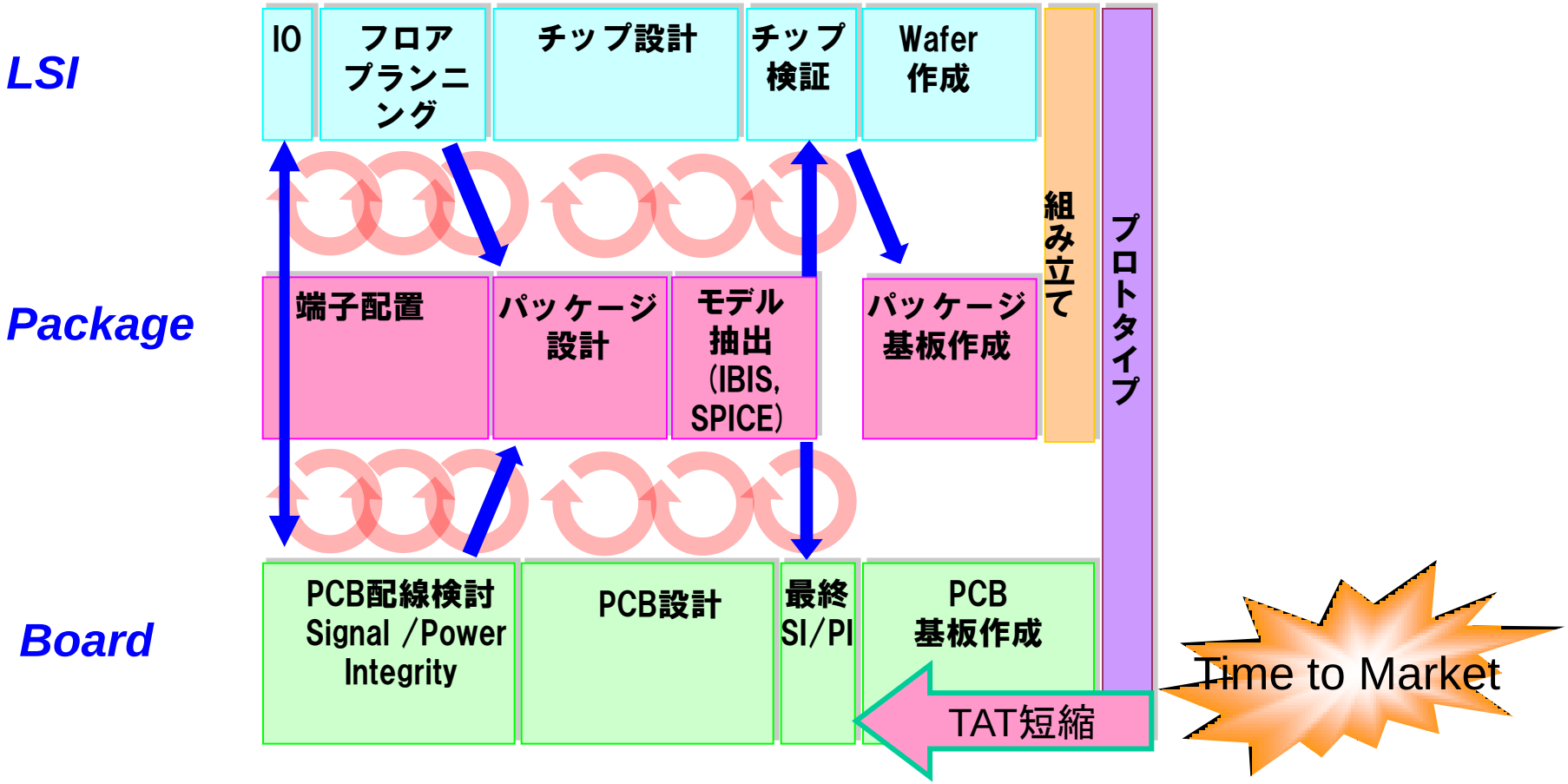
LSI、Package、Boardが別々に設計されて最後に全体の検証を行う。



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

背景

■ LPBコンカレント協調設計：
開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。

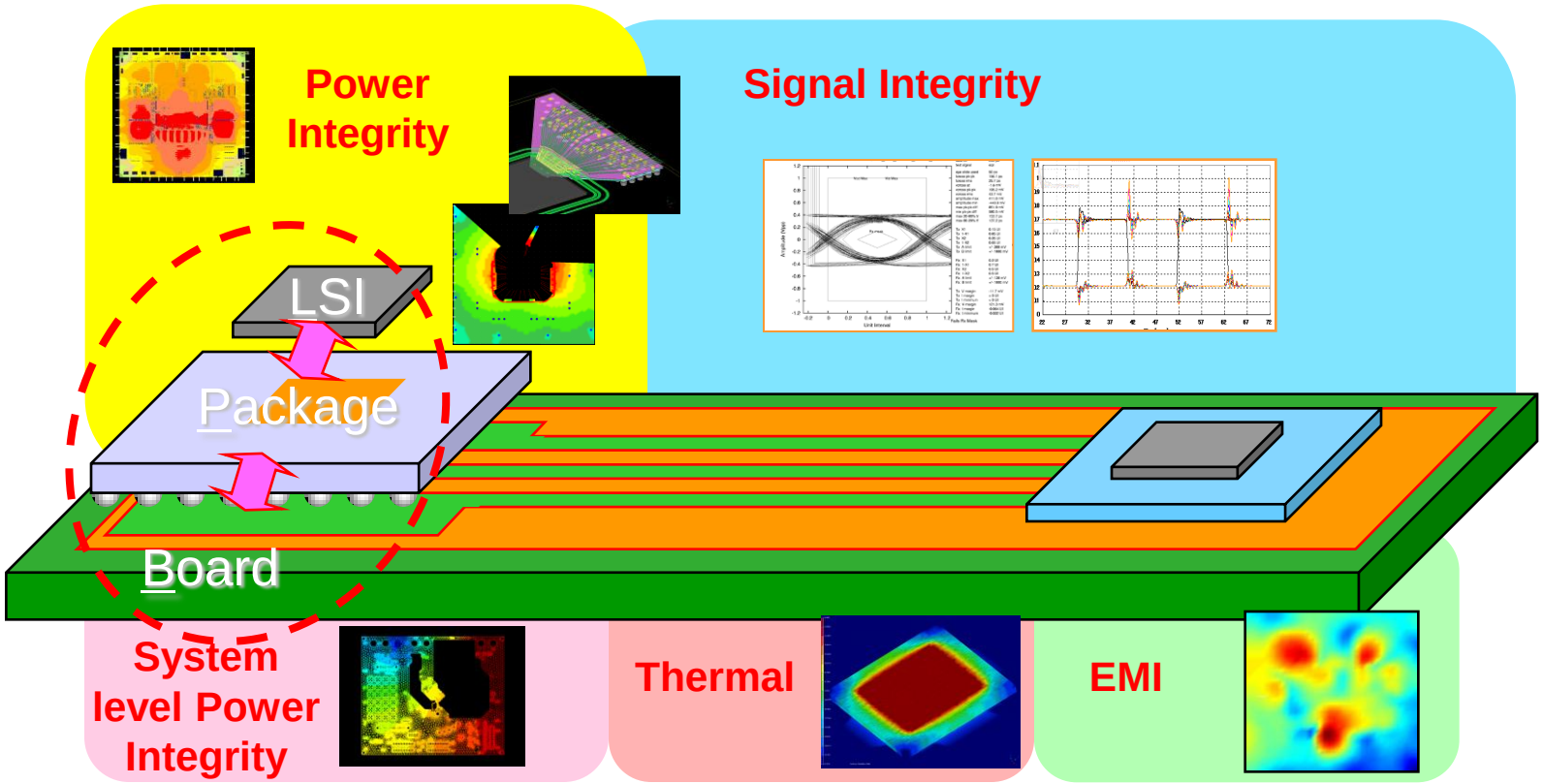


Copyright©2011 JEITA/EDA/LPB All Rights Reserved

背景

2010年4月より、JEITA LPB相互設計WGが開始

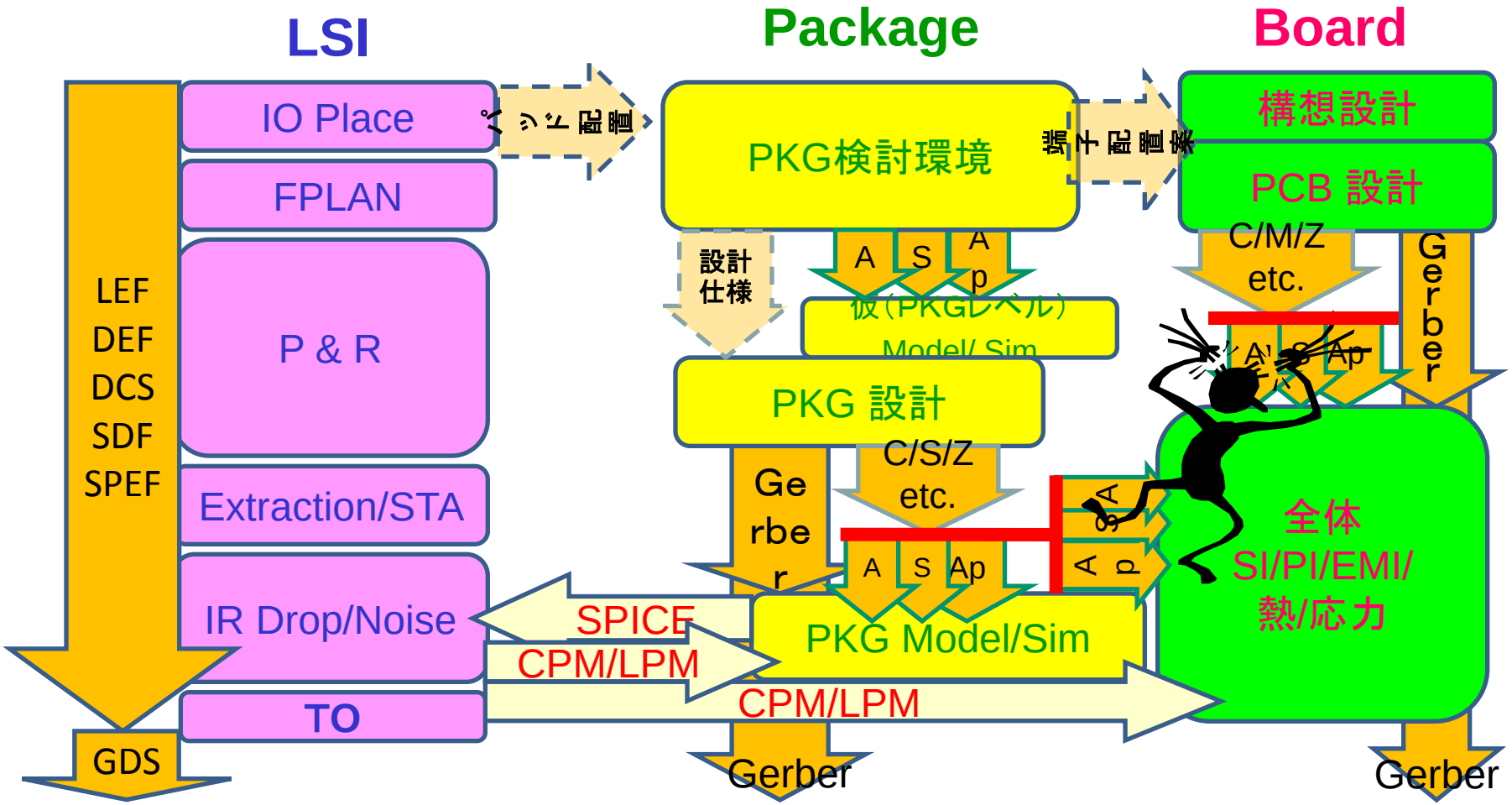
LSI - Package - Board Concurrent Co-Design



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

背景　～課題～

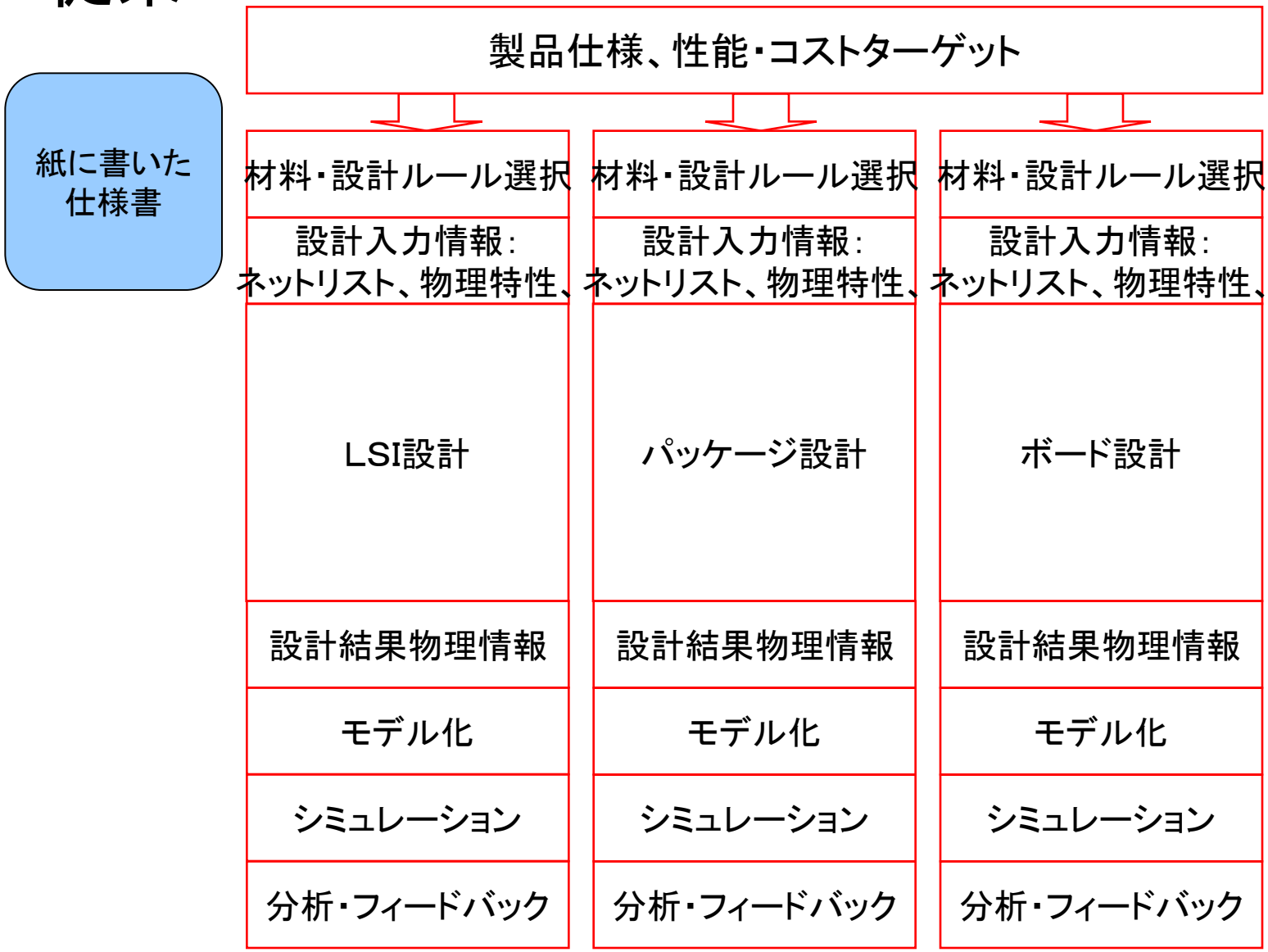
- ✓LSI・パッケージ・ボード各設計の文化の違いによる意思伝達ミス
- ✓必要とする情報の欠落
- ✓情報そのものの流通性の悪さ



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

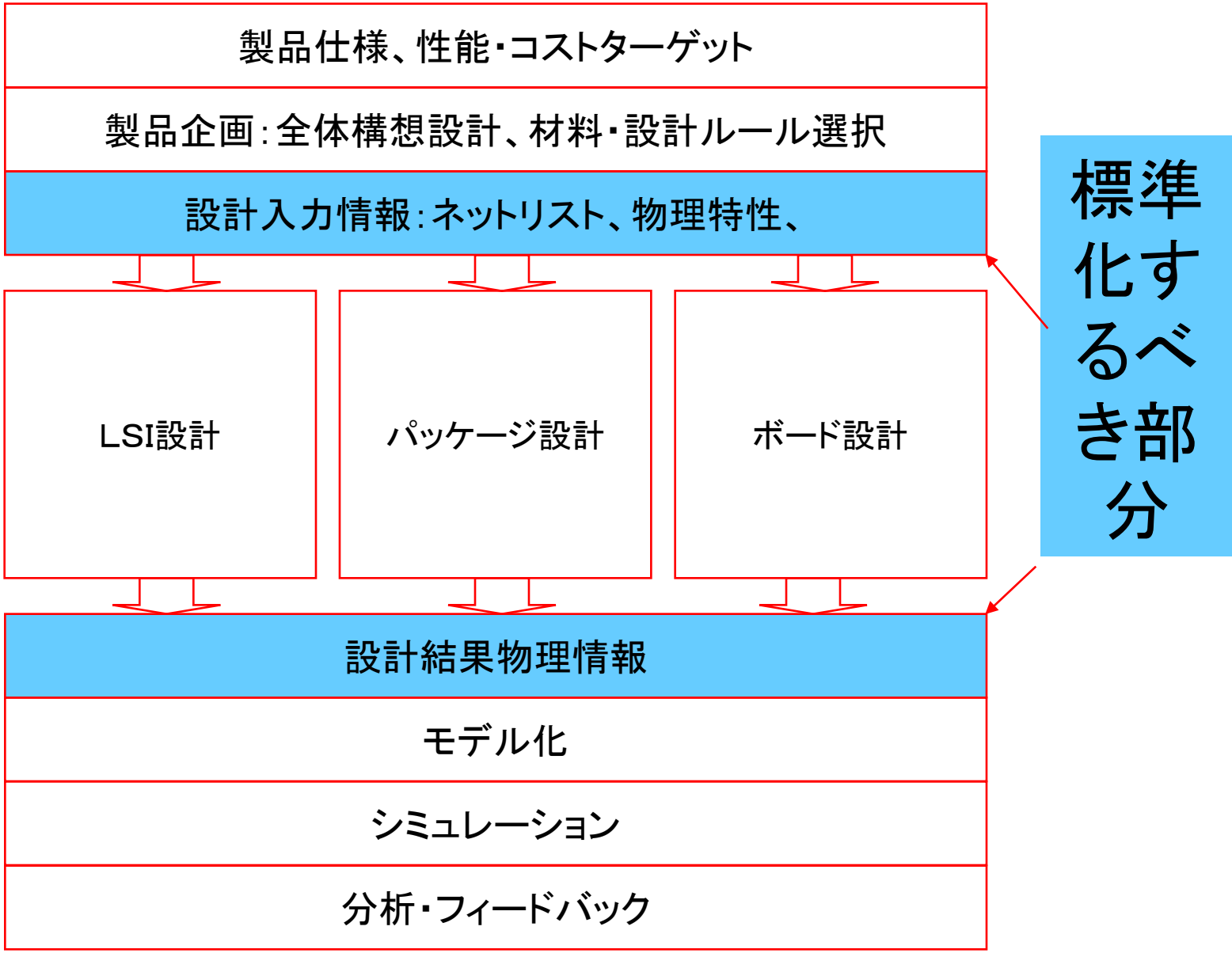
背景　～従来型個別設計～

- 従来



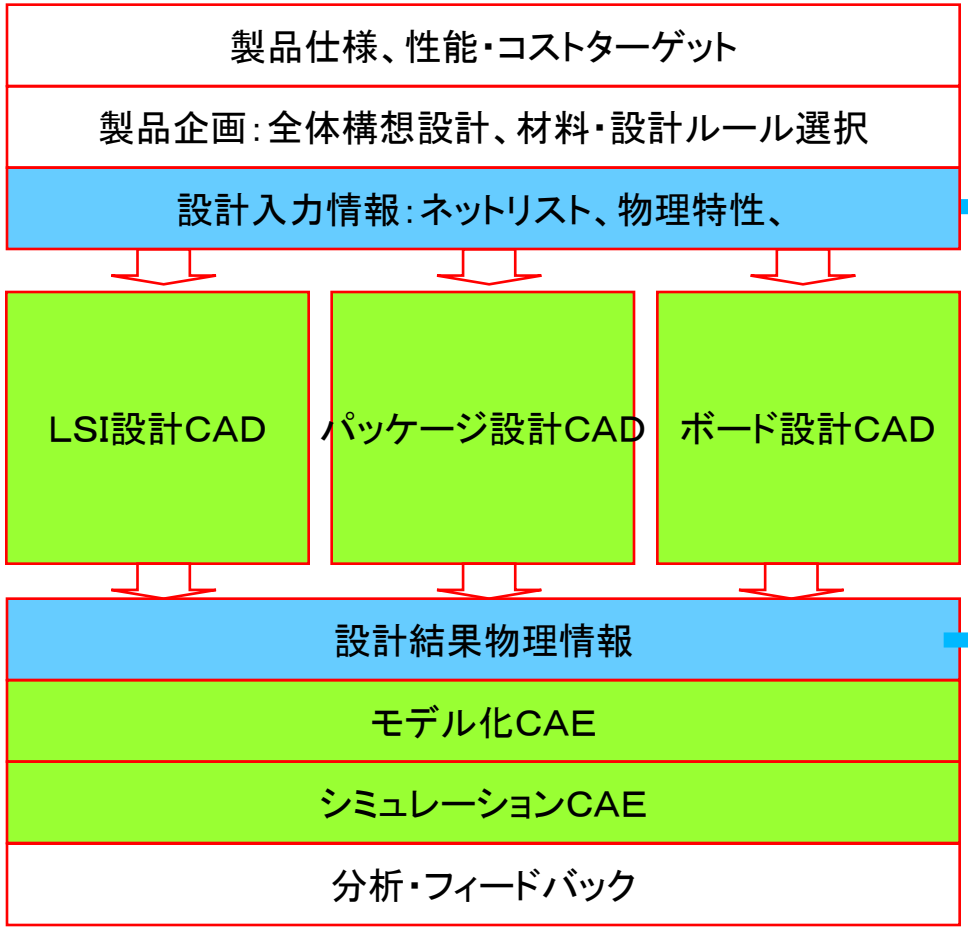
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

背景　～標準フォーマット化すべき部分～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

背景　～標準フォーマット化部分の提案～



詳細設計の入力となる部分

必要な情報・フォーマット

1．ネットリスト
2．階層間定義
3．設計制約

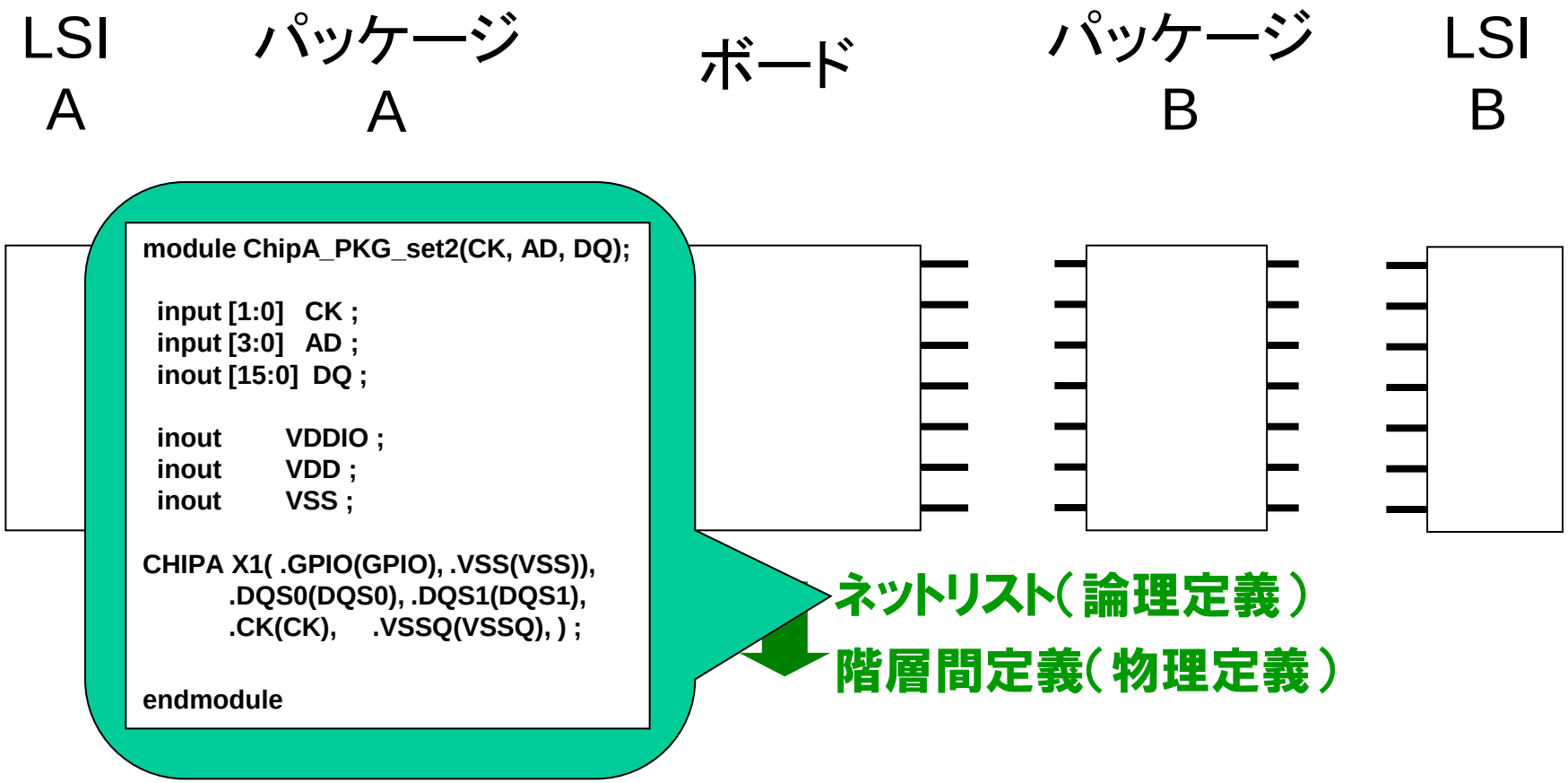
詳細設計の出力
かつ
ポスト設計における解析・フィードバック
の入力となる部分

必要な情報・フォーマット

4．設計結果形状情報

5．用語集

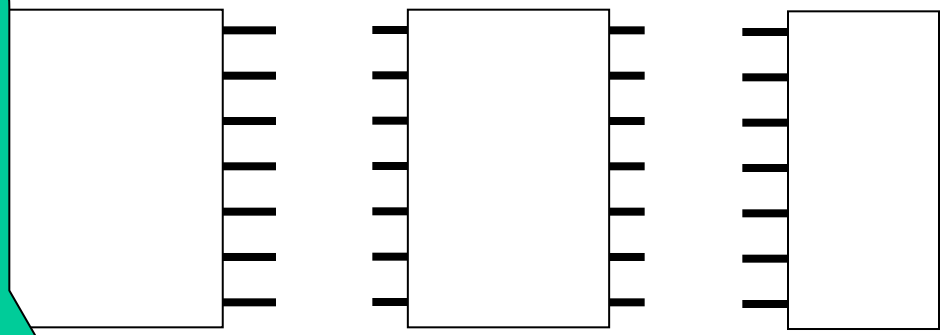
Copyright©2011 JEITA/EDA/LPB All Rights Reserved



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LSI A　パッケージ A　ボード　パッケージ B　LSI B

```
<JEITA>
<module name="ChipA_PKG_set2" type="PKG">

<socket inst="ChipA_PKG_set2_PORTS">
   <port id="1" name="A1"  x="-5500" y="-5500" />
       :
  </socket>

  <connection inst="ChipA" portref="A10" />
  <verilog:portref module="ChipA" portname="VSS" />
  </connection>
       :

</module>
</JEITA>
```



ネットリスト（論理定義）

階層間定義（物理定義）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LSI　パッケージ　ボード　パッケージ B　LSI B

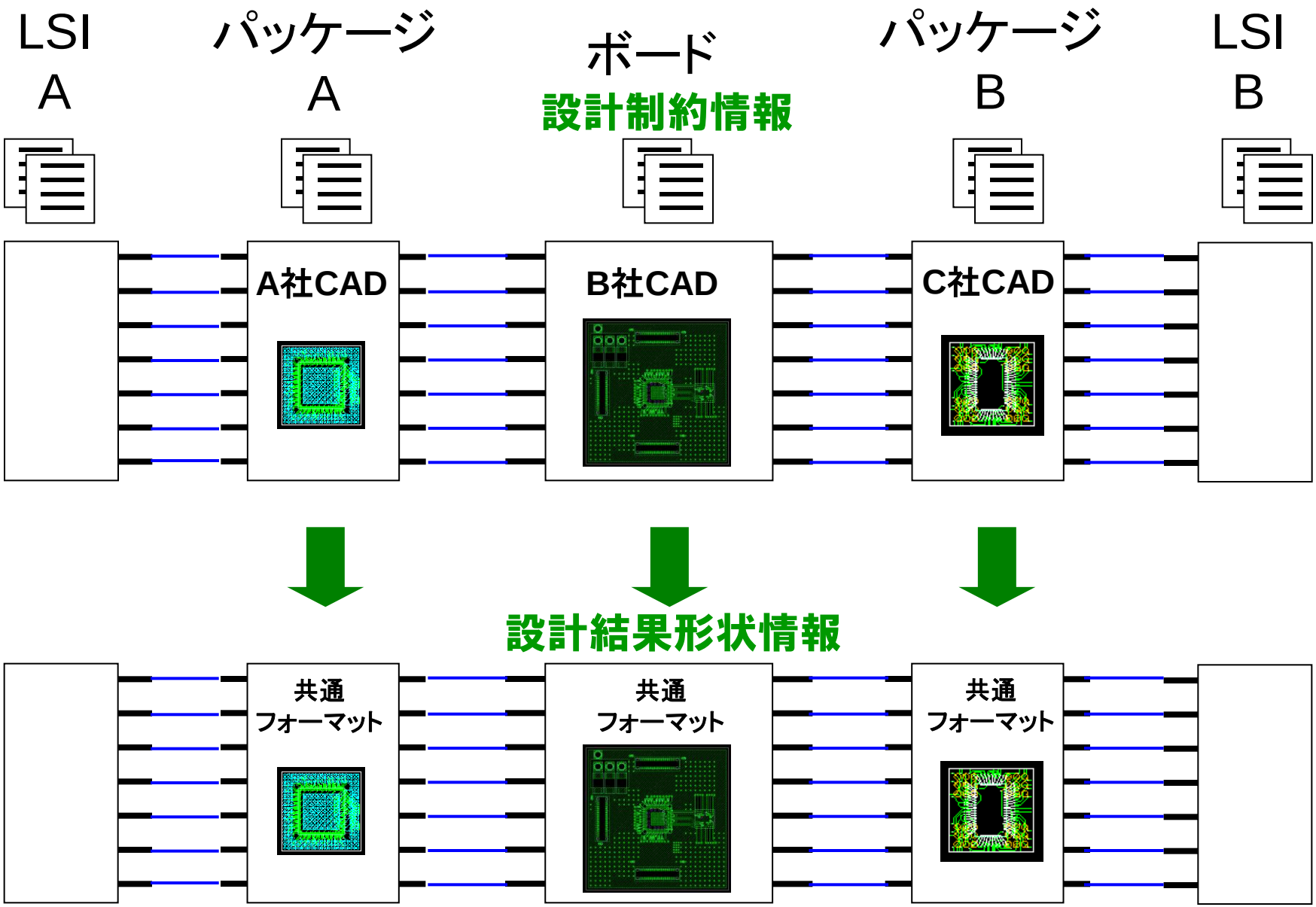
```
   :
<SwappablePin>
  <Group name="DQ_BYTE1" part="CHIPA_PKG">
    <Pin name="AC10"/>
    <Pin name="AB9"/>
   :
  </Group>
</SwappablePin>

<FixedPin>
  <Pin part="CHIPA_PKG" name="A1"/>
  <Pin part="CHIPA_PKG" name="A2"/>
   :
</FixedPin>

<DifferentialPairConstraint>
  <DiffPair name="DQS0" LengthTolerance="0.500" >
    <Pin part="CHIPA_PKG" name="AC8" />
    <Pin part="CHIPA_PKG" name="AC7" />
  </DiffPair>
   :
</DifferentialPairConstraint>
   :
```

ネットリスト（論理定義）

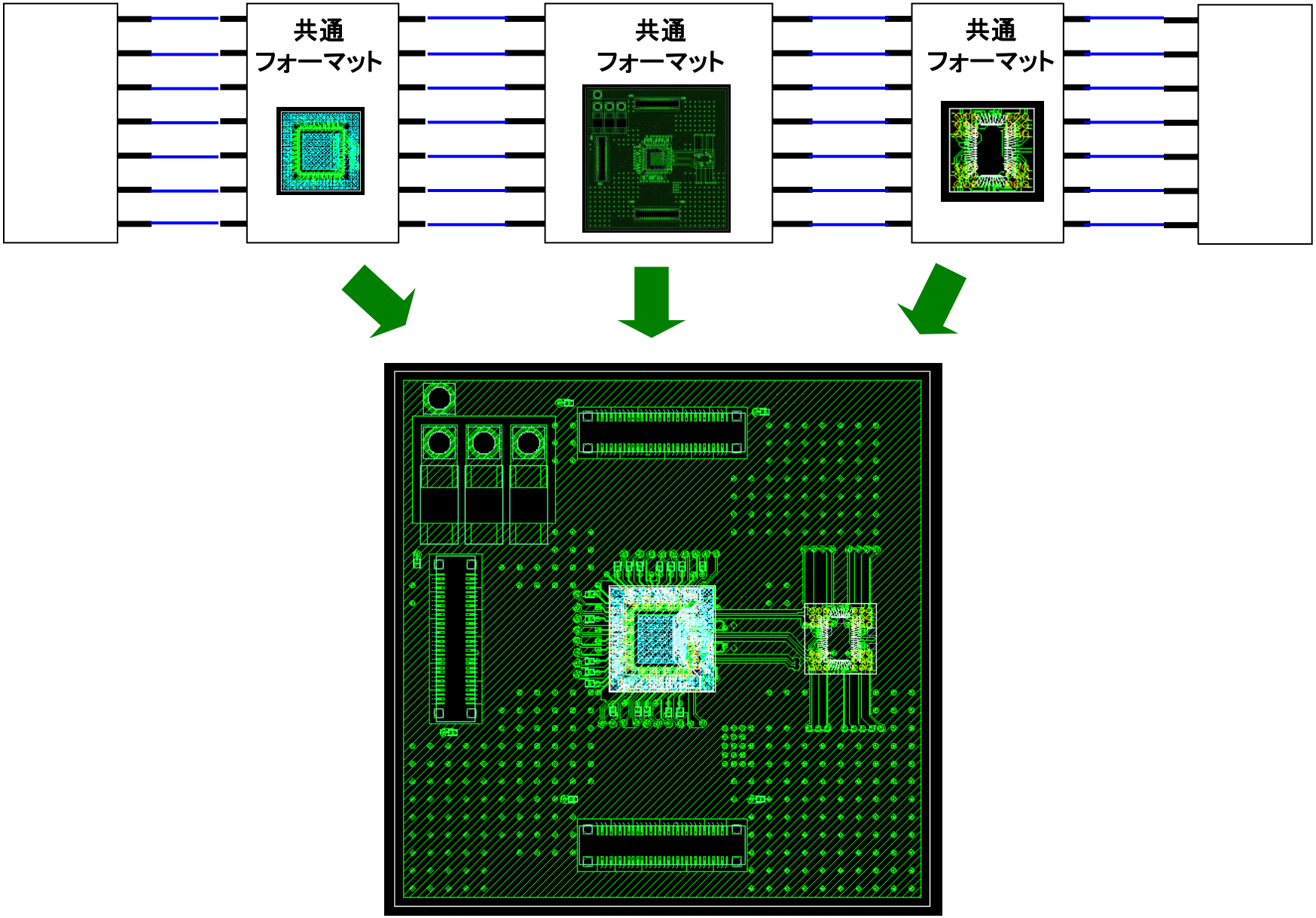
階層間定義（物理定義）

設計制約

Copyright©2011 JEITA/EDA/LPB All Rights Reserved



Copyright©2011 JEITA/EDA/LPB All Rights Reserved



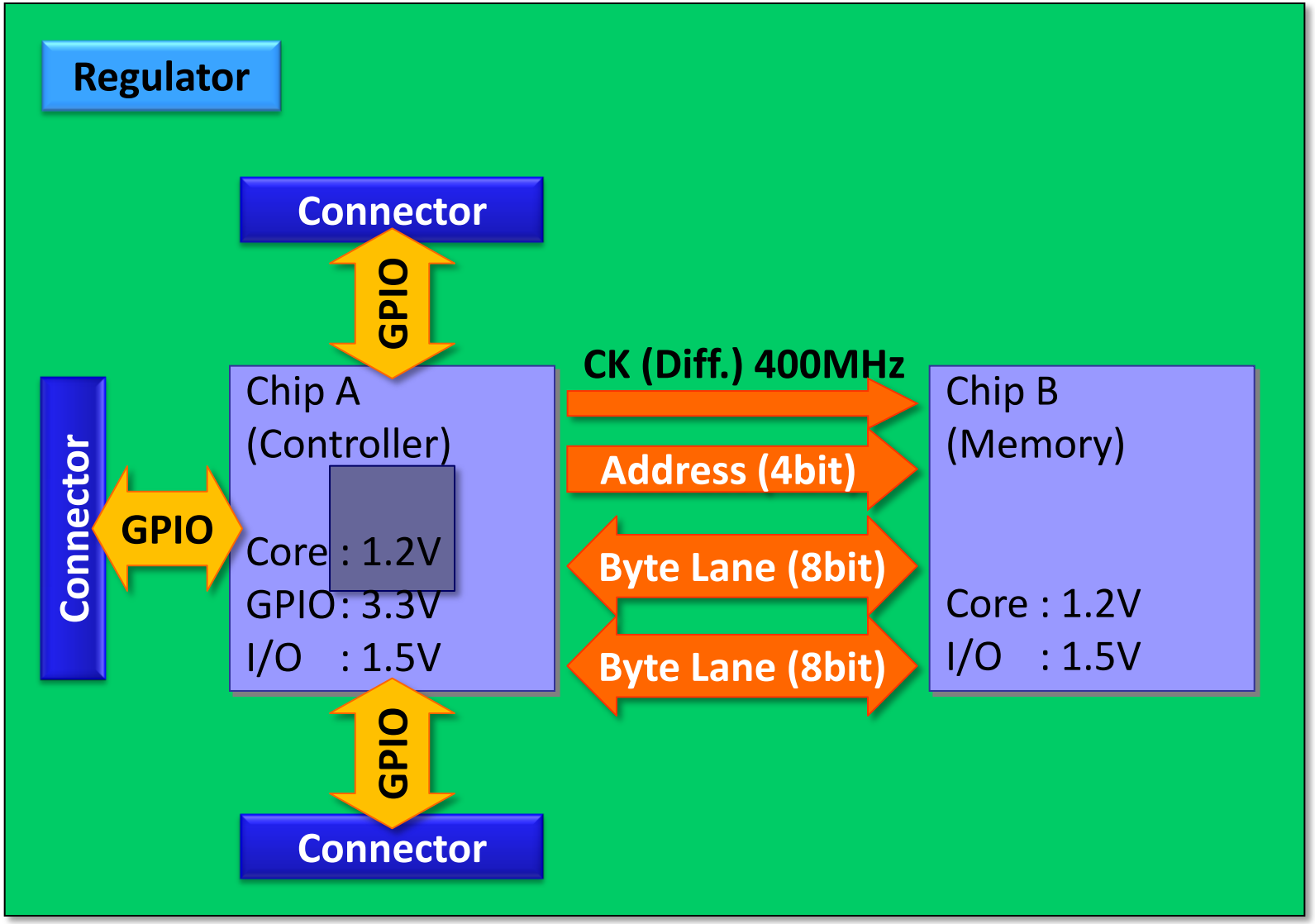
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

アジェンダ

- 背景
- **適用事例の説明**
- 従来方式
- LPB方式
- 総括

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

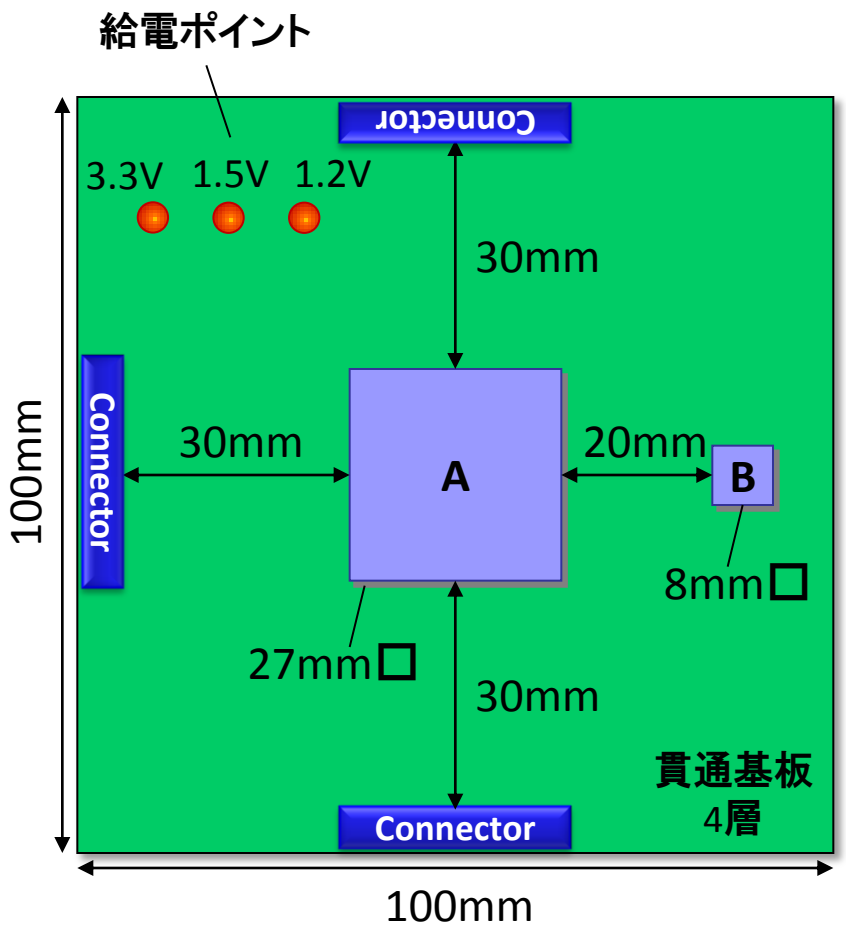
適用事例の説明 ～モチーフ～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

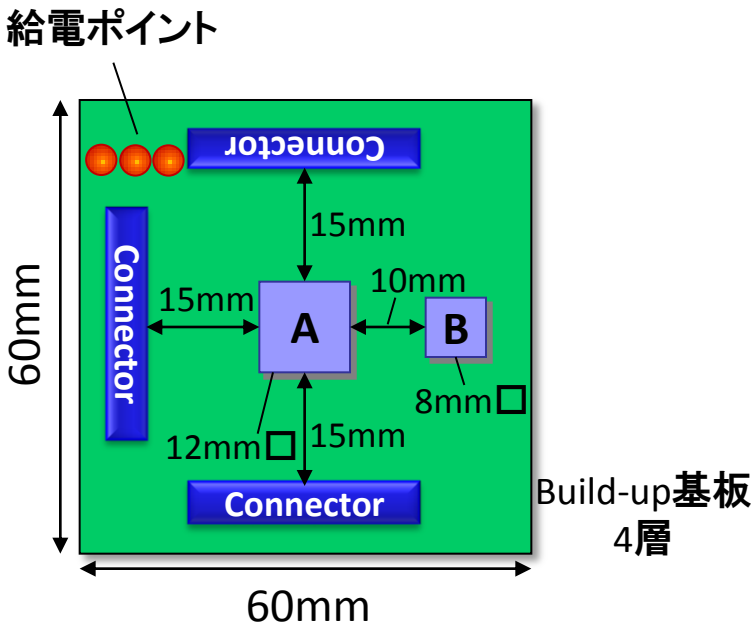
適用事例の説明 ～モチーフ～

セット1 (コモディティ)



4層貫通基板、LSI A：WB

セット2 (軽薄短小)

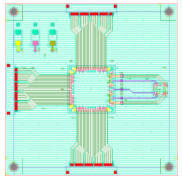
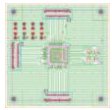


4層ビルド基板、LSI A：FC

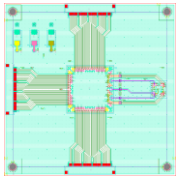
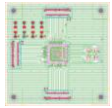
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

適用事例の説明 ～役割分担～

■従来方式

	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ（100×100mm） 	A	A	キヤノン	A	A	デンソー
軽薄短小（60×60mm） 		A	キヤノン			

■LPB方式

	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ（100×100mm） 	ソニー	リコー	Panasonic	図研	東芝	デンソー
軽薄短小（60×60mm） 		富士通セミコンダクター	トッパン NEC			

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

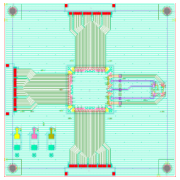
アジェンダ

- 背景
- 適用事例の説明
- **従来方式**
- LPB方式
- 総括

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

従来方式

■従来方式によるBoard設計（2種類）を担当

	Controller		Board	Memory	
	LSI	Package		Package	LSI
コモディティ（100×100mm） 	A	A	キヤノン	A	A
軽薄短小（60×60mm）		A	キヤノン		

従来方式 (今回の適用事例での想定)

①LSI,PKG,Board個別設計

②LSI,PKG ⇔ Board　設計情報のやり取りは『紙※』

③SIのみLSI+PKG+Boardの統合解析実施(※IBIS modelを使用)

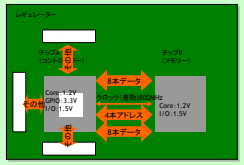
※『紙』:CADが直接読み取れないフォーマットの意

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

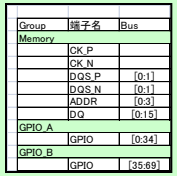
従来方式　～設計の流れと課題～

構想設計（仕様決定）

概略図

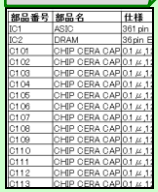


Pinlist



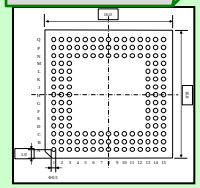
Group	端子名	Bus
Memory		
	CK_P	
	CK_N	
	DQS_P	[0:1]
	DQS_N	[0:1]
	ADDR	[0:3]
	DQ	[0:15]
GPIO_A		
	GPIO	[0:34]
GPIO_B		
	GPIO	[35:69]

部品表

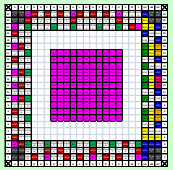


部品番号	部品名	仕様
IC1	ASIC	361 pin
IC2	DRAM	36pin E
C101	CHIP CERA CAP	0.1 μ,1
C102	CHIP CERA CAP	0.1 μ,1
C103	CHIP CERA CAP	0.1 μ,1
C104	CHIP CERA CAP	0.1 μ,1
C105	CHIP CERA CAP	0.1 μ,1
C106	CHIP CERA CAP	0.1 μ,1
C107	CHIP CERA CAP	0.1 μ,1
C108	CHIP CERA CAP	0.1 μ,1
C109	CHIP CERA CAP	0.1 μ,1
C110	CHIP CERA CAP	0.1 μ,1
C111	CHIP CERA CAP	0.1 μ,1
C112	CHIP CERA CAP	0.1 μ,1
C113	CHIP CERA CAP	0.1 μ,1

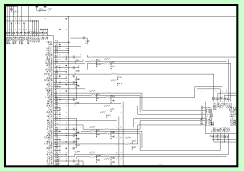
部品マクロ



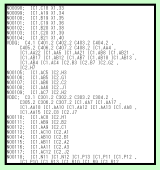
端子配置
Excel



回路図



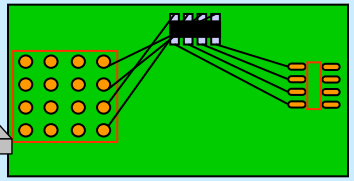
Netlist

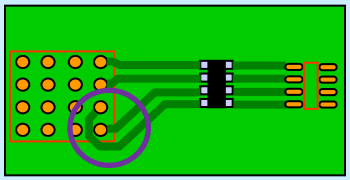


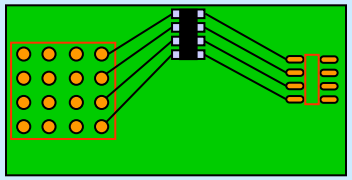
・Netlist
・部品マクロ

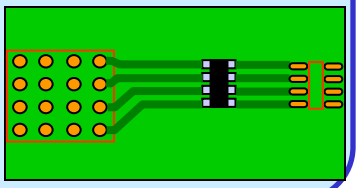
Board設計

部品配置 → 配線完了 → 検証（解析） → 全体最適化 → Board設計完









従来方式の課題
1.人為的ミスの発生リスクがある（構想設計時）
2.全体最適化が困難
3.解析準備に時間がかかる

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

従来方式　～課題1. 人為的ミスの発生リスク～

■多岐にわたるフォーマット間の情報伝達・管理を人が行っている

フォーマット / 情報	概略図	ピンリスト	部品表	部品マクロ	端子配置 Excel	回路図	Netlist
信号名	△	○				○	
部品名	△	○	○	○	○	△	
部品番号			○			○	○
部品外形				○	△		
端子名					○	○	
端子番号				○	○	○	○
ネット名							（○）

定義付け

情報伝達

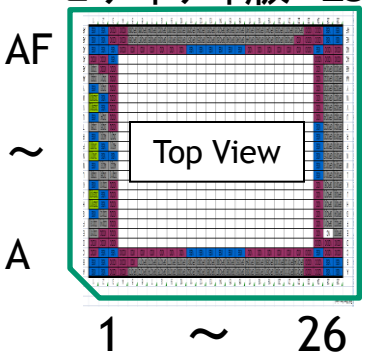
フォーマットが集約されれば、
人為的ミスの発生リスクが低減される

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

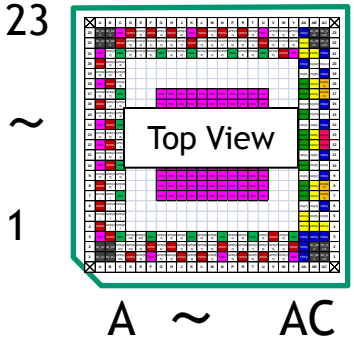
従来方式　～課題1. 人為的ミスの発生リスク　事例～

端子配置Excel端子番号の定義(定義が逆)

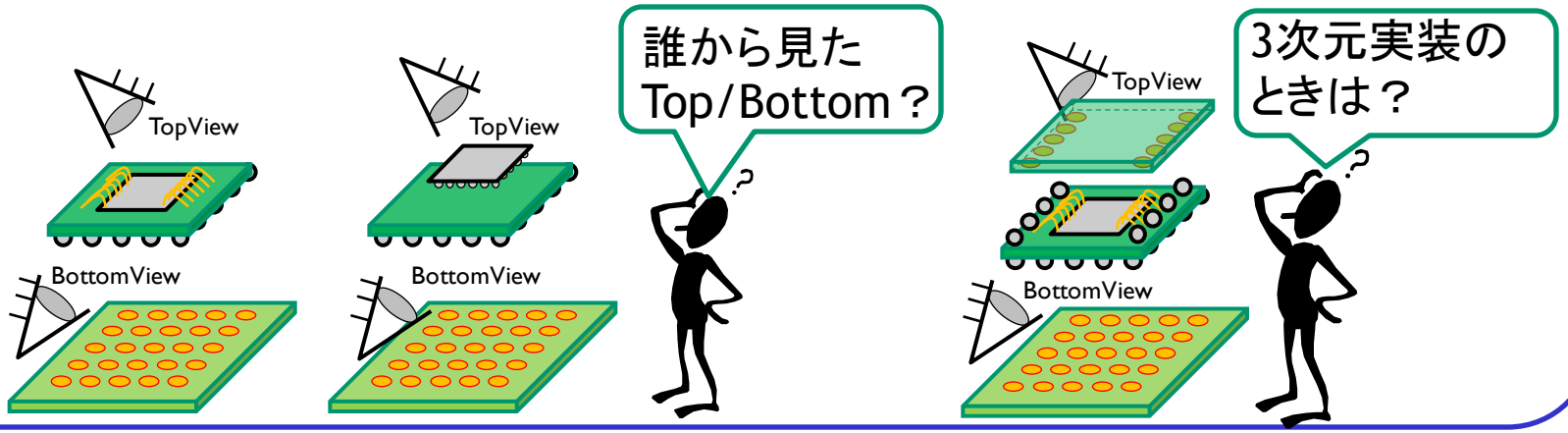
コモディティ版　LSI_A



軽薄短小版 LSI_A



関連：Top View / Bottom Viewの定義があいまい

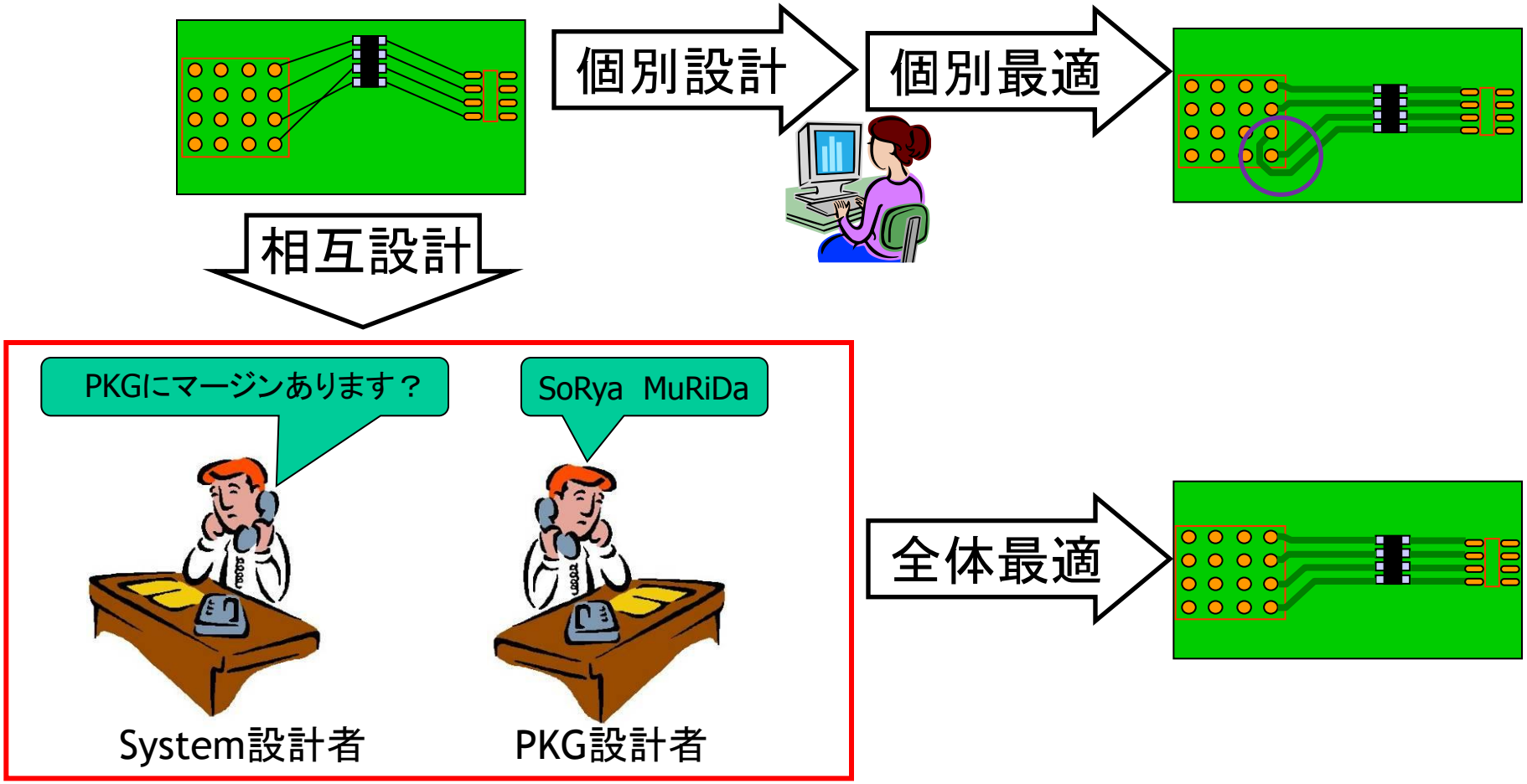


『あいまいさ』が人為的ミスの原因になっている

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

従来方式　～課題2. 全体最適化が困難～

■L,P,Bの各設計マージン・制約が不明確で、最適解が見出せない

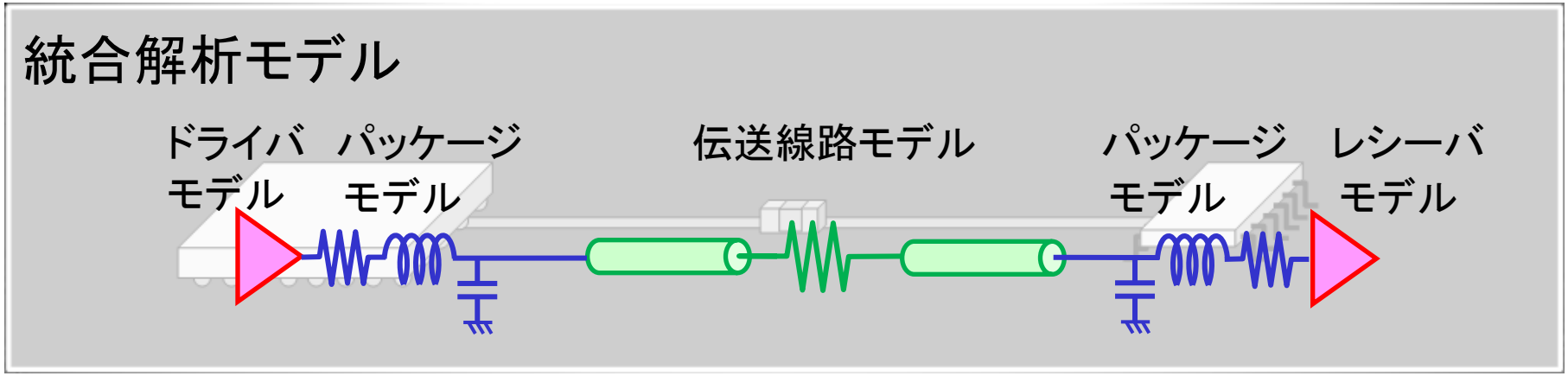


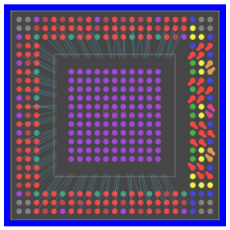
円滑な議論、相互理解が、L,P,B全体最適を容易化する

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

従来方式　～課題3. 解析準備に時間がかかる～

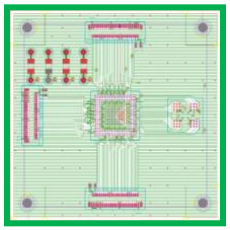
■L,P,B毎に異なる端子名、ネット名がつけられる為、
確認しながらの統合解析モデル作成には時間がかかる





Package
ネット名
「＊＊＊」

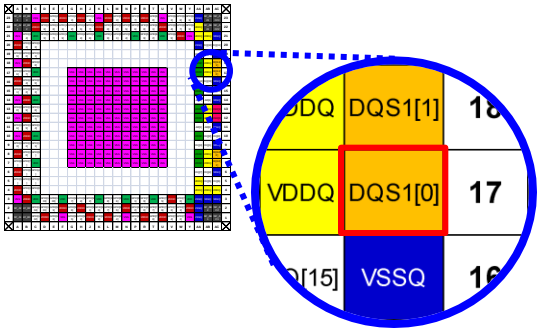
Board
ネット名
「＃＃＃」

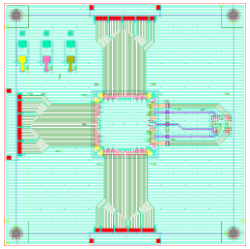


L,P,B間の接続情報が管理されれば、
統合解析モデルの作成時間が短縮される

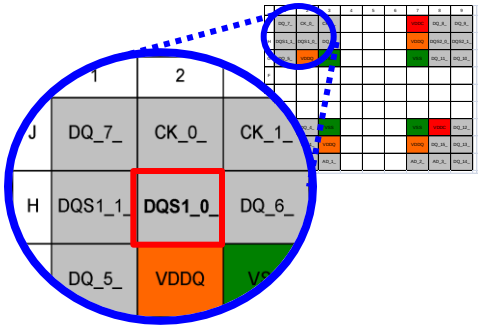
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

従来方式　～課題3. 解析準備に時間がかかる　事例～





CADデータ



LSI_A 端子名
:DQS1[0]

Board Net名
:dqsp1

LSI_B 端子名
:DQS1_0_

DQS1[0]：信号名「DQS1」の[0]/[1]のうち[0]

dqsp1 :信号名「dqs1」のp/nのうちp

解析担当者はCADデータを見て、接続を確認しながら、
統合解析モデルを作成するため、時間がかかる

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

従来方式　～まとめ～

■従来方式によって、

コモディティ版、軽薄短小版の2つのBoard設計を行いました

■従来方式による設計における3つの課題を示しました

課題1　人為的ミスの発生リスクがある

課題2　全体最適が困難

課題3　解析準備に時間がかかる

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

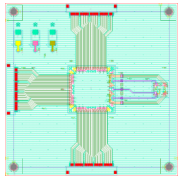
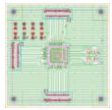
アジェンダ

- 背景
- 適用事例の説明
- 従来方式
- LPB**方式**
- 総括

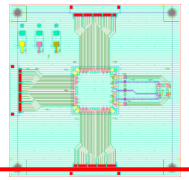
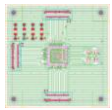
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

適用事例の説明 ～役割分担～

■従来方式

	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ（100×100mm） 			キヤノン			デンソー
軽薄短小（60×60mm） 			キヤノン			

■LPB方式

	Controller		Board	Memory		検証
	LSI	Package		Package	LSI	
コモディティ（100×100mm） 	ソニー	リコー	Panasonic	図研	東芝	デンソー
軽薄短小（60×60mm） 		富士通セミコンダクター	トッパン NEC			

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step～

Step1. LSI担当が階層間定義、設計制約を仮決め
（担当:ソニー 濱田）

↓

Step2. PKG担当が階層間定義、設計制約を仮決め
（担当:富士通セミコンダクター 小澤）

↓

Step3. Board担当が階層間定義、設計制約を仮決め
（担当: トッパンNEC 金子）

↓

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

↓

Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

↓

Step6. シミュレーションを使った検証を実施
（担当:デンソー 市川、津田）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step1～

Step1. LSI担当が階層間定義、設計制約を仮決め
（担当:ソニー 濱田）

↓

Step2. PKG担当が階層間定義、設計制約を仮決め
（担当:富士通セミコンダクター 小澤）

↓

Step3. Board担当が階層間定義、設計制約を仮決め
（担当: トッパンNEC 金子）

↓

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

↓

Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

↓

Step6. シミュレーションを使った検証を実施
（担当:デンソー 市川、津田）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step1-①～

LSI A
設計仕様

LSIサイズ
パッドピッチ
信号/電源数
IFの配置情報

LSI
構想設計

物理設計
論理設計(ネットアサイン)
グルーピング/差動ペア定義
設計制約

LPB
フォーマット

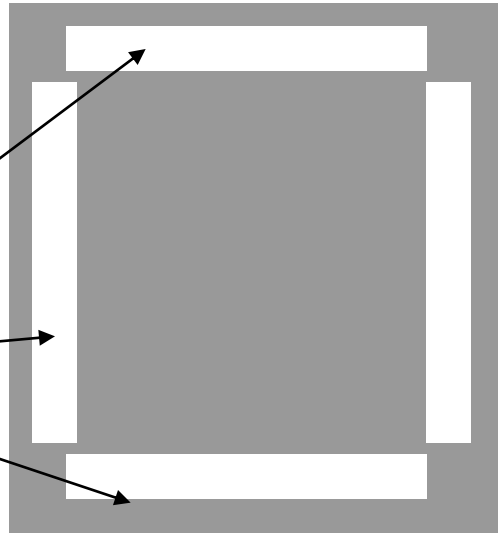
ネットリスト
階層間定義
設計制約

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step1-②.LSI Aの設計仕様～

＜LSI情報＞
・Size：7mm□
・Pad Pitch：110um
・Pad数：240パッド
(60パッドx4辺)

＜GPIO＞
・Data=105パッド
・V(3.3)=30パッド
・V(1.2)=15パッド
・G=30パッド



＜DDR＞
・Data=16パッド
・DQS=2Pair（4パッド）
・Add=4パッド
・CK=1Pair（2パッド）
・V(1.5)=13パッド
・V(1.2)=8パッド
・G=13パッド

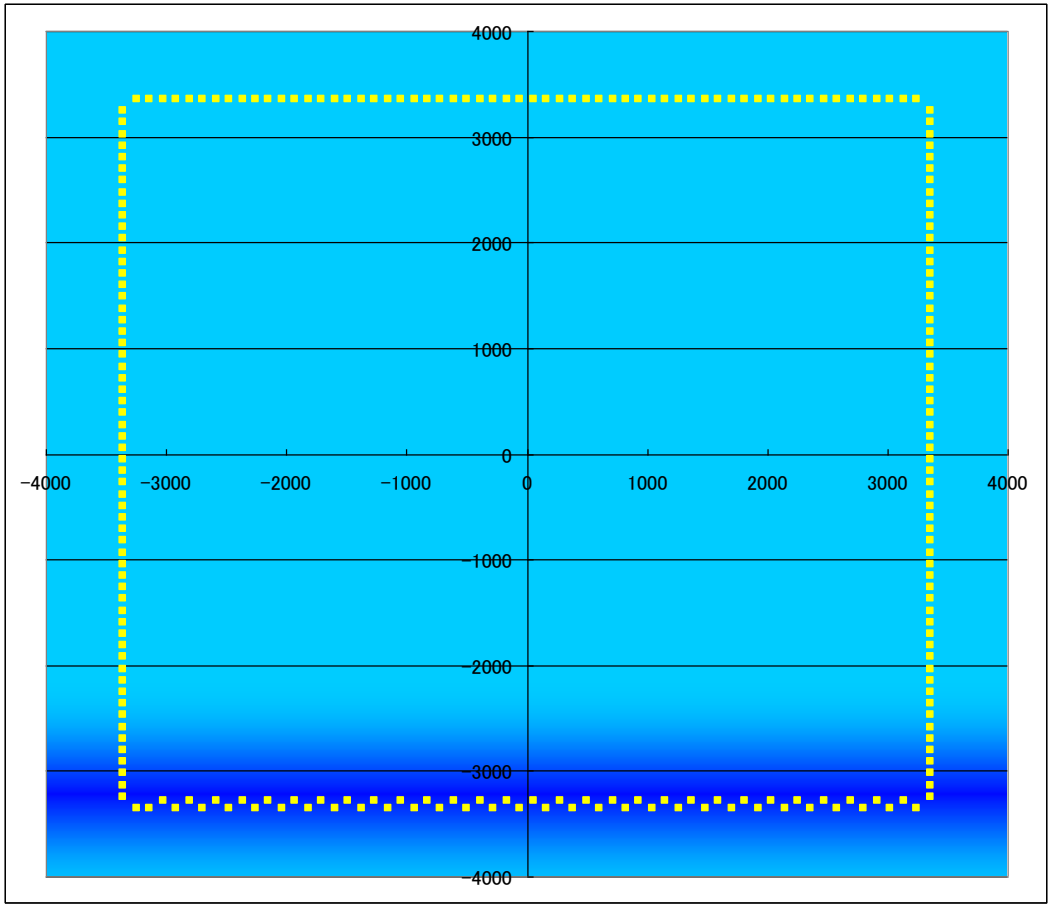
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

【階層間定義】

■ 物理設計/論理設計

Pad番号	Pad名	Pad属性	I/O	X座標	Y座標
1	VDDIO1	Power	inout	−3355	3245
2	VSS1	GND	inout	−3355	3135
3	VDD1	Power	inout	−3355	3025
4	GPIO0	Signal	inout	−3355	2915
5	GPIO1	Signal	inout	−3355	2805
6	GPIO2	Signal	inout	−3355	2695
7	VDDIO2	Power	inout	−3355	2585
8	VSS2	GND	inout	−3355	2475
9	GPIO3	Signal	inout	−3355	2365
10	GPIO4	Signal	inout	−3355	2255
11	GPIO5	Signal	inout	−3355	2145
12	GPIO6	Signal	inout	−3355	2035
13	VDDIO3	Power	inout	−3355	1925
14	VSS3	GND	inout	−3355	1815
15	VDD2	Power	inout	−3355	1705

▪
▪
▪

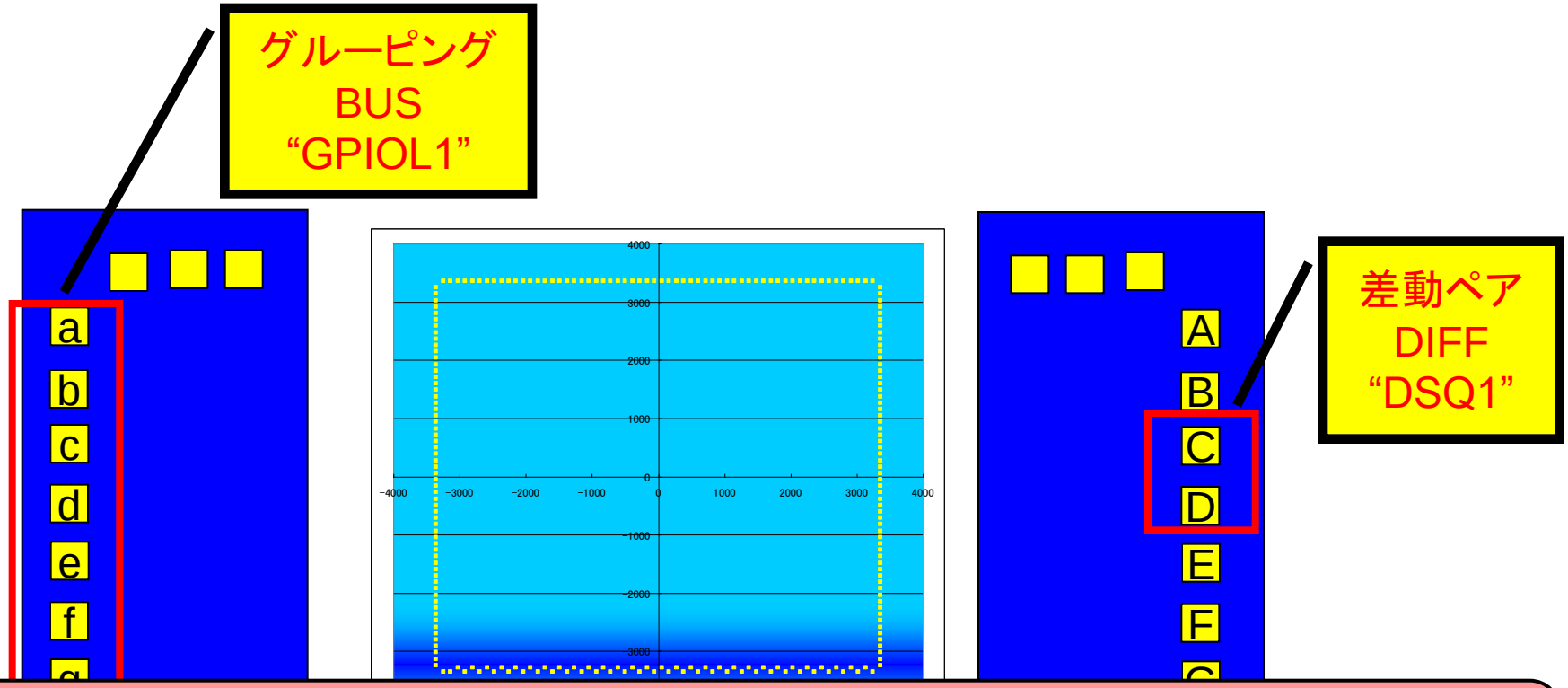


LPB方式　：　従来方式と大差なし。
従来方式　：　LPB方式と大差なし。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

【階層間定義】

■ グルーピング/差動ペアの定義

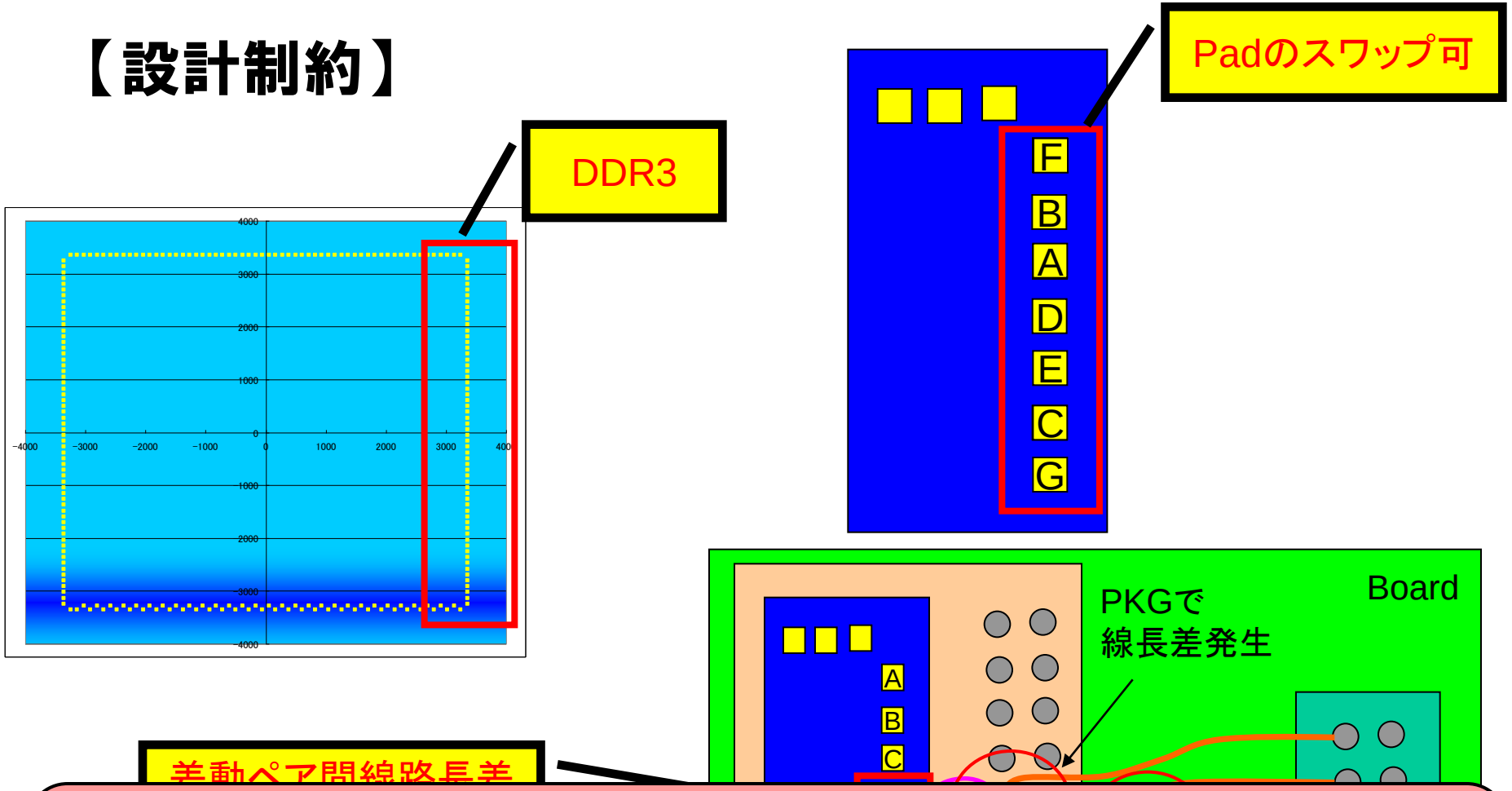


LPB方式　：　フォーマットに情報を記載するだけ。
従来方式　：　資料作成や打合せによる認識合わせが必要。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step1-⑤. LSI構想設計～

【設計制約】



LPB方式　：　フォーマットに情報を記載するだけ。
定義の『あいまいさ』を排除
従来方式：　資料作成や打合せによる認識合わせが必要。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step1-⑥. LPB標準フォーマットへの出力～

ネットリスト（Verilog）

```
module ChipA_PKG_set2( GPIO, CK, AD, DQ, DQS0, DQS1, VDDIO, VDD, VSS, VDDQ, VDDC, VSSQ );
↓
  inout [104:0] GPIO ;
↓
  input [1:0]   CK ;
  input [3:0]   AD ;
  inout [15:0]  DQ ;
  inout [1:0]   DQS0 ;
  inout [1:0]   DQS1 ;
↓
  inout         VDDIO ;
  inout         VDD ;
  inout         VSS ;
↓
  inout         VDDQ ;
  inout         VDDC ;
  inout         VSSQ ;
↓
↓
  CHIPA X1(  .GPIO(GPIO),  .VSS(VSS),    .VDD
             .DQS0(DQS0),  .DQS1(DQS1),  .DQ(
             .CK(CK),      .VSSQ(VSSQ),  .VDD
↓
endmodule
[EOF]
```

階層間定義（XML）

```
<?xml version="1.0" encoding="Shift_JIS"?>
↓
<JEITA>
<module name="ChipA_PKG_set2" type="PKG">
↓
  <unit>
    <distance unit="um" scale="1.0"/>
    <angle unit="degree" scale="1.0"/>
  </unit>
↓
  <shape>
    <rectangle llx="-6000" lly="-6000" urx="600
  </shape>
↓
  <socket inst="ChipA_PKG_set2_PORTS">
#   フォーマットに準拠すると以下記述?
#   <port id="1" name="A1" type="NC" direction=
#     <shape>
#       <point distunit="um" scale="1.0" x="-
#       <circle distunit="um" scale="1.0" diam
#     </shape>
#     <electrical>
#       <Zsingle impedance="特性インピーダンス"
#     </electrical>
#   </port>
↓
```

設計制約（XML）

```
<Header
  TechDefName="Tech_set2"
  Version="1.1"
  Type="PKG"
  DesignUnits="mm"
  AreaUnits="mm2"
  AngleUnits="degree"
  TimeUnits="ns"
  ResistivityUnits="ohm*m"
  TempUnits="degree Celsius"
/>
↓
<LayerDef>
  <Layer name="TOP_COND" order="1" thickness="0.010" material="COPPER"/>
  <Layer name="2ND_COND" order="2" thickness="0.010" material="COPPER"/>
  <Layer name="3RD_COND" order="3" thickness="0.010" material="COPPER"/>
  <Layer name="BOT_COND" order="4" thickness="0.010" material="COPPER"/>
  <Dielectric above="TOP_COND" below="2ND_COND" thickness="0.040" material="FR-4"/>
  <Dielectric above="2ND_COND" below="3RD_COND" thickness="0.100" material="FR-4"/>
                                                                   ="FR-4"/>
```

LPB方式　：　EDAツールで出力するだけ。
　　人為的ミスの排除
従来方式　：　紙の仕様書を作成する必要あり。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step1. まとめ～

LPB方式作成工数（EDAツールが対応した場合）

工程	作業内容	LPB方式※) [hours]
③	物理設計/論理設計	3
④	グルーピング/差動ペアを設定	0.1
⑤	設計制約を設定	0.1
⑥	LPB標準フォーマットへの出力 ・ネットリスト ・階層条件XML ・設計制約XML	0.1
	合計	3.3

仕様書作成の工数削減ができた効果

資料作成や打合せによる認識合わせが不要となる事による効果

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step2～

Step1. LSI担当が階層間定義、設計制約を仮決め
（担当:ソニー 濱田）

↓

Step2. PKG担当が階層間定義、設計制約を仮決め
（担当:富士通セミコンダクター 小澤）

↓

Step3. Board担当が階層間定義、設計制約を仮決め
（担当: トッパンNEC 金子）

↓

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

↓

Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

↓

Step6. シミュレーションを使った検証を実施
（担当:デンソー 市川、津田）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step2-①. LSI作成～

階層間定義情報

ChipA_DIE_HR.xml - TeraPad

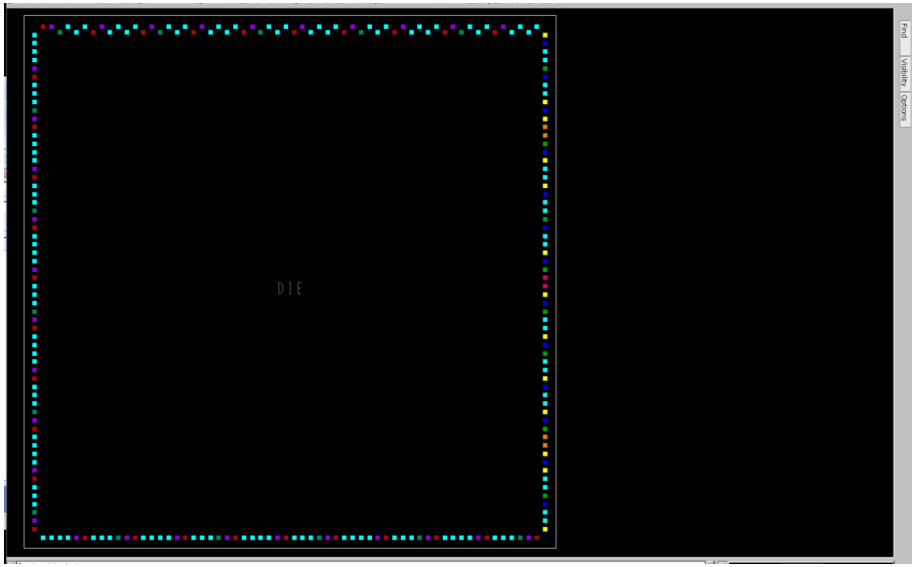
```
<!-- ##########################################################################-->
<module name="ChipA_DIE" type="DIE">
  <unit>
    <distance unit="um"      scale="1.0"/>
    <angle    unit="degree"  scale="1.0"/>
  </unit>

  <shape>
    <rectangle llx="-3500" lly="-3500" urx="3500" ury="3500" />
  </shape>

  <socket inst="ChipA_DIEPORTS">
    <!-- LEFT_EDGE ------------------------------------------------------------->
      <port id="1"  name="VDDIO1"  type="power"  direction="inout" x="-3355" y="3245" />
      <port id="2"  name="VSS1"    type="ground" direction="inout" x="-3355" y="3135" />
      <port id="3"  name="VDD1"    type="power"  direction="inout" x="-3355" y="3025" />
      <port id="4"  name="GPIO0"   type="signal" direction="inout" x="-3355" y="2915" />
      <port id="5"  name="GPIO1"   type="signal" direction="inout" x="-3355" y="2805" />
      <port id="6"  name="GPIO2"   type="signal" direction="inout" x="-3355" y="2695" />
      <port id="7"  name="VDDIO2"  type="power"  direction="inout" x="-3355" y="2585" />
      <port id="8"  name="VSS2"    type="ground" direction="inout" x="-3355" y="2475" />
      <port id="9"  name="GPIO3"   type="signal" direction="inout" x="-3355" y="2365" />
      <port id="10" name="GPIO4"   type="signal" direction="inout" x="-3355" y="2255" />
```

設計制約情報

ChipA_DIE_DC.xml - TeraPad

```
<SwappablePin>
  <Group name="DQ_Byte1" part="ddr">
      <Pin name="DQ0" />
      <Pin name="DQ1" />
      <Pin name="DQ2" />
      <Pin name="DQ3" />
      <Pin name="DQ4" />
      <Pin name="DQ5" />
      <Pin name="DQ6" />
      <Pin name="DQ7" />
  </Group>
</SwappablePin>
```

PKG設計ツール上にLSIを作成

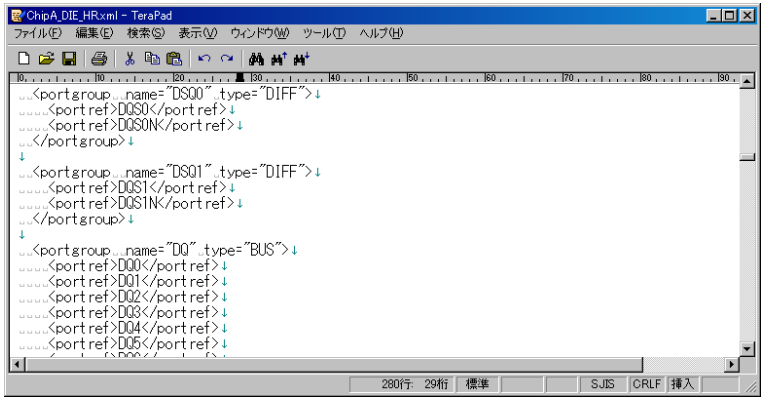


LPB方式　：　EDAツールで読み込むだけ
従来方式　：　紙の仕様書を解読する必要あり

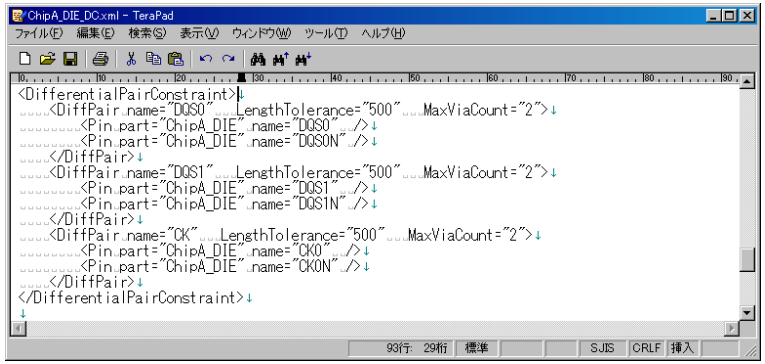
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step2-②. 設計制約を設定～

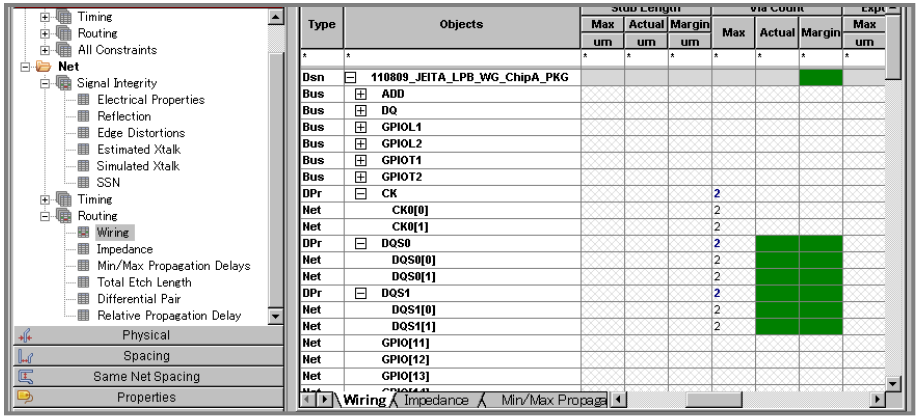
階層間定義情報



設計制約情報



PKG設計ツールに設計制約を設定



LPB方式 ： EDAツールで読み込むだけ
従来方式 ： 紙の仕様書を解読する必要あり

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step2-③. PKG設計ルールを設定～

【LPB標準フォーマット】
PKG設計ルールのDB

PKG設計ツールに設計ルールを設定

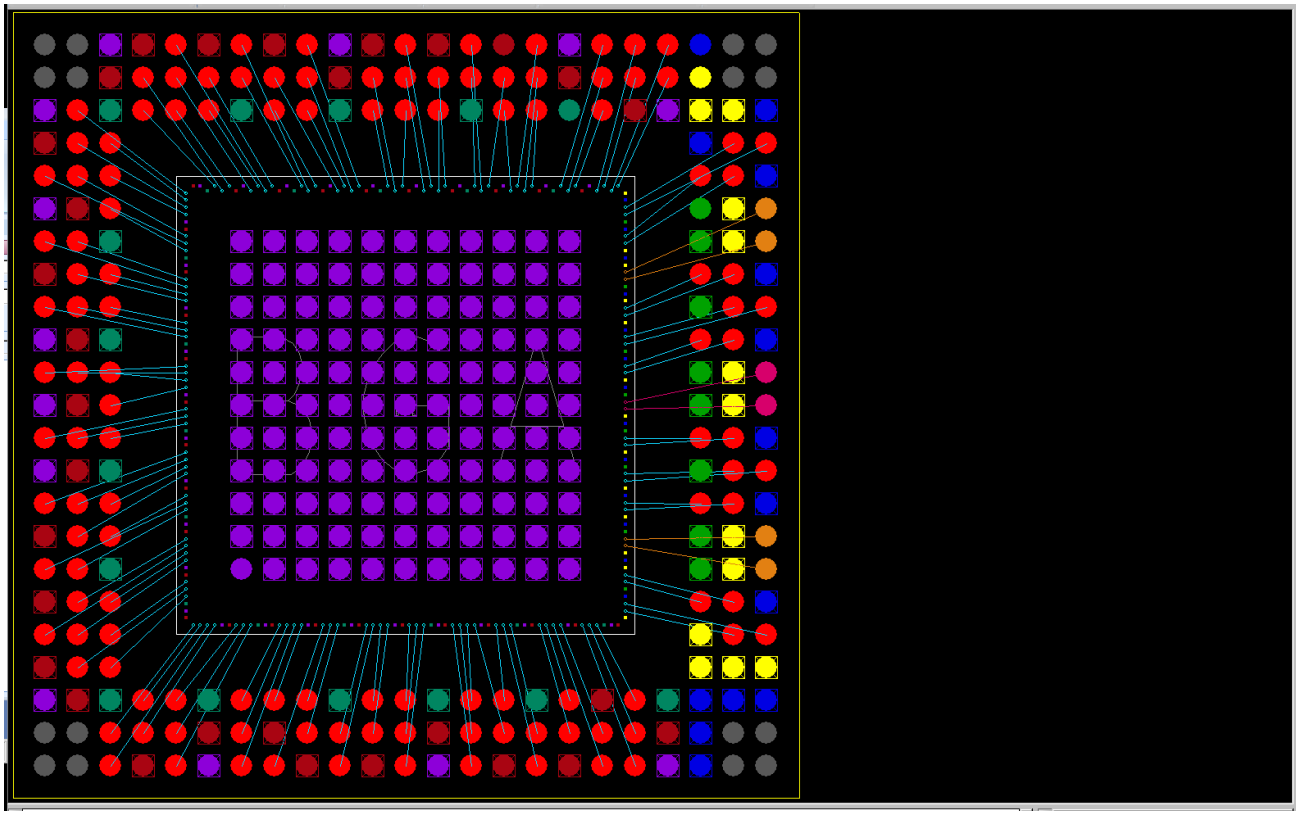
Cross Section

		Subclass Name	Type	Material	Thickness (UM)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Negative Artwork	Shield
1			SURFACE	AIR			1	0		
2		TOP_SR	DIELECTRIC	RESISTOR_INK	20	0	4.5	0.035		
3		TOP_COND	CONDUCTOR	COPPER	10	595900	4.5	0	☐	
4		DIELECTRIC_1_2	DIELECTRIC	FR-4	40	0	4.5	0.035		
5		2ND_COND	PLANE	COPPER	10	595900	4.5	0	☐	☒
6		CORE	DIELECTRIC	FR-4	100	0	4.5	0.035		
7		3RD_COND	PLANE	COPPER	10	595900	4.5	0	☐	☒
8		DIELECTRIC_3_4	DIELECTRIC	FR-4	40	0	4.5	0.035		
9		BOT_COND	CONDUCTOR	COPPER	10	595900	4.5	0	☐	
10		BOT_SR	DIELECTRIC	RESISTOR_INK	20	0	4.5	0.035		
11			SURFACE	AIR			1	0		

LPB方式　：　EDAツールの制限を受けない（容易に変更可）
従来方式　：　容易にEDAツールを変更できない

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

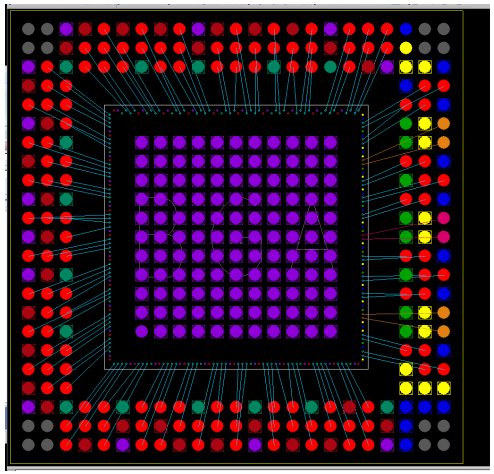
LPB方式　～Step2-④. ボールアサインを設定～

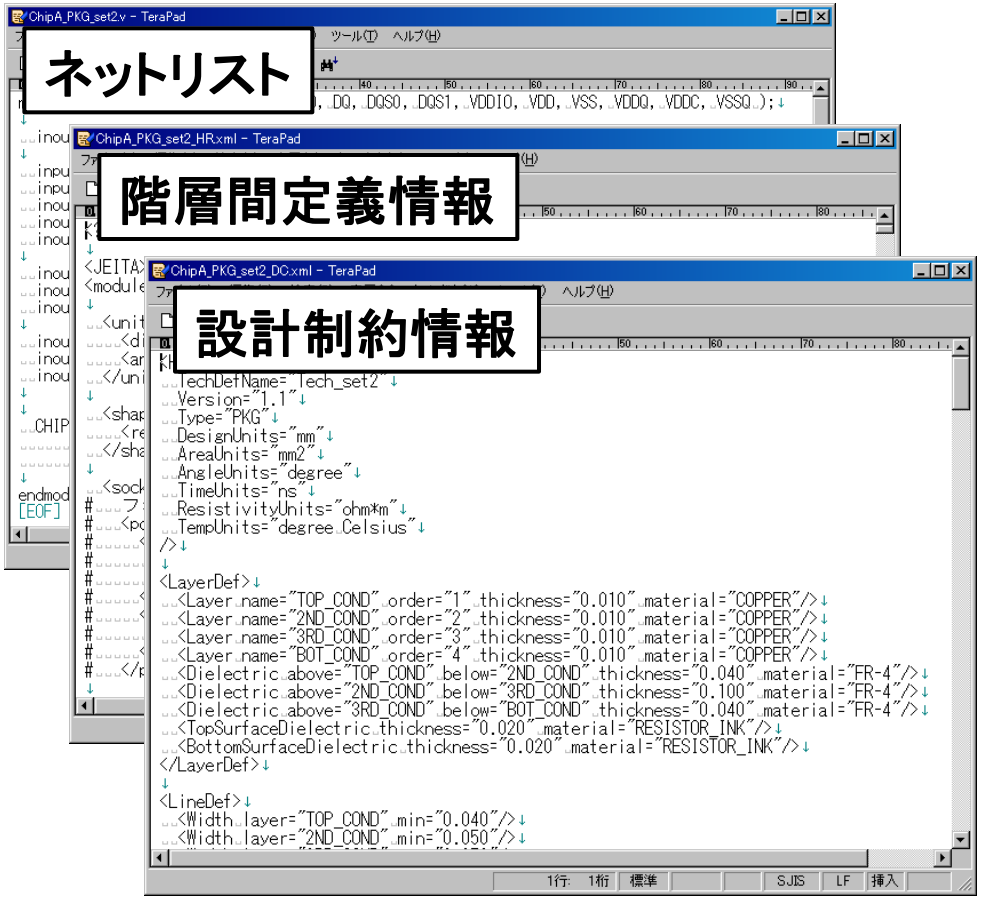


LPB方式　：　従来方式と差なし
従来方式　：　LPB方式と差なし

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step2-⑤. 仮決めしたPKG情報の出力～





LPB方式　：　JEITA LPB標準フォーマットで出力して提供
従来方式　：　紙の仕様書を作成して提供（人為的ミスの可能性）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step2. まとめ～

LPB方式作業工数（EDAツールが対応した場合）

工程	作業内容	LPB方式 [hours]
①	LSI作成	0.1
②	設計制約を設定	0.1
③	PKG設計ルールを設定	0.1
④	ボールアサインを設定	2.0
⑤	仮決めしたPKG情報の出力 ・ネットリスト ・階層間定義情報 ・設計制約情報	0.1
	合計	2.4

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step3～

Step1. LSI担当が階層間定義、設計制約を仮決め
（担当:ソニー 濱田）

↓

Step2. PKG担当が階層間定義、設計制約を仮決め
（担当:富士通セミコンダクター 小澤）

↓

Step3. Board担当が階層間定義、設計制約を仮決め
（担当: トッパンNEC 金子）

↓

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

↓

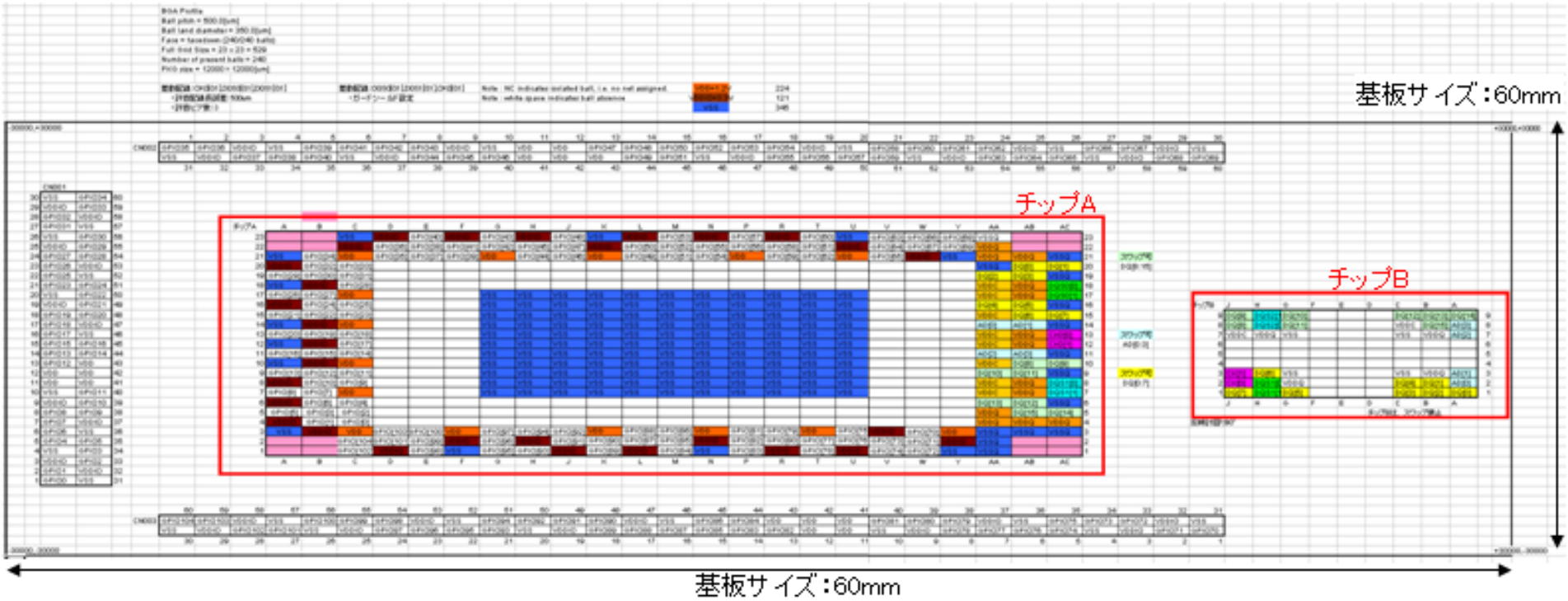
Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

↓

Step6. シミュレーションを使った検証を実施
（担当:デンソー 市川、津田）

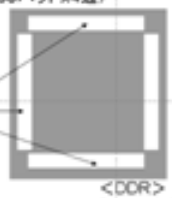
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step3-①. PCB仕様の概要～



チップA

<Die情報>
Size：7mm□
Pad Pitch：お任せ
Pad数：240パッド(60パッドx4辺)

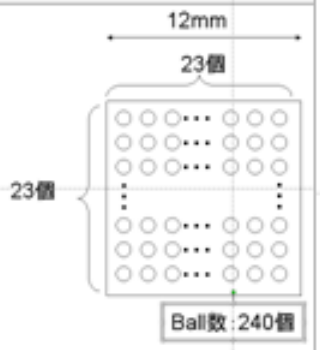


<GPIO>
Data=105パッド
V(3.3)=30パッド
V(1.2)=15パッド
G=30パッド

<パッケージ情報>
Size：27mm□(コモディティ)
12mm□(軽薄短小)
Ball Pitch：1.0mm(コモディティ)
0.5mm(軽薄短小)

<DDR>
Data=16パッド
DQS=2Pair(4パッド)
Add=4パッド
CK=1Pair(2パッド)
V(1.5)=13パッド

チップAの軽薄短小用



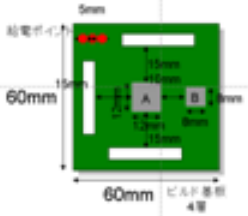
チップB

<Die情報>
Size：5mm x 3mm
Pad Pitch：お任せ
Pad数：60パッド

<DDR>
Data=16パッド
DQS=2Pair(4パッド)
Add=4パッド
CK=1Pair(2パッド)
V(1.5)=13パッド
V(1.2)=8パッド
G=13パッド

<パッケージ情報>
Size：8mm□
Ball Pitch：0.8mm

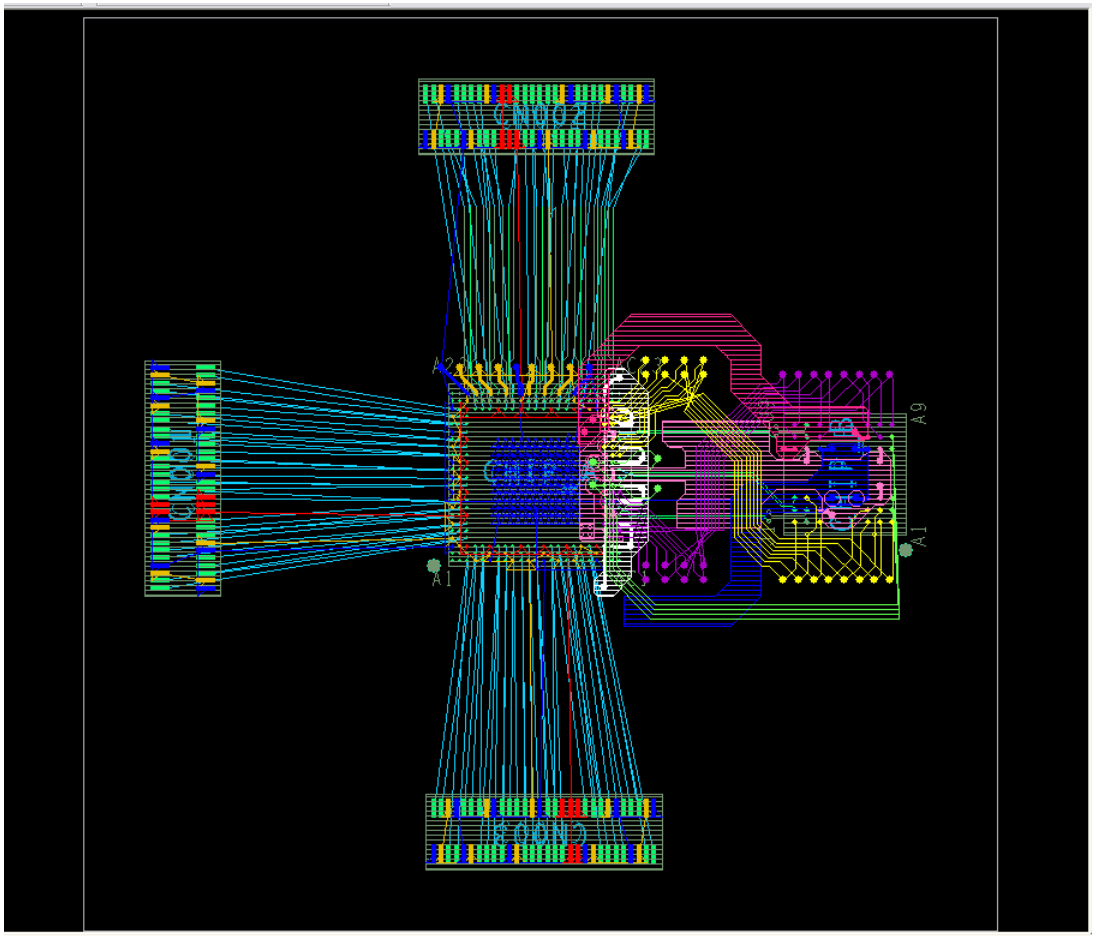
セット2



電解コン：？
セラコン：0603

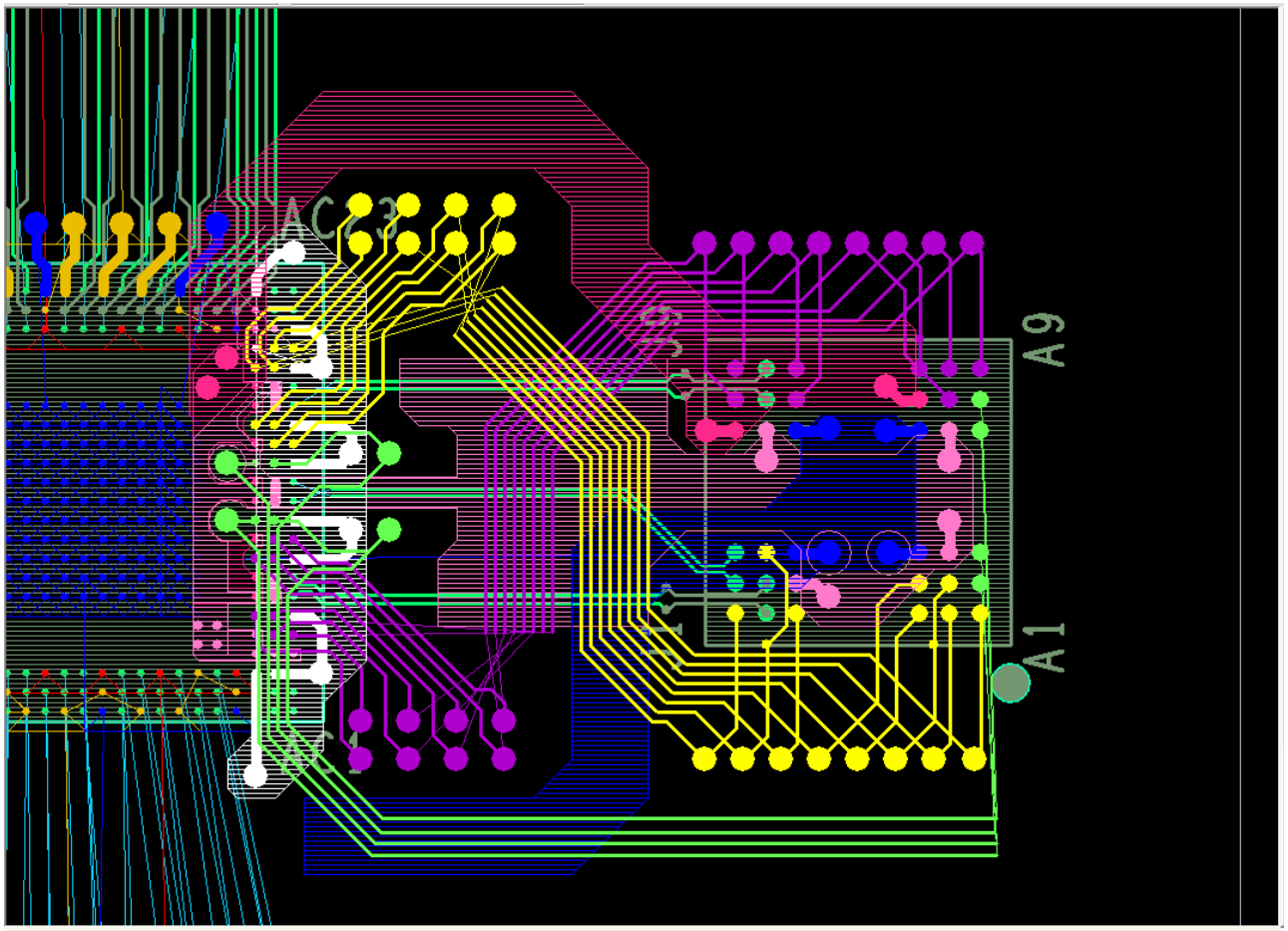
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step3-②. CADによる配置・配線検討～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

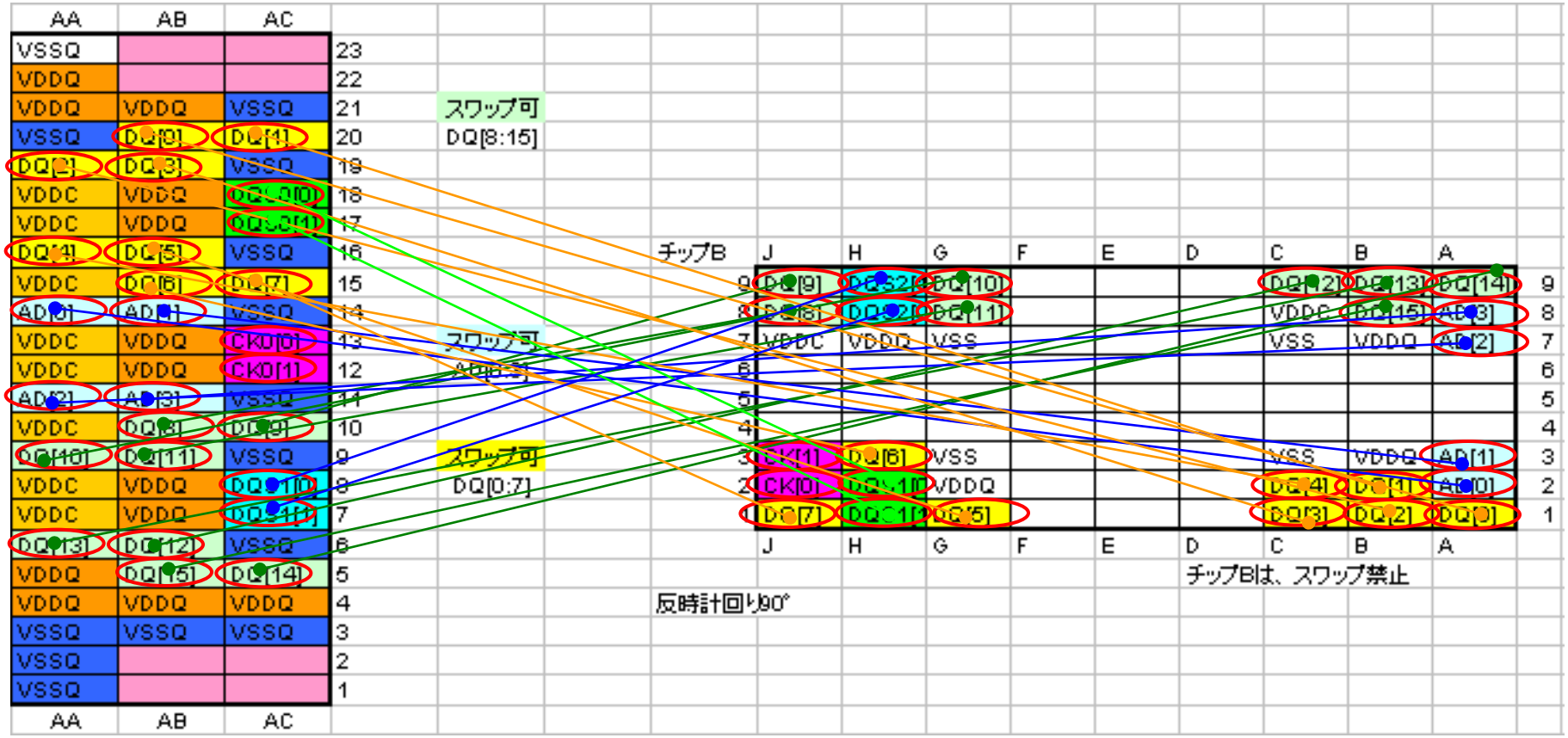
LPB方式　～Step3-③. CADによる配置・配線検討～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step3-④. PKG_Aピン配置の検討～

＜メモリ配線部拡大：現状のピン配置＞



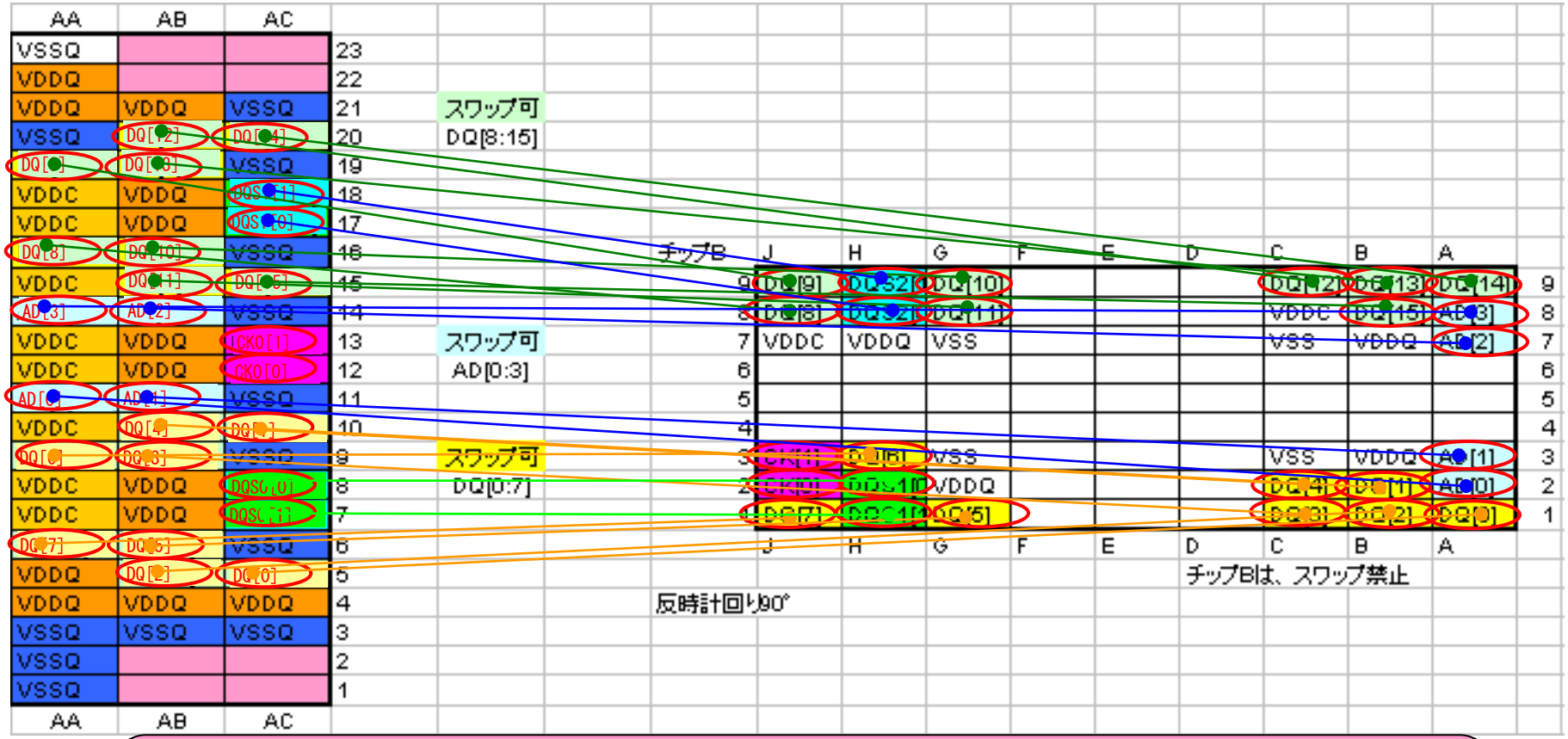
配線が交差して、基板層数の増加が予想される

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step3-⑤. PKG_Aピン配置の検討～

＜メモリ配線部拡大:ピン配置の修正提案＞

***DQ[0:7]*と*DQ[8:15]*のグループ同士での入れ替えが可能であれば。**



従来設計:上記のような検討し、半導体メーカーへ提案(*3*者協議へ)
→資料作成に手間がかかる。
→フォーマットがバラバラなので、誤解の元となる。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step3-⑥. PKG_Aピン配置の検討～

LPB標準フォーマットを使用して修正の提案実施

```
<connection inst="ChipA_PKG_set2_PORTS" portref="AA16" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[4]" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA17" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA18" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA19" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[2]" />
</connection>
```

ピン番号

ネット名

ピン番号

ネット名

```
<connection inst="ChipA_PKG_set2_PORTS" portref="AA16" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[8]" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA17" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA18" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA19" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[9]" />
</connection>
```

ピン番号

ネット名

ピン番号

ネット名

LPB標準フォーマット：PKGのピン名称を変更して、半導体メーカーと交渉
→誤解がない。伝えたい内容が明確になる。
→資料作成の手間が減る。※EDAツールでの対応が前提

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step3-⑥. PKG_Aピン配置の検討～

LPB標準フォーマットを使用して修正の提案実施

```
<connection inst="ChipA_PKG_set2_PORTS" portref="AA16" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[4]" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA17" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA18" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA19" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[2]" />
</connection>
```

ピン番号

ネット名

ピン番号

ネット名

```
<connection inst="ChipA_PKG_set2_PORTS" portref="AA16" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[8]" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA17" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA18" />
<verilog:portref module="ChipA_PKG_set2" portname="VDDC" />
</connection>
<connection inst="ChipA_PKG_set2_PORTS" portref="AA19" />
<verilog:portref module="ChipA_PKG_set2" portname="DQ[9]" />
</connection>
```

ピン番号

ネット名

ピン番号

ネット名

LPB標準フォーマット（現状の問題点）

→いつ誰が記載したと言ったバージョン管理が不明確

→プロジェクト管理の導入

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4～

Step1. LSI担当が階層間定義、設計制約を仮決め
（担当:ソニー 濱田）

↓

Step2. PKG担当が階層間定義、設計制約を仮決め
（担当:富士通セミコンダクター 小澤）

↓

Step3. Board担当が階層間定義、設計制約を仮決め
（担当: トッパンNEC 金子）

↓

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

↓

Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

↓

Step6. シミュレーションを使った検証を実施
（担当:デンソー 市川、津田）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4-①. 3者での打ち合わせ～

3者でJEITA LPB 標準フォーマットを用いて、打ち合わせを実施

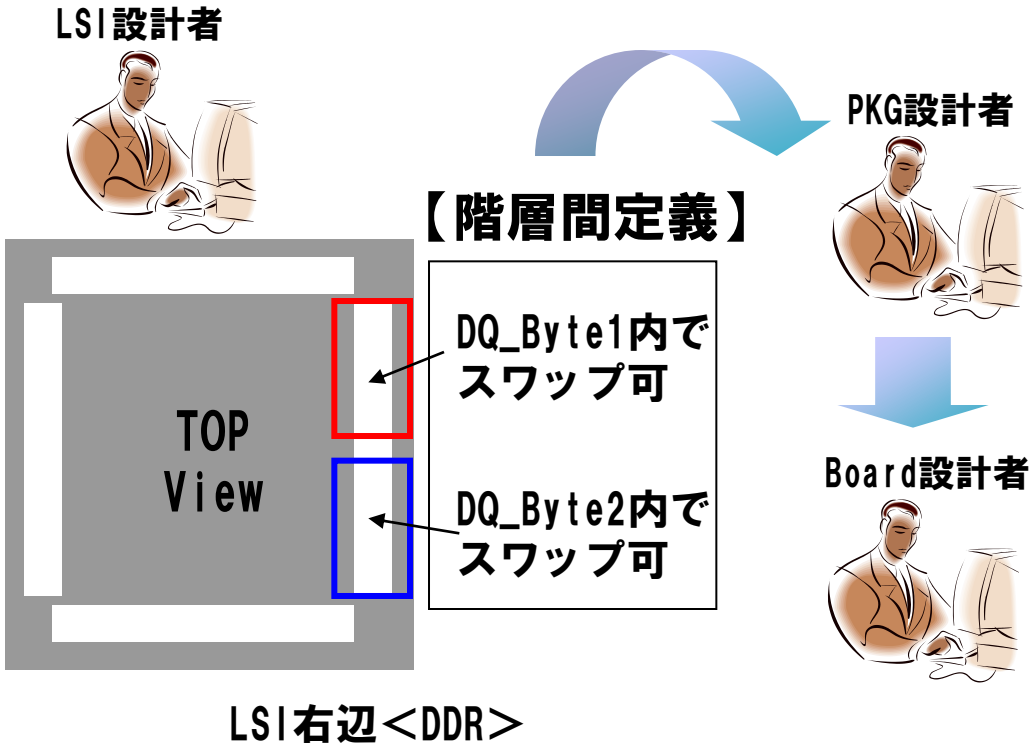
LSI担当

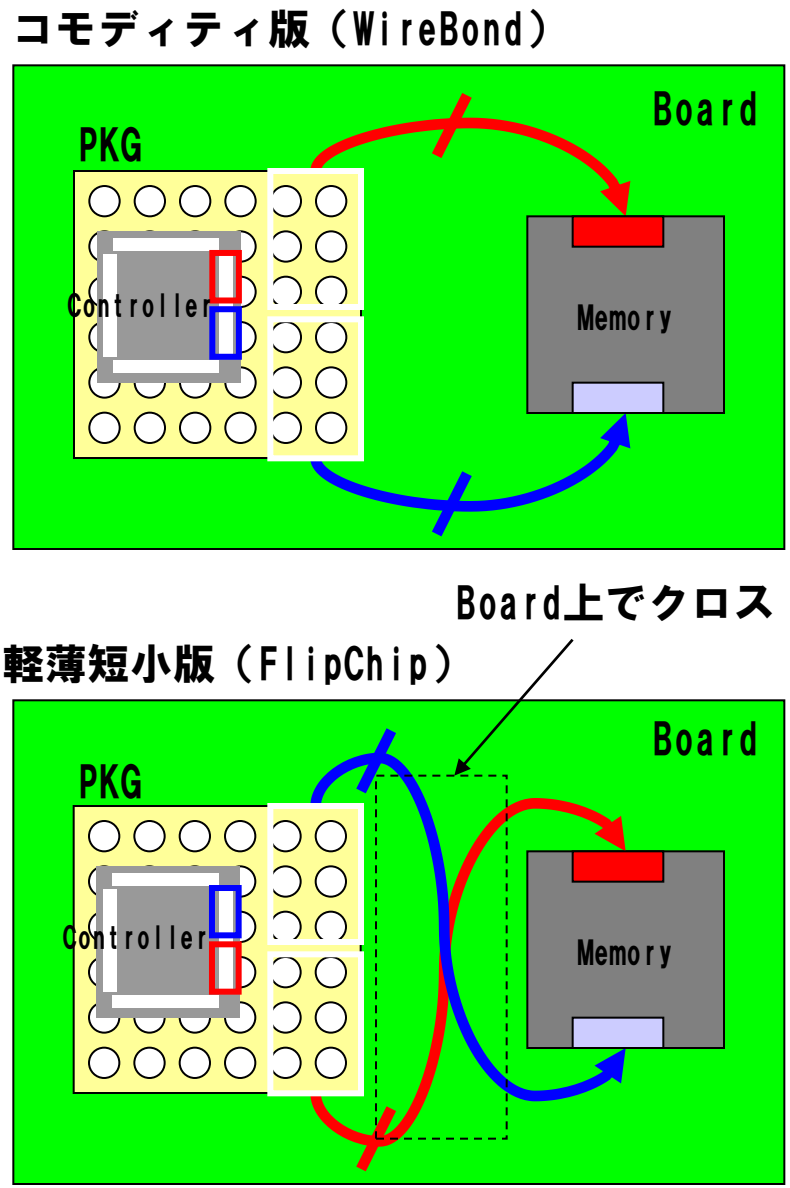
PKG担当

Board担当

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4-②. 問題の確認～



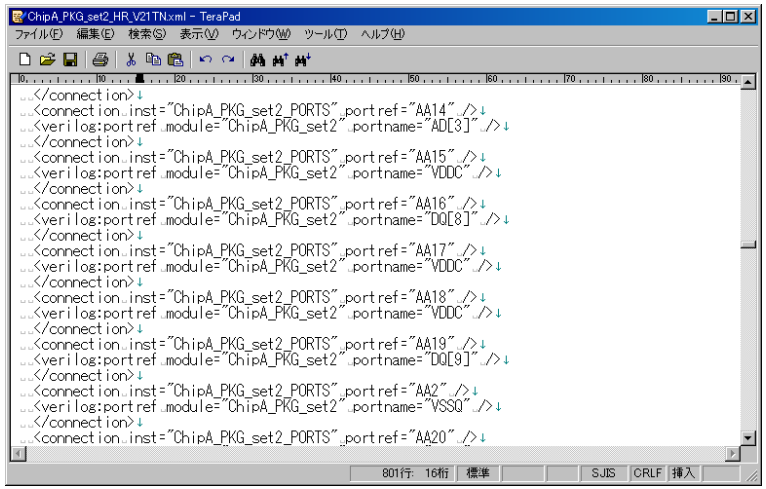


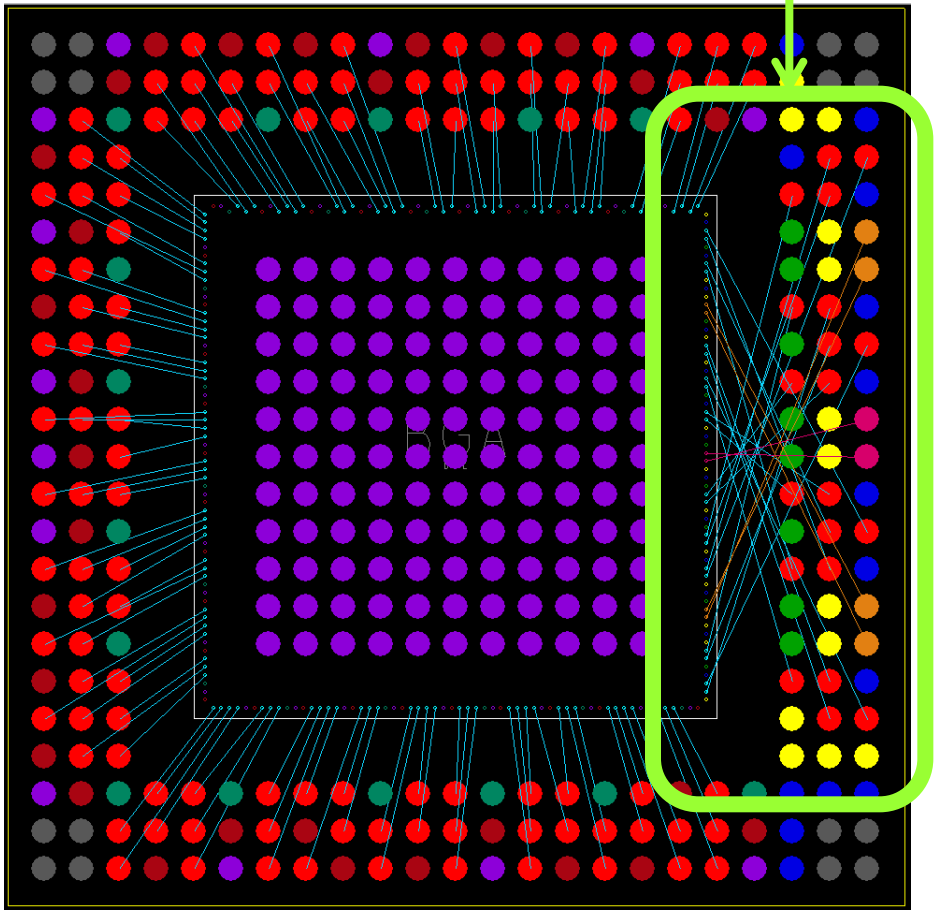
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4-③. PKGボールアサインの変更～

ラッツネストがクロスしている

階層間定義情報（Board担当からFB ）

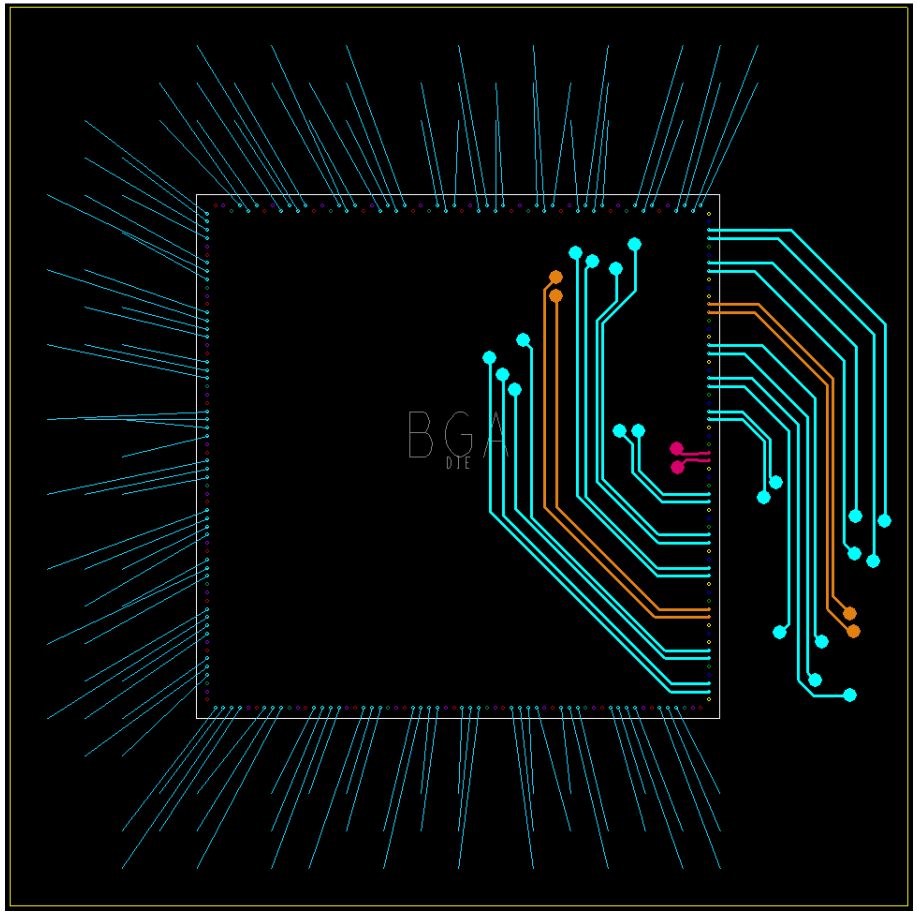




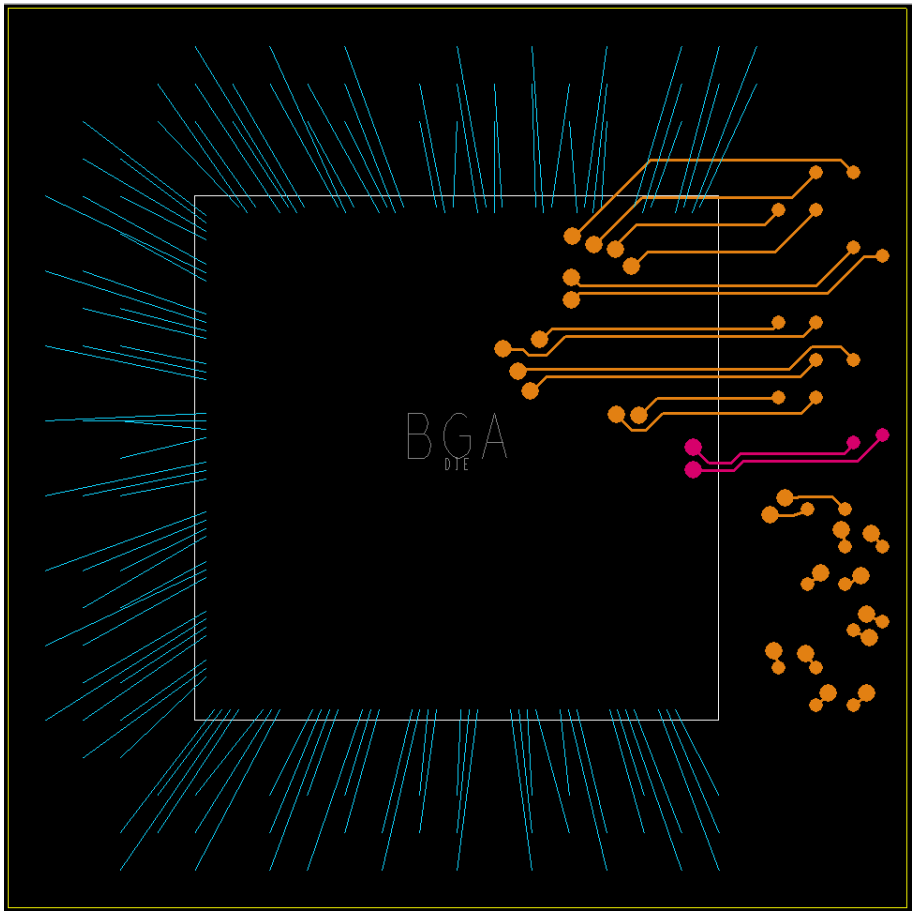
LPB方式 ： EDAツールで読み込むだけ
従来方式 ： 紙の仕様書を解読する必要あり

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4-④. PKGフィージビリティスタディ～



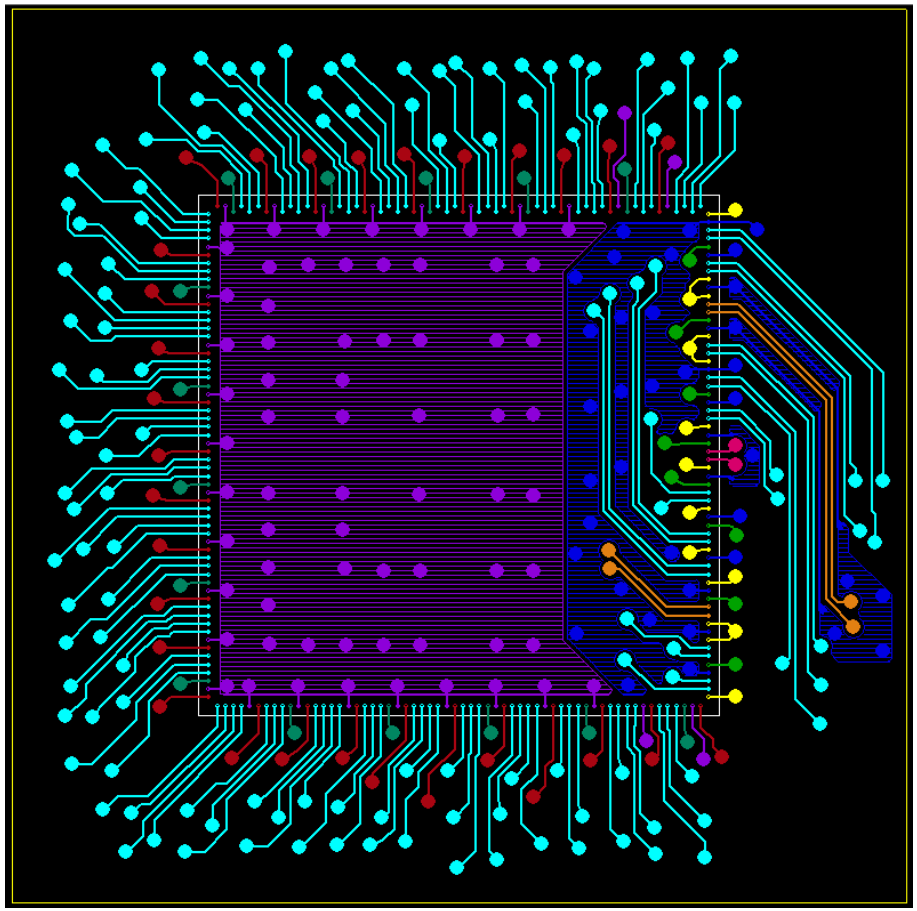
1層目配線パターン



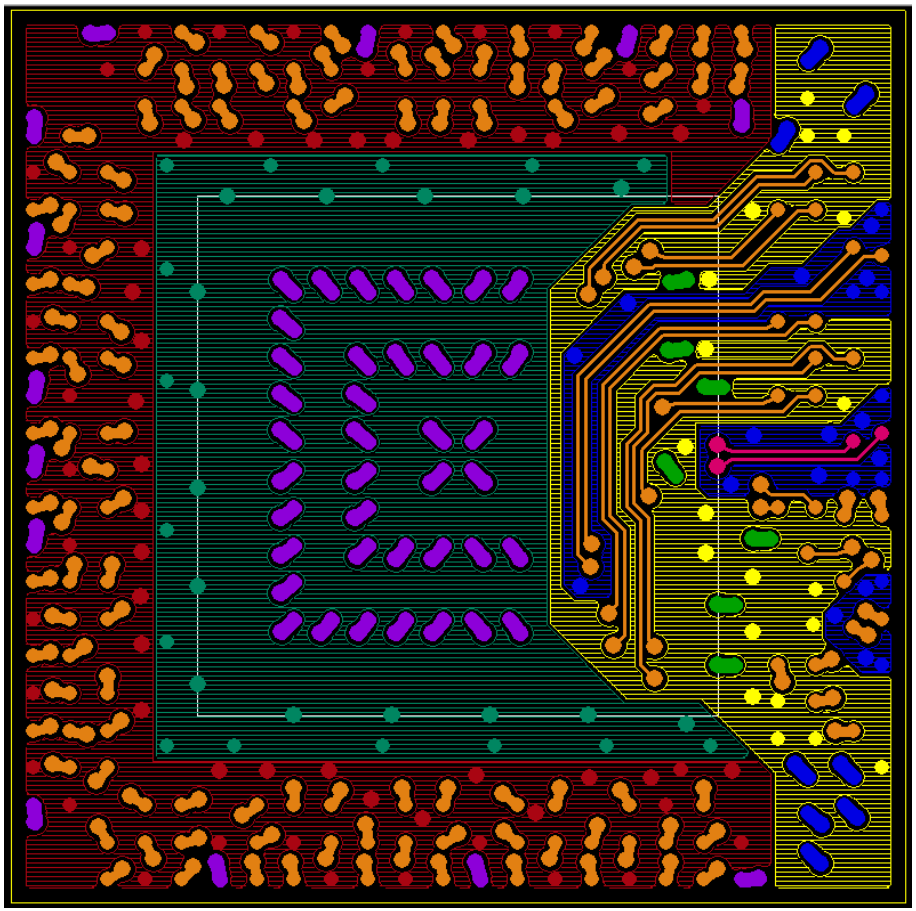
3層目配線パターン

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4-⑤. PKGレイアウト結果～



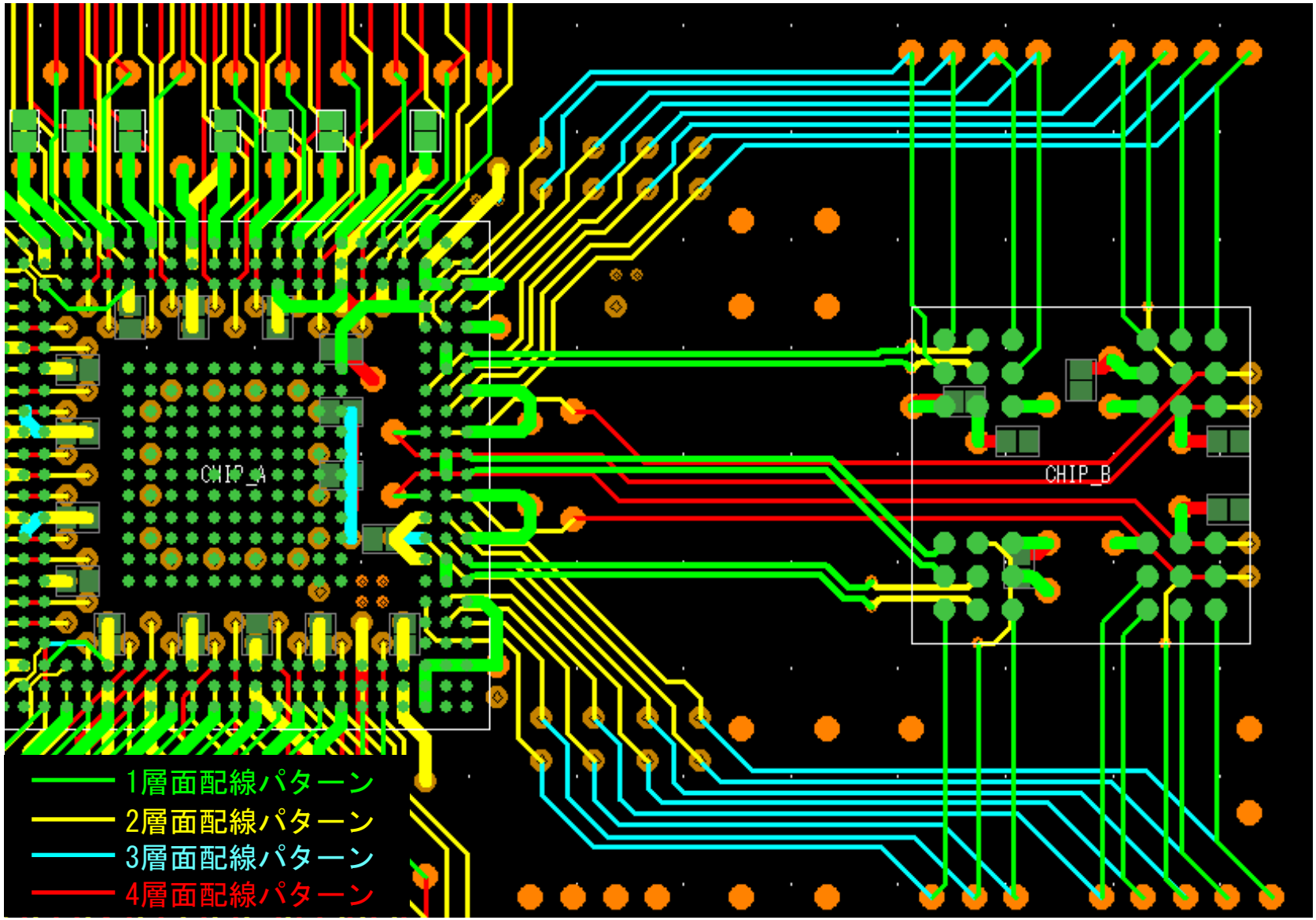
1層目配線パターン



3層目配線パターン

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4-⑥. Boardレイアウト結果～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step4. まとめ～

JEITA LPB標準フォーマットについて

EDAベンダー各位
御検討願います!!

メリット

・修正内容の伝達が容易になり、
　設計するまでの準備時間の大幅な短縮が期待できる。
・誤解によるミス防止や確認のための時間短縮が期待できる。

デメリット

・現時点でEDAツールが対応していない。
・やり取りが増えると、バージョン管理が必要。
・LPB標準フォーマットは、EDAツールにやさしく人に厳しい。
　※LPB標準フォーマットのViewing機能が必要。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step5～

Step1. LSI担当が階層間定義、設計制約を仮決め
（担当:ソニー 濱田）

↓

Step2. PKG担当が階層間定義、設計制約を仮決め
（担当:富士通セミコンダクター 小澤）

↓

Step3. Board担当が階層間定義、設計制約を仮決め
（担当: トッパンNEC 金子）

↓

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

↓

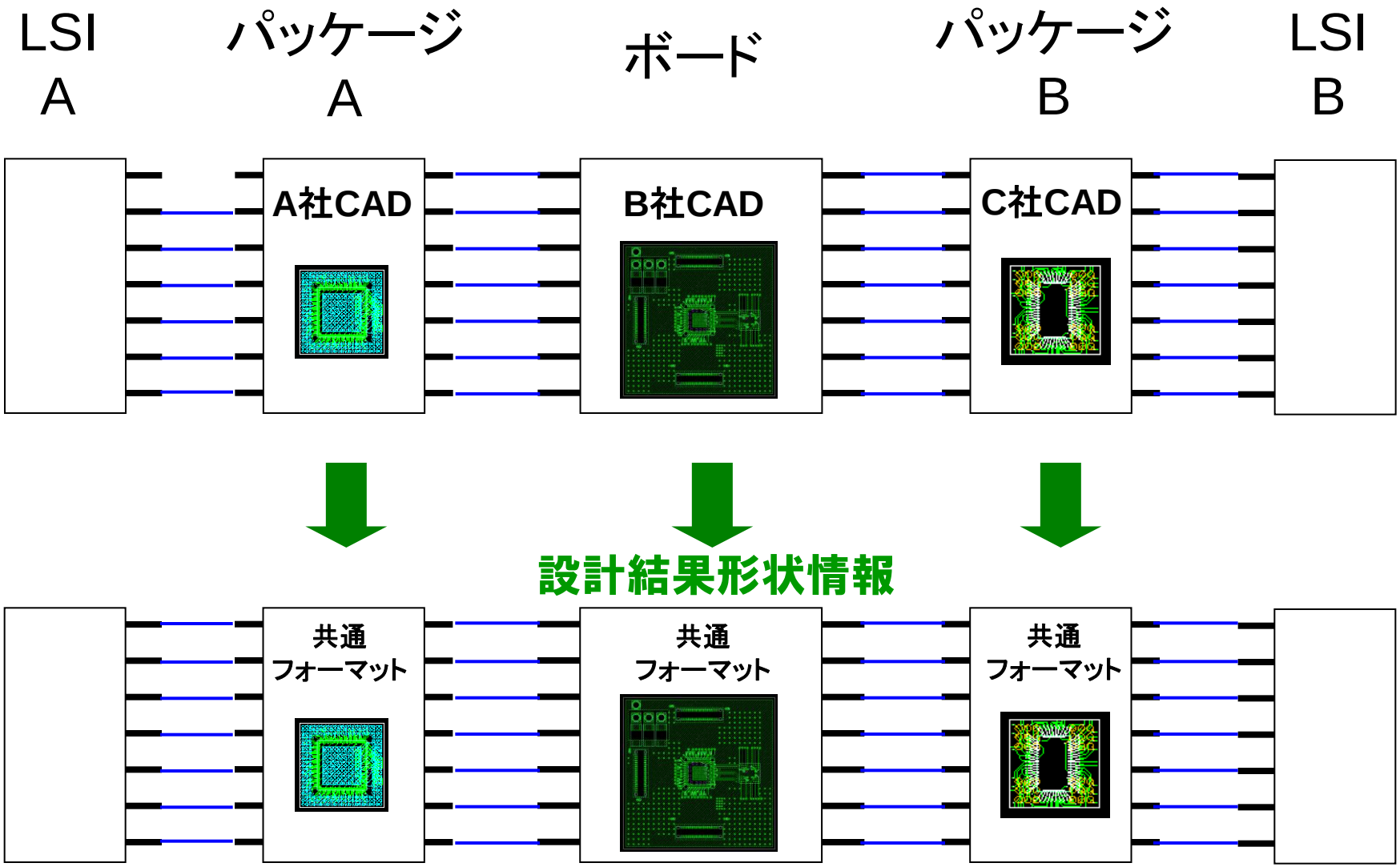
Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

↓

Step6. シミュレーションを使った検証を実施
（担当:デンソー 市川、津田）

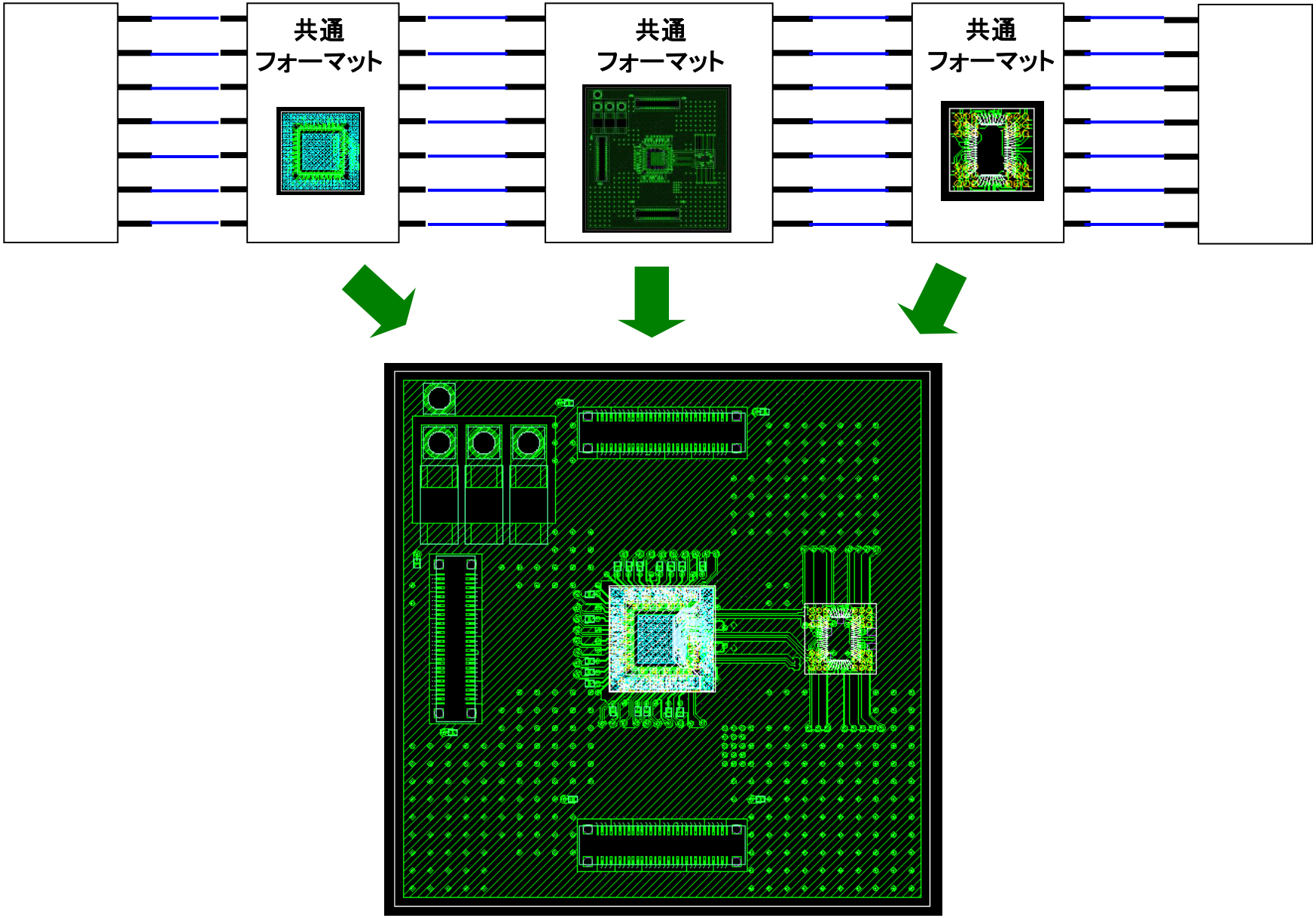
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step5-①. LPB標準フォーマットに変換～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step5-②. LPBデータの結合～



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6～

Step1. LSI担当が階層間定義、設計制約を仮決め
（担当:ソニー 濱田）

↓

Step2. PKG担当が階層間定義、設計制約を仮決め
（担当:富士通セミコンダクター 小澤）

↓

Step3. Board担当が階層間定義、設計制約を仮決め
（担当: トッパンNEC 金子）

↓

Step4. LPB3者で階層間定義、設計制約について議論を実施し、本決め

↓

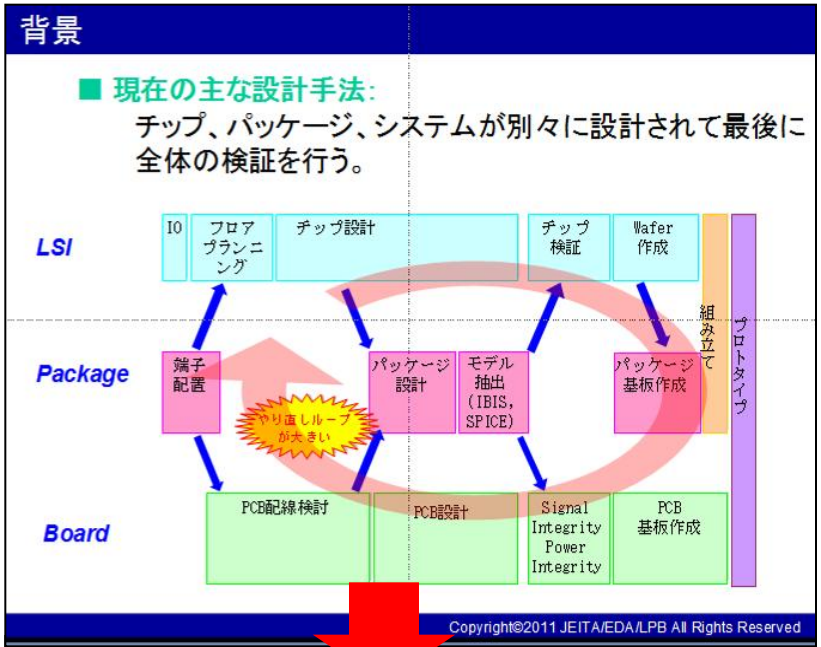
Step5. 各担当がレイアウト設計を実施
LSI、PKG、BoardのデータをLPB標準フォーマットに変換

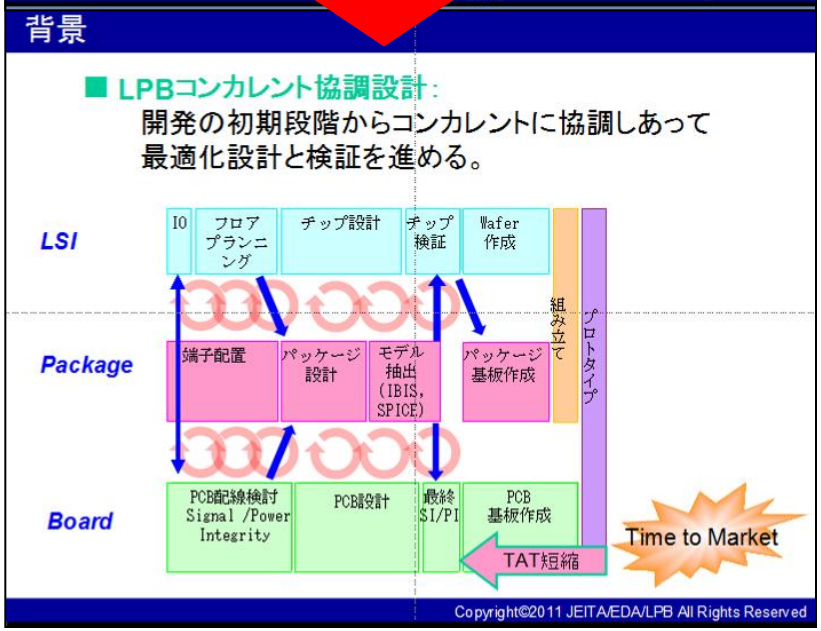
↓

Step6. シミュレーションを使った検証を実施
（担当:デンソー 市川、津田）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6-①.シミュレーションによる設計検証





複雑化する設計制約(熱、EMC、SI、PI. . .)条件

各設計フェーズ、各階層において
シミュレーション活用による制約条件の確認

シミュレーション環境に関する課題

シミュレーションに必要な事前準備工数・時間が大

- LSI、Package、Boardの各CADでのデータを各シミュレータで扱うための調整
- LSI、Packageデータ、特性の入手、準備

十分なシミュレーション時間を確保できない
工数をかけても正確な特性を把握することが難しい

設計検証におけるLPB期待効果

LPBフォーマットによる準備工数の削減

シミュレーションに必要な設計・特性情報、フォーマットの定義による**事前準備時間を削減**

LPB協調設計による解析精度向上

解析モデルの流通による**精度向上が可能**

協調して制約条件を最適化

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6-②.シミュレーションについて～

【　解析する対象　】

SI解析　：　ドライバ、レシーバのeyeパターン

PI解析　：　LSIから見た電源インピーダンス

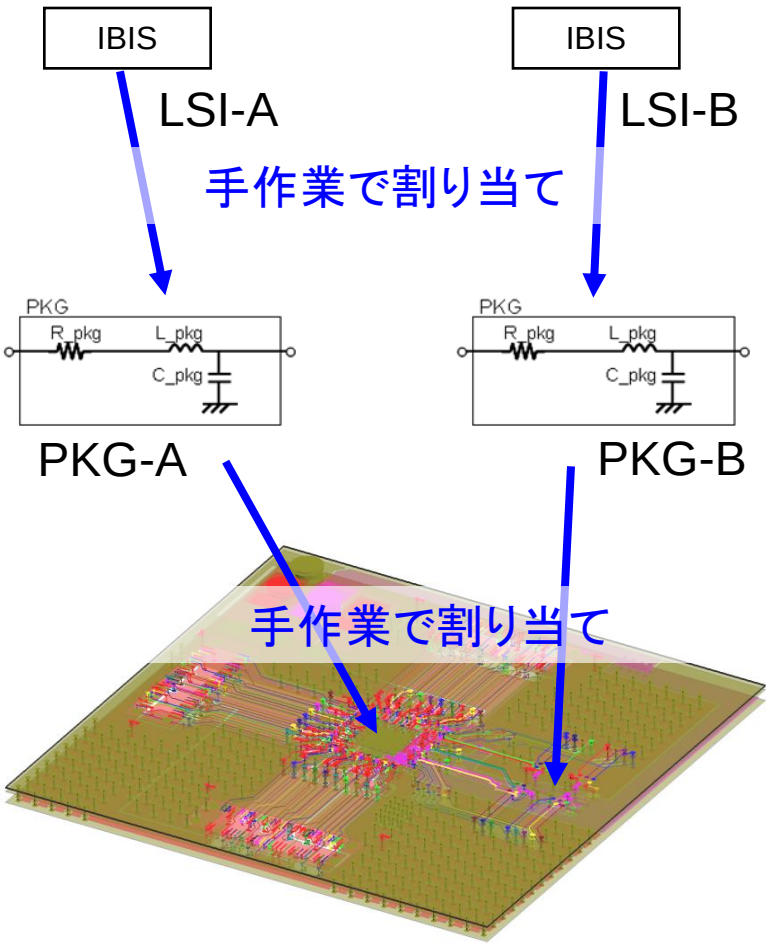
EMI解析①　：　基板からの放射ノイズ　（ノイズ試験ベンチ）

EMI解析②　：　LPB　＋　試験環境　、　複数のLPB　＋　車両

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

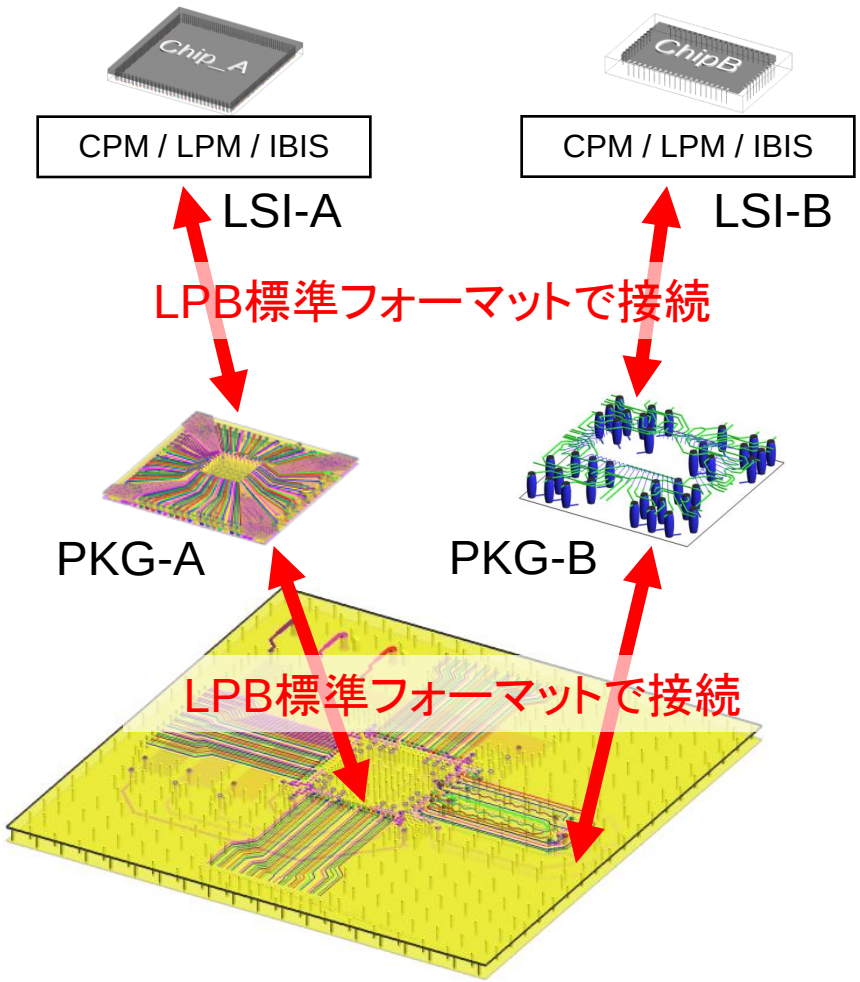
LPB方式　～Step6-③.解析モデルの概要～

従来方式



PKGのモデルは**IBIS付属データ(IO系)のみ**

LPB方式



※PKG-Bは別シミュレータでモデル化して利用

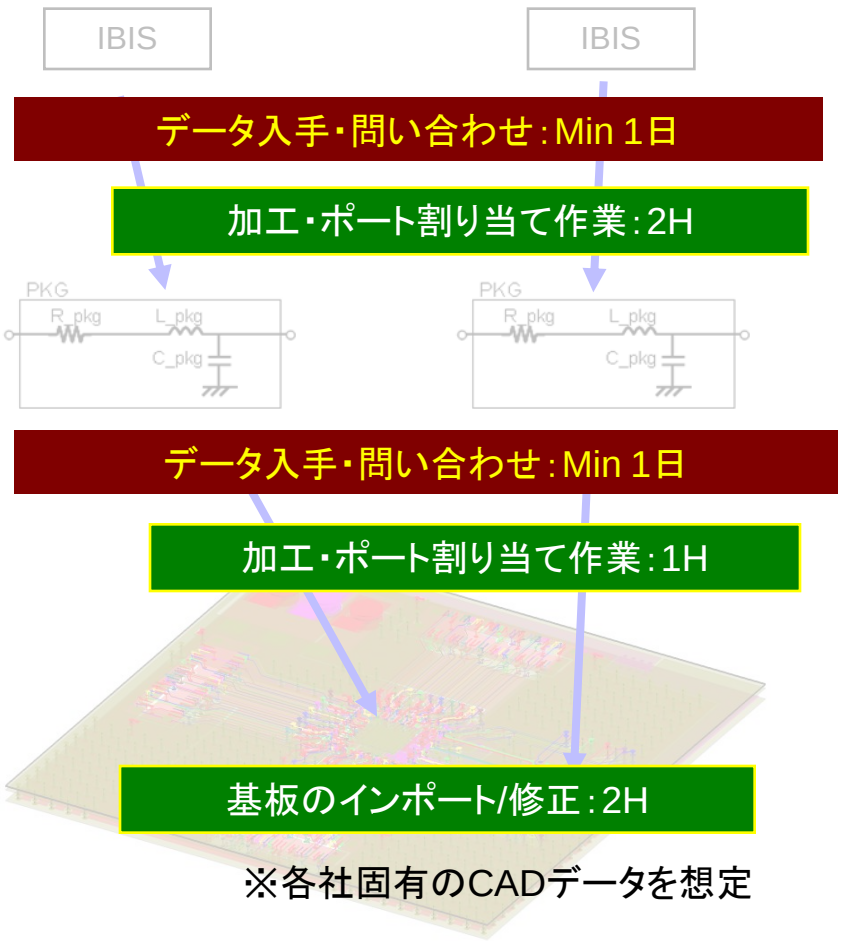
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6-④.データ入力作業時間　比較1～

■:待ち　■:手作業　■:自動作業

従来方式

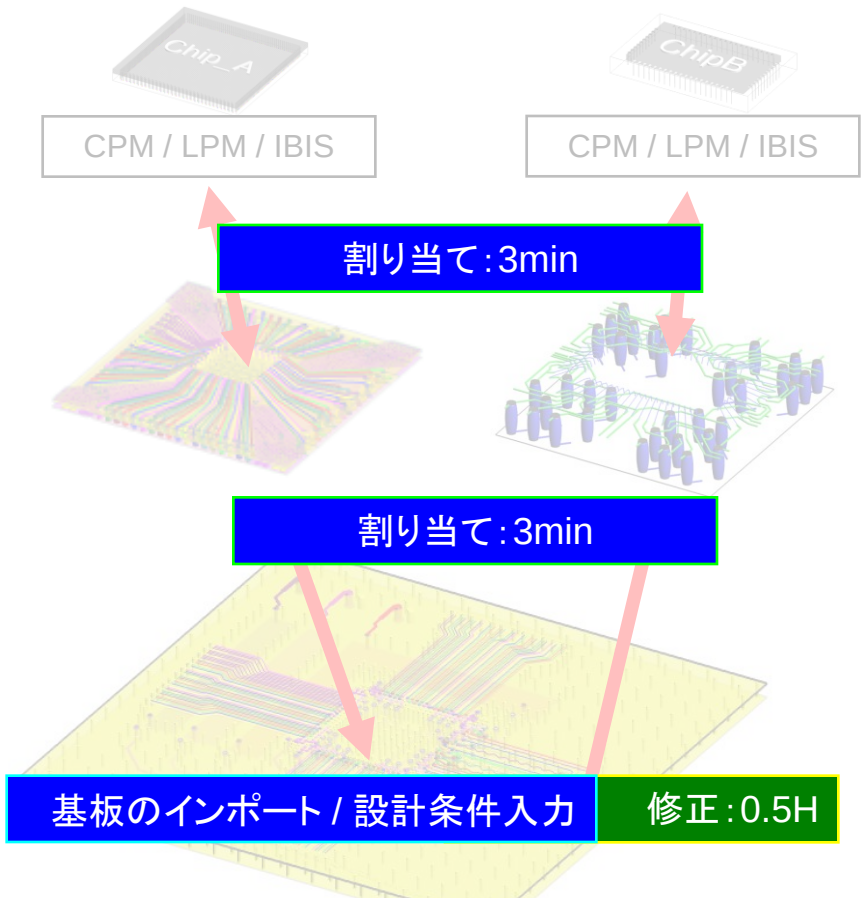
作業時間:5H　問い合わせ待ち:1日以上



※各社固有のCADデータを想定

LPB方式

作業時間:1H未満　問い合わせ待ち:ゼロ



ほぼ自動化　→　手作業ミスの低減

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

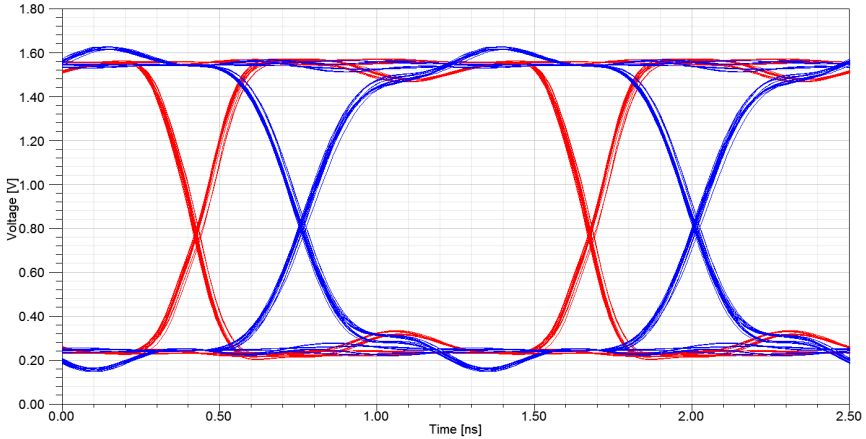
LPB方式　～Step6-⑤.SI解析の比較　(eyeパターン)～

＜SI解析条件＞ DDR2 SDRAM

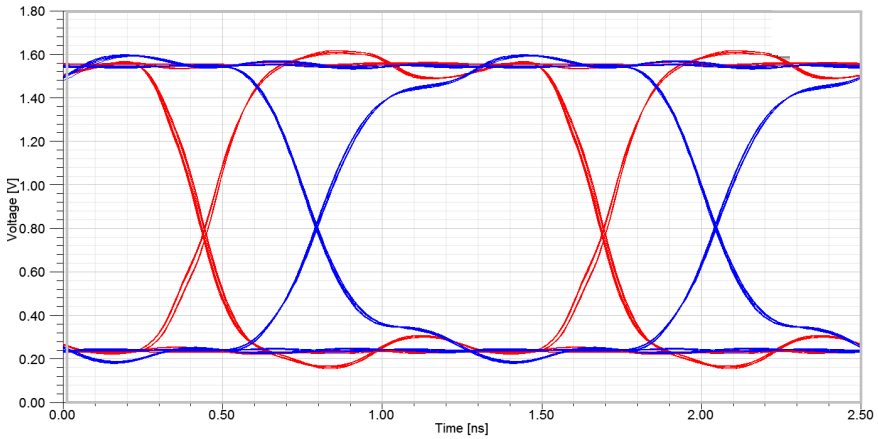
対象ネット：DQ8　条件：Write時、PRBS7、400MHz

赤：コントローラ（LSI-A）

青：メモリ（LSI-B）



従来方式



LPB方式

SI解析では解析結果に差はない

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

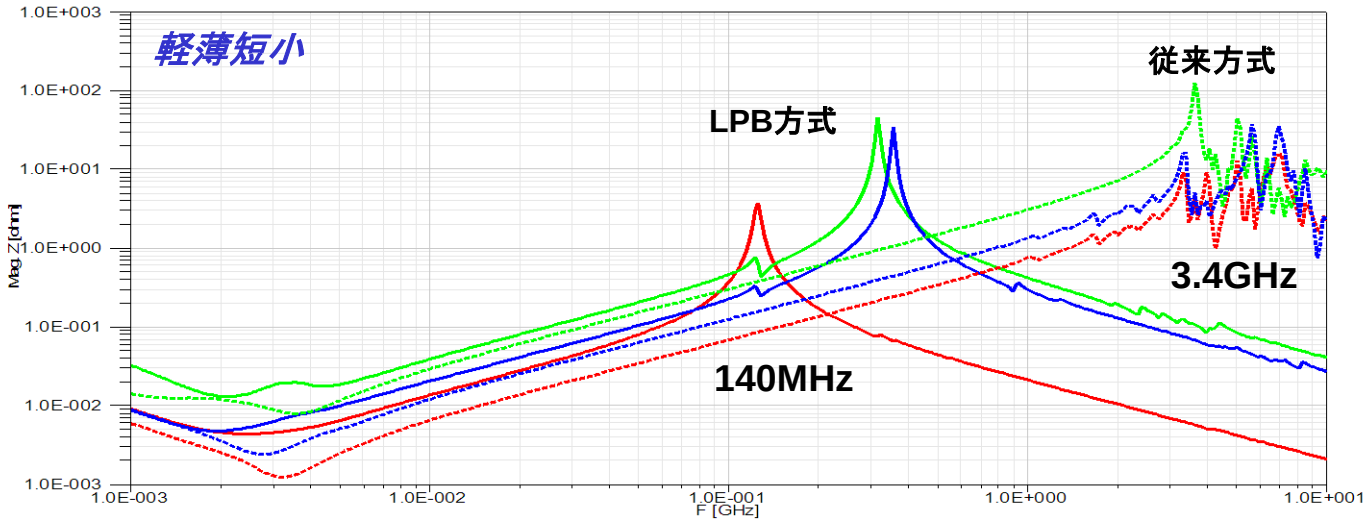
LPB方式　～Step6-⑥. PI解析の比較(インピーダンス)～

＜PI解析条件＞ 電源系インピーダンス　　対象ネット: VDD、VDDIO、VDDQ

緑: VDDQ
青: VDDIO
赤: VDD

破線:従来方式

実線:LPB方式



LSI及びPKGのモデル有無によりインピーダンスは大きく異なる

【解析範囲と対象】

従来方式　:　対象＝Board　、　Board上のPKG用PADから見たインピーダンス

LPB方式　:　対象＝LSI+PKG+Board　、　ダイから見たインピーダンス

差

厳しい設計制約に応えるには、LPB方式で用意できるLSI+PKGのモデルが必要

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

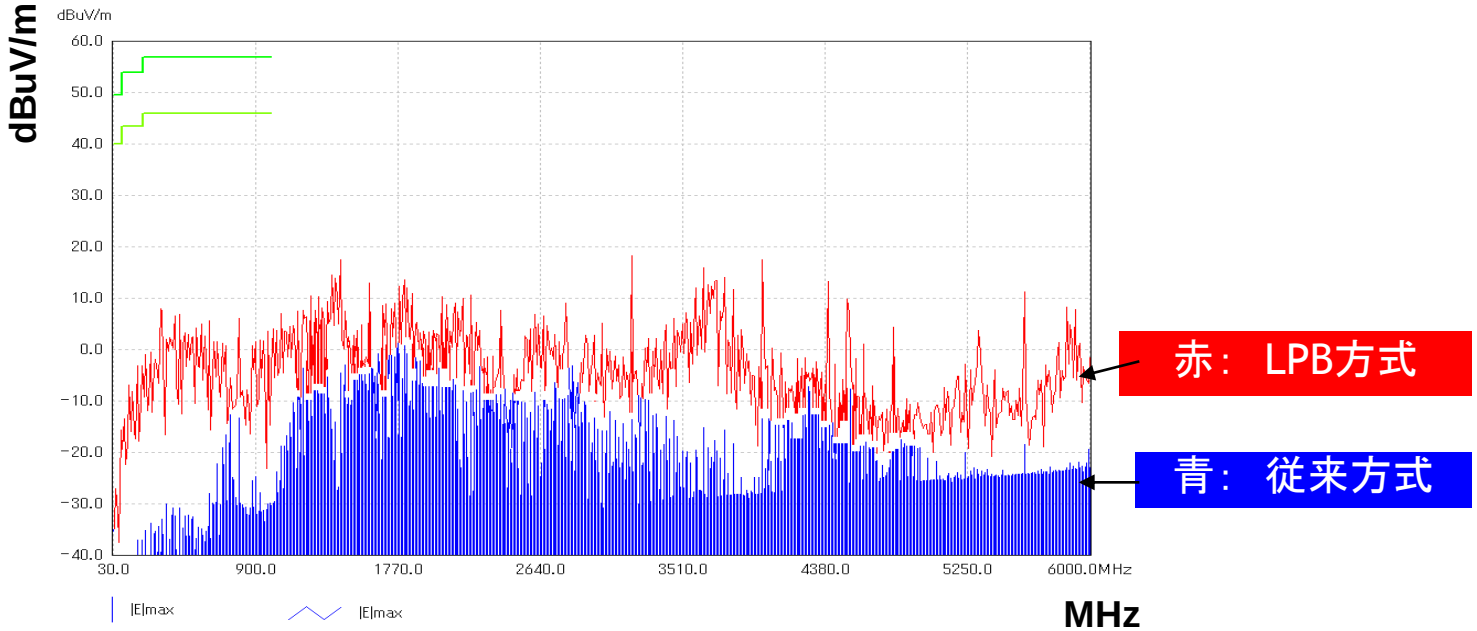
LPB方式　～Step6-⑦. EMI解析①の比較（放射ノイズ）～

＜EMI解析条件＞ 電源系+IO系　　対象ネット：VDD、VDDIO、VDDQ、DQ8、DQS

【解析条件】

CISPR22想定の環境　、　条件：　30MHz～6GHz　、10m位置の電界強度

床面：反射計算なし　、壁/天井：オープン



【解析対象】

従来方式　：　対象＝LSI(IBIS) + PKG(RLC)+ Board

LPB方式　：　対象＝LSI(CPM / LPM + IBIS) + PKG(CAD) + Board

電源系LSIモデルを入れなければ放射ノイズ解析として利用できない

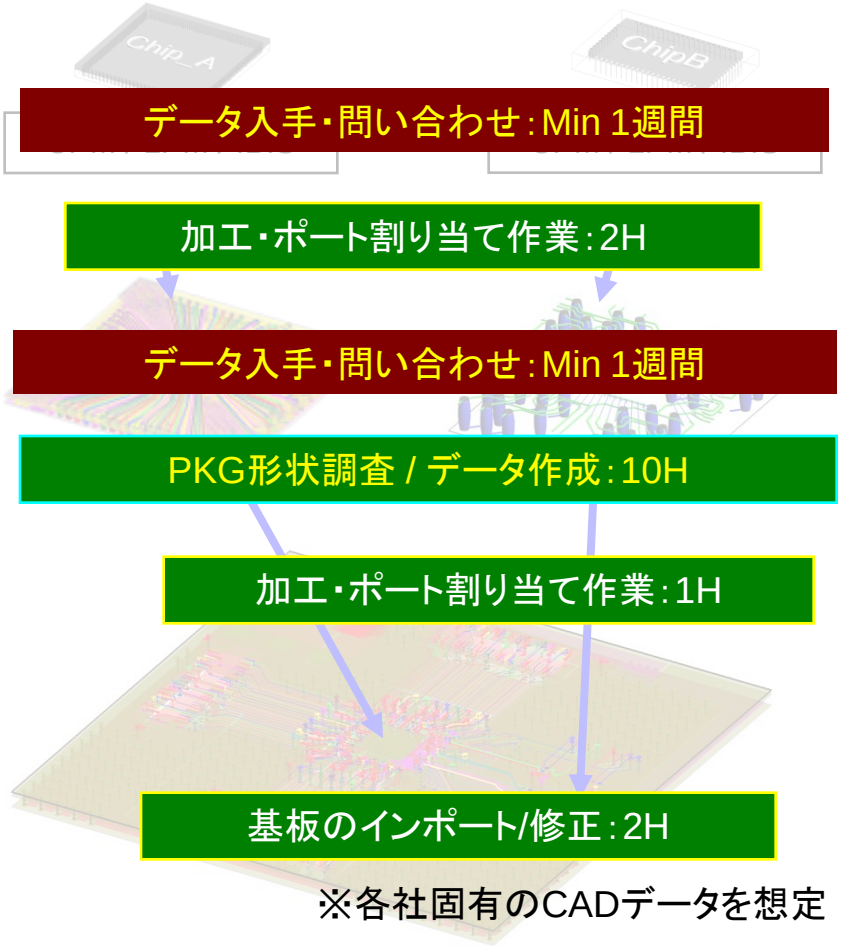
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6-⑧.データ入力作業時間　比較2～

■:待ち　■:手作業　■:自動作業

従来方式（LPB方式と同等）

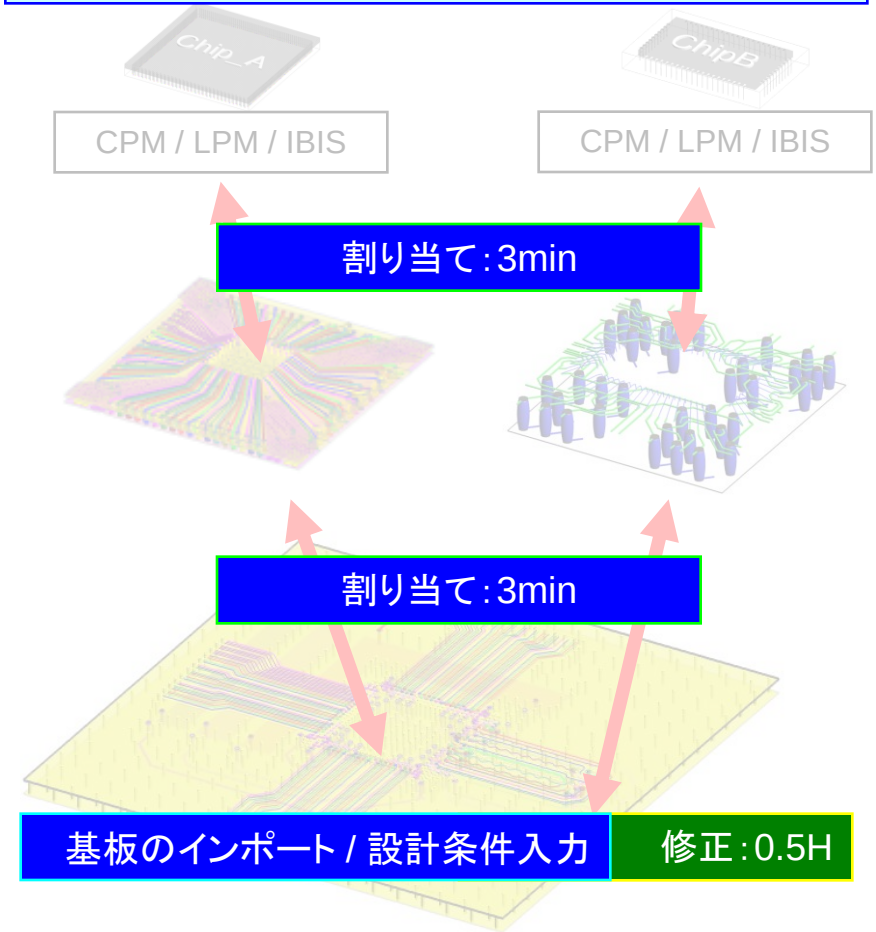
作業時間:15H　問い合わせ待ち:1週間以上



※各社固有のCADデータを想定

LPB方式

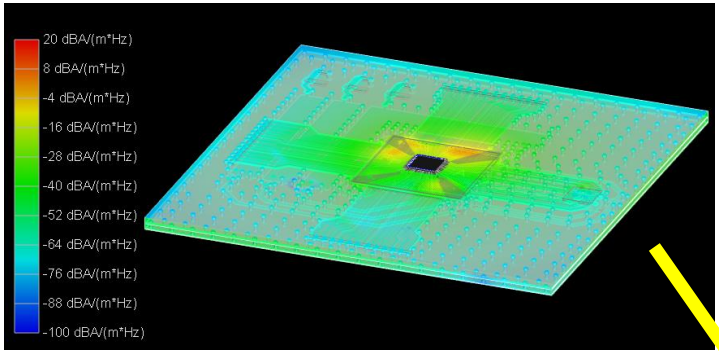
作業時間:1H未満　問い合わせ待ち:ゼロ



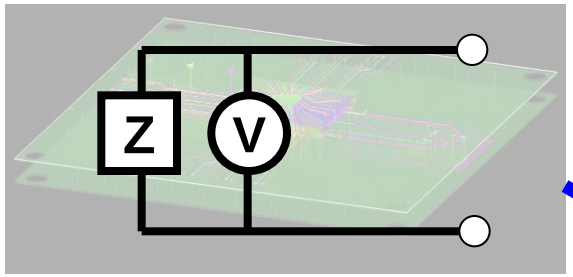
ほぼ自動化　→　手作業ミスの低減

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6-⑨. EMI解析②【LPB+試験環境】～



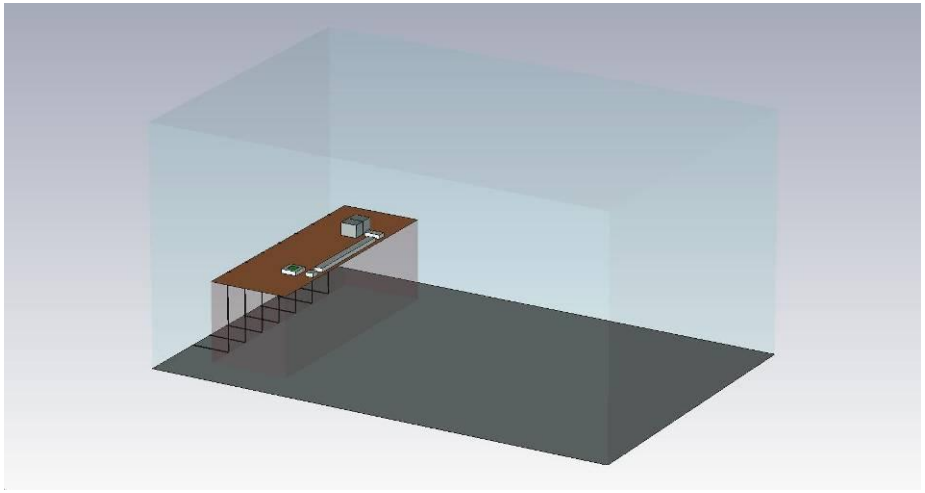
Near-Fieldデータ（基板放射源のモデル）



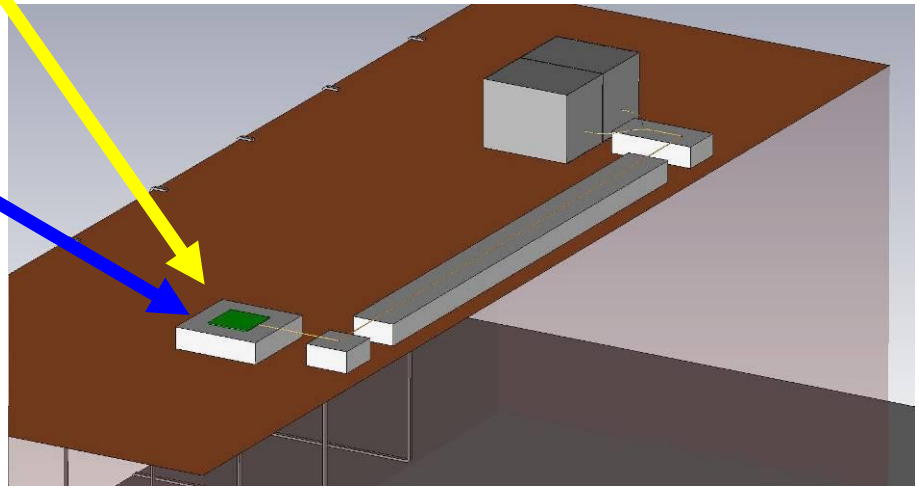
基板モデル＋コネクタ間電圧値　（伝導ノイズ源のモデル）

LPBモデルをシミュレータで作成

LPBまでのシミュレーションに必要な時間を大幅に短縮できるため、さらに大きな範囲でのシミュレーションを検討する時間が作れる



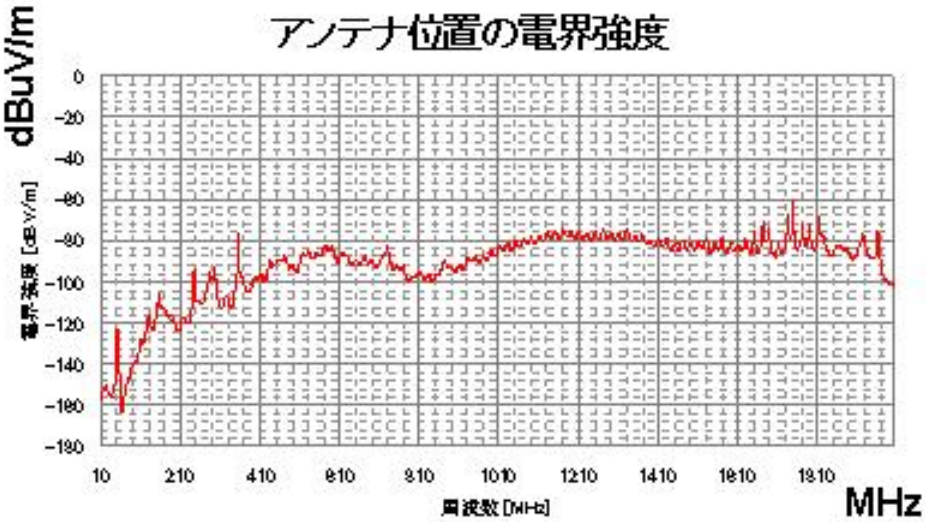
CISPR25 試験環境の3Dモデル

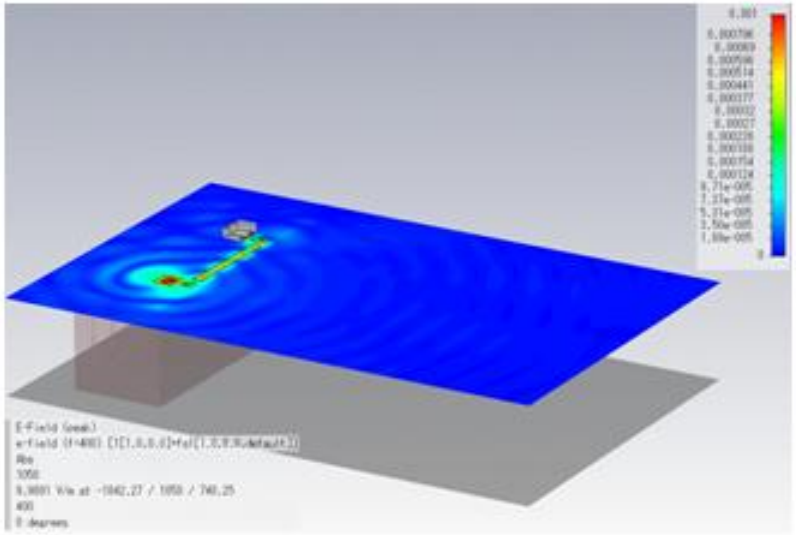


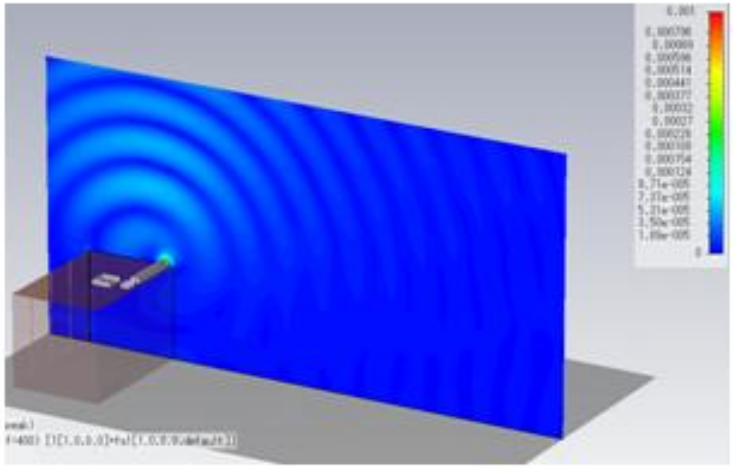
モデルとして統合し、スケール差を吸収

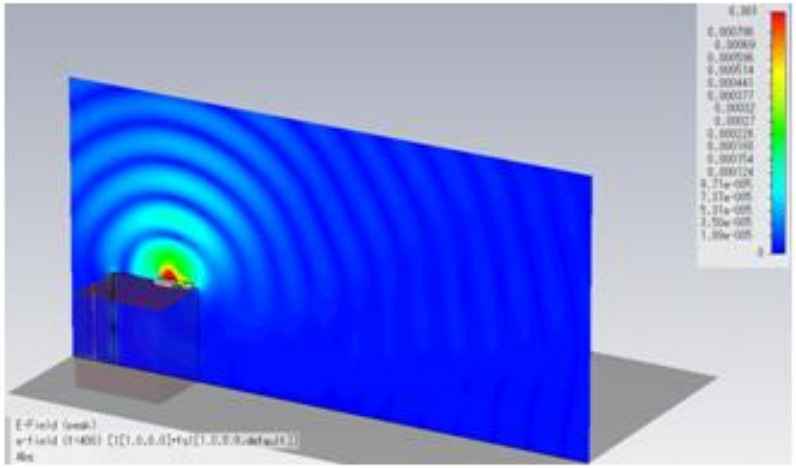
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6-⑩. EMI解析② 【LPB+試験環境】～



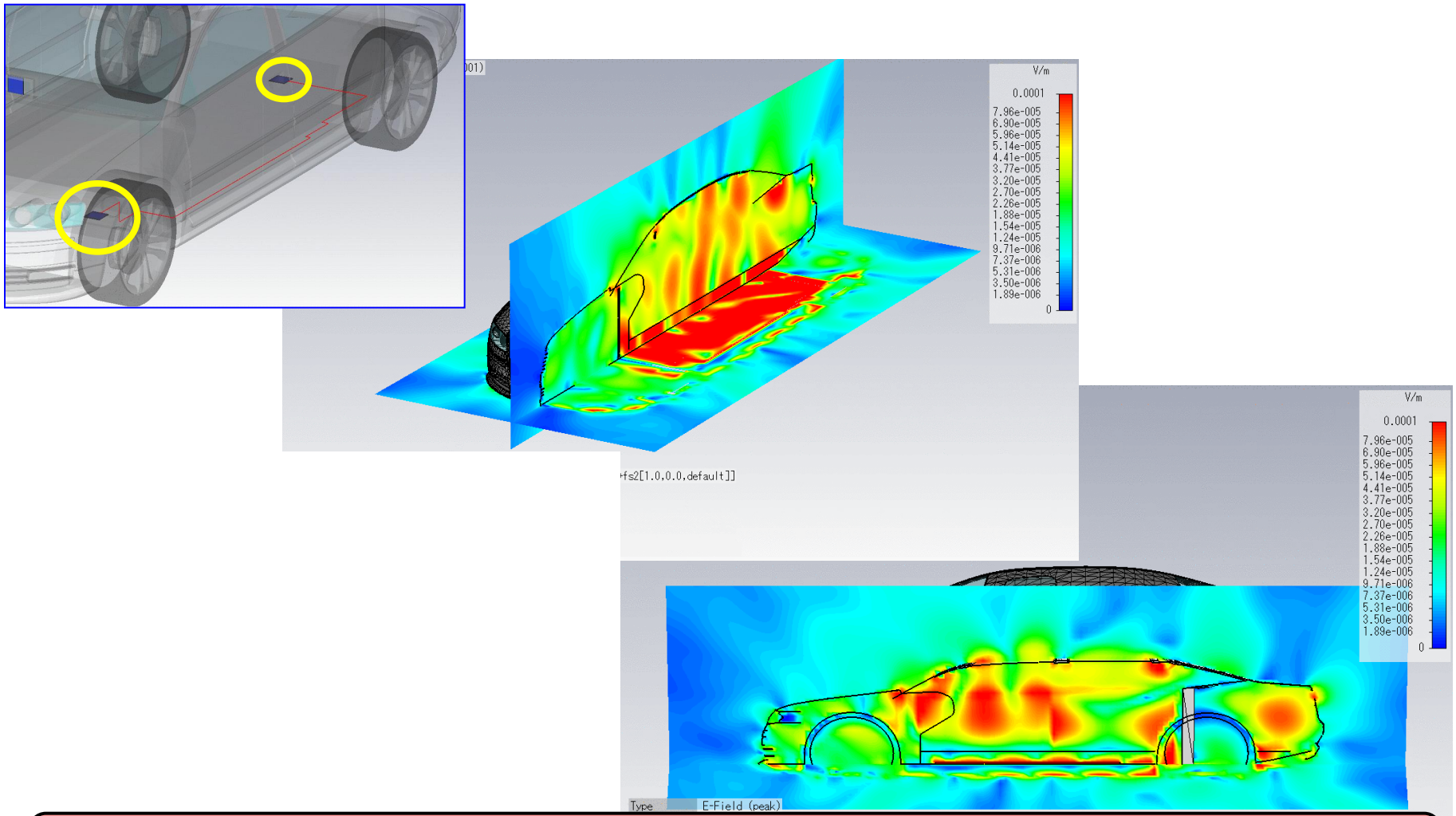






Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB方式　～Step6-⑪. EMI解析②【複数のLPB+車両】～



LPB方式はQCDを改善できる　→　シミュレーションの適用範囲が広がる

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

アジェンダ

- 背景
- 適用事例の説明
- 従来方式
- LPB方式
- **総括**

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

総括　～実施内容～

✓開発の初期段階からLPBがコンカレントに協調し合い最適化検証を進められるように、LPB相互設計WGを行なっている。

✓その手段として、LPB各設計の入出力の標準化を行なった。（4つのLPB標準フォーマットと用語集を用意）

✓LPB標準フォーマットの有効性を検証するため、従来型とLPB型で実際に設計をし、検証を行なった。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

総括　～検証結果～

✓その結果、従来型は

・人為的ミスの発生リスクが高い（あいまいさが原因）
・資料作成に時間を要する
・設計前の全体最適化が困難
・解析までに時間がかかる（LPBの接続確認が困難）

ことが改めて確認された。

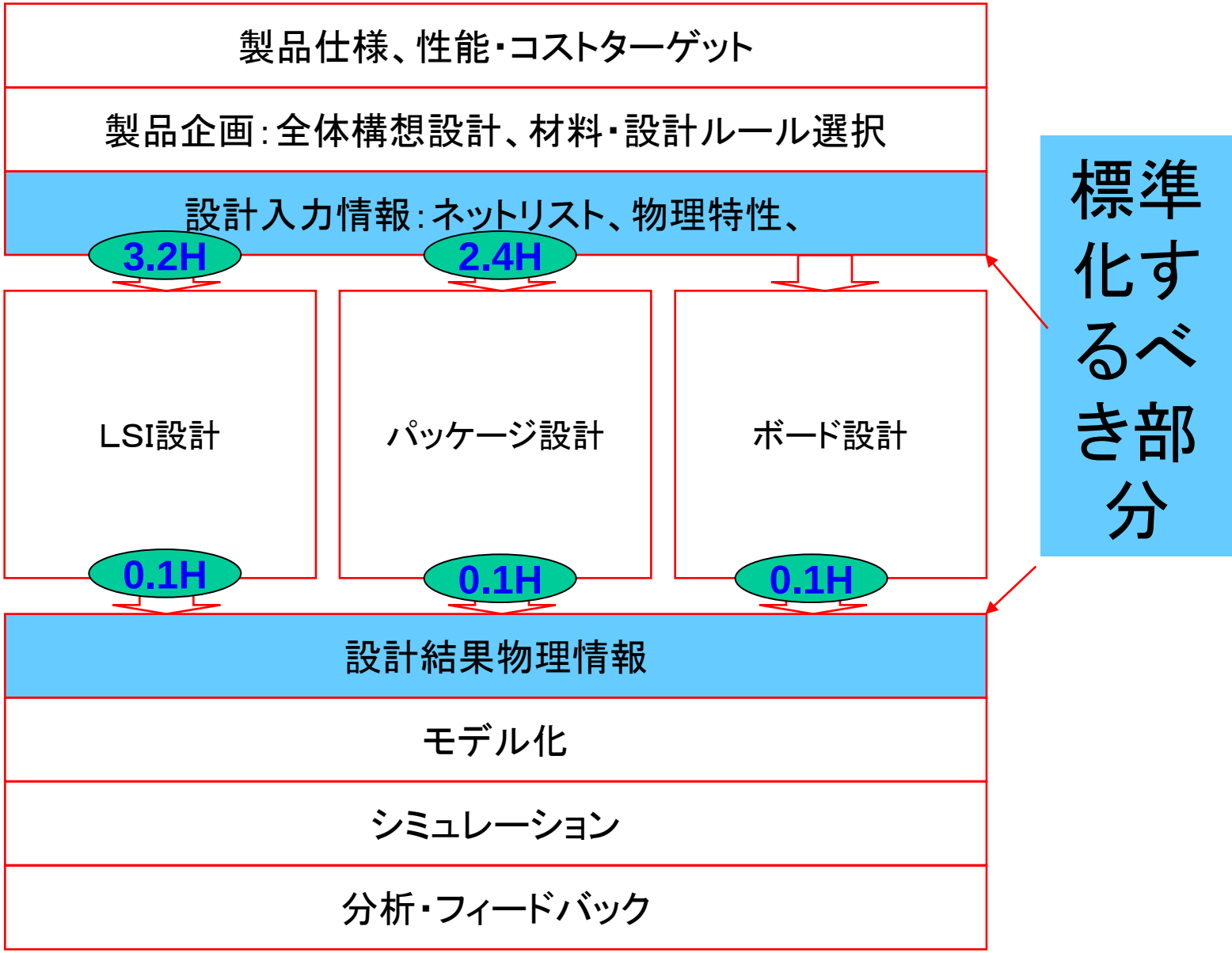
一方、LPB型は

・フォーマットに記載する為、定義の「あいまいさ」が排除
・EDAツールが対応すればフォーマット出力が容易
・EDAツールが対応すれば構想設計検証が容易になり、設計前に全体最適しやすい
・EDAツールが対応すればLPBモデルの作成が容易

になることが検証できた。

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

総括　～LPB標準フォーマット作成時間～EDAツール対応が前提

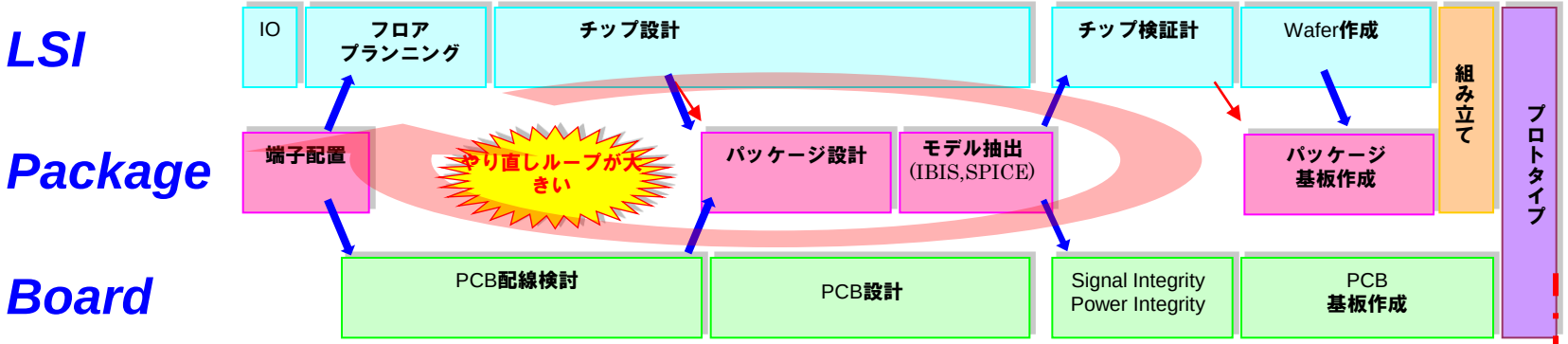


Copyright©2011 JEITA/EDA/LPB All Rights Reserved

総括　～検証結果～

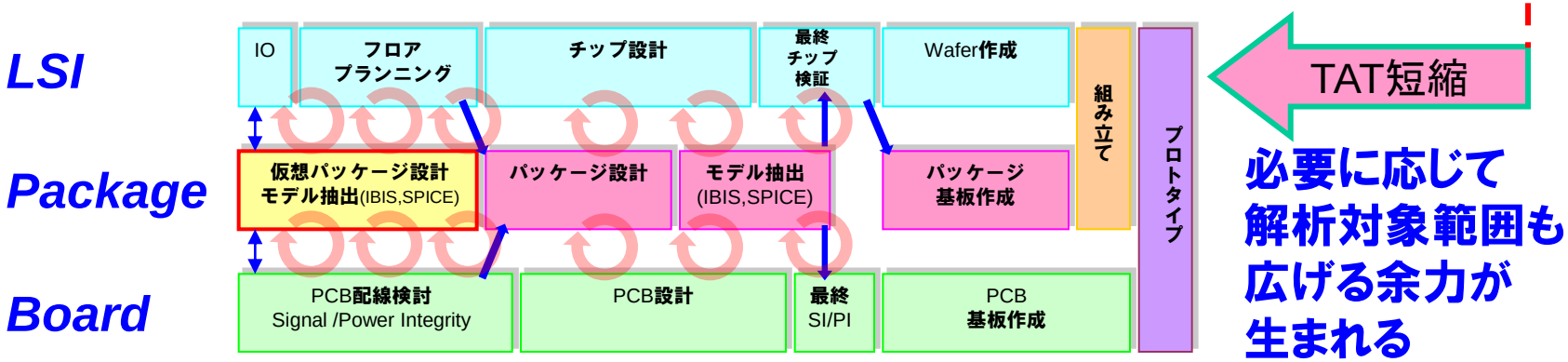
■現在の主な設計手法：

•チップ、パッケージ、システムが別々に設計されて最後に全体の検証を行う。



■ LPBコンカレント協調設計：

•開発の初期段階からコンカレントに協調しあって最適化設計と検証を進める。



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

総括　～まとめ～

Q 解析精度向上、作業ミスの防止が期待できる

C 作業工数の大幅な削減が可能

D 問い合わせ待ち時間ゼロ化による納期短縮

+α 解析対象範囲を広げる余力が生まれる

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

総括　～課題～

✓EDAツールがLPB標準フォーマットに対応する必要がある。

✓LPB標準フォーマットのバージョン管理が不明確である。
→プロジェクト管理の導入が必要？

✓LPB標準フォーマットの文法チェックが必要である。

✓レビュー用に、LPB標準フォーマットの内容をViewingできる必要がある。

→ **LPB標準フォーマットの次バージョンで検討中。**

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB相互設計のwebページよりプレビュー版として ver1.0が入手可能

http://www.jeita-edatc.com/wg_lpb/home/lpb.html

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

2部

LPB相互設計と標準フォーマットの普及について

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

アジェンダ

- メンバー紹介
- ASP-DAC　お知らせ
- 討議
  - LPB相互設計による設計スタイル変革
  - LPB標準フォーマットのEDAへの採用
- 総括

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

出演者氏名	会社・団体名　所属
永田 真	神戸大学大学院　システム情報学研究科 教授　ASP-DAC Designers‘ Forum 2011 Co-Chair）
中川 祐之	富士通VLSI（株）　ASIC・COT 開発統括部 第三設計部
田中 修治	ソニー(株）　プロフェッショナル・デバイス＆ソリューショングループ 半導体事業本部 設計基盤技術部門 ミックスシグナルデザインソリューション部 担当部長
齊藤 義行	パナソニック(株）　PE技術開発室 EMCデザイン第一チーム　チームリーダー
澤田 修	メンター・グラフィックス・ジャパン(株）　マーケティング部フィールド・マーケティング・マネージャー
古賀 一成	(株）図研　技術本部 ELNセクション コデザイングループ チーフエンジニア
第2部司会 吉田 敦史	(株）リコー　電子デバイスカンパニー 第一生産室 第一技術グループ スペシャリスト
総合司会 福場 義憲	JEITA EDA技術専門委員会LPB相互設計WG　主査、 (株）東芝　セミコンダクター＆ストレージ社アナログ・イメージングIC事業部設計技術開発部設計インフラ技術担当 参事

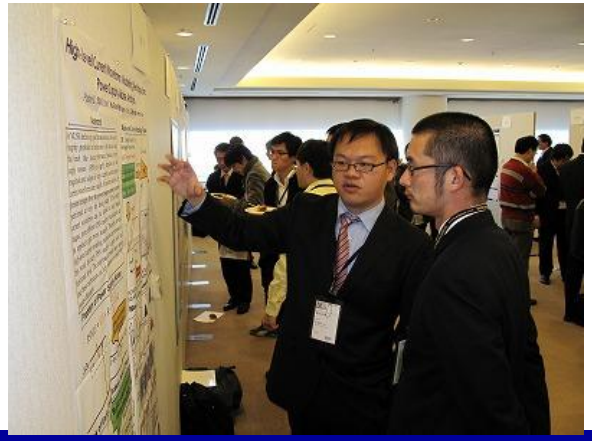
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

ASP-DAC のご案内 (1/2)

米国のDAC, ICCAD, 欧州のDATEと並び，アジア・南太平洋地区最大のLSIの設計・設計自動化に関する国際会議

基調講演，一般講演，特別セッション，デザイナーズフォーラム，ユニバーシティLSIデザインコンテスト等，多数の最先端設計技術に関する講演をご用意

EDSFairとの連携企画も実施（本セッション）



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

ASP-DAC のご案内 (2/2)

今年度： ASP-DAC 2012

2012年1月30日～2月2日

シドニーコンベンションセンター

参加者募集中

次年度： ASP-DAC 2013

2013年1月22日～25日

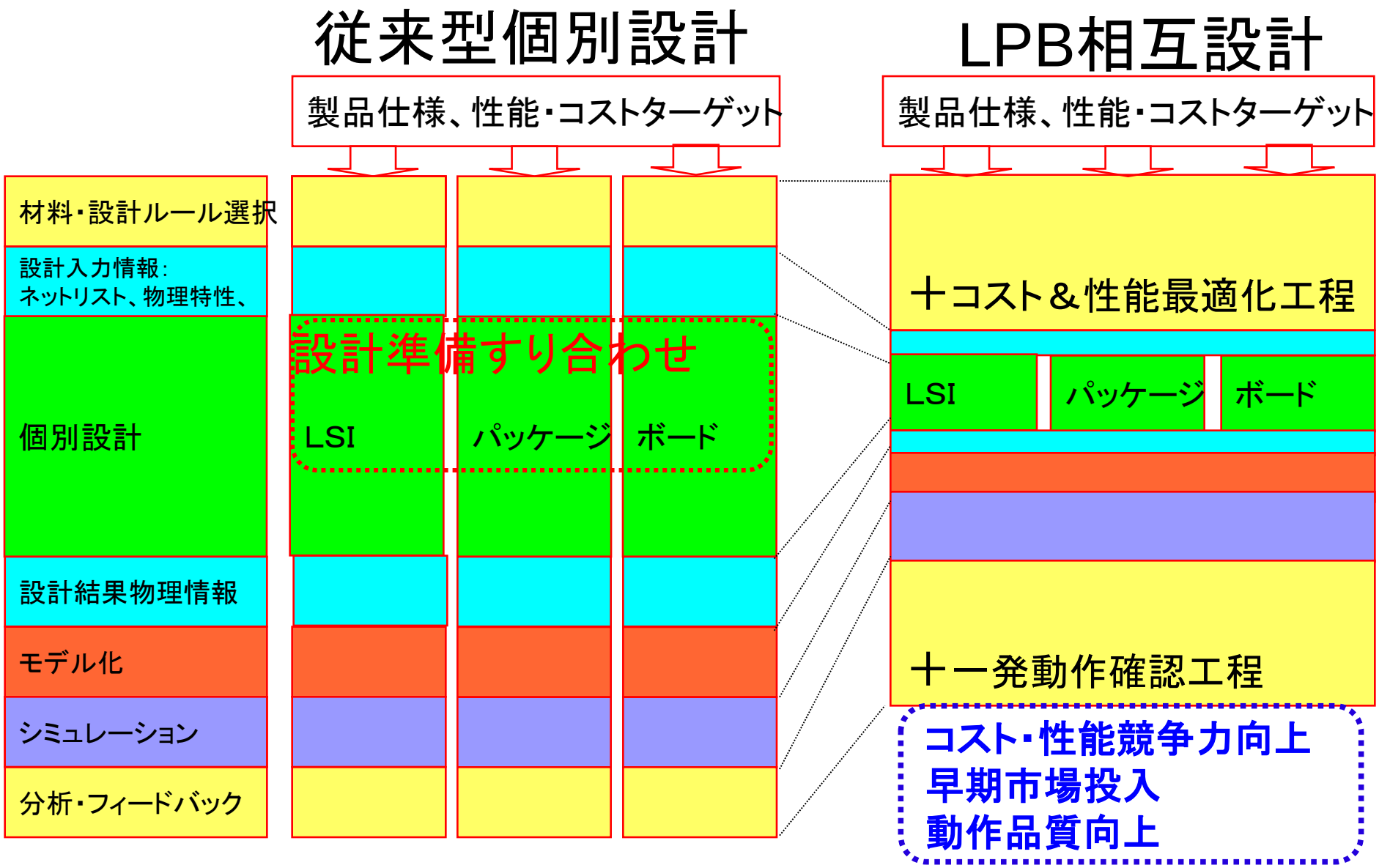
パシフィコ横浜(予定)

第一線の設計者の皆様にも魅力的なプログラムをご用意致しますので，是非ともご参加をお願い致します

詳細は，http://www.aspdac.com をご覧下さい

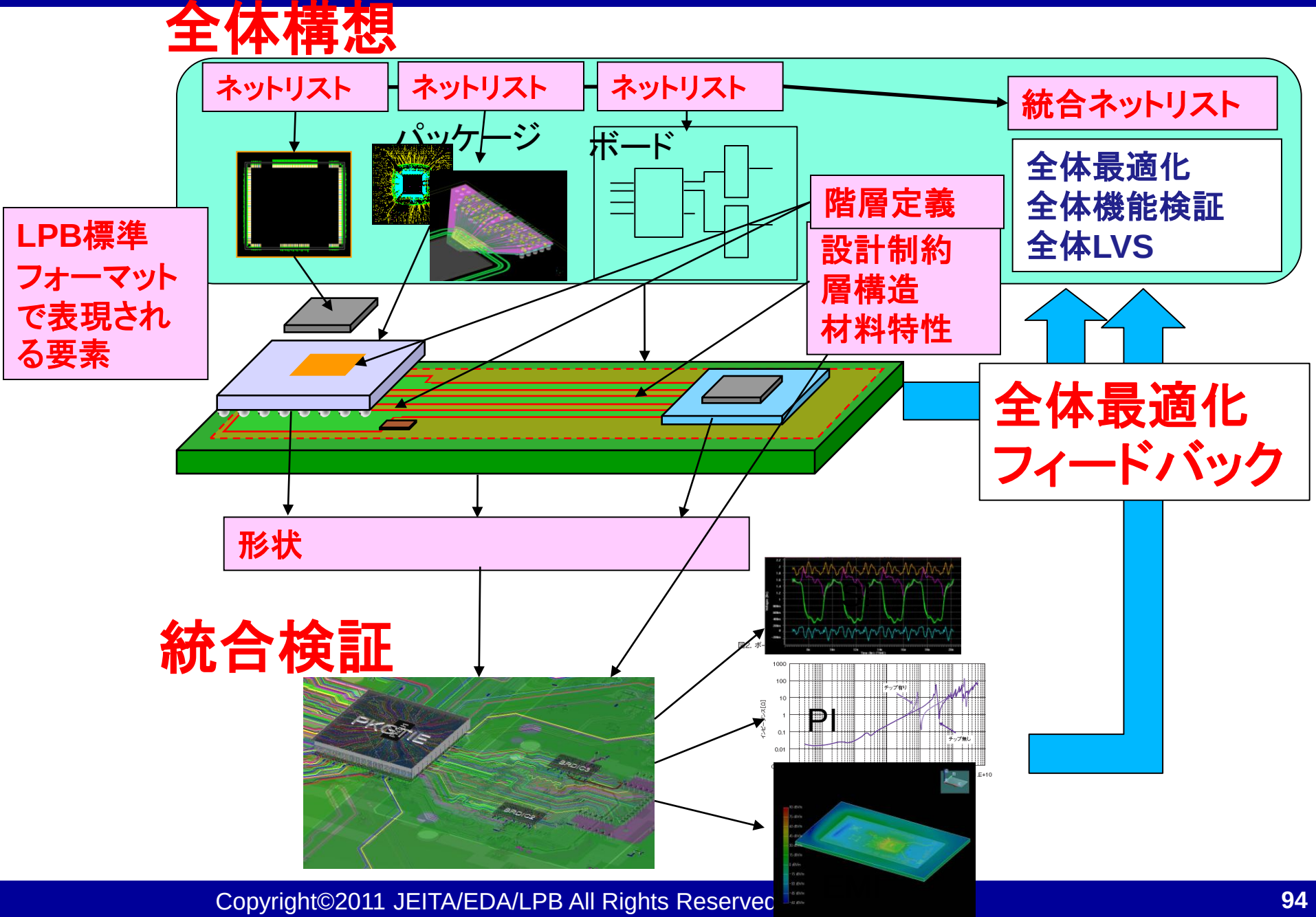
Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB相互設計の効果　（縦軸：時間）



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

設計・検証環境とLPB標準フォーマット



Copyright©2011 JEITA/EDA/LPB All Rights Reserved

総括

- LPB相互設計により設計の分業・連携の構造変革が進み、競争力強化につながる。
  - LPB標準フォーマットはその変革の道具となる。

- EDAのLPB標準フォーマット採用が必須。

➢ 今後

- 正式版　LPB　V2.0の策定（2012年3月LPB-WGにて）

Copyright©2011 JEITA/EDA/LPB All Rights Reserved

LPB相互設計のwebページ

LPB　V1.0ダウンロード可能

http://www.jeita-edatc.com/wg_lpb/home/lpb.html

Copyright©2011 JEITA/EDA/LPB All Rights Reserved