

システム・デザイン・フォーラム2013

第3回LPBフォーラム

「実演!! LPBはここまで来た!」
～リファレンスフローのデモと効果の考察～

日時:2013年 11月 20日(水) 13:00～14:45
場所:パシフィコ横浜 EDS Fair特設ステージ



出演者紹介

出演者氏名	会社名	所属・役職
福場 義憲	JEITA LPB相互設計WG 主査 (株) 東芝 セミコンダクター&ストレージ社	ミックスドシグナルIC事業部 設計技術開発部 設計インフラ技術担当主幹
大槻 隆志	JEITA LPB相互設計WG標準化SWG主査 (株)リコー	新規事業開発センター シニアスペシャリスト
中川 祐之	JEITA LPB相互設計WGフォーマットSWG主査 富士通VLSI(株)	ASIC・COT開発統括部 第3設計部 プロジェクト課長
村田 洋	(株)ジェム・デザイン・テクノロジーズ	代表取締役
益子 行雄	日本ケイデンス・デザイン・システムズ社	テクニカルフィールドオペレーション本部 シニアマネージャー
古賀 一成	(株)図研	EDA事業部 EL開発部 ELNセクションパートナー
関 茂雄	(株)日本サーキット	EMS開発部 部長
渡辺 亨	アンシス・ジャパン(株)	技術部 第二技術本部 第4グループ シニアアプリケーションエンジニア

Agenda

- **JEITA LPB-WG 標準化活動について**
- **LPB標準フォーマットについて**
- **リファレンス・フローのデモと効果の考察**

システムデザインフォーラム2013

JEITA LPB-WG 標準化活動について

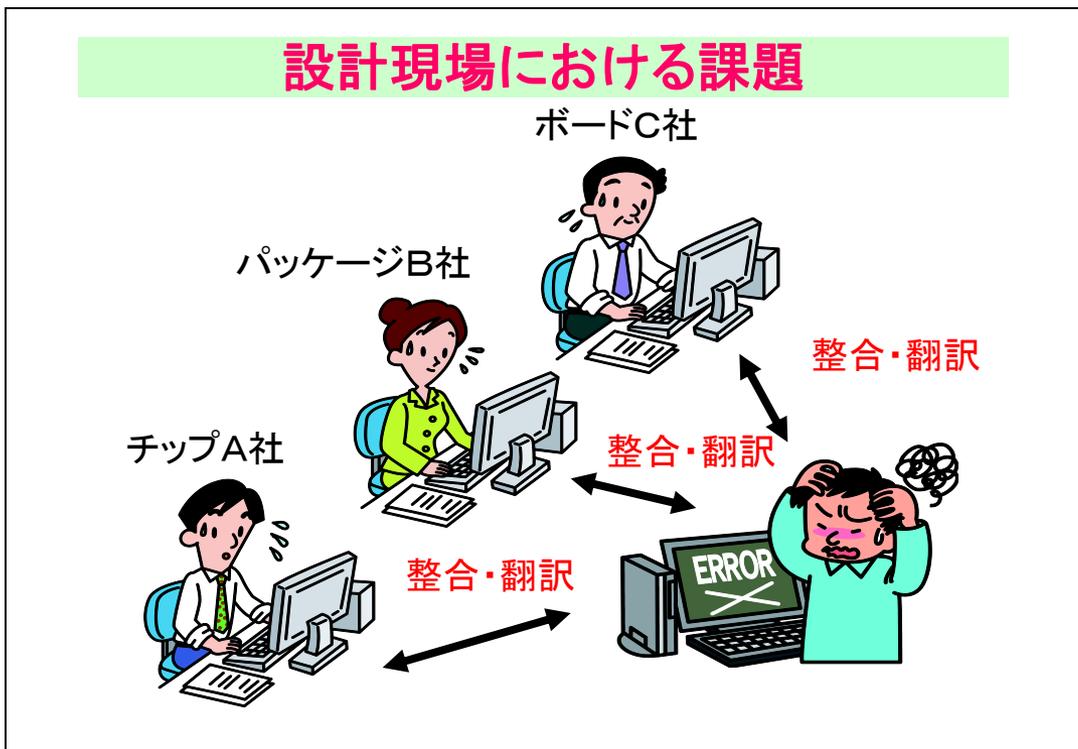
2013年11月20日



■ LPB標準フォーマットとは

設計現場における課題

設計現場における課題



LPB協調設計における課題

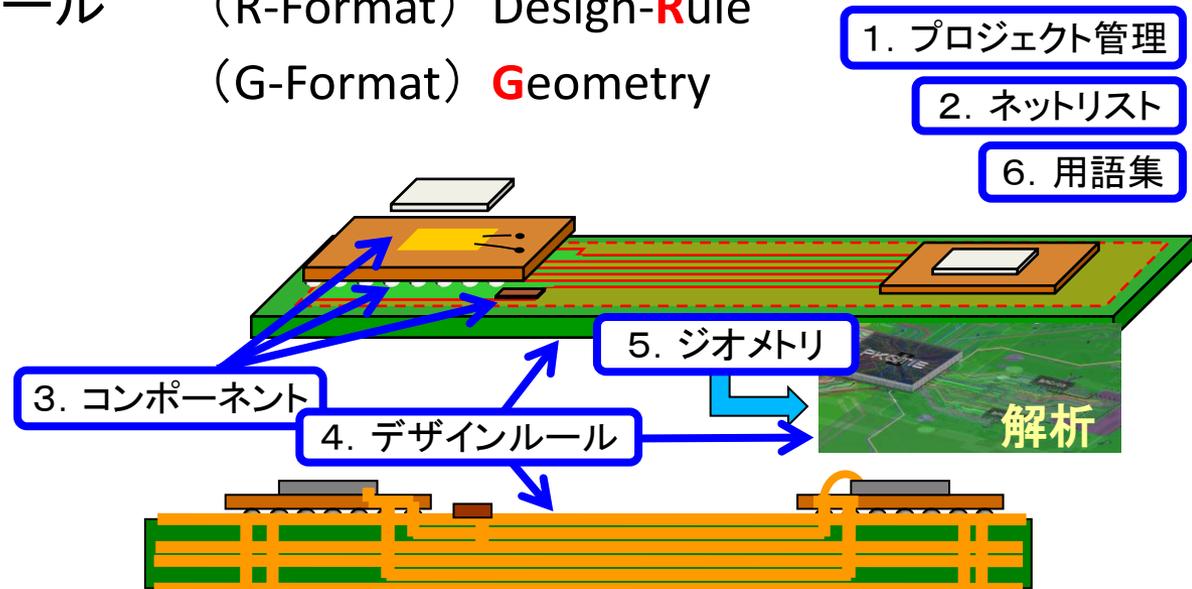
- ① 設計者の主観による認識ずれ
- ② 全体最適に必要な情報の不明確さ
- ③ 本来、設計に費やされるべき時間の浪費

設計現場では、ユーザーがツール間のデータフォーマット調整に対応。作業に時間がかかり本来の設計に使うべき時間のロスが発生。

JEITA LPB標準フォーマット

そのような現場課題への対応として、JEITA LPB-WGにてLPB標準フォーマットとして
5つのファイルと用語集を策定

1. プロジェクト管理 (M-Format) **M**anagement
2. ネットリスト (N-Format) **N**etlist
3. コンポーネント (C-Format) **C**omponent
4. デザインルール (R-Format) Design-**R**ule
5. ジオメトリ (G-Format) **G**eometry
6. 用語集



■ JEITA LPB-WG活動

JEITA LPB-WG活動

JEITA LPB相互設計WG



- **フォーマットSWG**
・インターフェースフォーマットを検討・策定
- **広報SWG**
・活動内容を公開。SDFやEDS Fair、Web公開の企画。
- **標準化準備SWG**
・LPBフォーマットの普及のための公開、標準化に向けての準備。

3つのSWGが連携することで、**フォーマットの普及を図る**

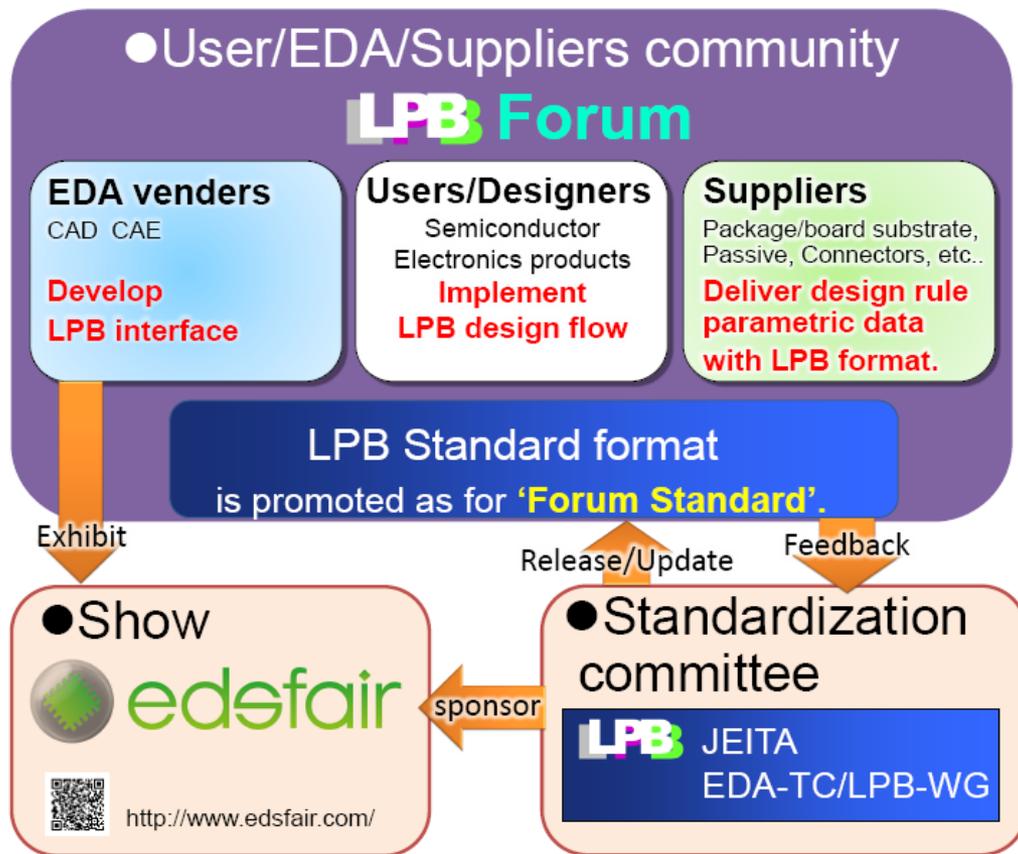
LPBフォーマットロードマップ

CY2009	CY2010	CY2011	CY2012	CY2013	CY2014
◆preparation ●EDSFair2009	◆LPB-WG start	▲LPB V1.0 ●EDSFair2011 ●EDSFair2011Nov.	▲LPB V2.0 ●EDSFair2012	▲LPB V2.1 ▲Golden Sample ●EDSFair2013	△Ref. Flow △Golden Sample (Updated)

LPB-WGの枠を超えたCommunityとしてLPBフォーラムを設立

- Designer/EDA/Supplier Community
- EDAツール事例やLPB技術に対する議論・発表の場
- LPBフォーマットのブラッシュアップ
- ビジネスチャンスを広げる場としての活用

<http://www.lpb-forum.com/>



活動経緯

■ 2013年3月6日

第一回LPBフォーラム開催

- ・EDAベンダーのLPBフォーマット対応状況として、EDA事例発表等を実施。

■ 2013年9月27日

第二回LPBフォーラム開催

- ・標準化状況報告
- ・リファレンスフローについて議論

■ 2013年11月20日

第三回LPBフォーラム(本セッション)

■ 2014年3月4日

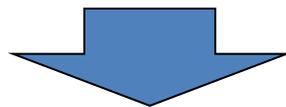
第四回LPBフォーラム開催予定

■ 標準化活動状況

■ いわゆる標準化とは？

標準化として定義されている役割

公平な市場競争の提供と企業の知的財産の保護を同時に成立させるもの



企業の本音は、

- ・ロイヤリティ、ライセンス提供による利益拡大
- ・独禁法に違反することなく利益を獲得

そのための標準化

■ JEITA LPB標準フォーマットは！

JEITA LPB標準フォーマットはそのような一企業の利益を獲得するための標準ではありません。

- JEITA LPB標準フォーマットは、
 - ・設計現場における共通言語
 - ・サプライチェーンにおける情報伝達のための媒体として使われ、業界全体の力を集結し、ベクトルを合わせ、その結果としてQCDの達成に至らせることを目的として策定しました。

■ 標準化の意義

LPB標準フォーマットは策定されるだけでは意味が無く、現場設計者、EDAベンダーにおいて普及しなければ目的を達しません。

普及にあたり、現場設計者、EDAベンダーの導入側立場としての

- 現場設計者のフォーマット使用にあたっての信頼性
- EDAツールへの導入理由

のことを考えると、標準化というのは大きな意味を持つものであるとの考えに基づき、LPB-WGにおける標準化に向けての活動は必要と判断。



2012年度にLPB-WG内に標準化準備SWGが新設され活動を開始しました。

■ 2012年度 標準化に関する調査、および議論を重ねました。

<観点>

- ・ 国際標準化をターゲット
- ・ LPB標準フォーマットの目的に対する適合性

■ 2013年度 標準化へ向けての本格的活動開始。

2013年4月25日 JEITA LPB-WG 標準化準備SWGにて、LPB標準フォーマットの国際標準化活動は、IEEEから始めることに決定。

<活動内容>

- ・ ロビー活動
- ・ 標準化計画立案
- ・ PAR (Project Authorization Request) 作成/提出

■DAC (Design Automation Conference) へ出展

6月3～5日 USA AustinにてJEITA LPB-WG活動展示

<主な内容>

- LPB-WG活動展示・説明
- LPBフォーマットの紹介・効果のアピール
- EDAツールへの適用事例紹介
- IEEEキーマンとの面談

LSI Package Board needs...

- + Mutual Communication
- + Design Consistency
- + Shorten Development Time

Enabled by

LPB New Standard format

6 standard formats

61% cut of design process time

More than 2weeks cut of data collection time

Produced by
JEITA EDA Technical Committee /LPB Working Group
http://www.jeita-edatc.com/wg_lpb/home/lpb-en.html
Adopted by more than 10 EDA companies.

ZUKEN YOKOGAWA FIRST ANSYS ANSYS Apache
Mitsumi

LPB New standard from Japan

■ Issues in LSI Package Board design

- Less mutual understanding caused by lack of communication.
- Mismatch in LPB designs makes many iterations.
- None unified format for design parameters and results.
- Take long process to collect the data for starting design/analysis

■ Solution by LPB Standard format

Design environment to be constructed by 6 Standard formats.

1. Project Manage (M-Format)
2. Netlist (N-Format)
3. Component (C-Format)
4. Design rule (R-Format)
5. Geometry (G-Format)
6. Glossary

■ Improvement

61% cut of design time

More than 2weeks cut of waiting time

Example data

Exchange data by LPB format

<成果>

- IEEE/DASC (Design Automation Standards Committee) の全面的支持得られた。
- Cadence社/Mentor社に検討をはじめてもらうことになった。

■ JEITA-IEEEミーティング

6月21日 IEEE/DASCキーマンとミーティング ～横浜にて～
IEEE/DASC : 委員長Stan Krolikoski (Cadence社)
副委員長Dennis Brophy氏 (Mentor社)

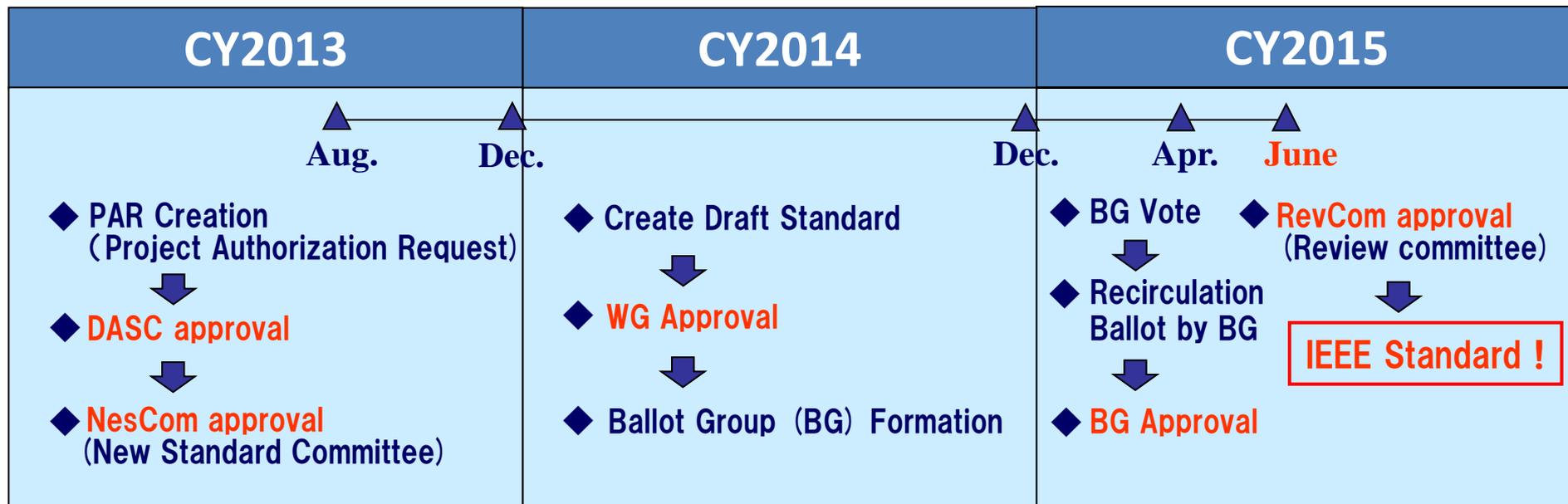
<主な内容>

- IEEE/DASC側からDASC Standardについての最新情報、およびJEITA LPBフォーマットに関するコメントをいただいた。
- JEITA側からJEITA LPB-WG活動について説明
- IEEE Standardへ向けてのアドバイス

<成果>

- LPBフォーマットの提案はvery interesting
- LPBフォーマットは、情報流通にはvery important
- DASC側から今後の標準化へ向けてのSchedule提案いただいた。

IEEE標準化に向けての活動ステップ



■ PAR承認、そして現在

8月28日 PAR (Project Authorization Request) 最終案を提出

9月24日 Project Number "P2401"としてIEEEにてAssign完了
→DASC Approval 9/27～2week voting for PAR

10月10日 PARがIEEE/DASCにて承認。

<Next Step>

Nescom (New Standard Committee) Approval
→12月の会議で採択される予定

<現在>

Draft作成へ向けて準備中。

LPB標準フォーマットは、**日本発（初）のEDA関連国際標準**として取り組んでおり、設計現場における共通課題への対応、そして世界に向けての日本のエレクトロニクス製品の競争力を高めることへの貢献となる標準であるという考えのもと、標準化活動を着実に続けて行きます。

LPB標準フォーマットについて

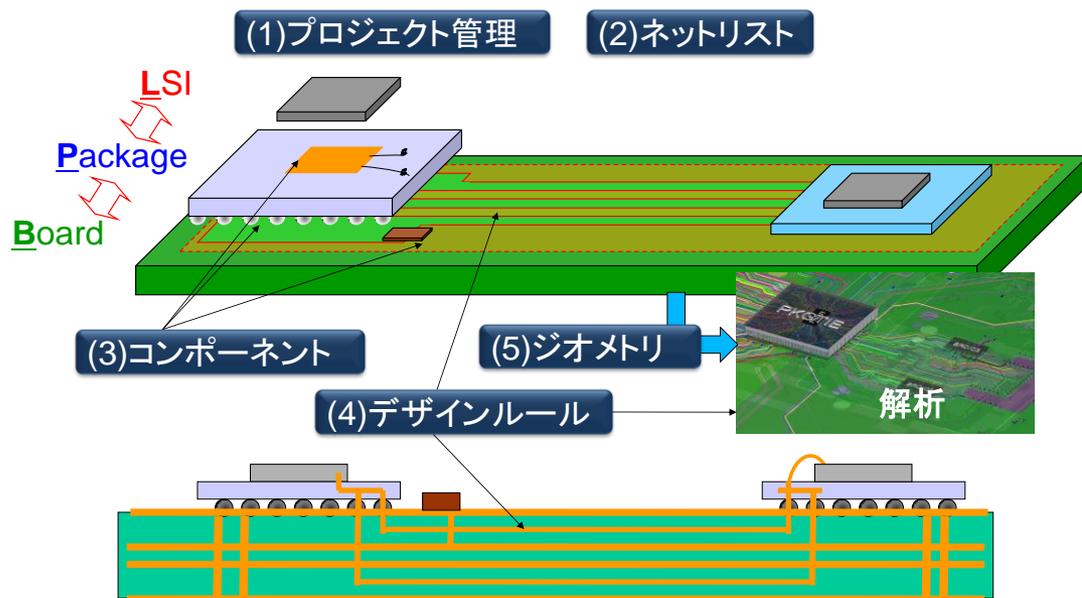
Deliverables

Item	概要	Status
LPB標準フォーマット	LSI-Package-Board インターフェース・フォーマット	Ver.2.1公開中 (2013年3月～) IEEE P2401として国際標準化がスタート
Golden Sample	EDA開発にも使用可能な テスト用データ	公開中 (2013年3月～)
リファレンス・フロー	LSI-Package-Board 相互設計フロー	準備中 (2014年3月公開予定) ★本日、ご紹介します★

LPB標準フォーマット

LPB標準フォーマットは、下記5種類のファイルで構成（最新版:Ver.2.1）

フォーマット種別		概要	フォーマット書式
(1)プロジェクト管理	M-Format	LPB全体のファイル管理	XML（独自）
(2)ネットリスト	N-Format	ネット接続記述	Verilog-HDL（既存） ※電源・GNDはコメントで注記
(3)コンポーネント	C-Format	部品・制約・端子情報	XML（独自）
(4)デザインルール	R-Format	設計ルール・材料特性情報	XML（独自）
(5)ジオメトリ	G-Format	解析用形状データ	XFL Ver.1.0（アパッチ殿からドネーション頂いている）



コンポーネント (C-Format)

Header	header	ヘッダ
Global	unit	単位系の設定
	shape	padstackを構成する基本形状(Rectangle, Circle, Polygon)を定義
	pad stack	パッドの組み合わせを定義
Module	socket	端子番号、x座標、y座標、端子名など
	port	端子の形状、座標、名称を定義
	port group	交換可能な端子や端子グループを指定
	power domain group	電力ドメインを指定
	swappable port/group	交換可能な端子/端子グループ
	frequency	端子の動作周波数
	constraint	特性インピーダンス、遅延、スキューなど
	specification	機能ブロックの仕様を定義
	reference	上位階層と機能ブロックの接続手続きを定義
Component	placement	機能ブロックの配置

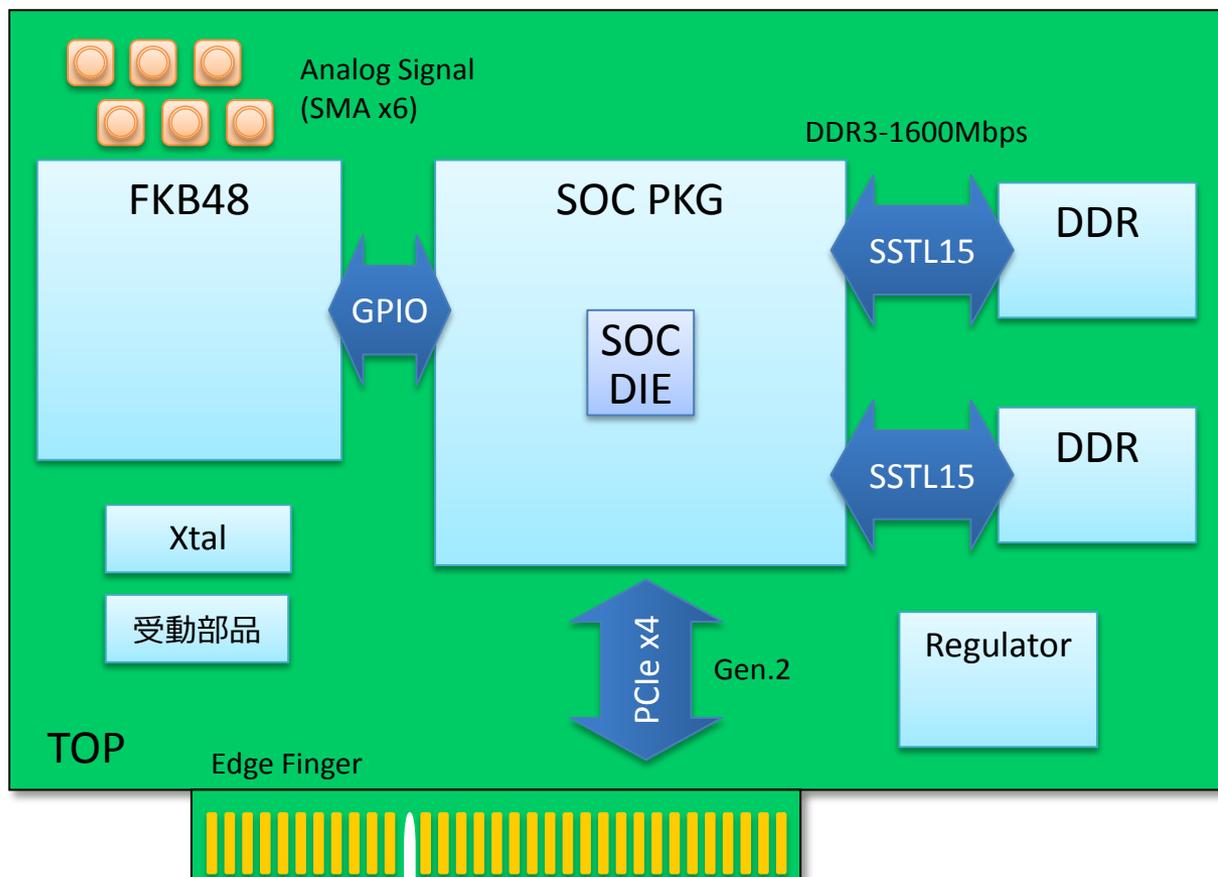
部品の配置情報

[記述例]

```
<placement ref_module="SOC" inst="SOC" x="400" y="-6500" />
<placement ref_module="DDR" inst="DDR0" x="37000" y="-3200" />
```

Golden Sample

EDA開発にも使用可能なテスト用データとして「Golden Sample」を用意。
 (LPB標準フォーマットVer.2.1に準拠しています)

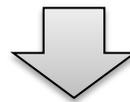


搭載部品	補足説明
SOC	DIE, PKGとも新規設計
DDR	既成品 (PKG品)
FKB48	既成品 (PKG品)
Regulator	既成品 (PKG品)
Xtal	既成品
受動部品	既成品

リファレンス・フロー

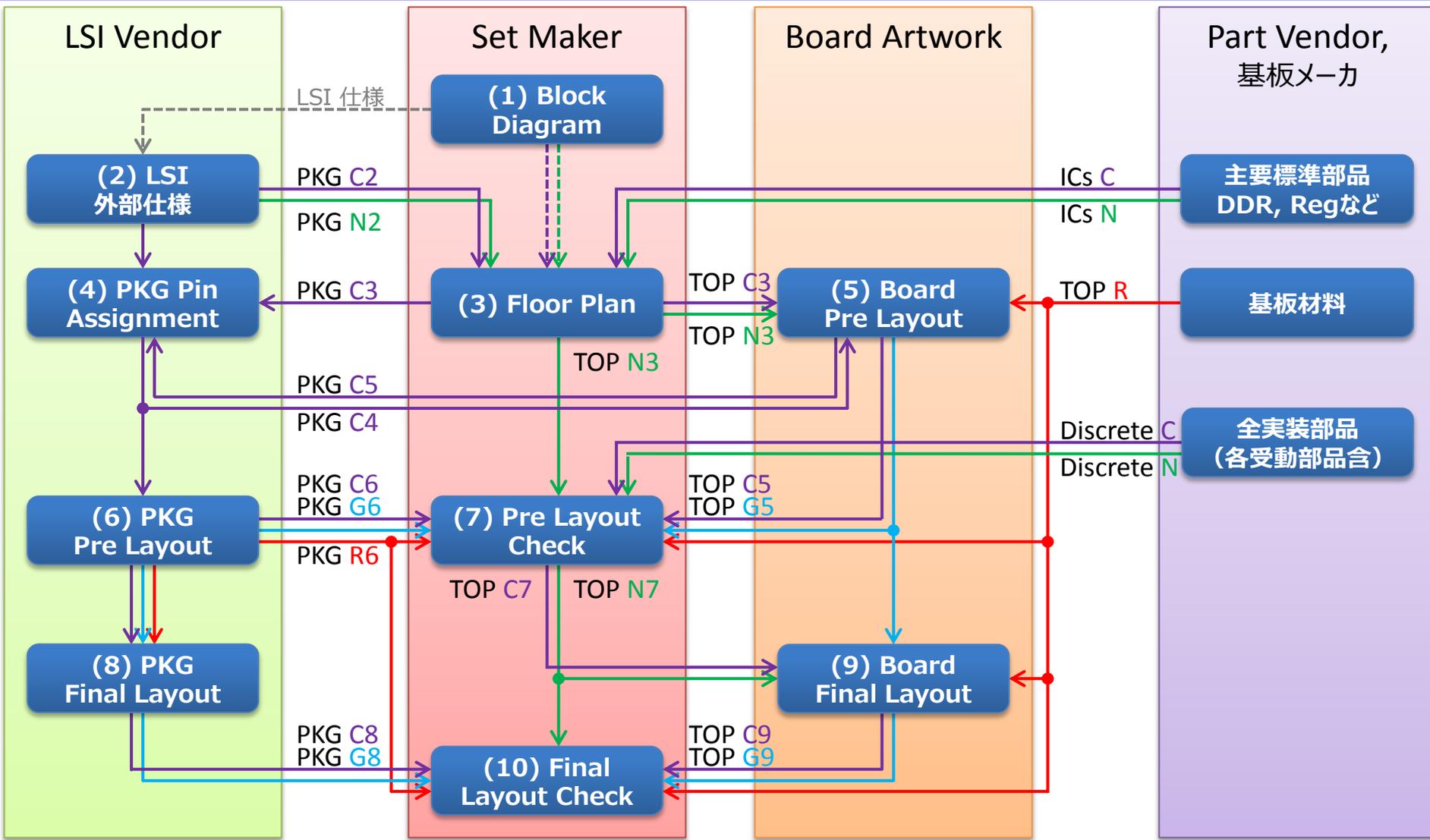
LPB-WGのプレゼンテーションをご覧になられた方や、LPBフォーラム参加者の声

- ✓ 設計の流れの中で、いつ、どのようなデータが、入出力しているのか良くわからない。
- ✓ その際、LPB標準フォーマットを使用すると、何が良いのか？ 何に役立つのか？
- ✓ LPBの出発点で必要なデータは何か？ それらがどう変わっていくのか知りたい。



- リファレンス・フロー
- 各ステップで変化するフォーマットの記述例を用意

リファレンス・フロー



育てるファイル、LPB

Flow		SoC Package				Top (Board)			
		C		N		C		N	
1	Block Diagram	C1	紙ベース	N1	紙ベース	C1	紙ベース	N1	紙ベース
2	LSI 外部仕様	C2	Pin座標あり 信号アサイン未	N2	信号電源含む ほぼ完成形				
3	Floor Plan	C3	Pinアサインの リクエスト			C3	主要部品のみ 仮置き	N3	部品は全部入っ ている
4	PKG Pin Assignment	C4	リクエスト対応 制約入る						
5	Board Pre Layout	C5	Pinアサインの 修正リクエスト			C5	Placementが 変わる		
6	PKG Pre Layout	C6	Artwork反映し た制約入る						
7	Pre Layout Check					C7	Decap、抵抗の 変更/追加	N7	部品の変更/追 加
8	PKG Final Layout	C8	最終版						
9	Board Final Layout					C9	Decap、抵抗の 調整等		
10	Final Layout Check								

このあとすぐ

リファレンス・フローのデモと 効果の考察

- ✓ リファレンス・フローに沿って、LPBの設計過程を実演・説明
 - LPB設計者間で何を受け渡さなければならないのか
 - LPB標準フォーマットが何の役に立ったのか、何を達成したのか

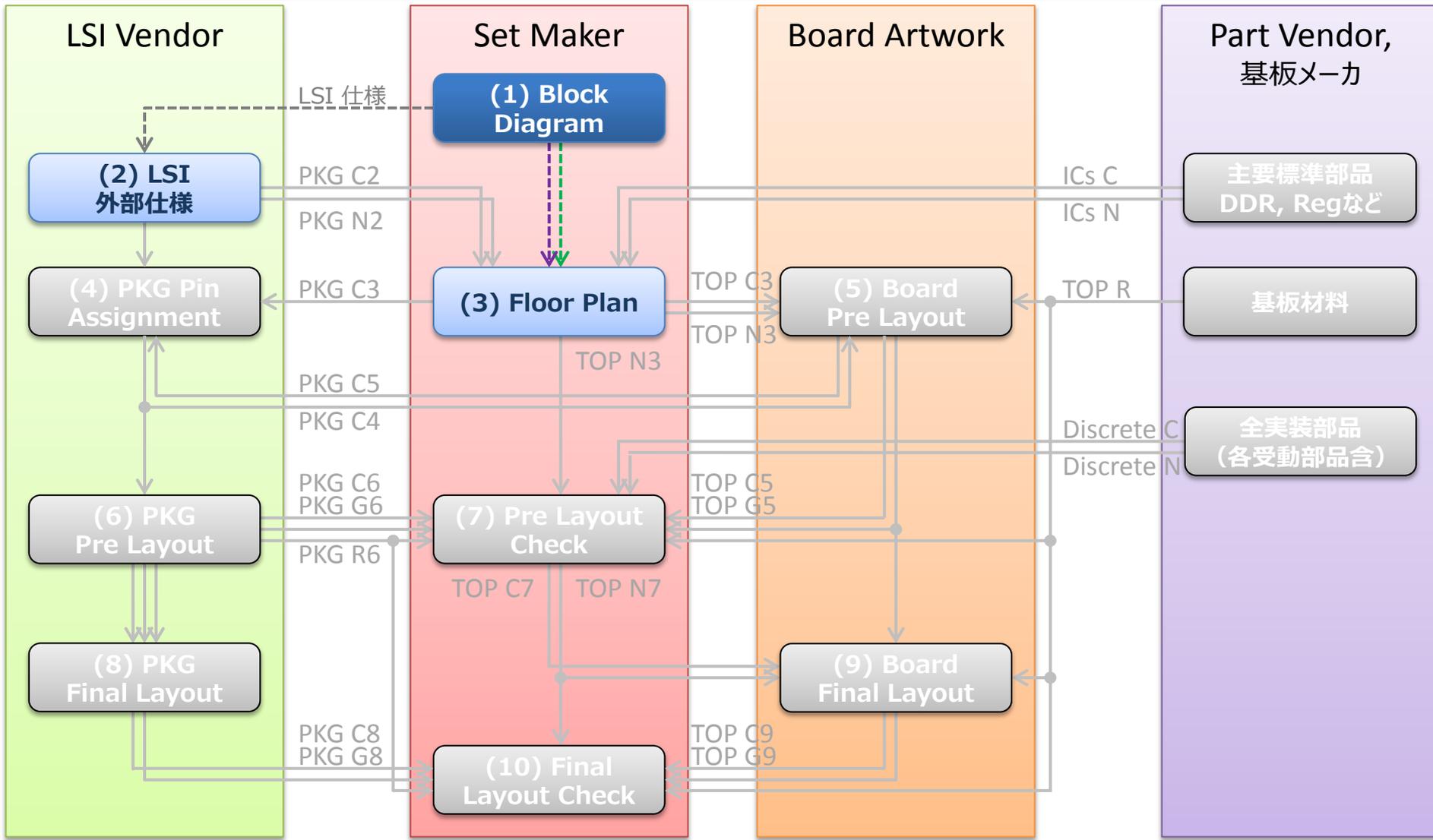
(1)&(3) Set Maker

Block DiagramからFloor Plan

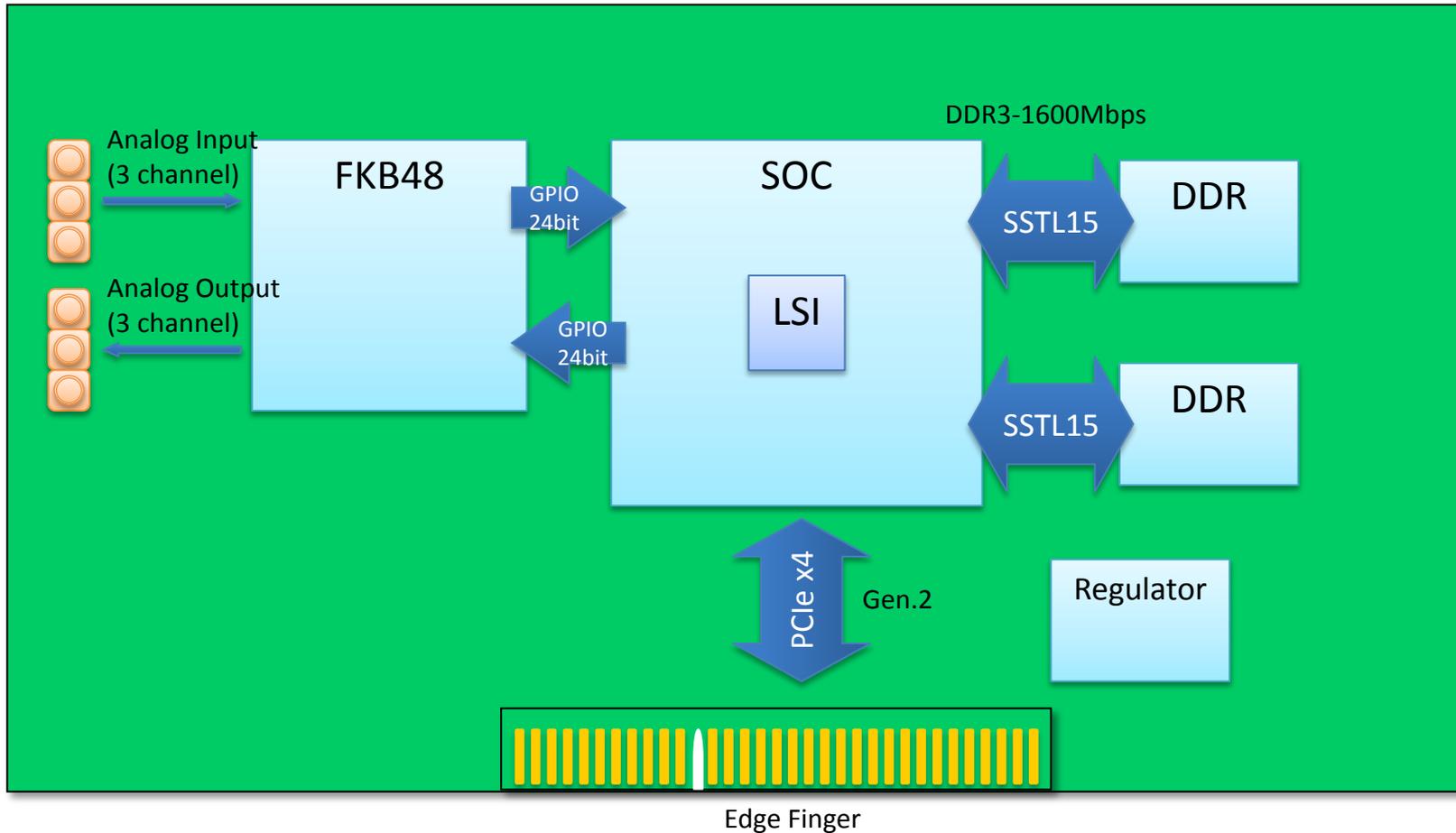
2013年11月20日

LPB相互設計WG

(1) Block Diagram



Block Diagram



LSI詳細仕様 (1/2)

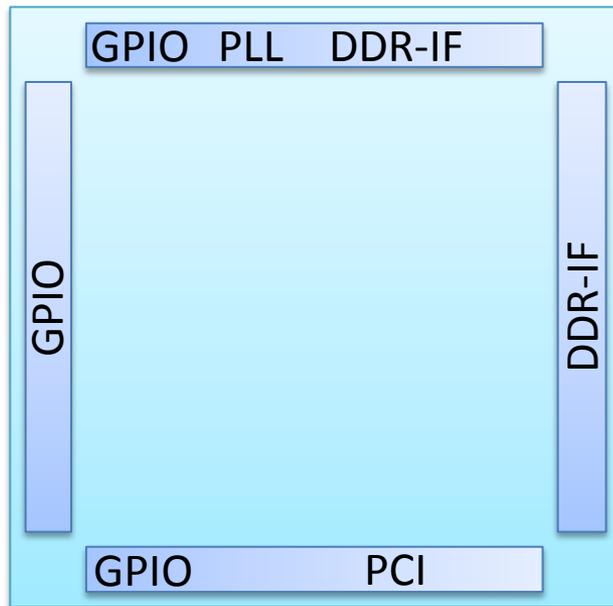
<Features>

- DDR3-Interface
- PCI-Express x4 Interface
- GPIO Bus (Input:3Byte, Output:3Byte)

<LSI>

Size 7mm□
 Pad Pitch 110um
 Num. of Pads 240 (60x4)

- LSIC-0** 仕様からPadをザックリ並べる
- LSIC-1** PKG Ball AssignからPad Assignを最適化する
- LSIC-2** 設計制約を追加する



<Power/GND>

VDD_CORE	1.2V for CORE
VSS_CORE	GND for CORE
VDD_DDR	1.5V for DDR-IF
VSS_DDR	GND for DDR-IF
VDD_PCI	3.3V for PCIe
VSS_PCI	GND for PCIe
VDD_GPIO	3.3V for GPIO
VSS_GPIO	GND for GPIO
AVDD	3.3V for PLL
AVSS	GND for Analog

<Signal>

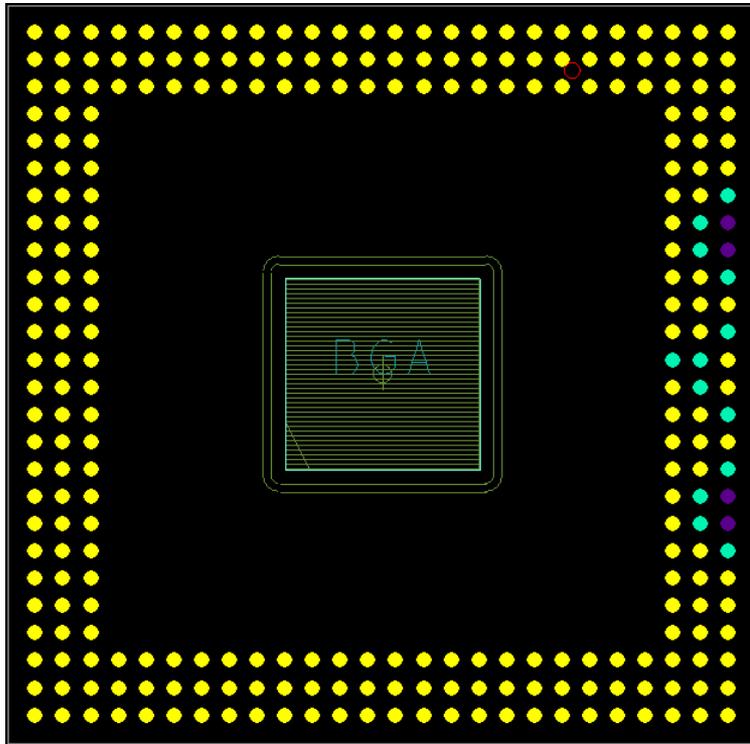
FKB48		DDR	
clock	1	CK	2pairs
reset	1	CA	25
GPIO	48	DQ	16
		DM	2
PCI-Express		DQS	2pairs
clock	1pair	reset	1
TX	4pairs	ZQ	1
RX	4pairs		
		Other	
		XTAL	2

LSI詳細仕様 (2/2)

<Package>

Size	27mm□
Ball Pitch	1.0mm
Num. of Balls	276 Ball (3Row)
Num. of Layers	4

- PKGC-0** 仕様からPKG Size、層構成、Ballを決める
- PKGC-1** Board考慮してPKG Ball Assign
- PKGC-2** 設計制約を追加する



<Power/GND>

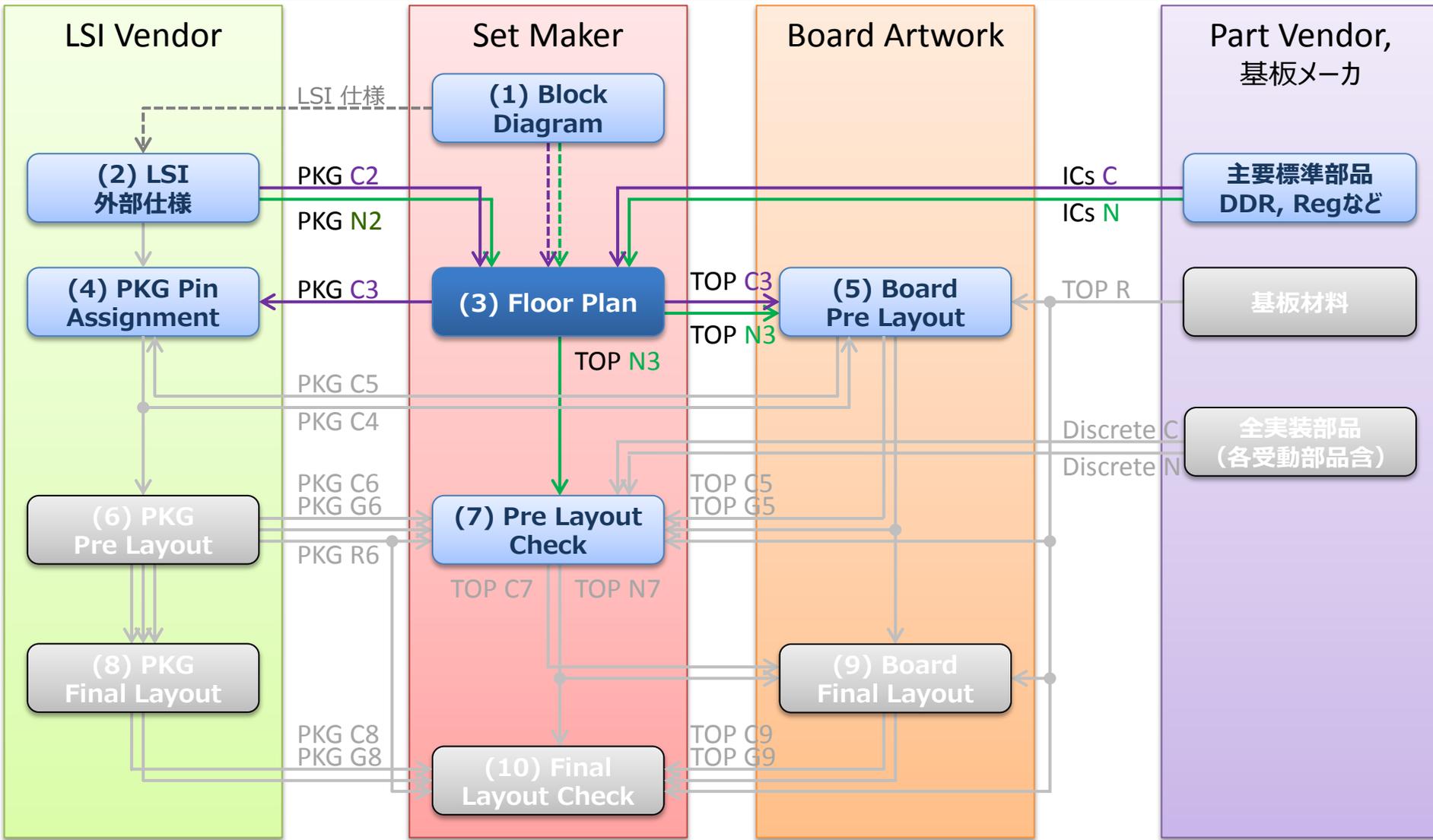
VDD_GPIO	3.3V for GPIO
VDD_PCI	3.3V for PCIe
VDD_DDR	1.5V for DDR-IF
VDD_CORE	1.2V for CORE

VSS	GND for CORE & GPIO *1
VSS_PCI	GND for PCIe
VSS_DDR	GND for DDR-IF

VDD_PLL	3.3V for PLL
AVSS	GND for Analog

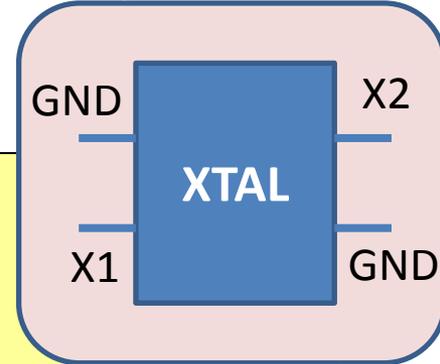
*1) CORE GND and GPIO GND must join on the PKG

(3) Floor Plan



(3) Floor Plan

既成部品の入力 (ICs C, ICs N)



```
...  
<module name="XTAL" type="OTHER" shape_id="SHAPE.16" x="0" y="0" angle="0" >  
  <socket name="XTAL" >  
    <default>  
      <port_shape padstack_id="PAD.6" />  
    </default>  
    <port id="1" x="-2250" y="-1250" angle="0" name="X1" direction="inout" type="signal" />  
    <port id="2" x="2250" y="-1250" angle="0" name="GND" direction="inout" type="ground" />  
    <port id="3" x="2250" y="1250" angle="0" name="X2" direction="inout" type="signal" />  
    <port id="4" x="-2250" y="1250" angle="0" name="GND" direction="inout" type="ground" />  
  </socket>  
</module>  
...
```

Pin座標のみ

ICs C

```
//-- Quartz crystal unit -----  
module XTAL ( X1 , X2, GND) ;  
  inout X1 , X2 ;  
  inout GND ; /* PG_NET */  
endmodule
```

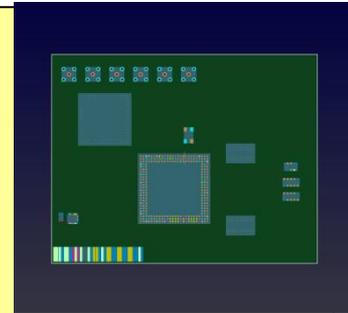
ICs N

(3) Floor Plan

PKG C-Formatの变化 (PKG-C2⇒C3)

```
...  
<port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" />  
<port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" />  
<port id="A3" x="-10500" y="12500" angle="0" />  
<port id="A4" x="-9500" y="12500" angle="0" />  
<port id="A5" x="-8500" y="12500" angle="0" />  
<port id="A6" x="-7500" y="12500" angle="0" />  
<port id="A7" x="-6500" y="12500" angle="0" />  
<port id="A8" x="-5500" y="12500" angle="0" />  
<port id="A9" x="-4500" y="12500" angle="0" />  
<port id="A10" x="-3500" y="12500" angle="0" />  
...
```

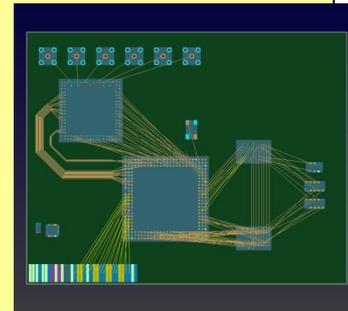
Pin座標のみ



PKG-C2

```
...  
<port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" />  
<port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" />  
<port id="A3" x="-10500" y="12500" angle="0" />  
<port id="A4" x="-9500" y="12500" angle="0" />  
<port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[3]" direction="out" type="signal" />  
<port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[0]" direction="out" type="signal" />  
<port id="A7" x="-6500" y="12500" angle="0" />  
<port id="A8" x="-5500" y="12500" angle="0" />  
<port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" />  
<port id="A10" x="-3500" y="12500" angle="0" />  
...
```

ネットアサイン情
報が追加



PKG-C3

(3) Floor Plan

ボードフロアプラン結果出力 (TOP-C3,N3)

```
...
<module name="LPB_2012_SAMPLE" type="PWB" shape_id="rect_1" x="0" y="0" >
  <socket name="PCIE" >
    <port id="A1" padstack_id="BALL_1" x="-48900" y="-36550" name="" direction="inout" type="signal" />
    <port id="A2" padstack_id="BALL_1" x="-47900" y="-36550" name="" direction="inout" type="signal" />
  ...
  <component>
    <placement ref_module="DDR" inst="DDR0" x="37206.5" y="-3223.2" z="200" angle="270" mount="TOP" />
    <placement ref_module="DDR" inst="DDR1" x="36947.6" y="15911.7" z="200" angle="270" mount="TOP" />
  ...

```

TOP-C3

部品配置情報

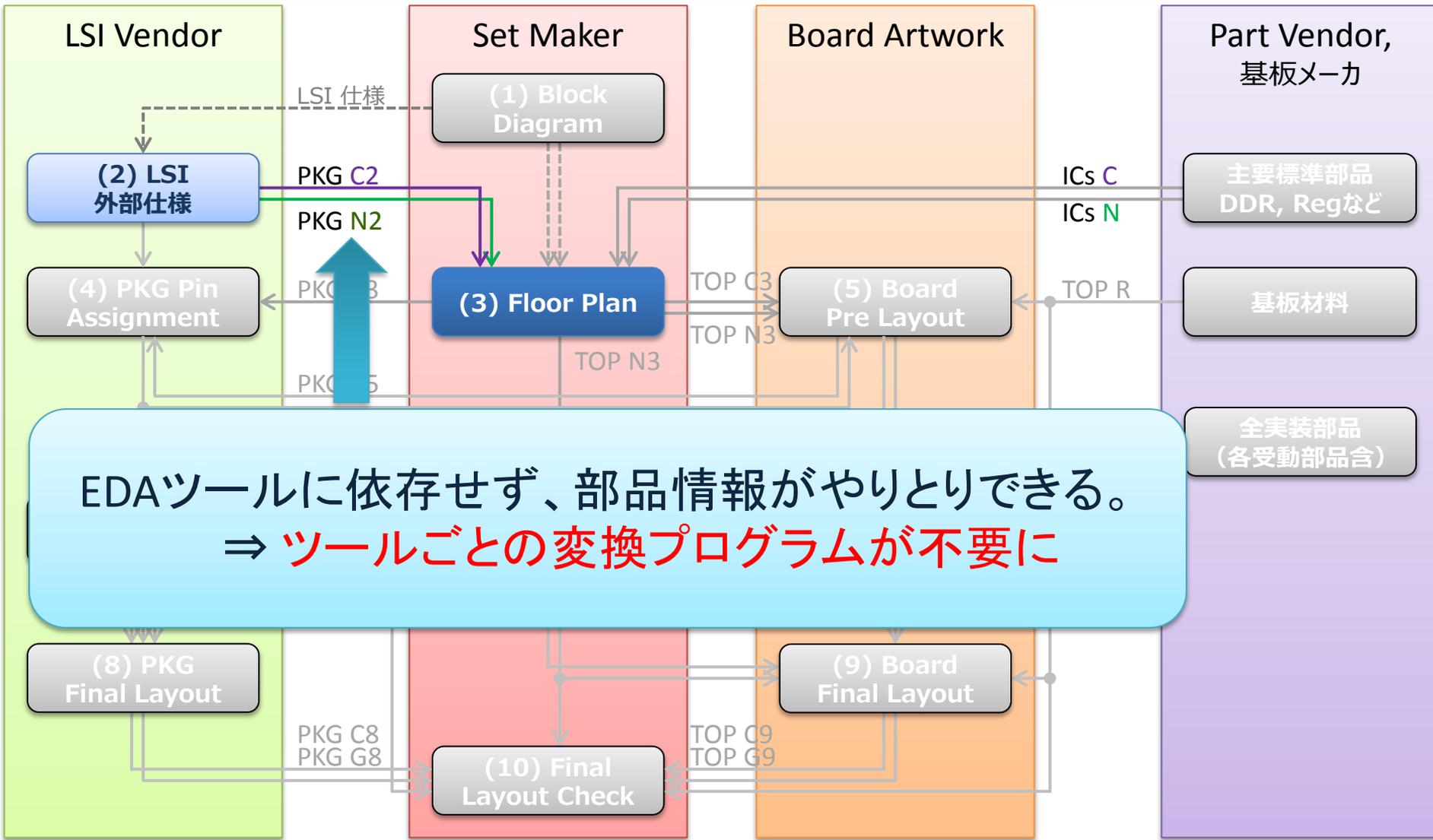
```
...
module LPB_2012_SAMPLE ();
  wire    AGND      ; /* PG_NET */
  wire    AVDD33    ; /* PG_NET */
  wire    [15:0]    DDRAD    ;
  wire    [2:0]     DDRBA    ;
  ...
  DDR DDR0 (.A(DDRAD),.BA(DDRBA),.CAS_N(DDRCAS),.CK(DDRCK0_P),...
  DDR DDR1 (.A(DDRAD),.BA(DDRBA),.CAS_N(DDRCAS),.CK(DDRCK1_P),...
  FKB48 FKB48 (.AIN(FKBDO[7:0]),.AOUT(FKBDI[7:0]),.AVDD33(AVDD33),...
  ...

```

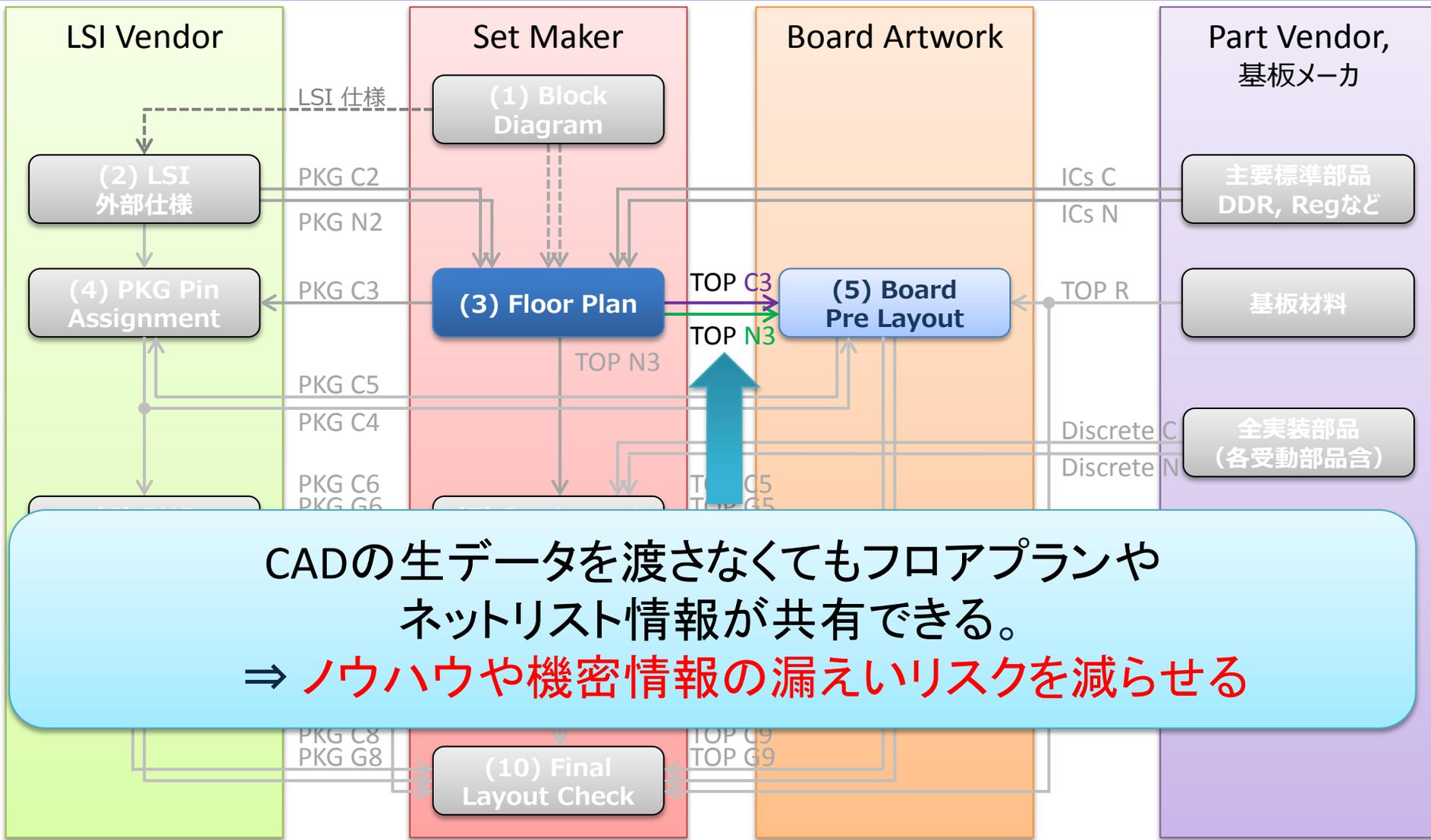
TOP-N3

ネットリスト情報

LPB Formatのメリット



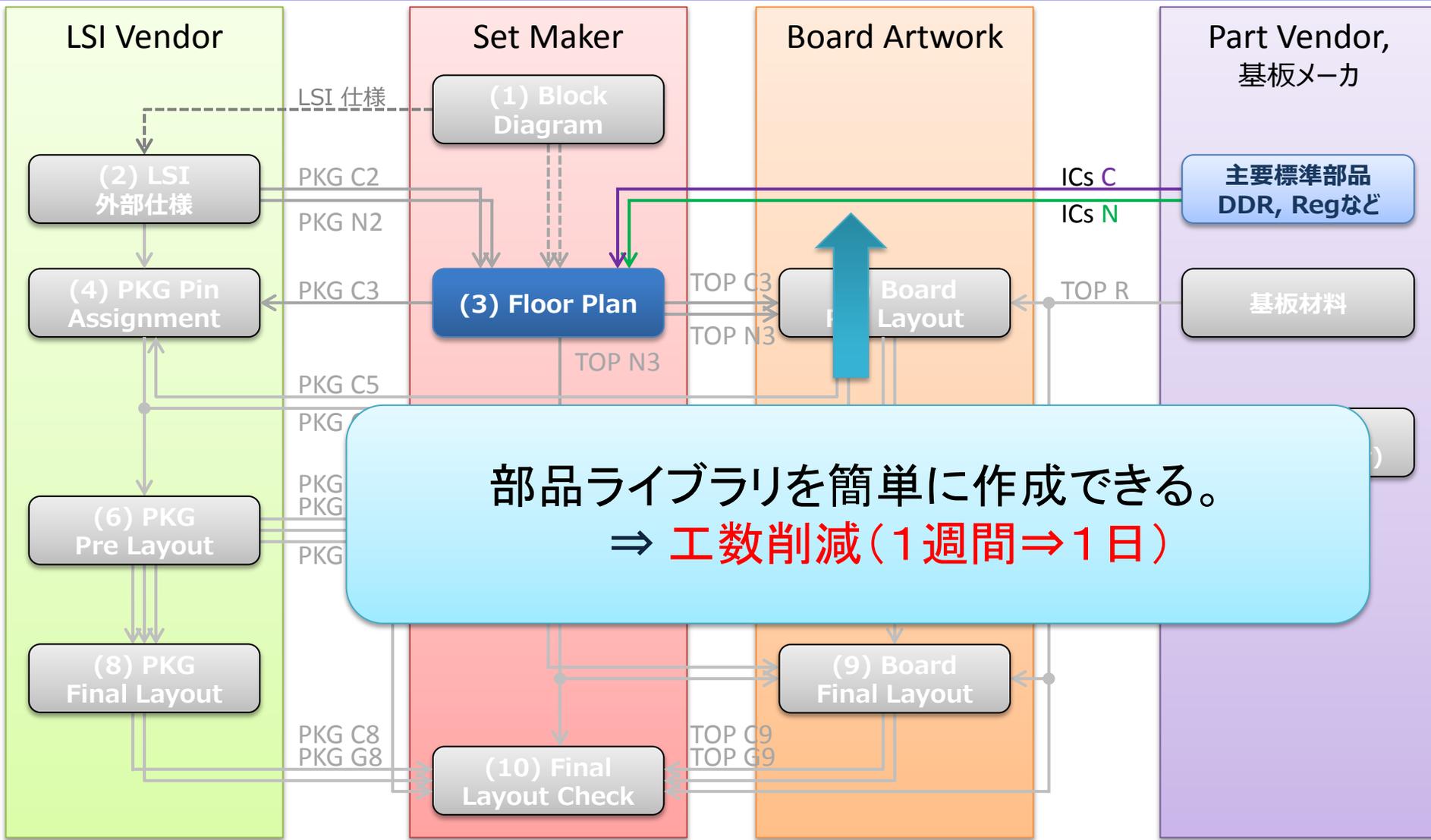
LPB Formatのメリット



CADの生データを渡さなくてもフロアプランや
ネットリスト情報が共有できる。

⇒ **ノウハウや機密情報の漏えいリスクを減らせる**

LPB Formatのメリット



(4)&(6) LSI Vendor

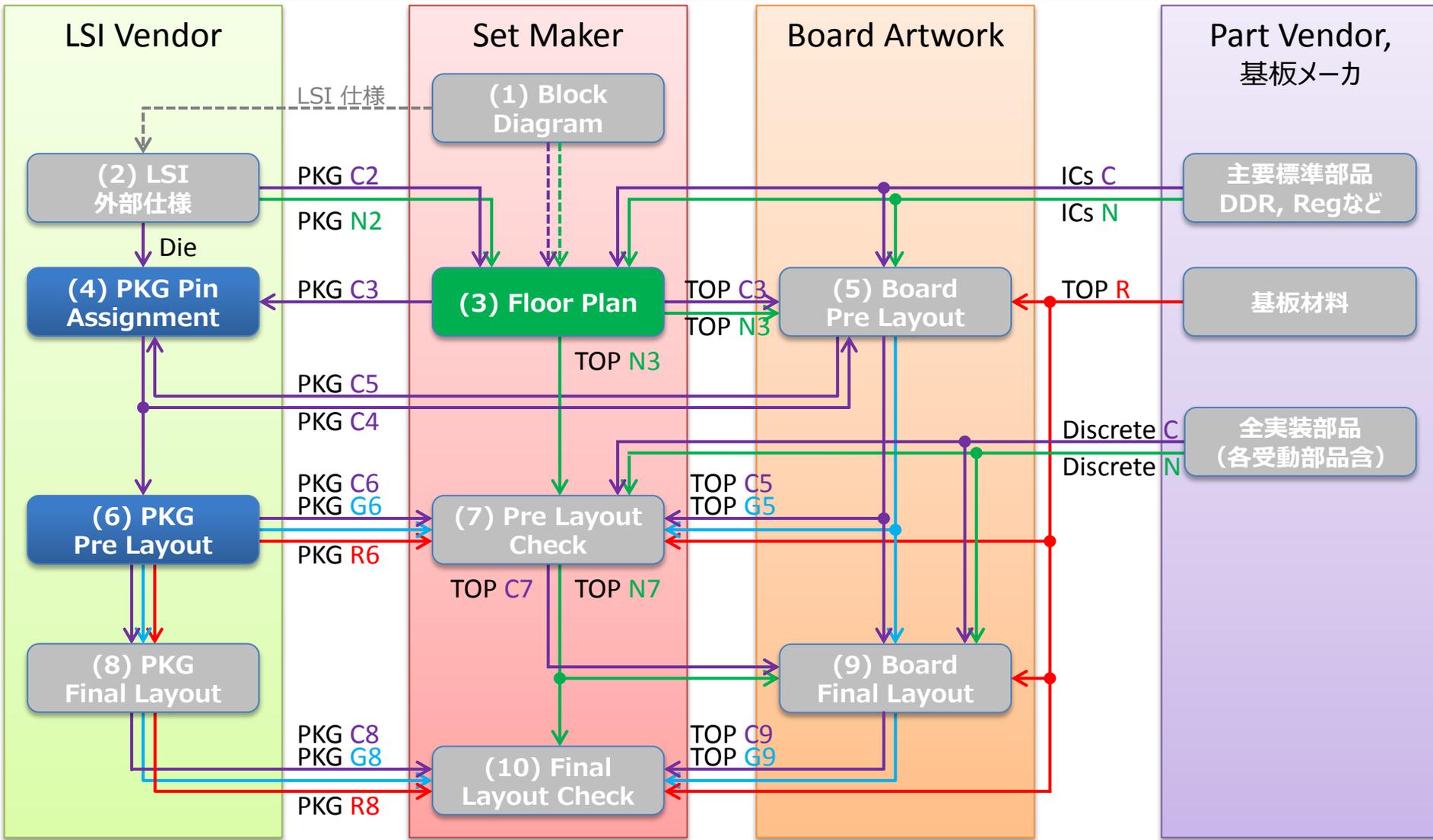
Die PadとBGAのアサイン最適化

Packageレイアウト

2013年11月20日

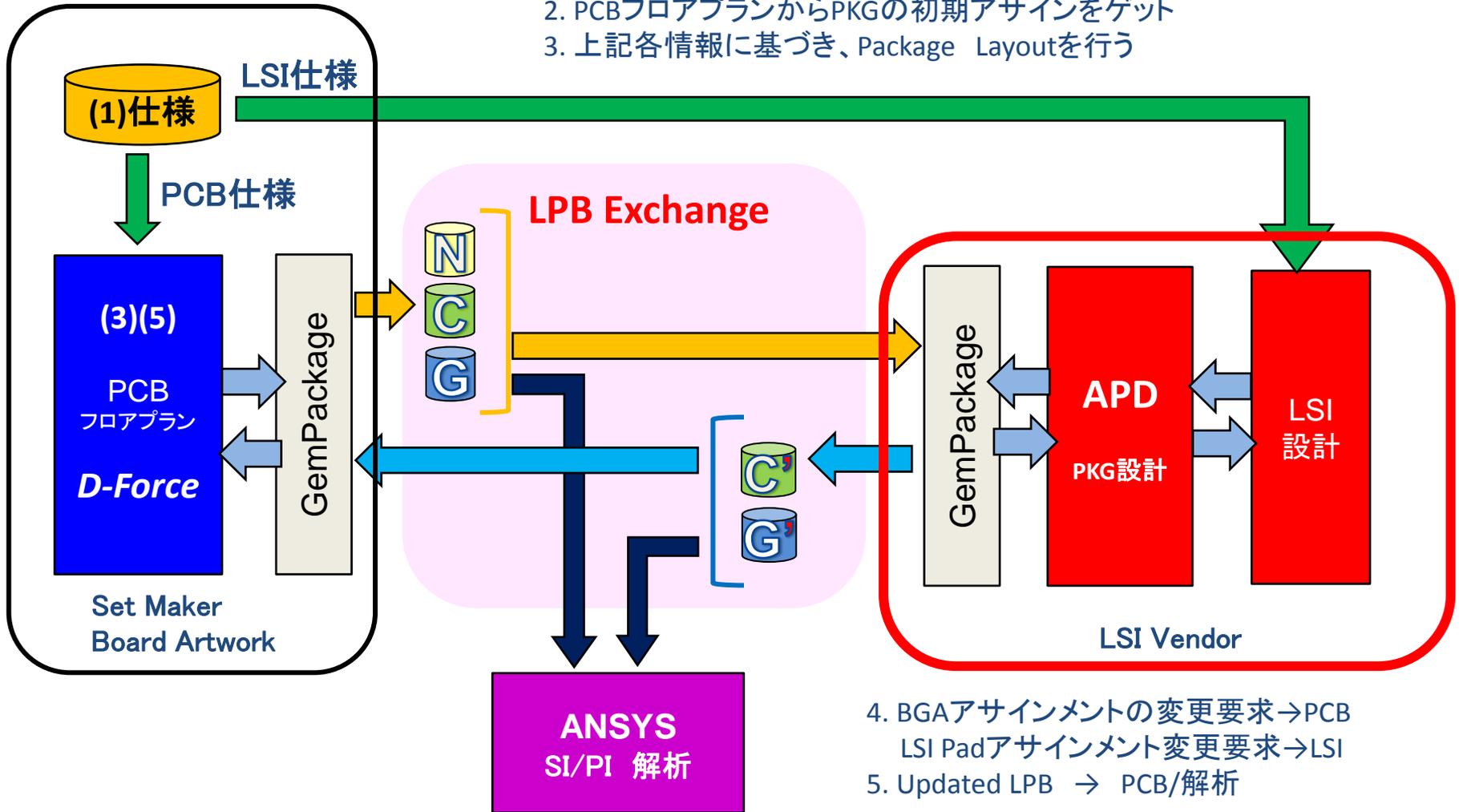
LPB相互設計WG

Reference Flow



(4)(6) Package設計の概要

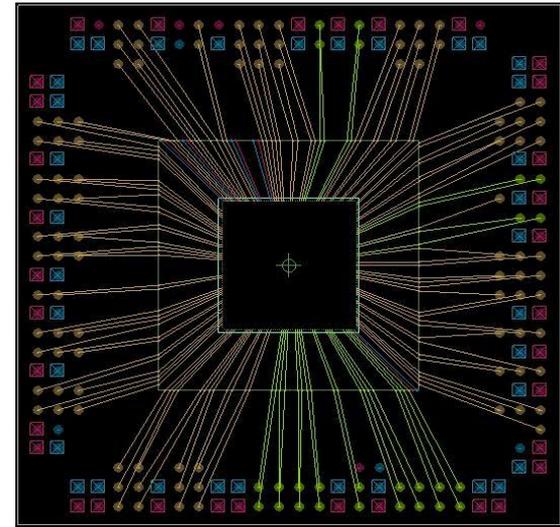
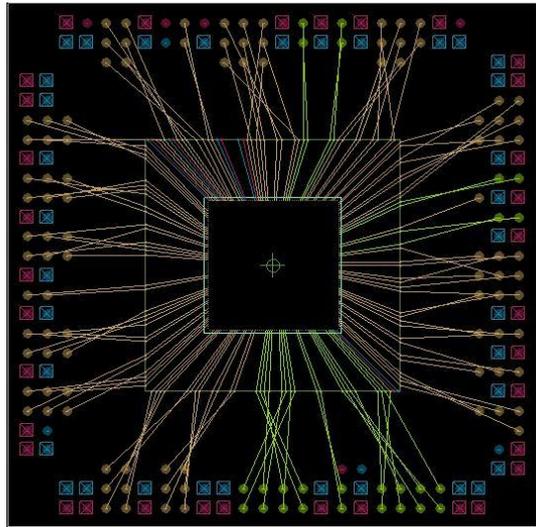
1. LSI仕様から、LSI DieのOutlineを作成
2. PCBフロアプランからPKGの初期アサインをゲット
3. 上記各情報に基づき、Package Layoutを行う



4. BGAアサインメントの変更要求 → PCB LSI Padアサインメント変更要求 → LSI
5. Updated LPB → PCB/解析

(4) PKG Pin Assignment

INPUT	WORK	OUTPUT	NEXT
*Die 情報 *PKG C3 -BGA 仮assign -Pin Group	(a) Die情報入力: 社内フォーマット (b) PKG C3から、LSI Pad->BGA Ratsnest作成 (c) Pad 変更によりRats Cross改善 (d) LSI変更ができない部分のBGAアサイン 変更依頼 -> PKG C4 (PCB Layout)	*PKG C4 ・LSI DrivenでのPKG BGAの再アサイン ・LSIのピン情報に基づきPCBでの配線性向上のため、swappableなピンの指定	(5) Board Pre Layout (6) PKG Pre Layout



C-Formatの変化 (PKG-C3⇒C4)

```
...
<port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A3" x="-10500" y="12500" angle="0" />
<port id="A4" x="-9500" y="12500" angle="0" />
<port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[3]" direction="out" type="signal" />
<port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[0]" direction="out" type="signal" />
<port id="A7" x="-6500" y="12500" angle="0" />
<port id="A8" x="-5500" y="12500" angle="0" />
<port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" />
<port id="A10" x="-3500" y="12500" angle="0" />
...
```

Floor Plan初期アサインをゲット

PKG-C3

```
...
<port id="A1" x="-12500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A2" x="-11500" y="12500" angle="0" name="NC" type="dontcare" />
<port id="A3" x="-10500" y="12500" angle="0" />
<port id="A4" x="-9500" y="12500" angle="0" />
<port id="A5" x="-8500" y="12500" angle="0" name="FKBDO[5]" direction="out" type="signal" />
<port id="A6" x="-7500" y="12500" angle="0" name="FKBDO[2]" direction="out" type="signal" />
<port id="A7" x="-6500" y="12500" angle="0" />
<port id="A8" x="-5500" y="12500" angle="0" name="VDD_PLL" direction="inout" type="power" />
<port id="A9" x="-4500" y="12500" angle="0" name="XTAL1" direction="inout" type="signal" />
<port id="A10" x="-3500" y="12500" angle="0" />
...
```

PKG Pre Layoutからアサイン変更

PKG-C4

C-Format変化 (PKG-C3⇒C4)

```
<!-- Swappable Group -->
```

```
<!-- Swappable Port -->
```

```
<!-- Constraint -->
```

PKG-C3

```
<!-- Swappable Group -->
```

```
<swappable_group>  
  <ref_portgroup name="FKB_DIN_BYTE0" />  
  <ref_portgroup name="FKB_DIN_BYTE1" />  
  <ref_portgroup name="FKB_DIN_BYTE2" />  
</swappable_group>
```

```
...
```

```
<!-- Swappable Port -->
```

```
<swappable_port>  
  <ref_port name="DDRQDQ[0]" />  
  <ref_port name="DDRQDQ[1]" />  
  <ref_port name="DDRQDQ[2]" />  
  <ref_port name="DDRQDQ[3]" />  
  <ref_port name="DDRQDQ[4]" />  
  <ref_port name="DDRQDQ[5]" />  
  <ref_port name="DDRQDQ[6]" />  
  <ref_port name="DDRQDQ[7]" />  
  <ref_port name="DDRDM[0]" />  
</swappable_port>
```

```
...
```

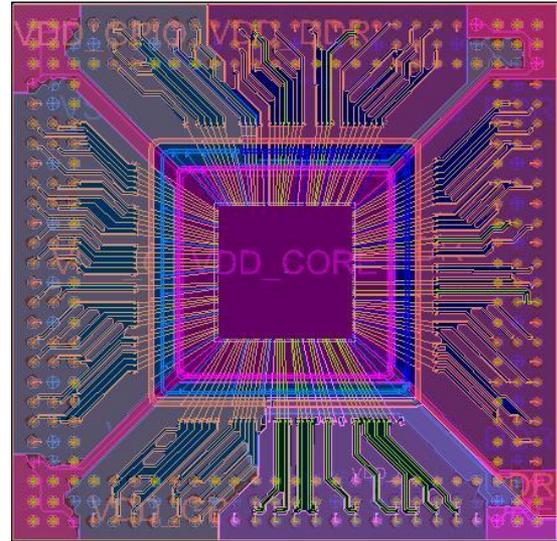
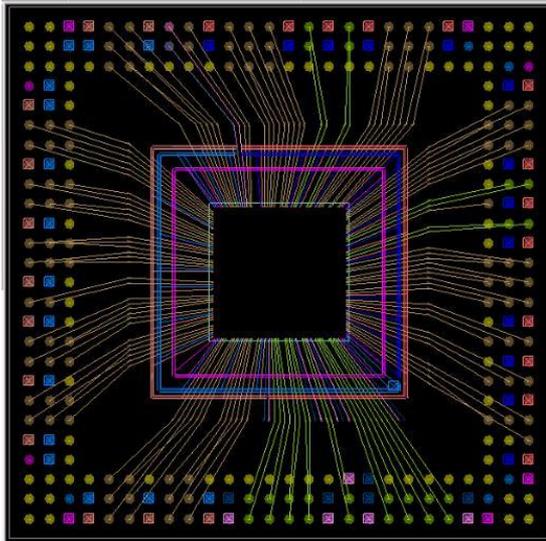
```
<!-- Constraint -->
```

スワップ可能な制約を追加

PKG-C4

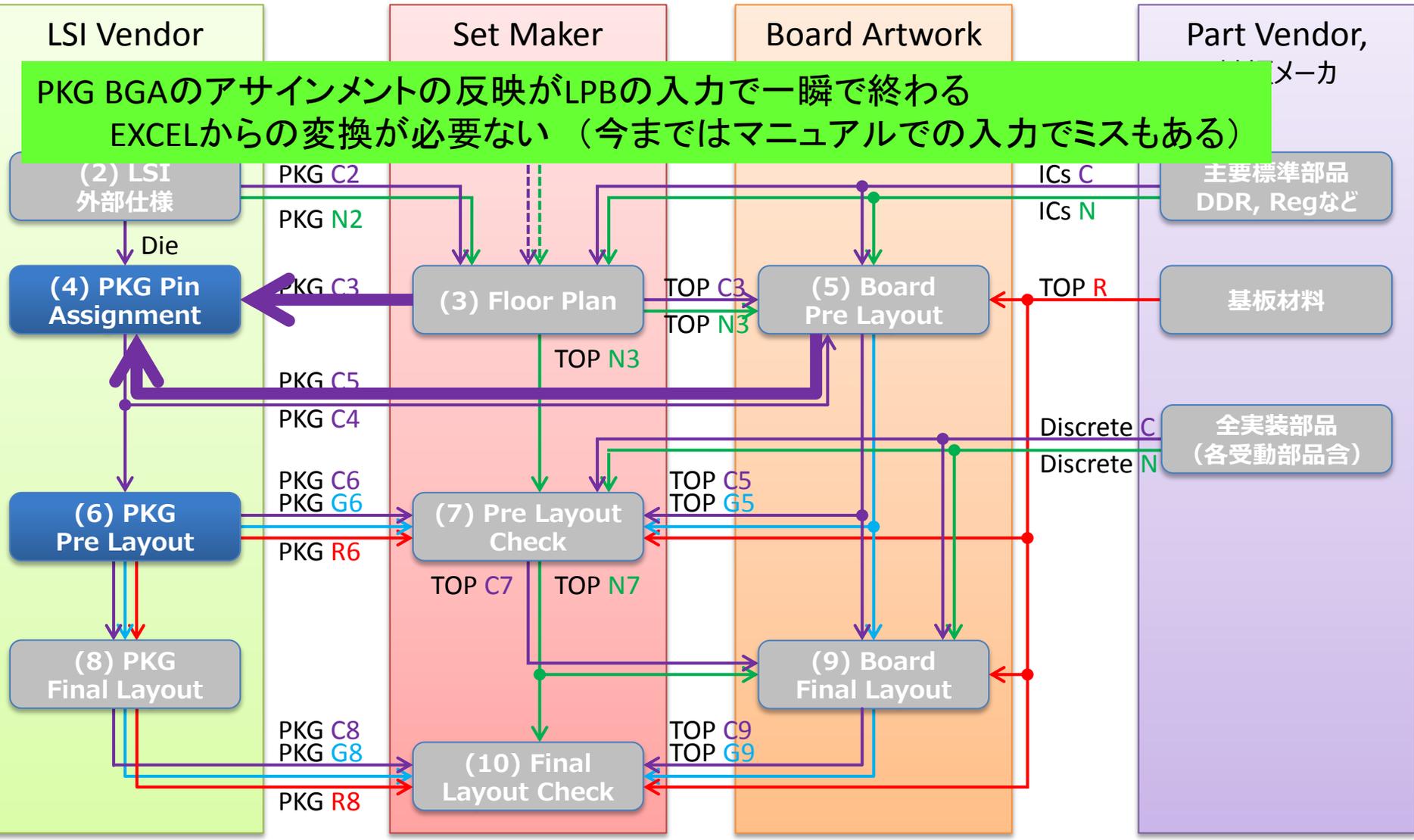
(6) PKG Pre-Layout

INPUT	WORK	OUTPUT	NEXT
<p>*PKG C4 -(4)の自分のassignの結果</p> <p>*PKG C5 -(5)のPCBからF.B. (改善されたアサイン)</p>	<p>A) PKG C4読み込み 同時にPKG C4 → Board Layout</p> <p>B) PKG C5の読み込み PCBにてBGAアサインの最適化</p> <p>C) PKG Layout</p>	<p>*PKG C6 ▪ FixしたPKG BGAアサイン</p> <p>*PKG G6 ▪ 解析用のLayout Data</p> <p>*PKG R6 ▪ Rule, 材料特性</p>	<p>(7) SI/PI check</p>



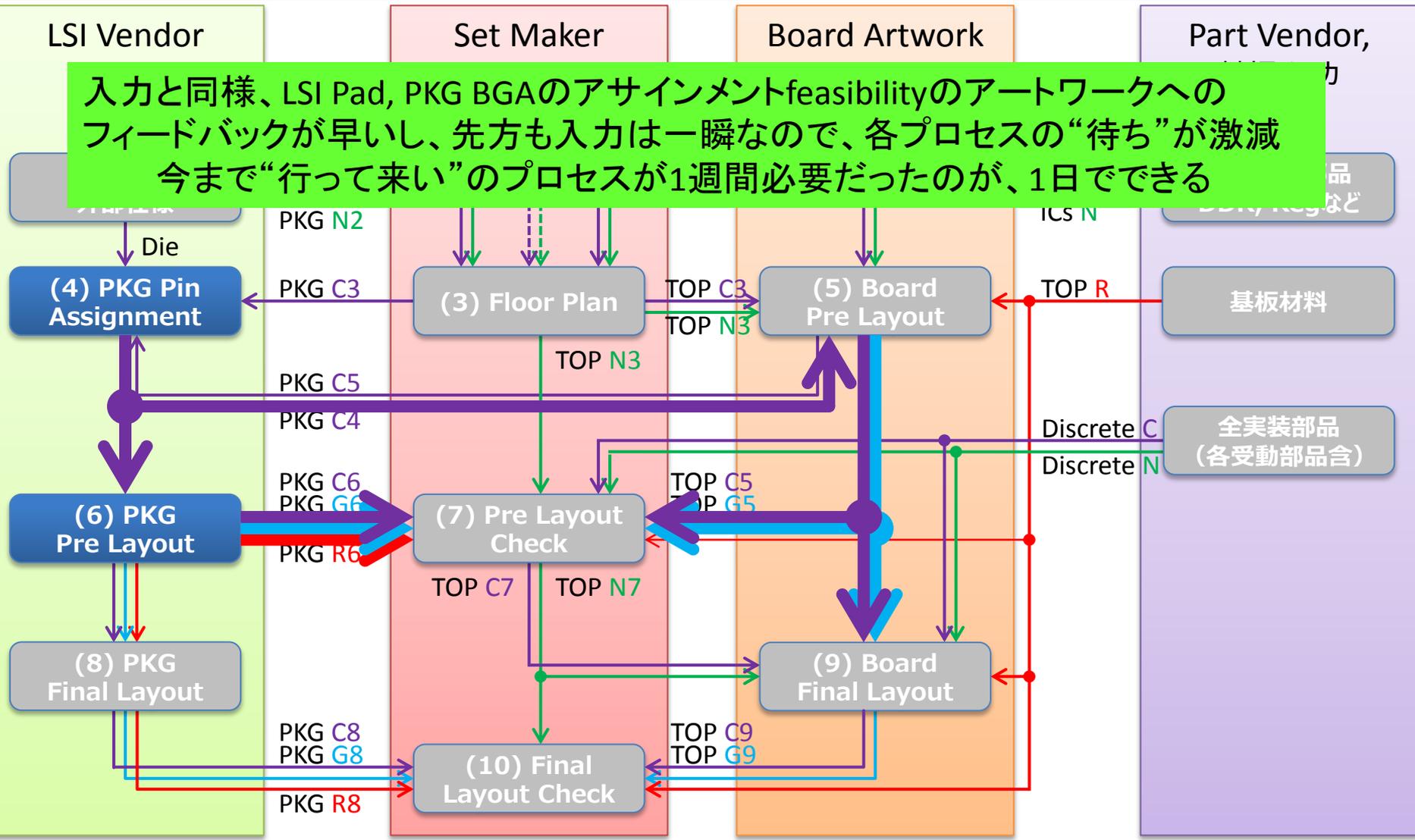
PKG設計 LPB Formatのメリット 1

PKG BGAのアサインメントの反映がLPBの入力で一瞬で終わる
 EXCELからの変換が必要ない（今まではマニュアルでの入力でミスもある）



PKG設計 LPB Format のメリット 2

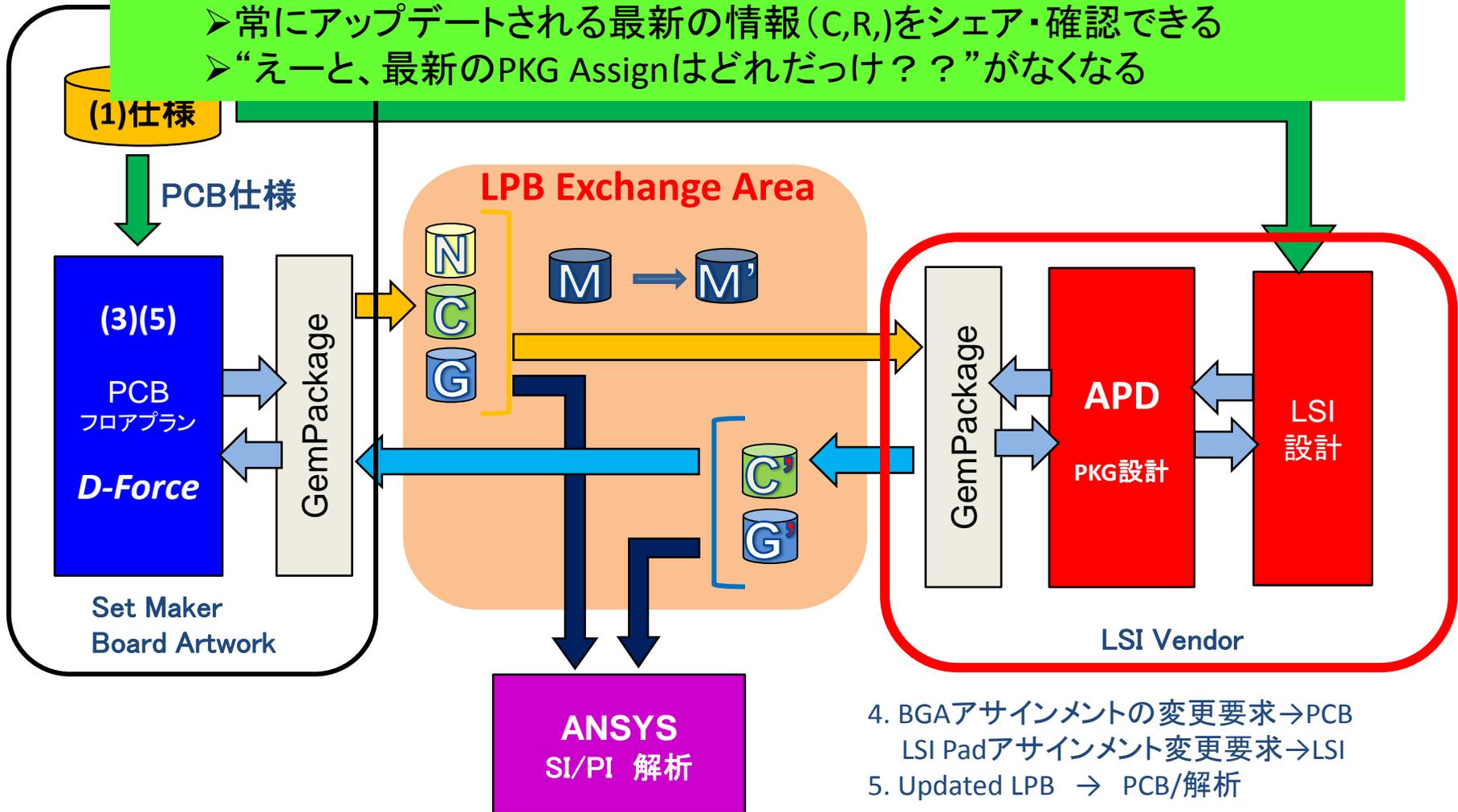
入力と同様、LSI Pad, PKG BGAのアサインメントfeasibilityのアートワークへのフィードバックが早いし、先方も入力は一瞬なので、各プロセスの“待ち”が激減
 今まで“行って来い”のプロセスが1週間必要だったのが、1日で行える



PKG設計 LPB Formatのメリット 3

同一のフォーマットが各設計プロセスでシェアされているため、LSI, Set, PCBがどこのプロセスにおいても、全体の進行状況が理解できる

- 常にアップデートされる最新の情報(C,R)をシェア・確認できる
- “えーと、最新のPKG Assignはどれだっけ??”がなくなる

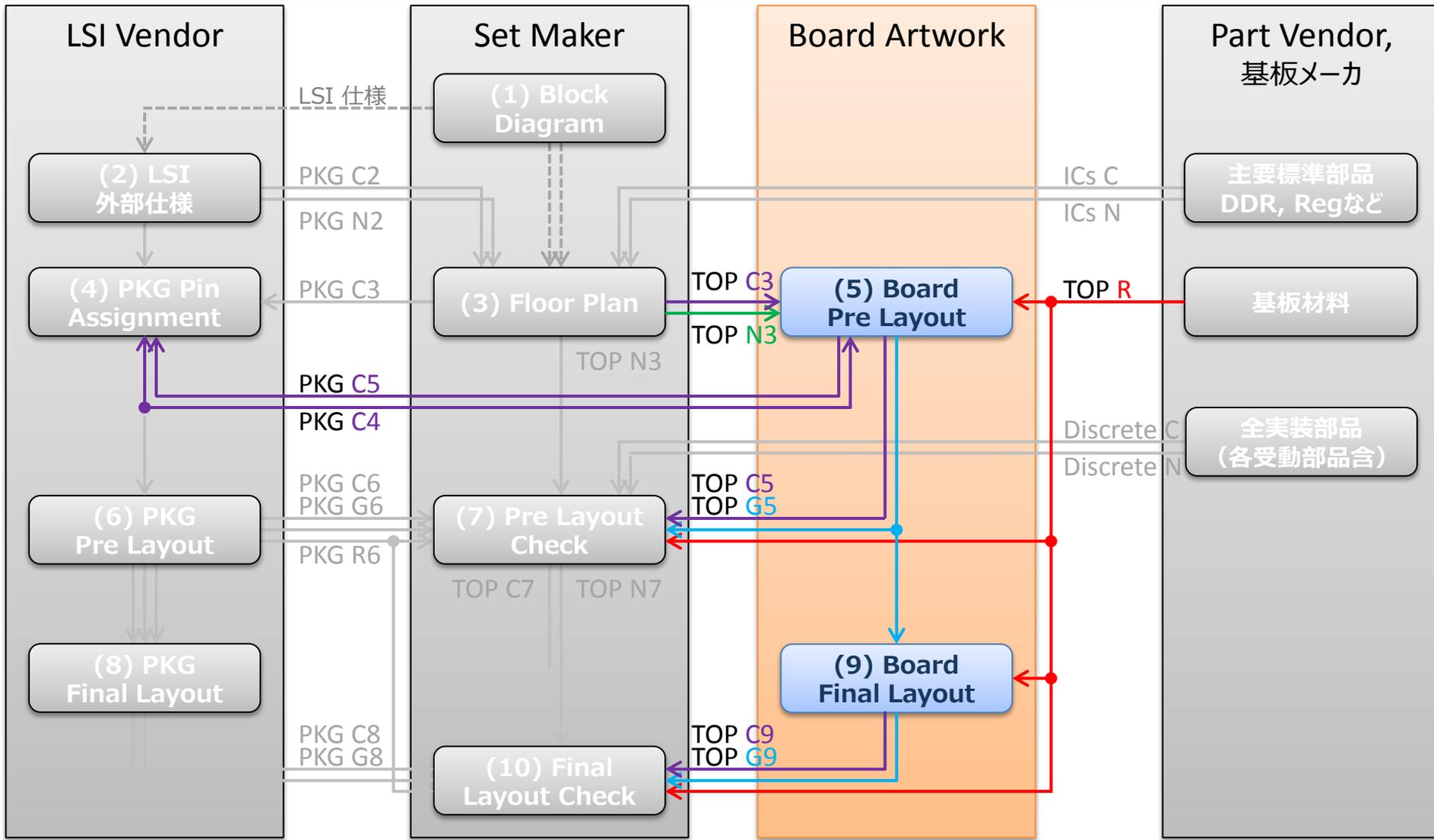


(5)PCBアートワーク

Board Pre LayoutからFinal Layout

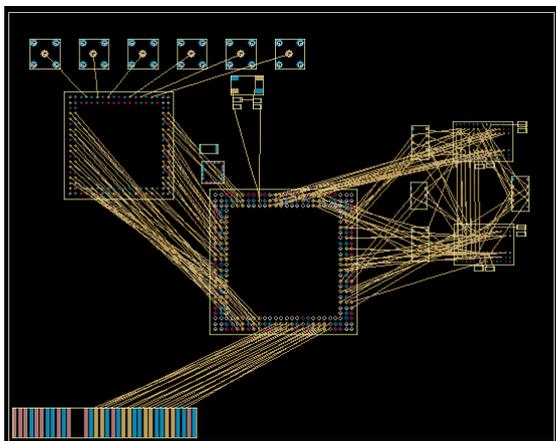
2013年11月20日
LPB相互設計WG

Reference Flow

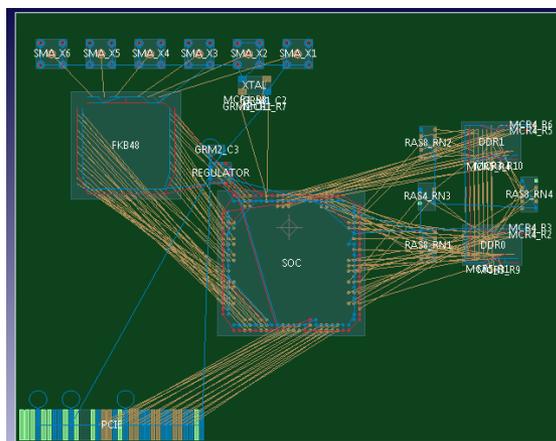


(5) Board Pre Layout

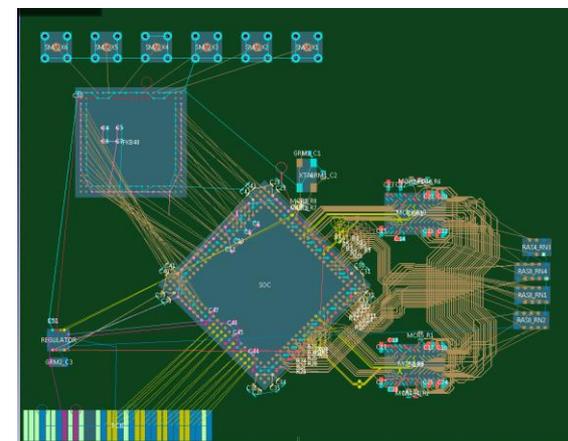
INPUT	WORK	OUTPUT	NEXT
PKG C4 TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) SI/PI check



(a) LPB読み込み



(b) Gem⇒Design Force



(c) 重要信号配線

(5)Board Pre Layout

INPUT	WORK	OUTPUT	NEXT
PKG C4 TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) SI/PI check

```

<port id="R24" type="signal" y="-1500" x="10500" name="DDRQDQ[0]" direction="inout"/>
<port id="R25" type="signal" y="-1500" x="11500" name="DDRQDQ[1]" direction="inout"/>
<port id="R26" type="signal" y="-1500" x="12500" name="DDRQDQ[2]" direction="inout"/>
<port id="P24" type="signal" y=" -500" x="10500" name="DDRQDQ[3]" direction="inout"/>
<port id="P25" type="signal" y=" -500" x="11500" name="DDRQDQ[4]" direction="inout"/>
<port id="P26" type="signal" y=" -500" x="12500" name="DDRQDQ[5]" direction="inout"/>
    
```

PKG C4

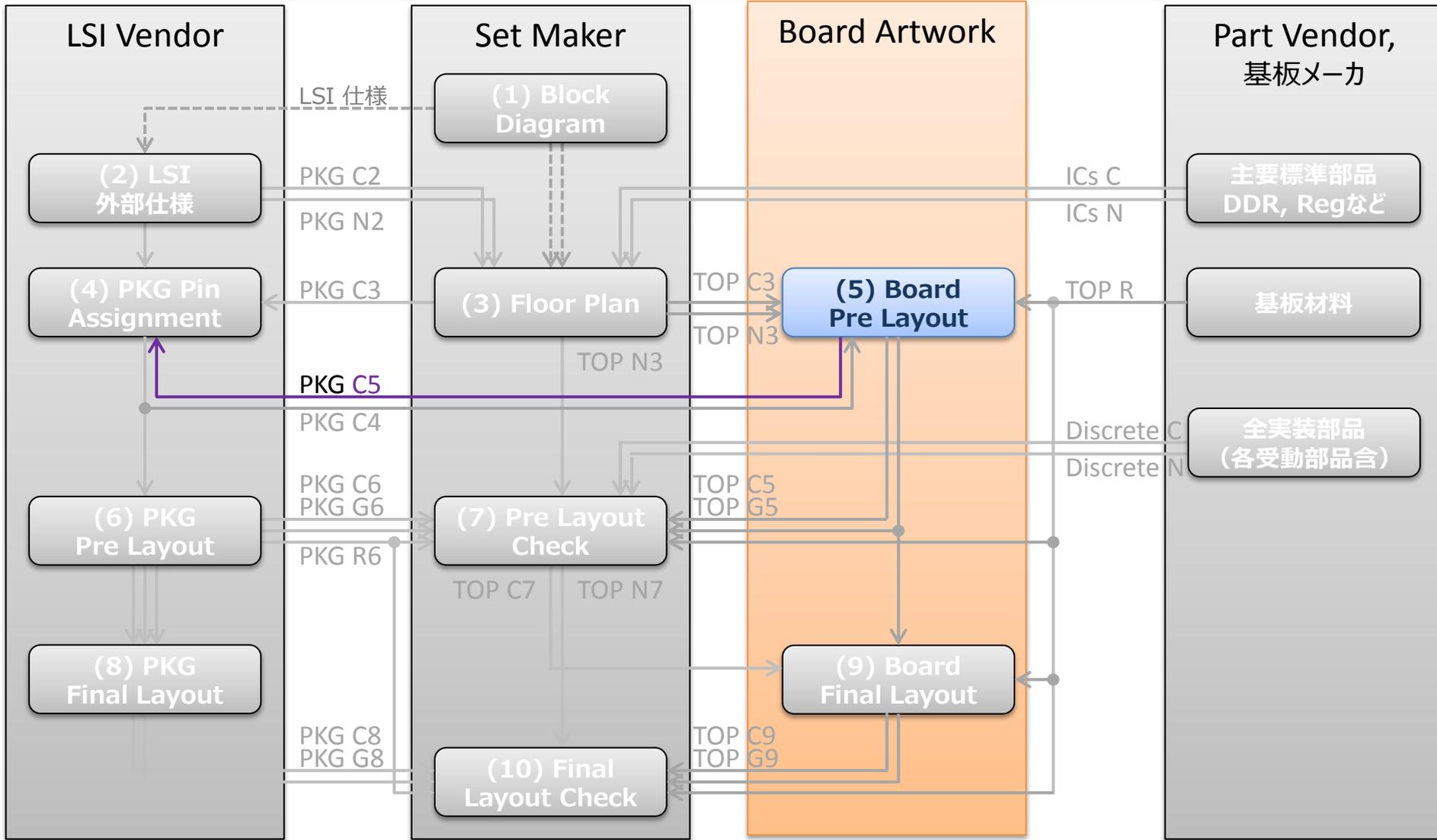


```

<port id="R24" type="signal" y="-1500" x="10500" name="DDRQDQ[7]" direction="inout"/>
<port id="R25" type="signal" y="-1500" x="11500" name="DDRQDQ[0]" direction="inout"/>
<port id="R26" type="signal" y="-1500" x="12500" name="DDRQDQ[2]" direction="inout"/>
<port id="P24" type="signal" y=" -500" x="10500" name="DDRQDQ[6]" direction="inout"/>
<port id="P25" type="signal" y=" -500" x="11500" name="DDRQDQ[3]" direction="inout"/>
<port id="P26" type="signal" y=" -500" x="12500" name="DDRQDQ[4]" direction="inout"/>
    
```

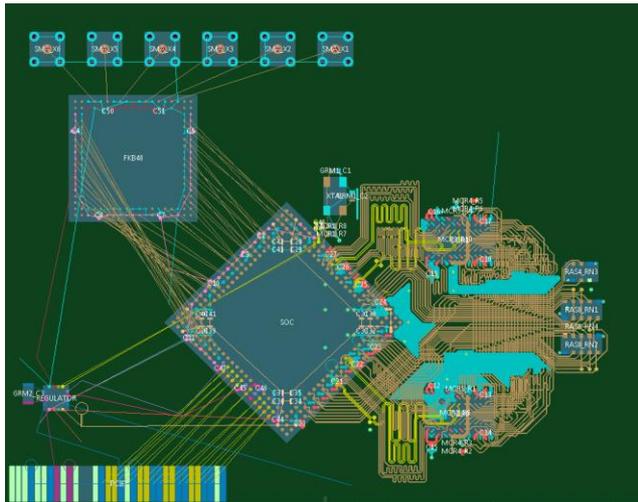
PKG C5

Reference Flow

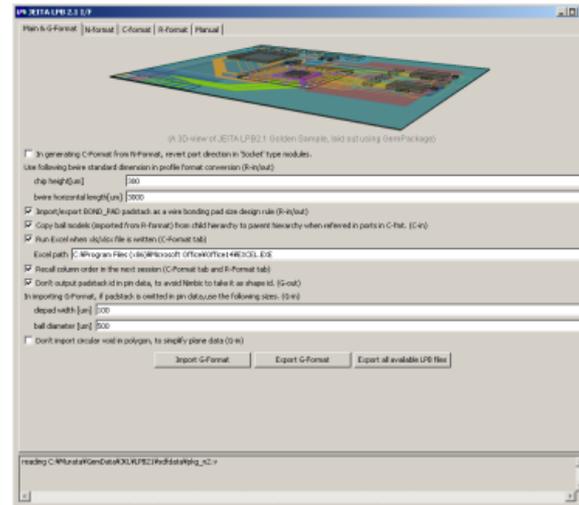


(5) Board Pre Layout

INPUT	WORK	OUTPUT	NEXT
TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) Pre SI/PI Check



(d) Design Force ⇒Gem



(e) LPB書き出し(GEMDESIGN)

(5)Board Pre Layout

INPUT	WORK	OUTPUT	NEXT
TOP C3 TOP N3 TOP R	(a) LPB読み込み(GEMDESIGN) (b) Gem⇒Design Force (c) 重要信号配線 PKG信号割り当て改善 (d) Design Force ⇒Gem (e) LPB書き出し(GEMDESIGN)	PKG C5 TOP C5 TOP G5	(7) Pre SI/PI Check

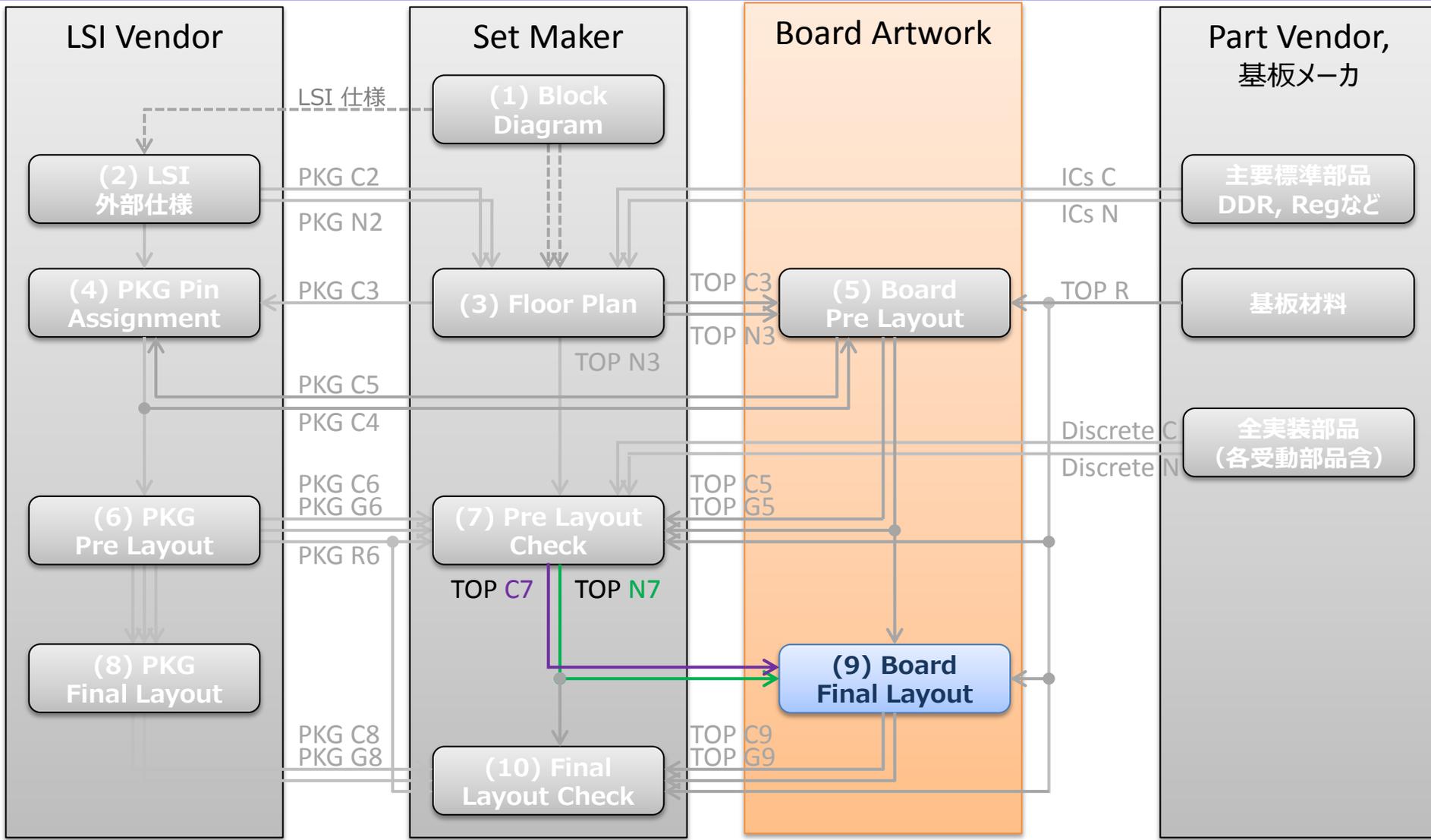
```

<placement y="-8223.2" x="30206.5" mount="TOP" angle="270" z="200" inst="DDR0" ref_module="DDR"/> TOP C3
<placement y="15911.7" x="36947.6" mount="TOP" angle="270" z="200" inst="DDR1" ref_module="DDR"/>
<placement y="-6500" x="400" mount="TOP" angle="0" z="200" inst="SOC" ref_module="SOC_PKG"/>
<placement y="22417.2" x="-8150.9" mount="TOP" z="20" inst="GRM1_C1" ref_module="GRM1"/>
<placement y="23603.4" x="-4479.3" mount="TOP" z="20" inst="GRM1_C2" ref_module="GRM1"/>
  
```

```

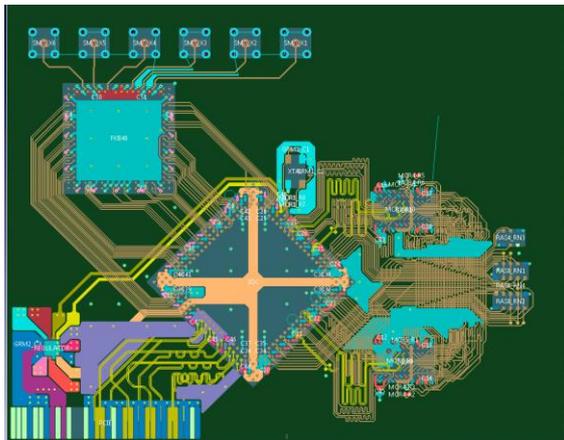
<placement y="-3223.2" x="37206.5" mount="TOP" angle="90" z="200" inst="DDR0" ref_module="DDR"/>
<placement y="10911.7" x="30947.6" mount="TOP" angle="90" z="200" inst="DDR1" ref_module="DDR"/> TOP C5
<placement y="-6500" x="400" mount="TOP" angle="45" z="200" inst="SOC" ref_module="SOC_PKG"/>
<placement y="22417.2" x="-8150.9" mount="BOTTOM" z="20" inst="GRM1_C1" ref_module="GRM1"/>
<placement y="23603.4" x="-4479.3" mount="BOTTOM" z="20" inst="GRM1_C2" ref_module="GRM1"/>
  
```

Reference Flow

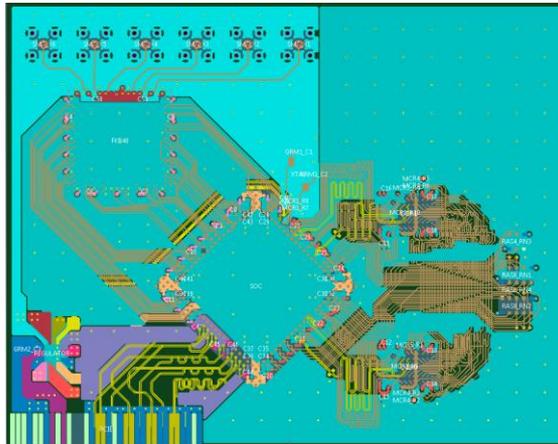


(9) Board Final Layout

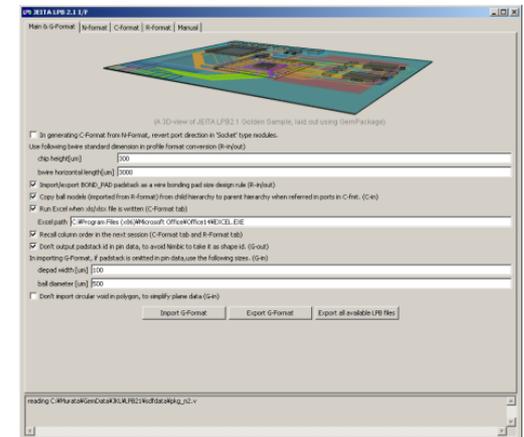
INPUT		WORK	OUTPUT	NEXT
TOP C7		(a) ボード設計 (その他のsig/power)	TOP C9	(10) Final SI/PI Check
TOP N7		(b) LPB書き出し	TOP N9	
			TOP R9	



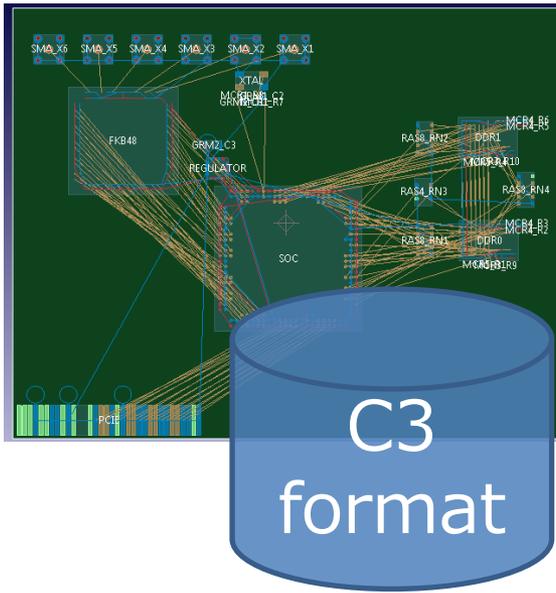
(a) ボード設計



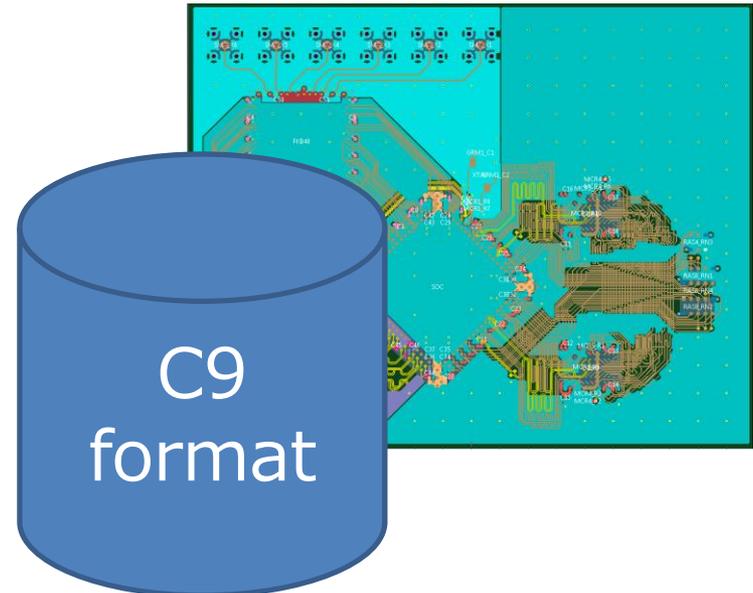
(b) LPB書き出し



フォーマットの遷移



部品座標
端子情報
配線制約



部品座標
端子情報
配線制約
部品追加情報
配線制約
(解析結果による)

LPB formatのメリット

1. CADツール間、解析ツール間での連携の輪が広がる
(既存のツールでいままで不可能だった連携が可能になる、
別途I/Fを購入する必要がなくなる。(設備コスト削減)

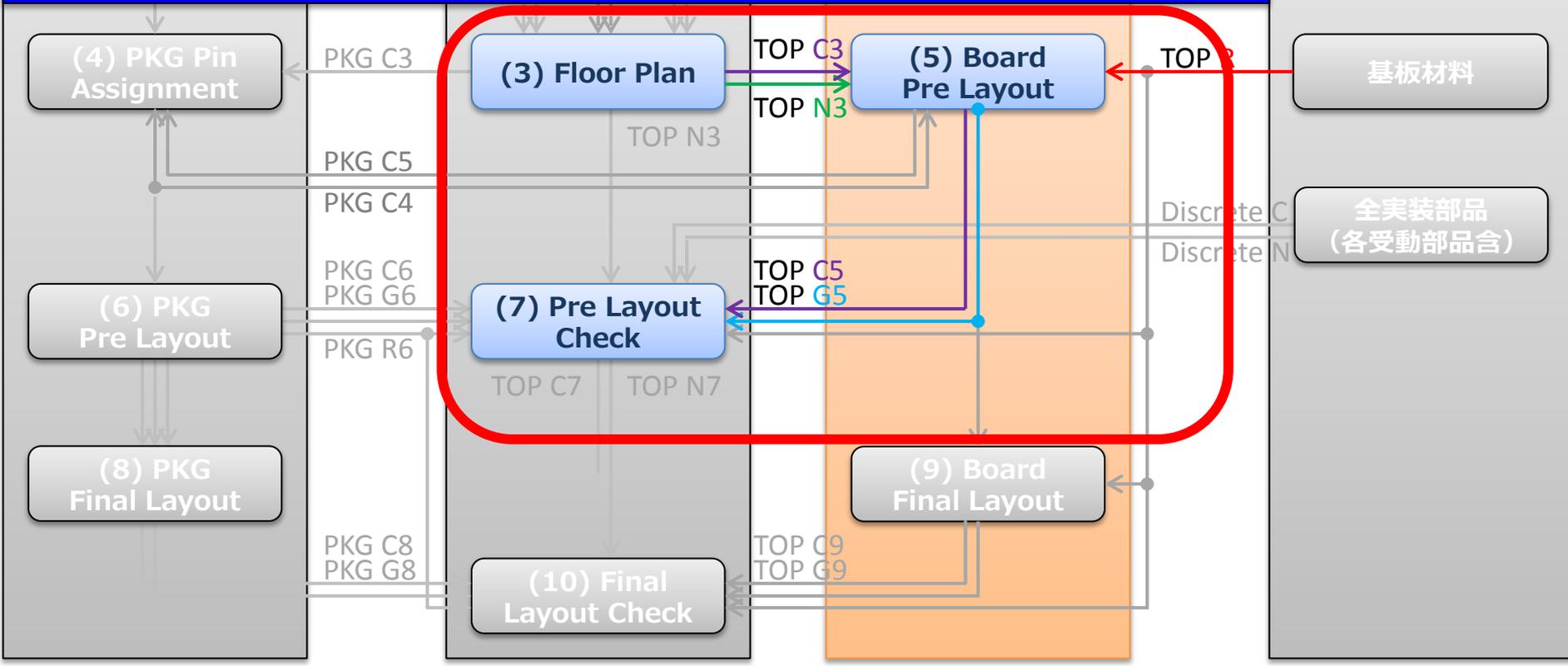
弊社の場合 4本だったライセンスが10本に増える!!

Part Vendor,
基板メーカー

主要標準部品
DDR, Regなど

基板材料

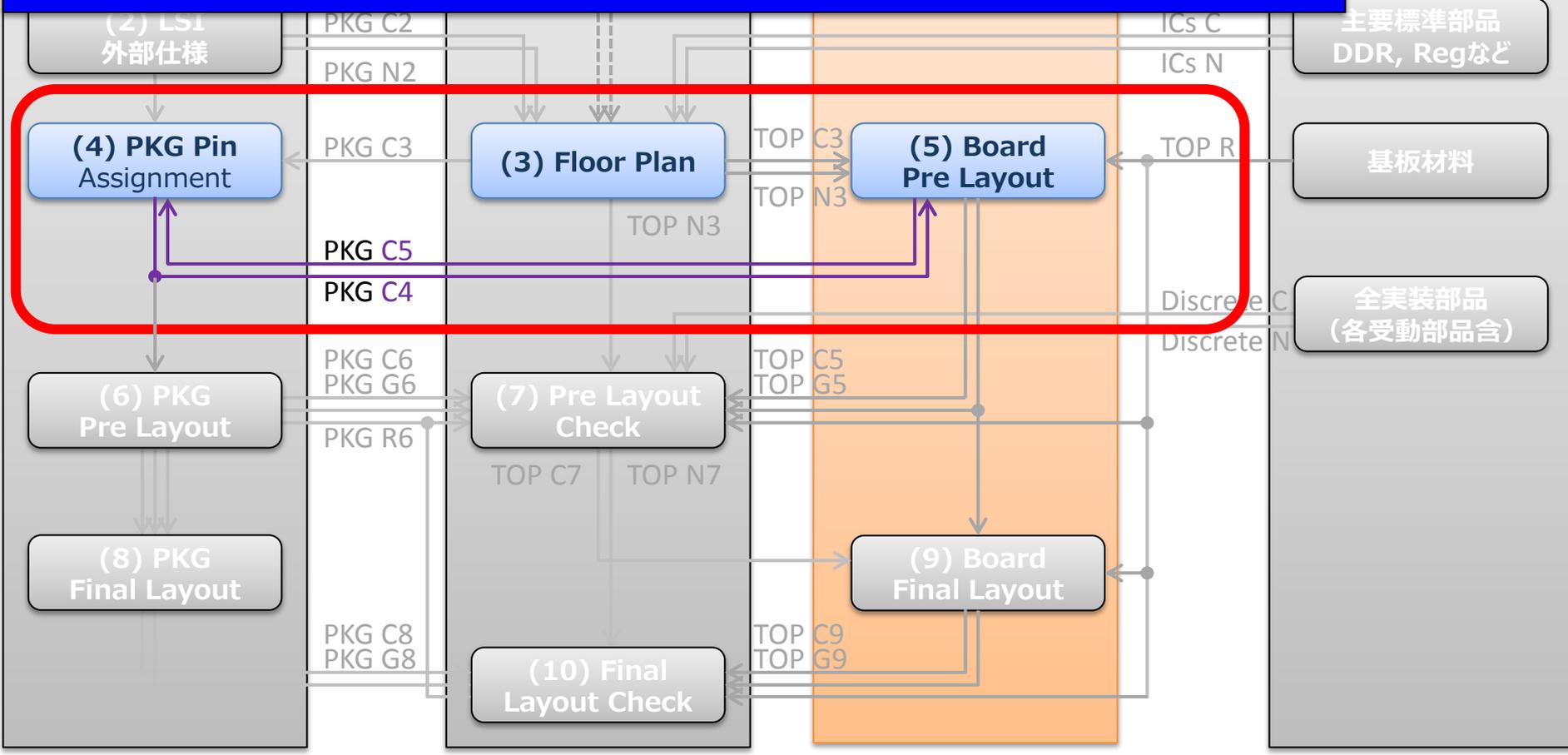
全実装部品
(各受動部品含)



LPB formatのメリット

2. ボード設計の工程ではSOCのピンの変更はできないことが多いが LPB-formatを使用することで簡単にピンの入替と伝達ができ、信号の最適化が行えた。

Part Vendor,
基板メーカー



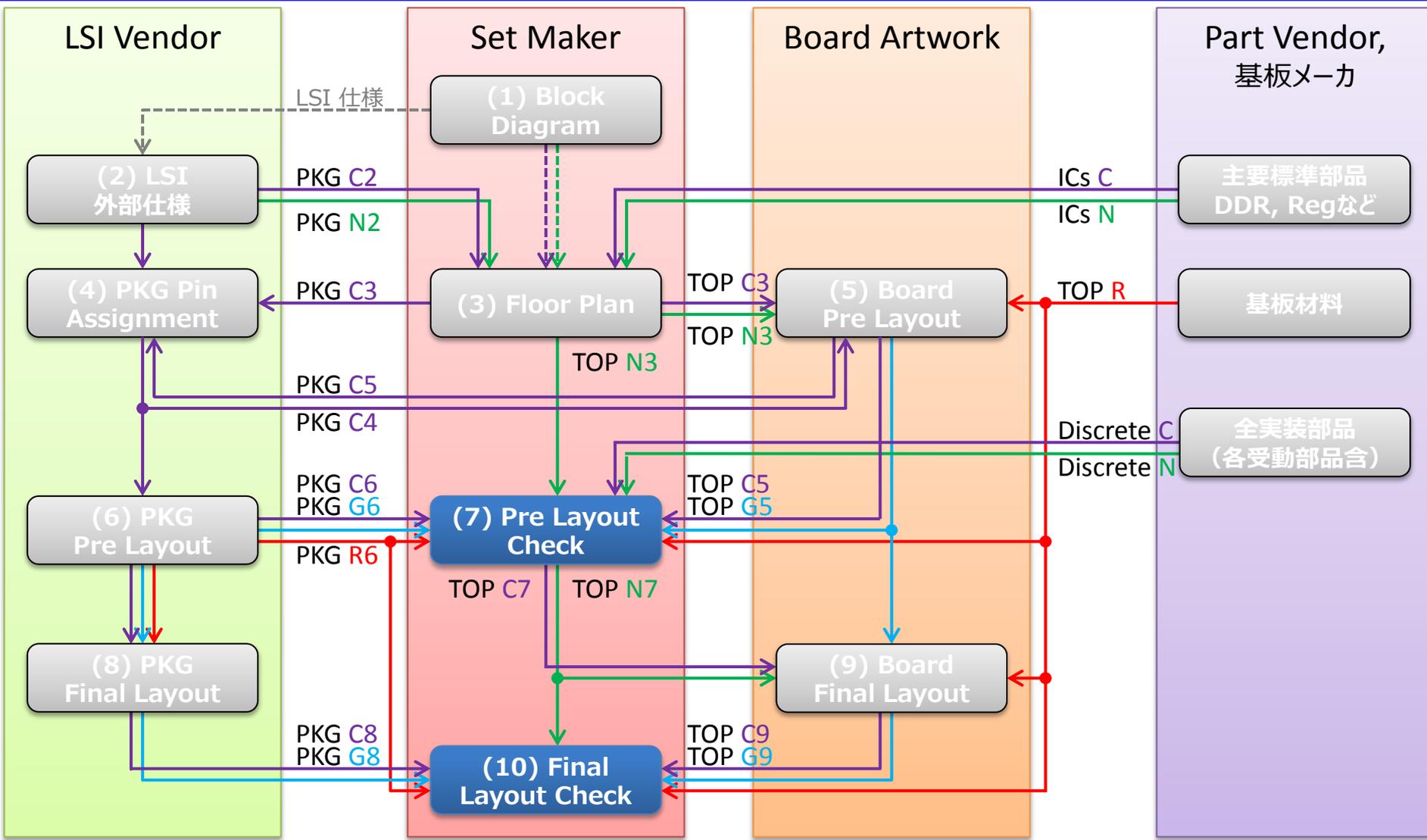
(7)&(10)解析エンジニア

Pre / Final Layout Check

2013年11月20日

LPB相互設計WG

(7) Pre / (10) Final Layout Check



(7) Pre / (10) Final Layout Check

行った作業：

(7) Pre Layout Check

- クリティカルネットのシグナルインテグリティ・シミュレーション

(10) Final Layout Check

- PDN のパワーインテグリティ・シミュレーション
- 放射ノイズ（遠方界、近傍界）シミュレーション

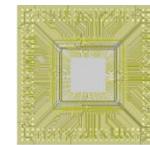
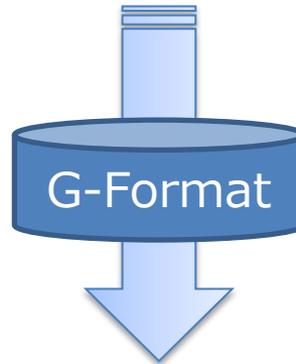
(7) Pre / (10) Final Layout Check

シミュレーションの Input :

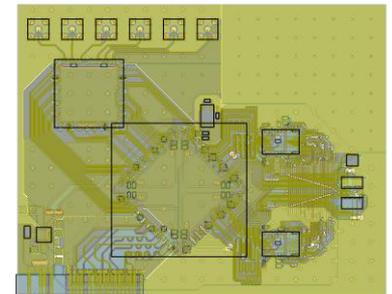
各社レイアウトツール :

- 図研 Design Force
- Cadence APD
- etc...

- 基板、パッケージ形状
- 配線パターン、ビア、パッド
- プレーン、ポリゴン
- etc...



パッケージ
APD で設計



基板
Design Force で設計

電磁界解析ツール :

- ANSYS ANSYS SIwave, ANSYS HFSS
- etc...

(7) Pre / (10) Final Layout Check

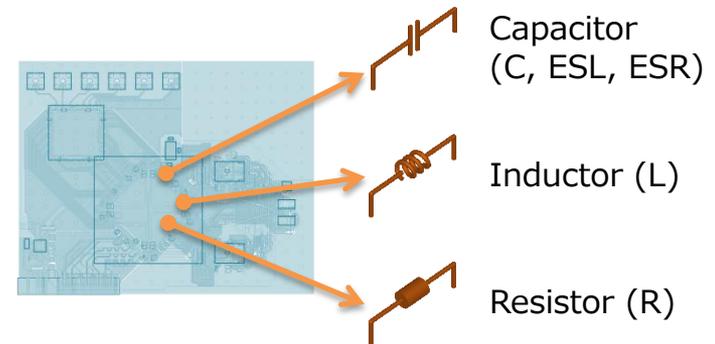
シミュレーションの Input :

各社レイアウトツール :

- 図研 Design Force
- Cadence APD
- etc...

- 搭載部品
 - キャパシタ、インダクタ、抵抗
- 制約項目
 - スキュー、周波数、etc...

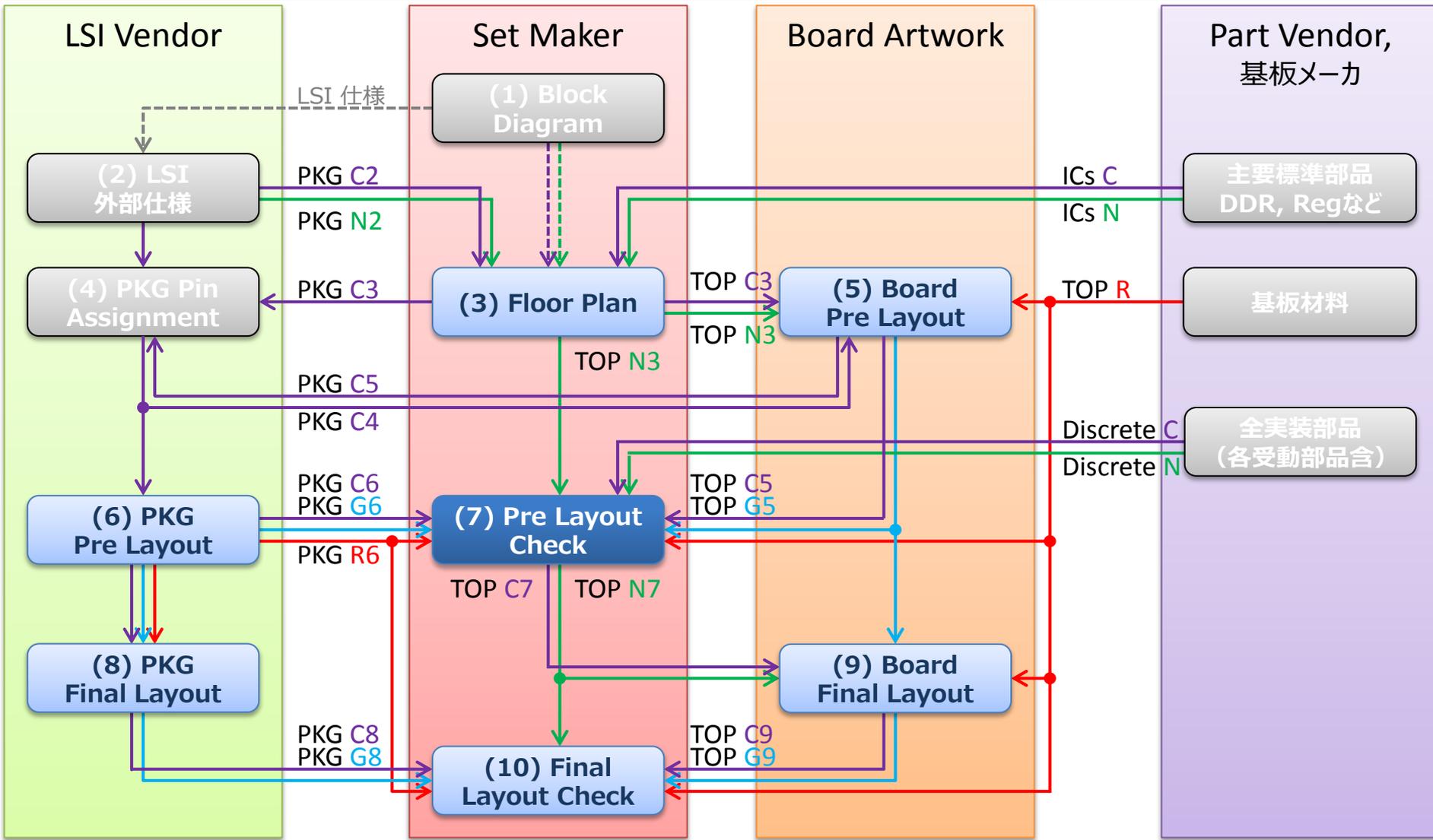
C-Format



電磁界解析ツール :

- ANSYS ANSYS SIwave, ANSYS HFSS
- etc...

(7) Pre Layout Check



(7) Pre Layout Check

行った作業：

(7) Pre Layout Check

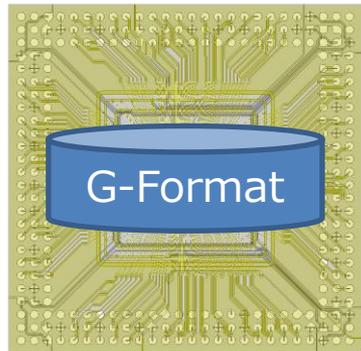
【クリティカルネットのシグナルインテグリティ・シミュレーション】

- DDRIII (1.3GBps) ライトサイクルのタイミング検証
 - ✓ ダンピング抵抗は必要か？
 - ✓ ODT の設定をどうするか？
 - ✓ スキューはどの程度発生しているか？

(7) Pre Layout Check

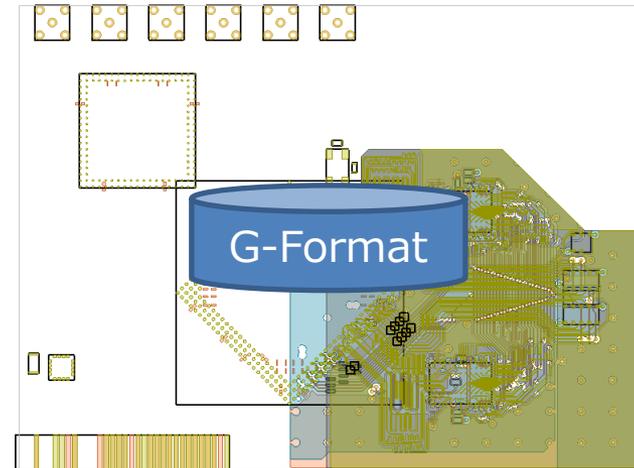
モデル：

【パッケージ】



- Cadence APDにて設計
- 全ネットの配線済み
- DQの等張配線はされていない

【基板】



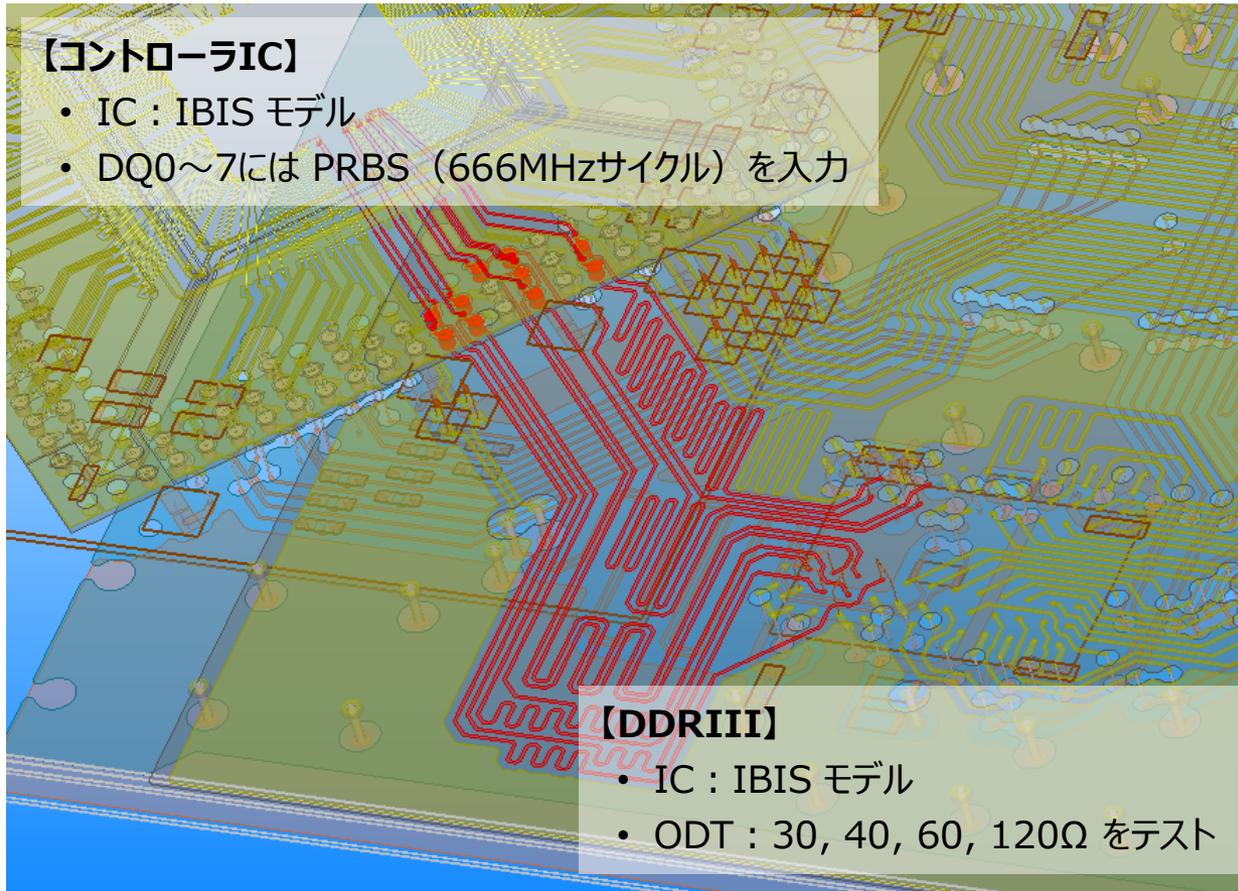
- 図研 DesignForceにて設計
- 1.5V電源、グラウンド、DQS, DQのみ
- DQS, DQは等長配線済み

ANSYS SIwave

電磁界解析ツール上で統合

(7) Pre Layout Check

シミュレーション概要 :

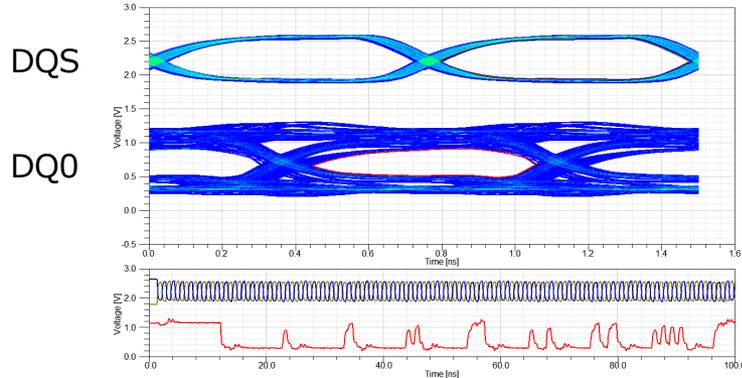


パッケージ&基板の DQS,DQ 信号 / ANSYS SIwave (電磁界解析)

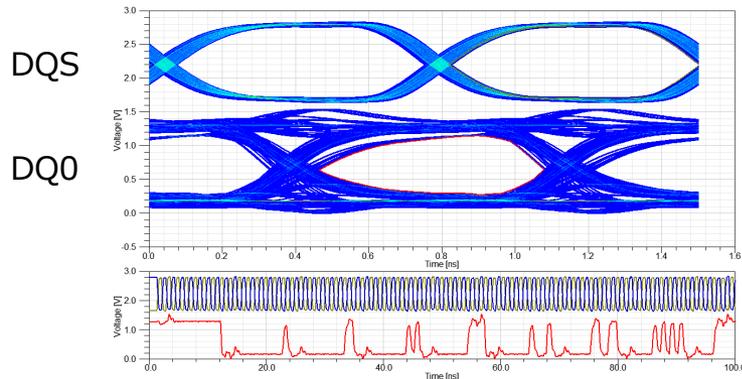
(7) Pre Layout Check

シミュレーション結果：

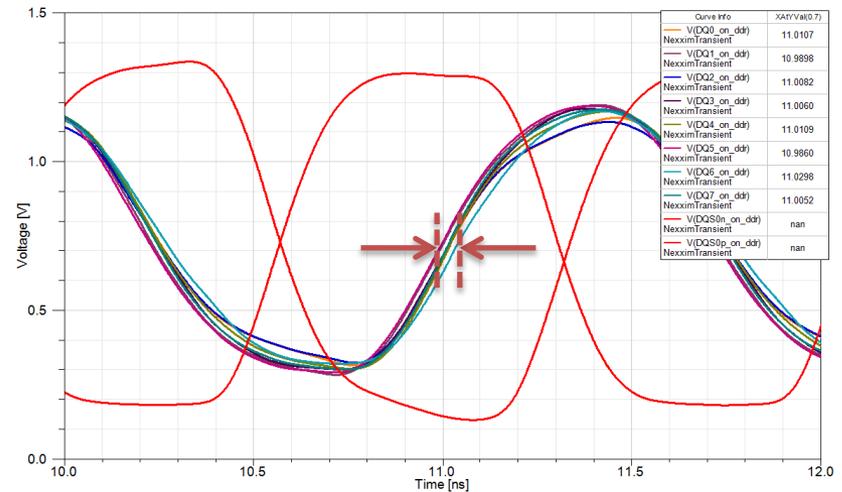
アイパターン (ODT : 30Ω設定 (FAIL))



アイパターン (ODT : 60Ω設定 (マージン最大))



DQS と DQ0~7 の過渡波形



【スキューの最大値 (ODT=60Ω)】

- 42.8ps (DQ5-DQ6)

アイパターンと過渡波形 / ANSYS DesignerSI (回路シミュレータ)

(7) Pre Layout Check

シミュレーション結果：

[AC Timing (JESD79-3E, Section 13.1)]

- 過渡波形から自動的に合・非、タイミングマージンを算出
- ODT : 30Ωは **FAIL**、マージン最大は 60Ω

The screenshot displays the ANSYS DesignerSI DDR3 Compliance Report. It is divided into several sections:

- Table of Contents:** Design Summary, Solution Setup, Per-Lane, Per-DQ.
- Design Summary:** Project: Pre_Layout_System, Design: ODT30_666MHz, Design ID: 148, Design Type: Circuit Design, Location: E:\Projects\Seminar, Date: 2013/11/15 13:51:33, Product Version: Designer 8.0.3, UDD Version: DDR3 Compliance, User: rwtatanaab.
- Per-Lane - AC Timing (JESD79-3E, Section 13.1) レーン毎のマージン:**

Metric	Worst Actual	Worst Margin	Spec Value	Unit	Result
Tvb(base)	31.0085	1.0085	30	ps	PASS
Tva(base)	205.021	140.021	65	ps	PASS
Tvb(derated)	None	None	30	ps	FAIL
Tva(derated)	171.955	106.955	65	ps	PASS
- Per-DQ - Tvb(derated) - Timing Metrics:**

DQ	Min [ps]	Max [ps]	Mean [ps]	StdDev [ps]	t(worst) [ps]	Margin [ps]	Result
0	None	294.658	None	None	23291.5	None	FAIL
1	222.321	326.74	272.716	31.3979	191308	192.321	PASS
2	None	321.899	None	None	23291.5	None	FAIL
3	None	313.997	None	None	3037.49	None	FAIL
4	168.173	268.577	212.442	27.9048	34541.4	138.173	PASS
5	None	319.002	None	None	23291.5	None	FAIL
6	None	316.964	None	None	23291.5	None	FAIL
7	176.155	294.809	232.093	35.815	324821	146.155	PASS
- Tva(derated) - Timing Metrics:**

DQ	Min [ps]	Max [ps]	Mean [ps]	StdDev [ps]	t(worst) [ps]	Margin [ps]	Result
0	203.74	351.102	263.758	37.761	190558	138.74	PASS
1	171.955	271.252	224.494	29.9494	54794.7	106.955	PASS
2	172.359	290.296	233.065	31.2171	2296.88	107.359	PASS
3	185.537	305.564	243.381	35.5603	370576	120.537	PASS
4	231.822	323.145	283.463	26.0814	138052	166.822	PASS
5	180.15	300.957	236.846	33.9953	370576	115.15	PASS
6	179.798	353.492	269.856	43.0044	201809	114.798	PASS
7	203.943	321.992	264.569	34.8571	78797.3	138.943	PASS

DDR3 Compliance Report / ANSYS DesignerSI (回路シミュレータ)

(7) Pre Layout Check

シミュレーションの Output :

(7) Pre Layout Check

【クリティカルネットのシグナルインテグリティ・シミュレーション】

- DDRIII (1.3GBps) のライトサイクルのタイミング検証
 - ✓ ダンピング抵抗は必要か？ ⇒ **不要**
 - ✓ ODT の設定をどうするか？ ⇒ **60Ω**
 - ✓ スキューはどの程度発生しているか？ ⇒ **DQ5-DQ6で43.8ps**

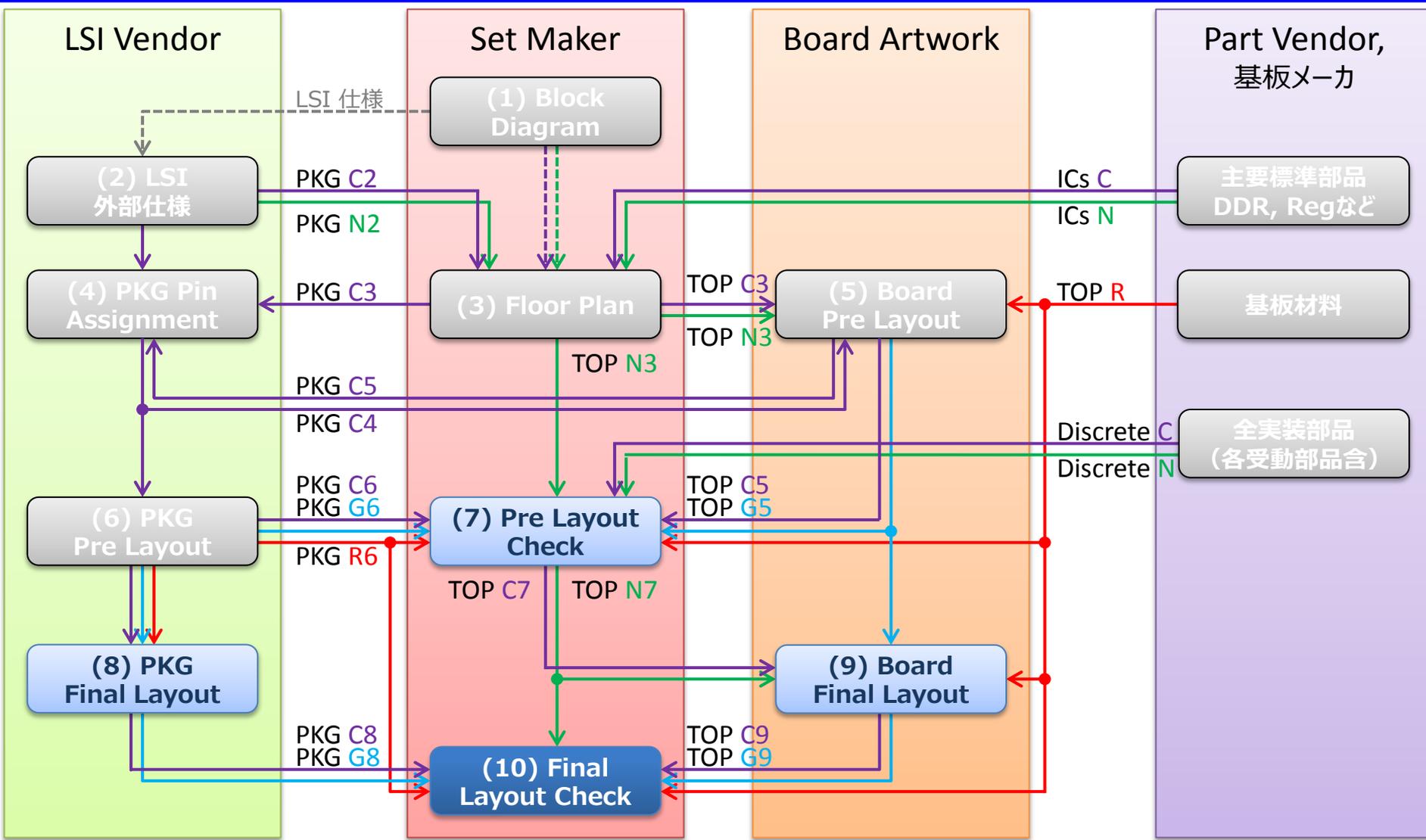
⇒ 以上の情報を **(9) Board Final Layout** に報告

(7) Pre Layout Check

LPB Format と作業の工程のまとめ :

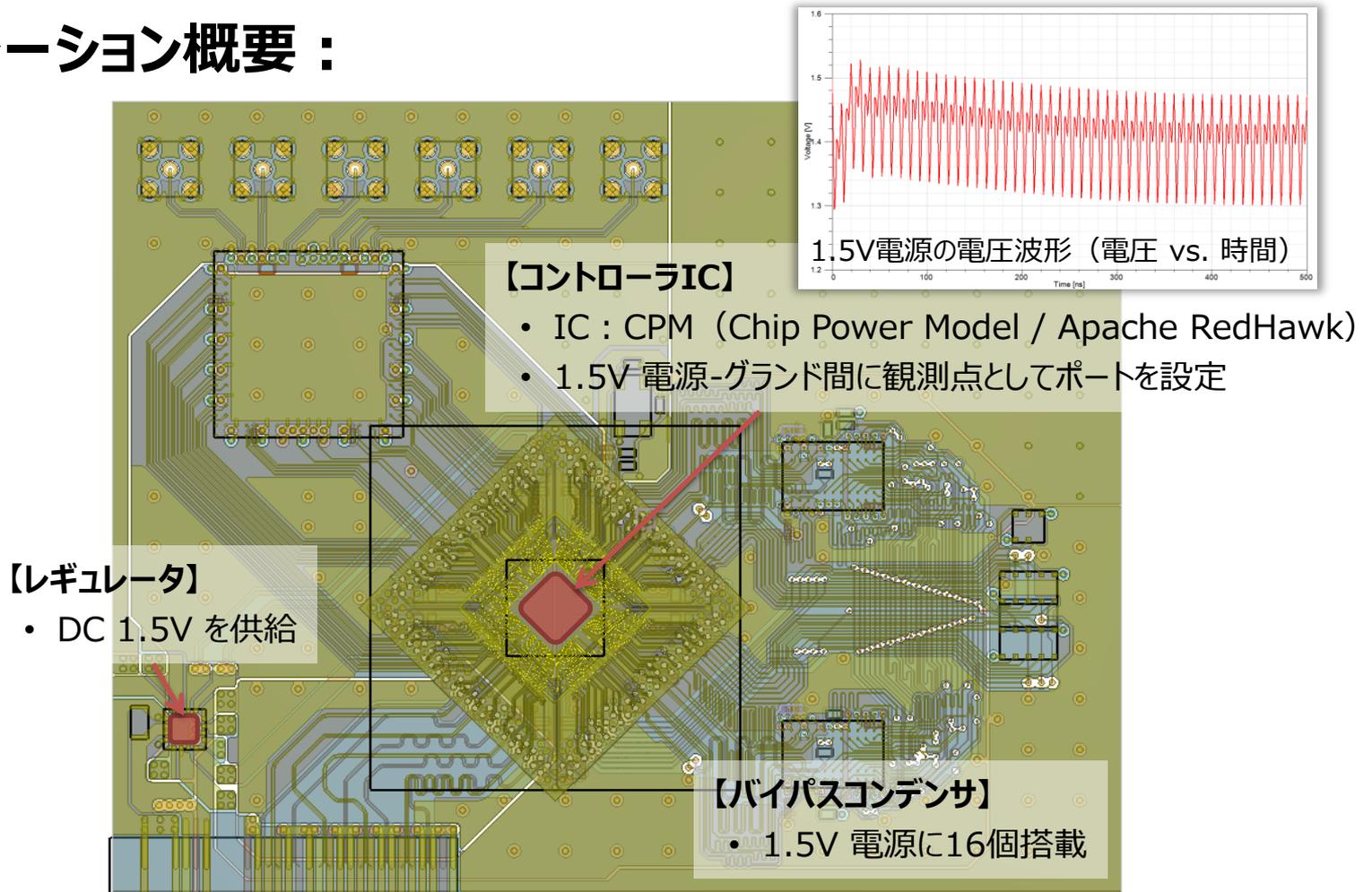
INPUT	WORK	OUTPUT	NEXT
PKG C6 PKG G6 TOP C5 TOP G5	A-1. LPB Format の読み込み A-2. 解析条件の設定、解析 以上、ANSYS SIwave B-1. S-パラメータ、IBISモデル読み込み B-2. 解析条件の設定、解析 以上、ANSYS Designer C. Board Artwork へ結果のフィードバック	TOP C7	(9) Board Final Layout

(10) Final Layout Check



(10) Final Layout Check

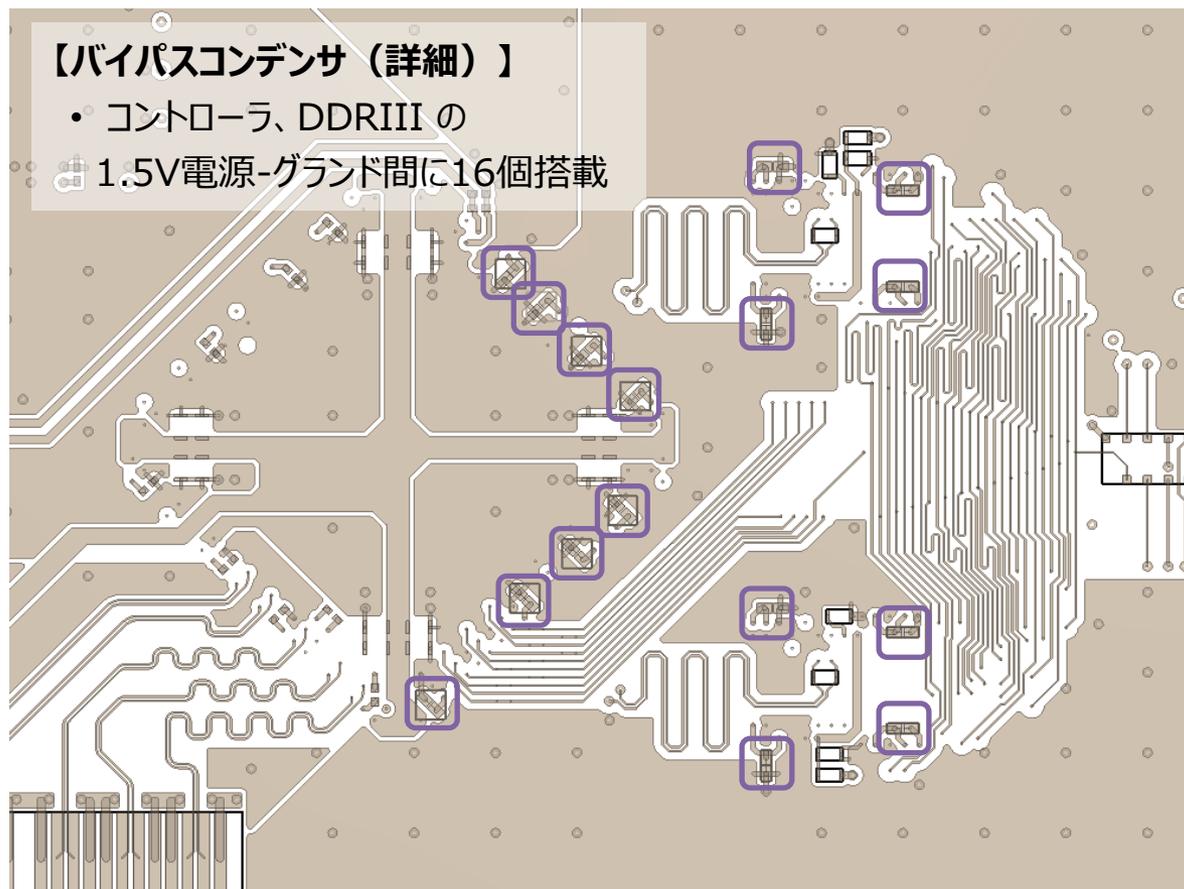
シミュレーション概要 :



パッケージ&基板 / ANSYS SIwave (電磁界解析)

(10) Final Layout Check

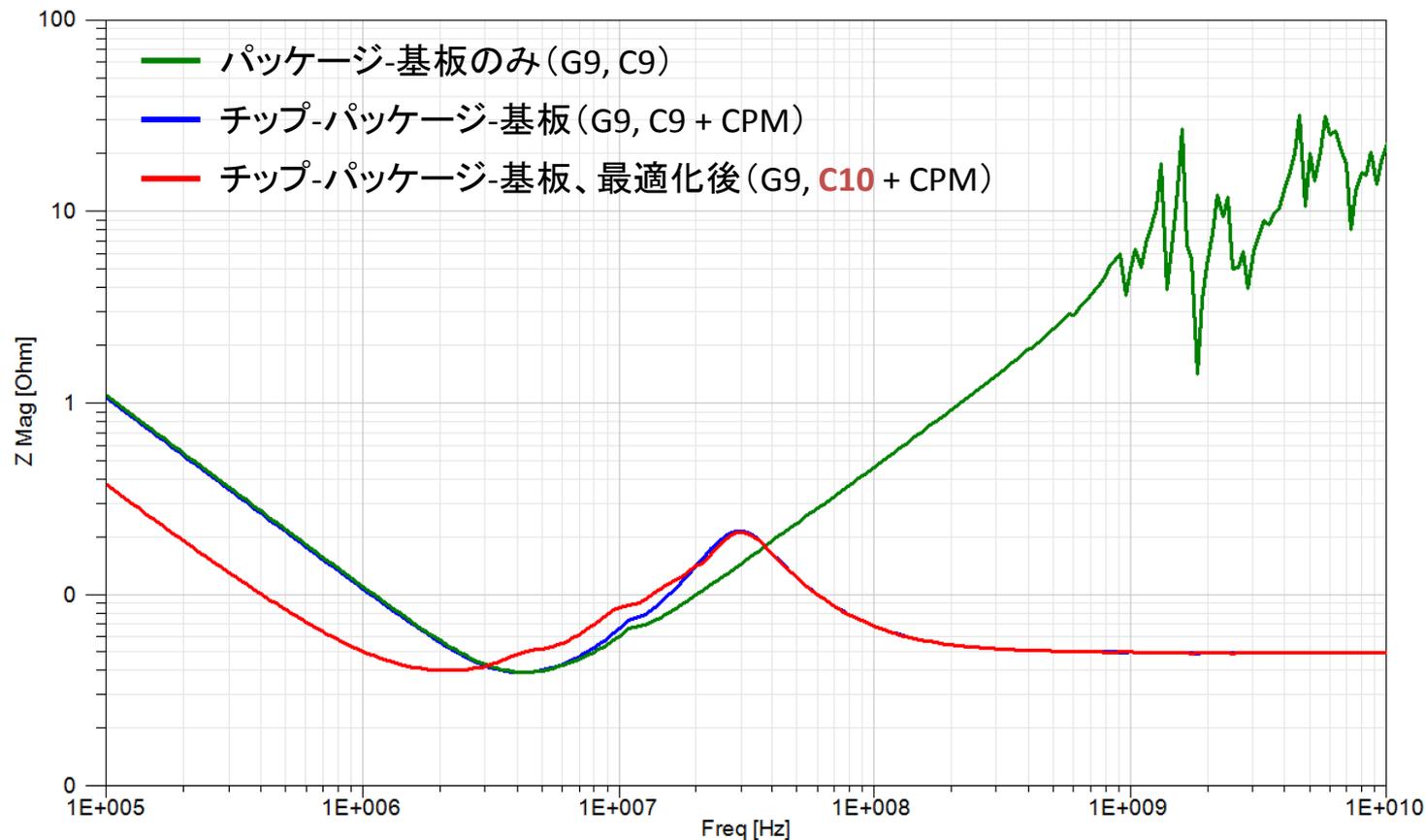
シミュレーション概要：



バイパスコンデンサの配置（基板の裏面） / ANSYS SIwave（電磁界解析）

(10) Final Layout Check

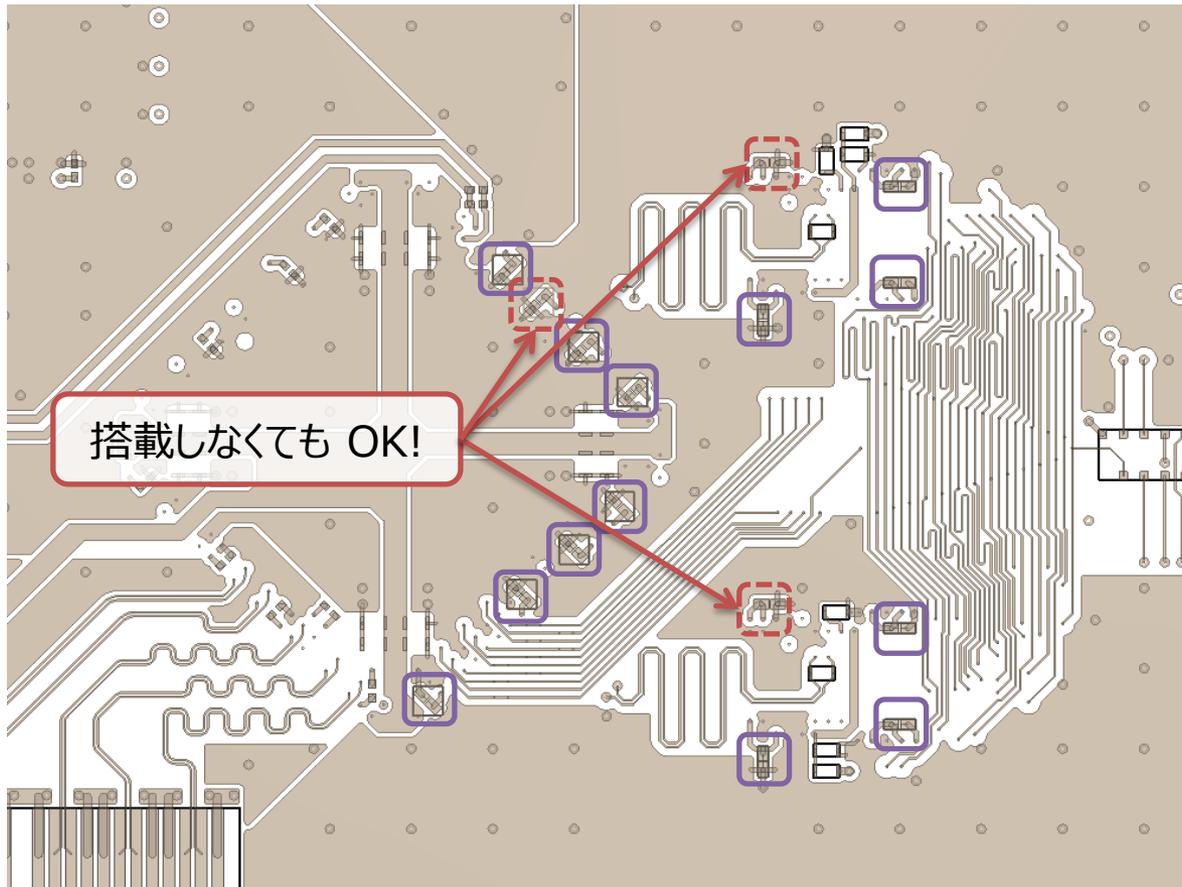
シミュレーション結果：



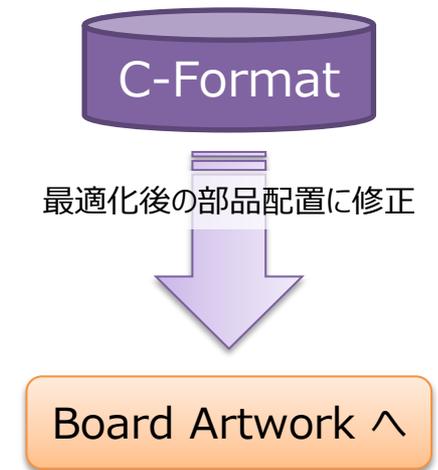
コントローラIC 1.5V電源のインプットインピーダンス / ANSYS SIwave (電磁界解析)

(10) Final Layout Check

シミュレーション結果：



バイパスコンデンサの配置（基板の裏面） / ANSYS SIwave（電磁界解析）

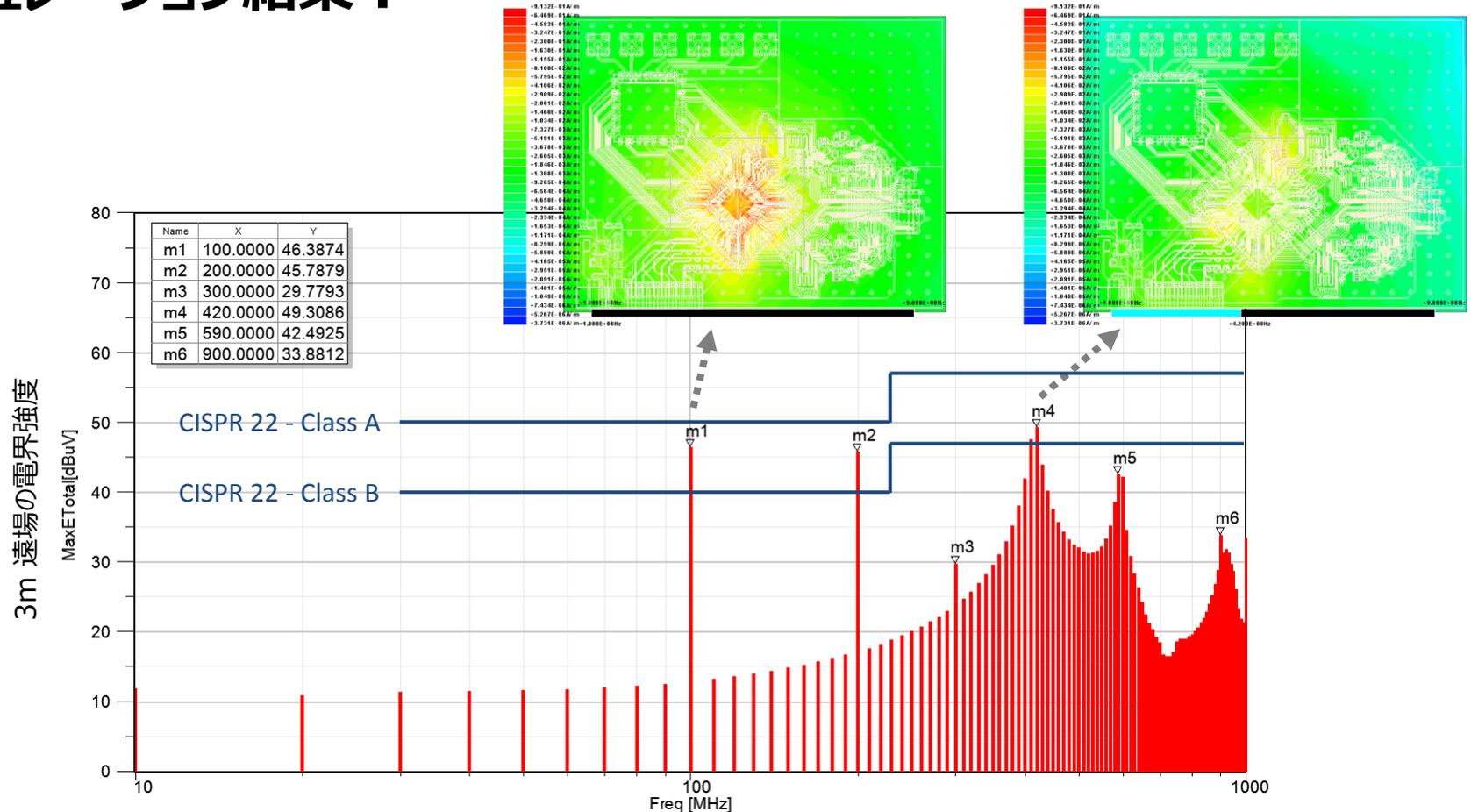


(10) Final Layout Check

シミュレーション結果：

基板直上 1mm の磁界 (100MHz)

基板直上 1mm の磁界 (420MHz)



3m 遠場と近傍界 / ANSYS SIwave (電磁界解析)

(10) Final Layout Check

行った作業：

(10) Final Layout Check

【PDN のパワーインテグリティ・シミュレーション】

- コントローラIC のインプットインピーダンス解析とコンデンサの最適化
 - ✓ チップ-パッケージ-基板全体でのインピーダンスは？ ⇒ **OK**
 - ✓ バイパスコンデンサの配置は適切か ⇒ **最適な配置に変更**

【放射ノイズ（遠方界、近傍界）シミュレーション】

- コントローラIC の1.5V電源をノイズ源とした遠方界、近傍界解析
 - ✓ 遠方界は EMC の規格を満たしているか？ ⇒ **OK**
 - ✓ 近傍界のチェック ⇒ **OK**

(10) Final Layout Check

LPB Format と作業の工程のまとめ :

INPUT	WORK	OUTPUT	NEXT
PKG C8 PKG G8 TOP C9 TOP G9	A-1. LPB Format の読み込み A-2. 解析条件の設定、インピーダンス解析 以上、ANSYS SIwave B-1. S-パラメータ、IBISモデル読み込み B-2. 解析条件の設定、シミュレーション実行 以上、ANSYS Designer B-3. 解析条件の設定、放射ノイズ解析 以上、ANSYS SIwave C. Board Artwork へ結果のフィードバック	TOP C10	(11) Board Final Layout

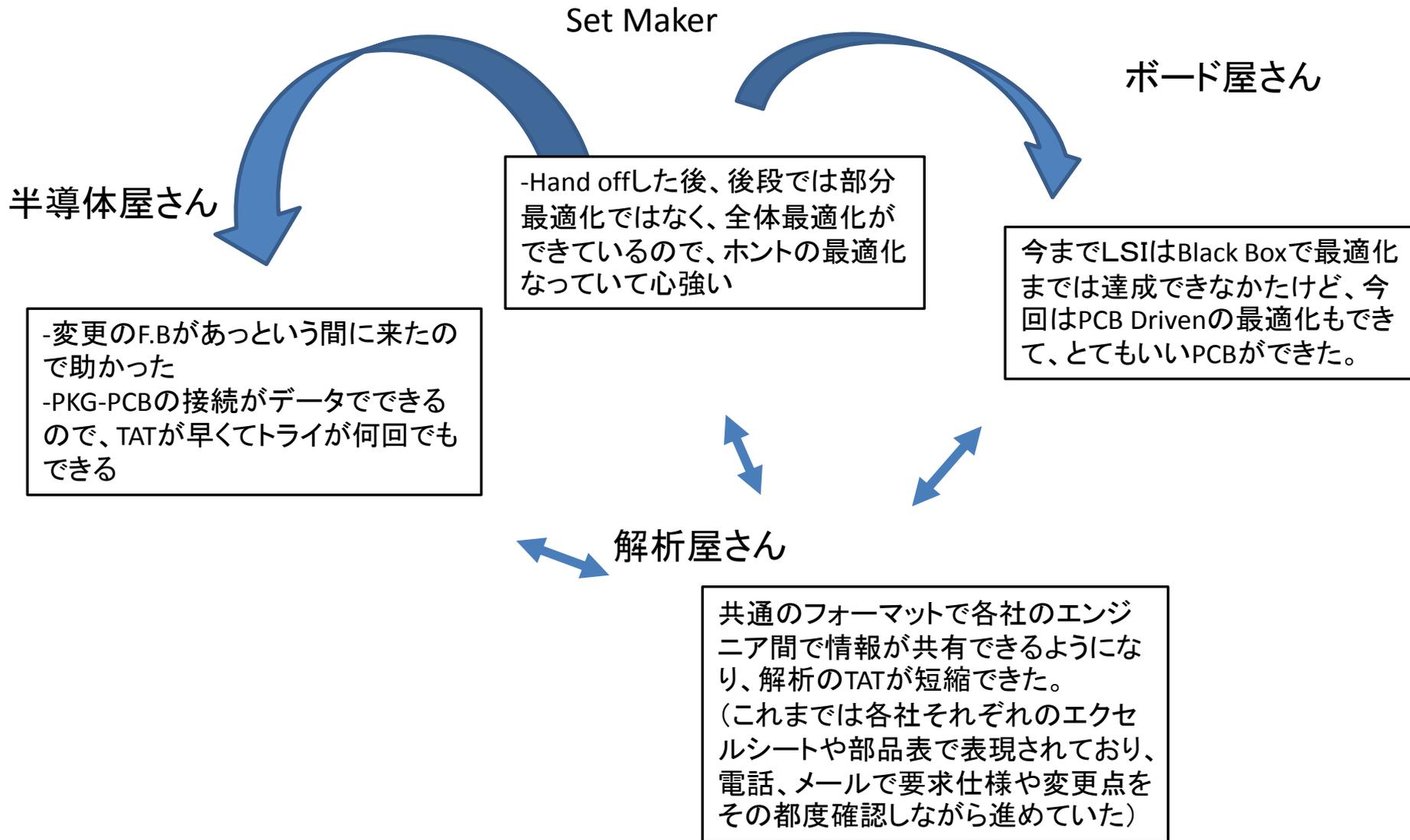
(7) Pre / (10) Final Layout Check

LPB format のメリット

- レイアウト（形状データ）及び搭載部品情報のやり取りをツール（CAD, 電磁界解析/シミュレータ）に依存することなく行うことができる
 - A社の CADデータは読めるが B社の CADデータは読めない ⇒ 改善
 - CAD I/F のコスト削減
- 都度、電話やメールで確認することなく、要求仕様、変更内容を全エンジニア間で共有できる（C, R は XML をベースとしている為）
 - スキューはどこまで許される？どの周波数まで気にすべき？ etc…
 - どの部品が何処へ搭載されているのか？どう変更すべきか？ etc…

各デザイナーの皆さん
LPB,, どうでしたか？

LPBで大助かり！



LPB標準フォーマットを活用した相互設計に関する 意見交換の場として、
第4回LPBフォーラムを開催します。皆様のご参加をお待ちいたしています。

第4回 LPB Forum

日時:2014年3月4日(火) 13時~17時
17時15分~ (懇親会)

場所:JEITA大手センタービル4階

申込み:JEITA LPB相互設計WGホームページにて受付中
www.jeita-edatc.com/wg_lpb/home/lpb.html