

ばらつきの 計測と解析技術

2007年1月25日
設計基盤開発部
先端回路技術グループ
中西甚吾

内容

1. はじめに
2. DMA(Device Matrix Array)-TEG
3. チップ間、チップ内ばらつきの比較
4. ばらつきの成分分離
5. 各ばらつき成分の解析
6. まとめ

1. はじめに

■ 背景

- ・スケーリングにともない、さまざまなばらつきの現象が顕著化しており、この先ますます設計困難化が予想される
- ・ EDAツール、回路方式、レイアウト手法等、さまざまな手法でばらつきを考慮、克服する技術が提案されている
- ・ばらつき考慮技術を効果的に適用するには、ばらつきの実態を正しく把握する必要がある

■ 目的

- ・ DMA(Device Matrix Array) -TEGを用いて、65nmノード素子のばらつきを評価し、ばらつきの特性を解析する

2. DMA(Device Matrix Array)-TEG^{*1}

■ TEGの概要

- ・STARCにて開発されたばらつき解析用TEG
- ・多種類の素子をチップ内にアレイ状に配置
- ・素子、アレイをスイッチで切り替えて測定できるため、短時間での測定が可能

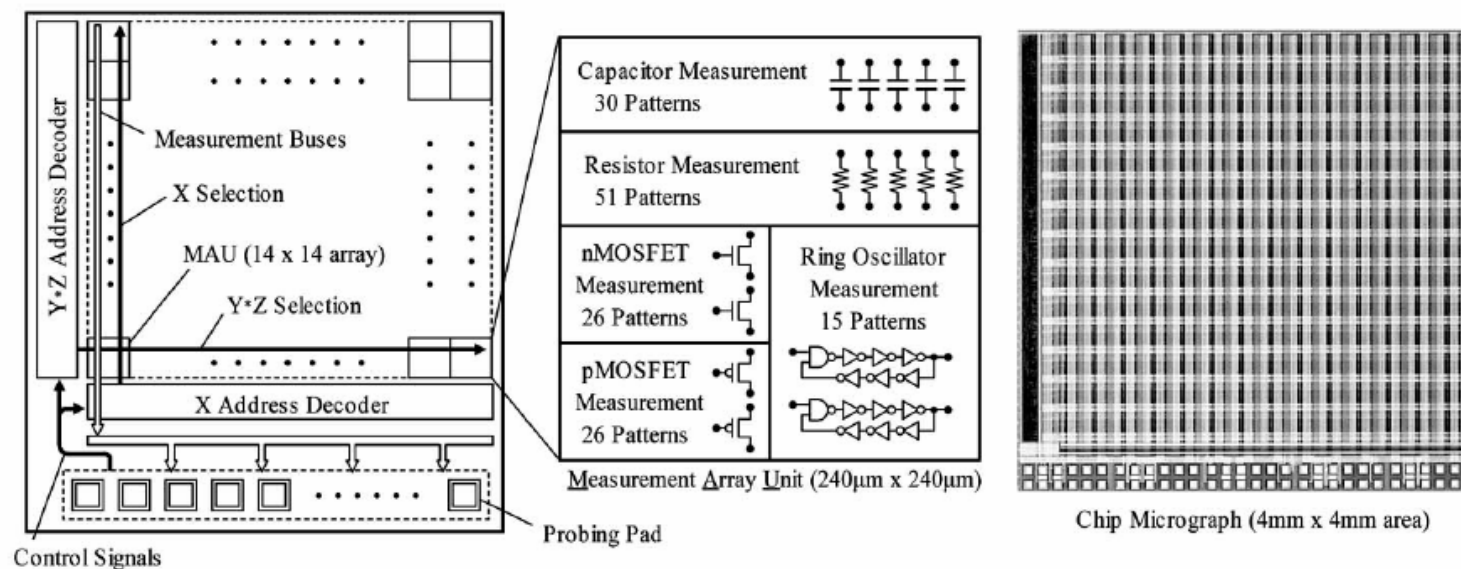
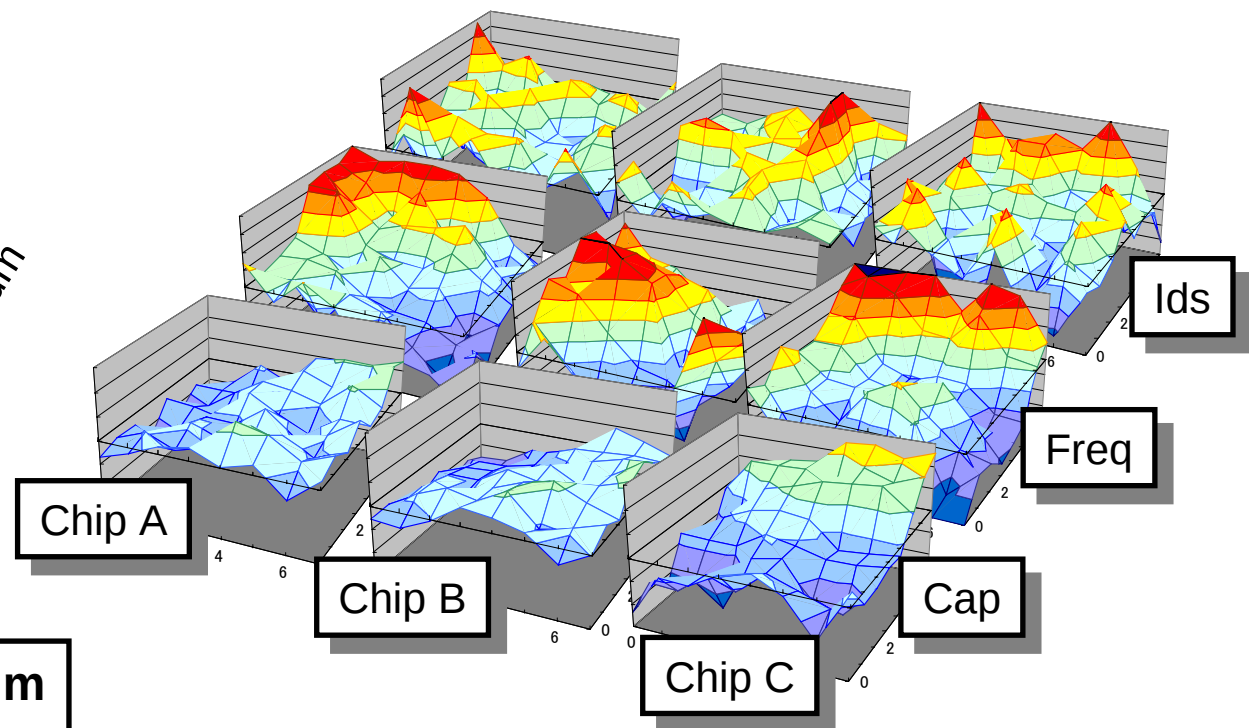
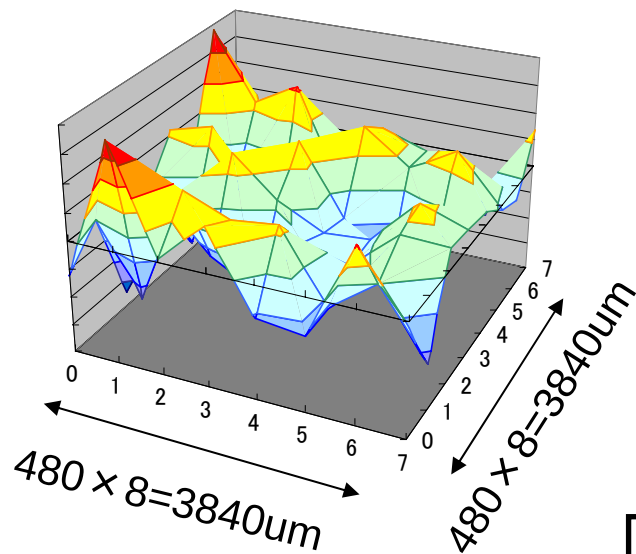


Fig. 2. DMA architecture and chip micrograph. DMA is placed in the 4 × 4-mm area in a 5 × 5-mm chip. * 1

***1 Shin-ichi Ohkawa, Masakazu Aoki and Hiroo Masuda, “Analysis and Characterization of Device Variations in an LSI Chip Using an Integrated Device Matrix Array”, IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 17, NO. 2, MAY 2004**

■ 評価内容

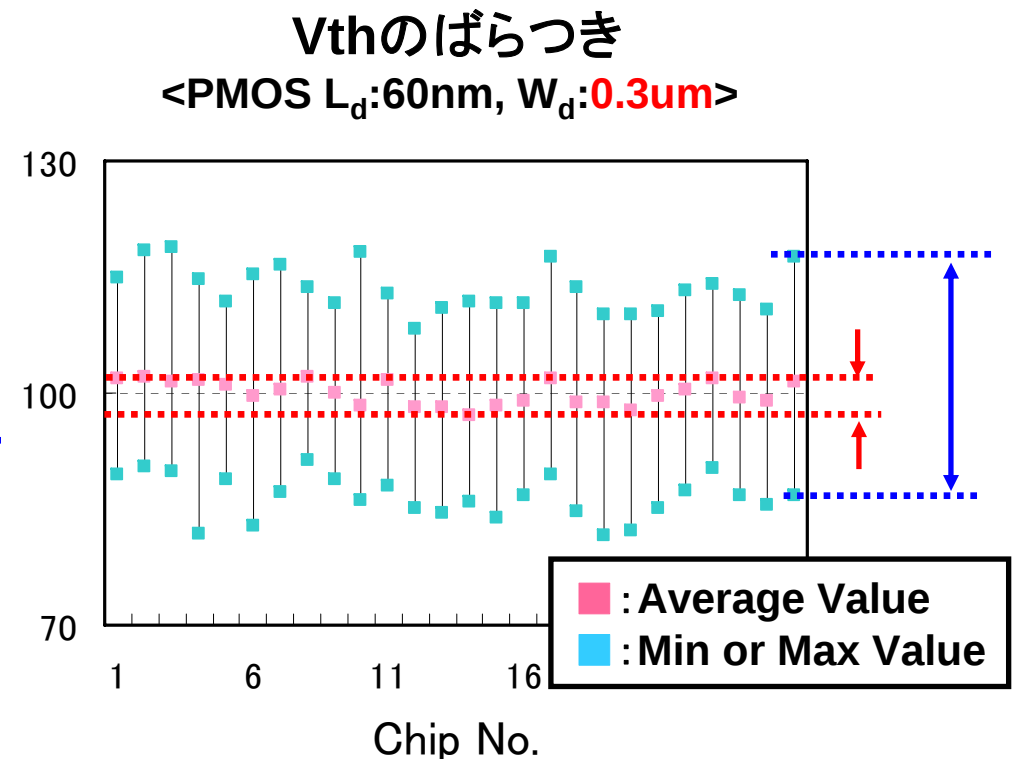
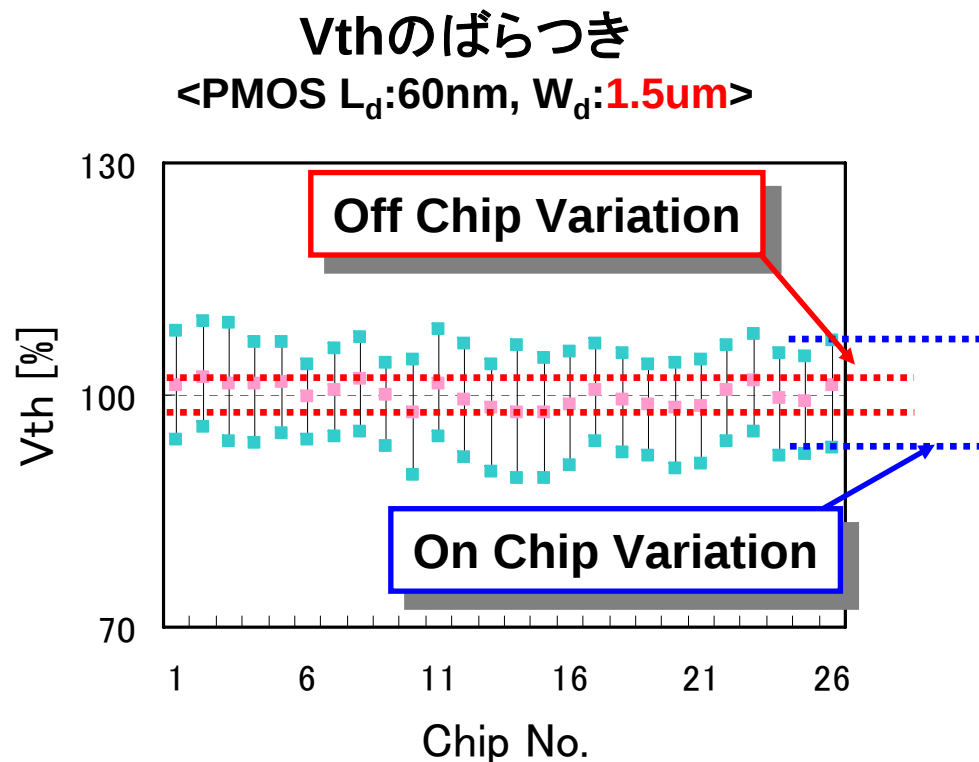
- ・65nmノードのばらつきを評価
- ・項目: Vth, Ids, Freq, Cap



- ・アレイサイズ: $480\mu\text{m} \times 480\mu\text{m}$
- ・アレイ数: 8×8
- ・チップ数: 26(1ウエハ)

3. チップ間、チップ内ばらつきの比較

■ 1ウエハ内のチップ間とチップ内ばらつきの比較

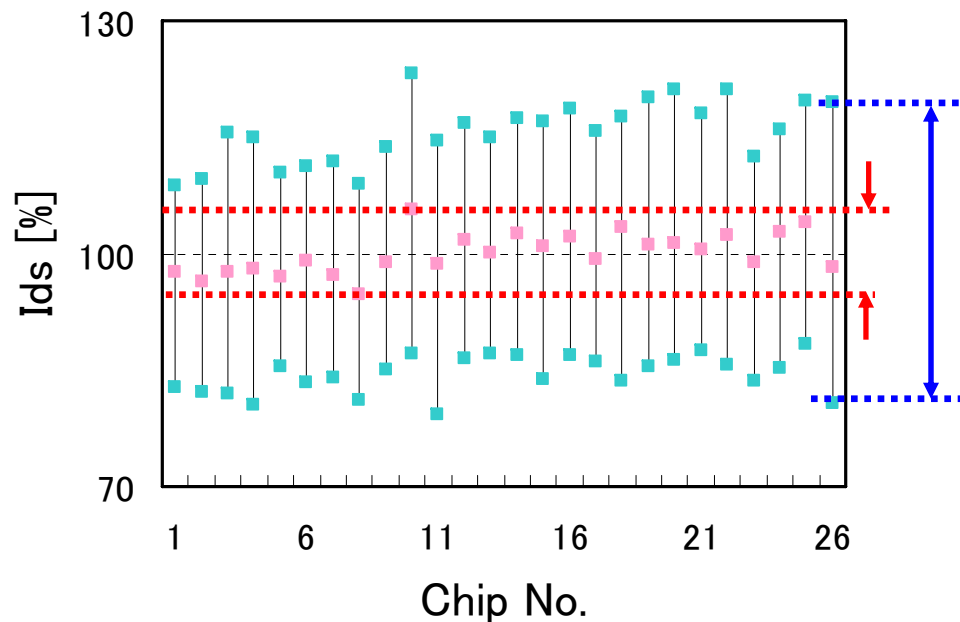


Trサイズが小さくなるとチップ内ばらつきが大きくなる

■ チップ間とチップ内ばらつき比較: I_{ds} , T_{pd}

I_{ds} のばらつき

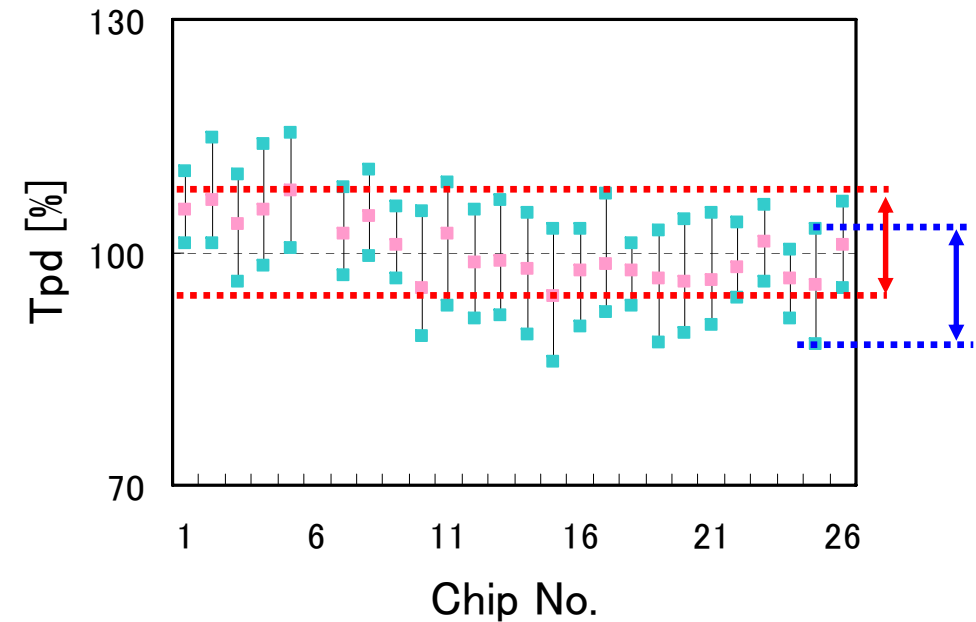
<PMOS L_d :60nm, W_d :0.3um>



T_{pd} のばらつき

Ring Oscillator

< L_d :60nm, W_d :1.0um, 11-Steps>



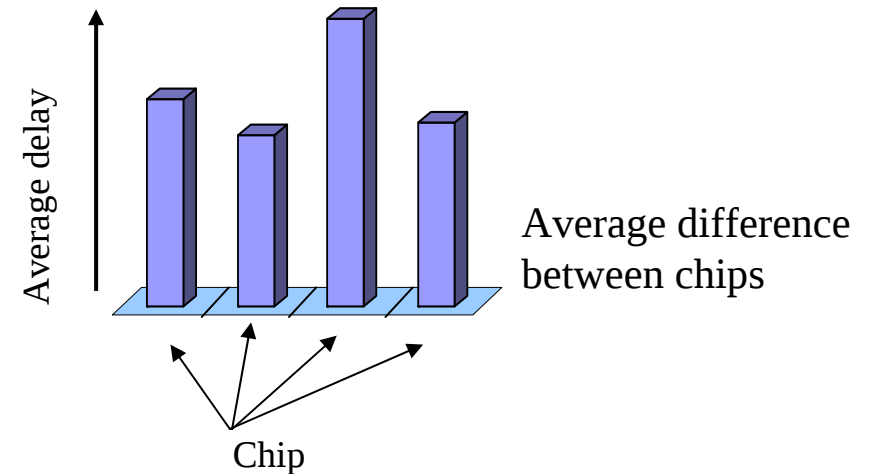
65nm世代ではOn Chipばらつきが増大している

4. ばらつきの成分分離

■ ばらつきの性質に応じて以下の4種類の成分に分離

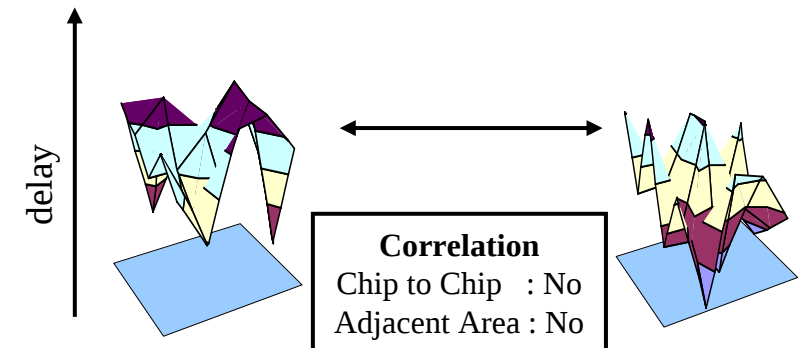
1. Global成分 (Off Chip)

- ・チップ間の平均値(中央値)のばらつき成分



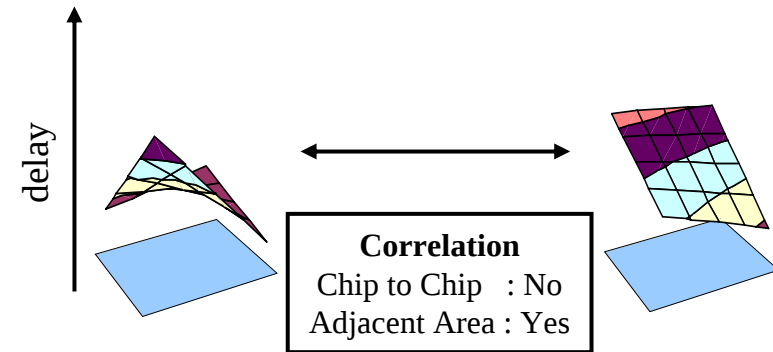
2. Random成分 (On Chip)

- ・チップの位置、距離に関係なくばらつく成分
- ・スケーリングに伴い近年になって顕著化
- ・小面積の回路で大きな問題



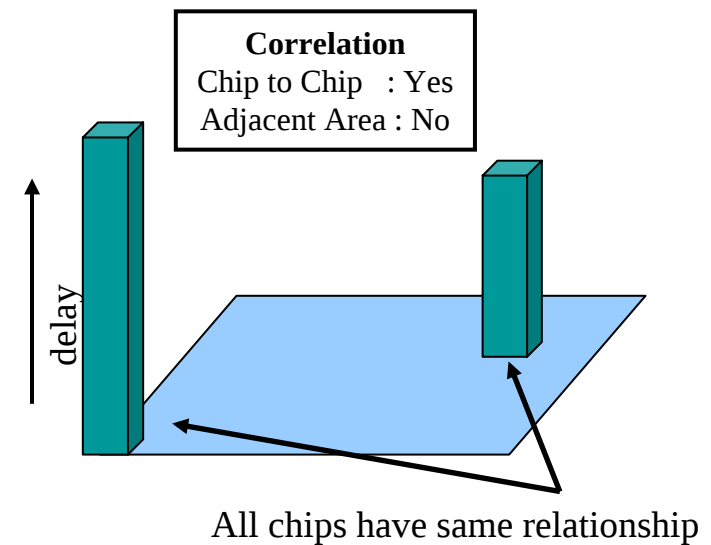
3. Systematic成分 (On Chip)

- ・空間内で緩やかに変動するばらつき成分
- ・大規模回路での影響が懸念

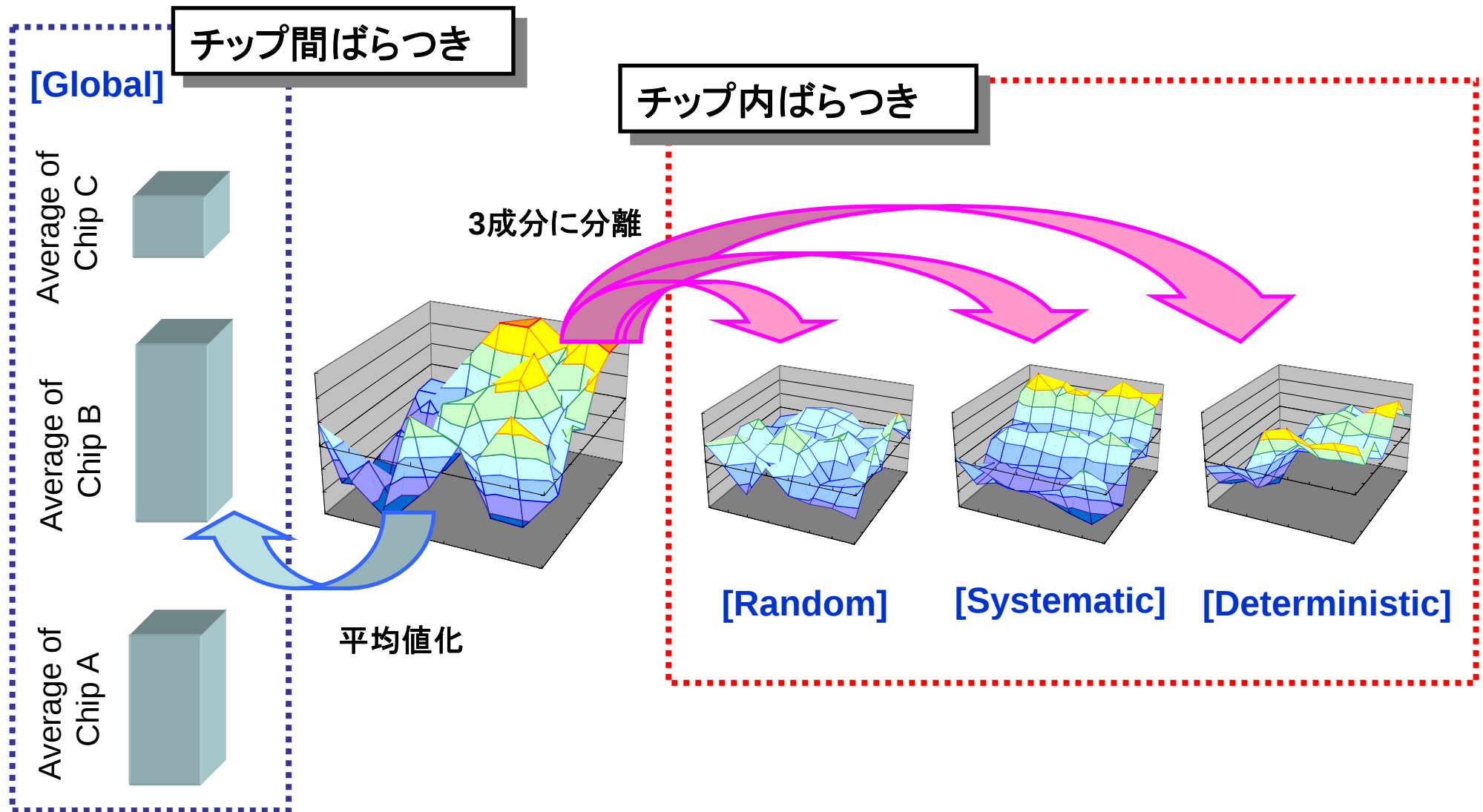


4. Deterministic成分 (On Chip)

- ・1~3以外のばらつき成分
- ・レイアウト形状、製造に起因する再現性のあるばらつき
- ・本来は統計量でない成分もある



ばらつきの成分分離イメージ



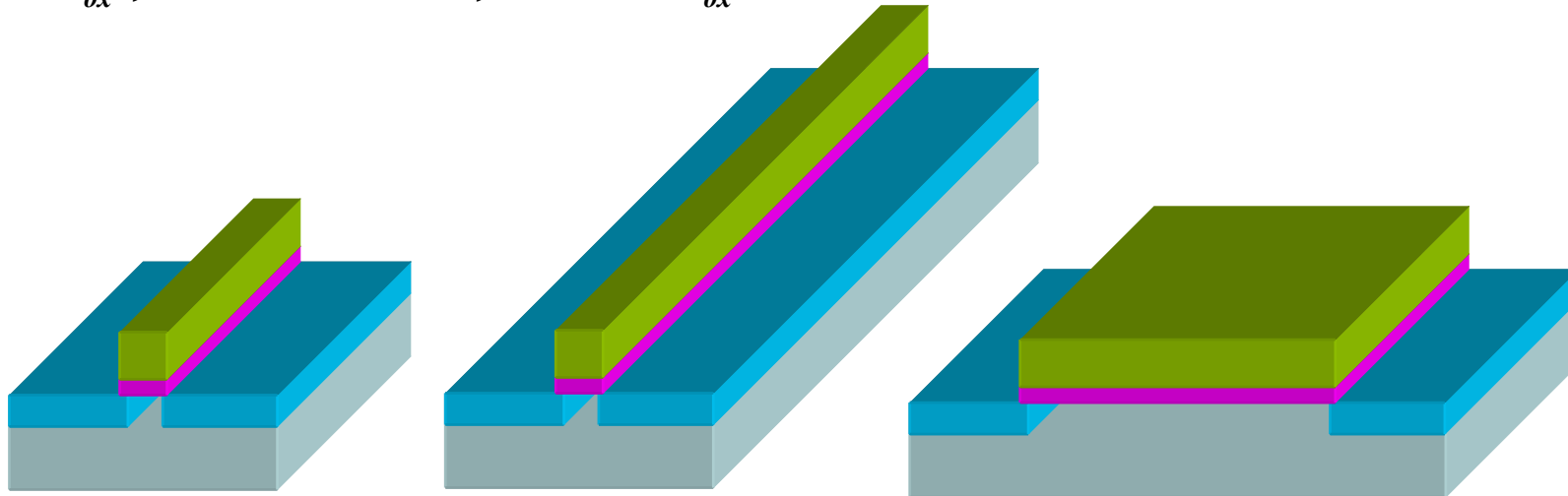
5. 各ばらつき成分の解析

5.1. Global成分 (Off Chip)

■ ゲート容量のGlobalばらつき

$$C = \varepsilon \times \frac{s}{d}$$

$$\varepsilon = \varepsilon_{ox}, \quad s = L \times W, \quad d = T_{ox}$$

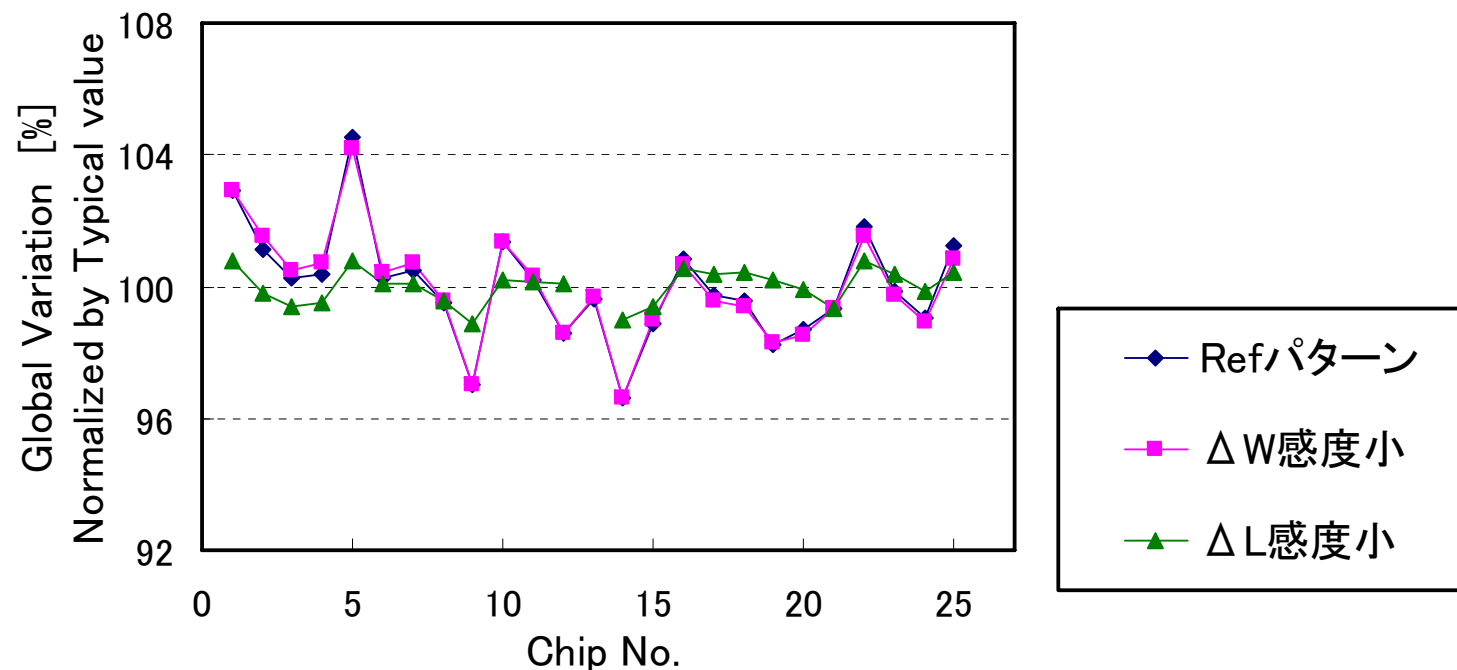


Ref パターン
 $L_d: 60\text{nm}$, $W_d: 1.5\mu\text{m}$

ΔW 感度小パターン
 $L_d: 60\text{nm}$, $W_d: 7.5\mu\text{m}$

ΔL 感度小パターン
 $L_d: 710\text{nm}$, $W_d: 1.5\mu\text{m}$

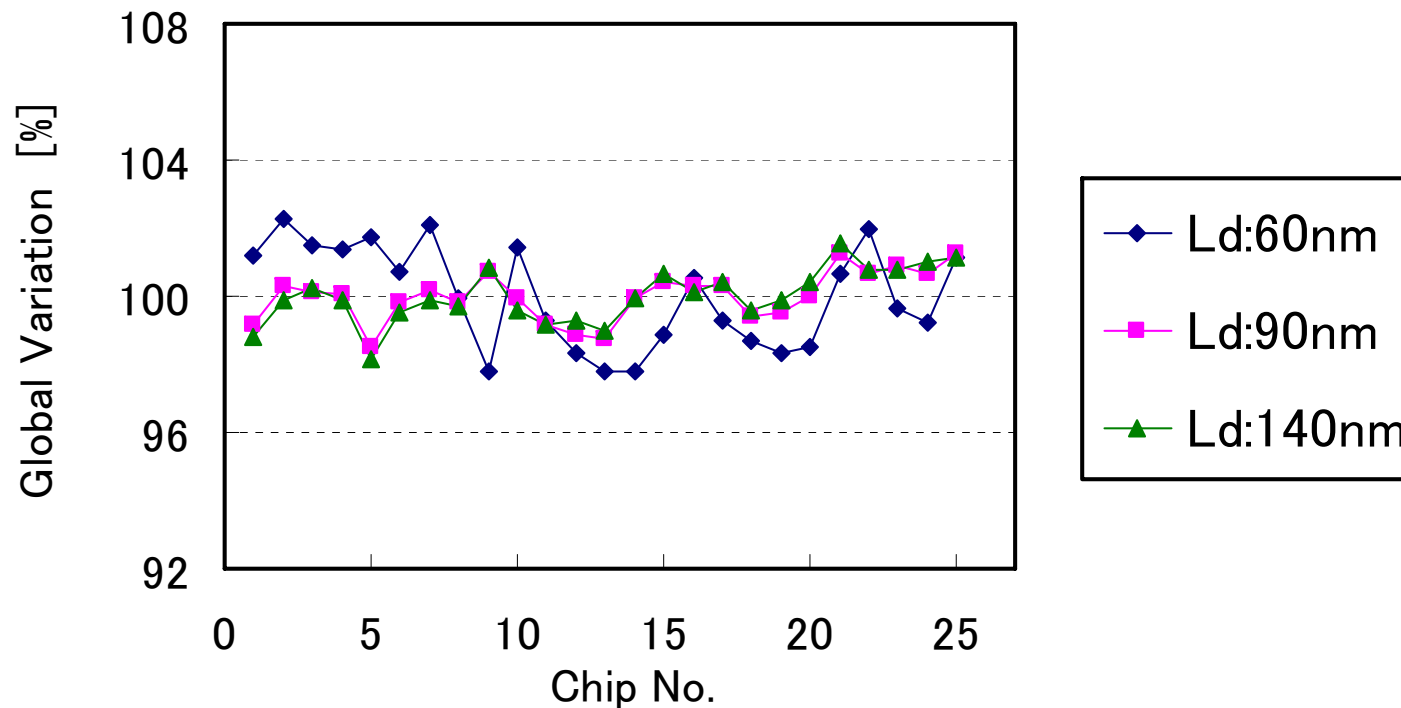
■ ゲート容量のGlobalばらつき



Lのばらつきが
ゲート容量のGlobalばらつきに大きな影響を与えている

VthのGlobalばらつき

PMOS L_d :60/90/140nm, W_d :1.5 μ m

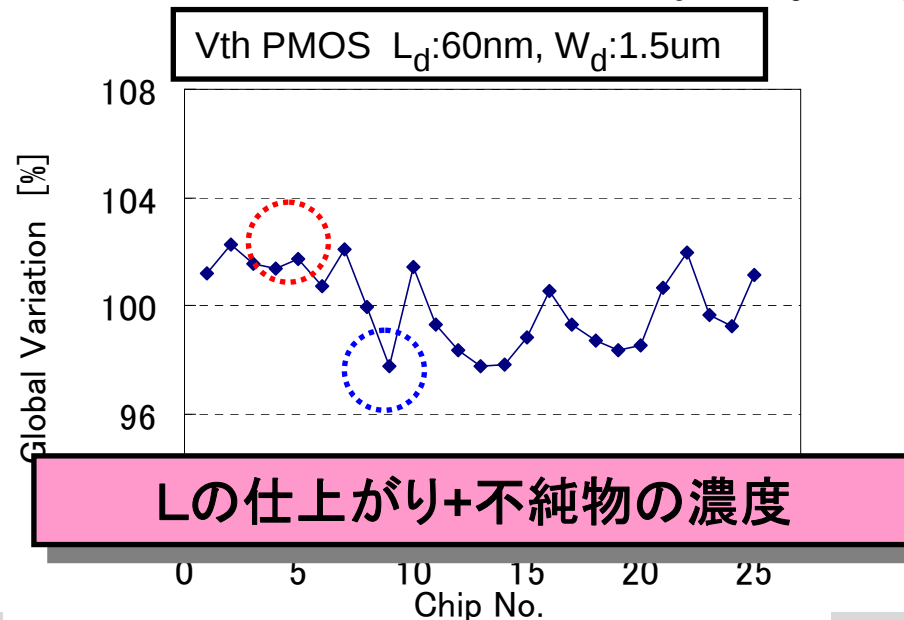
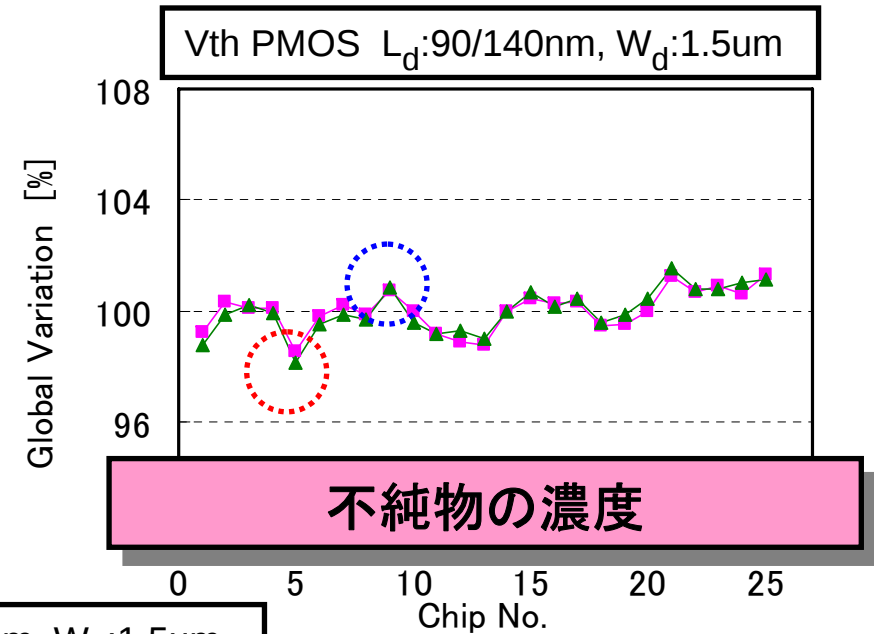
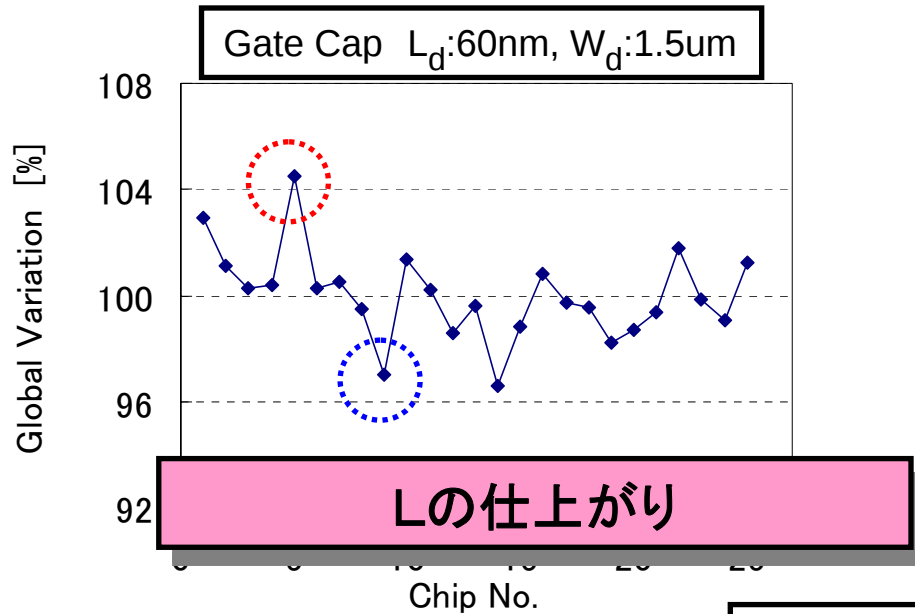


L_d =60nmのVthだけばらつきの振る舞いが違う



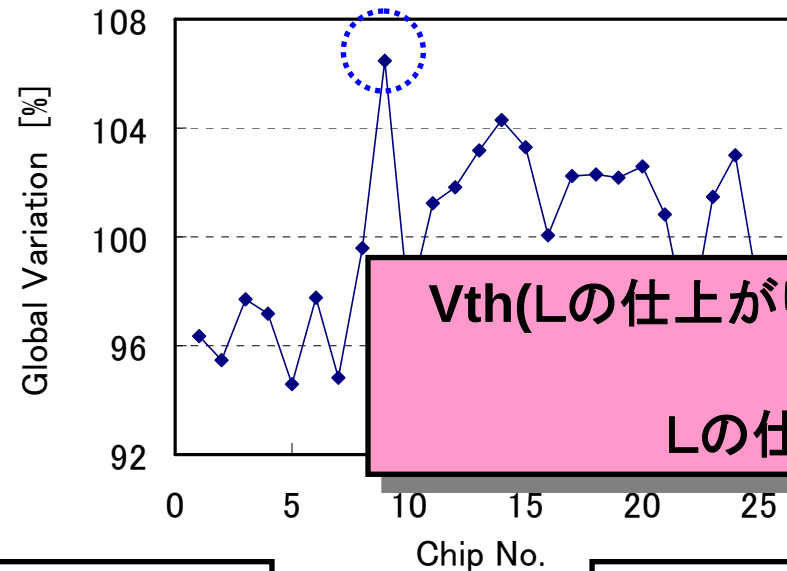
異なる原因でばらついていることが予想される

VthのGlobalばらつき

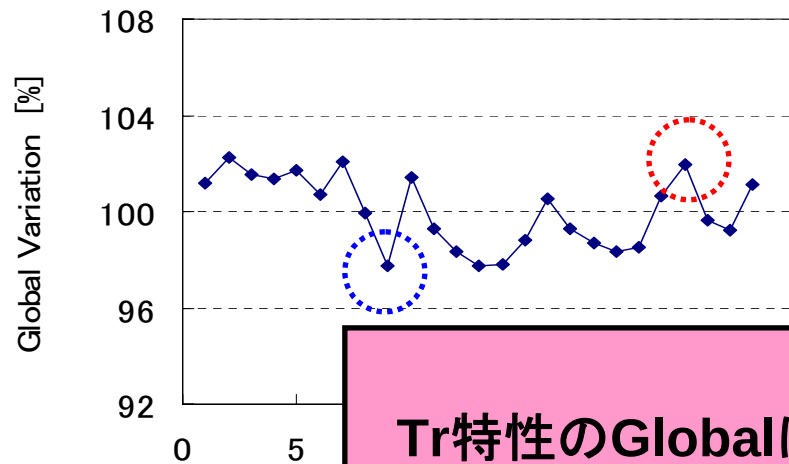


IdsのGlobalばらつき

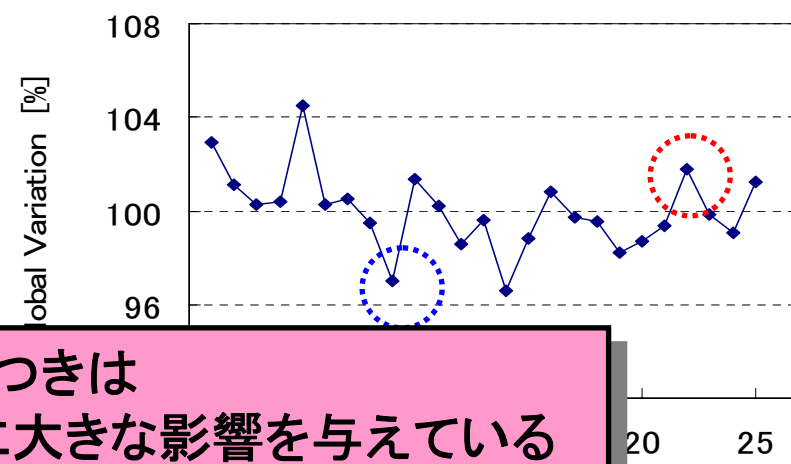
Ids PMOS $L_d:60\text{nm}$, $W_d:1.5\mu\text{m}$



Vth PMOS $L_d:60\text{nm}$, $W_d:1.5\mu\text{m}$



Gate Cap $L_d:60\text{nm}$, $W_d:1.5\mu\text{m}$



Lのばらつきは
Tr特性のGlobalばらつきに大きな影響を与えている

5.2. Random成分 (On Chip)

■ ランダムに変動するばらつき成分

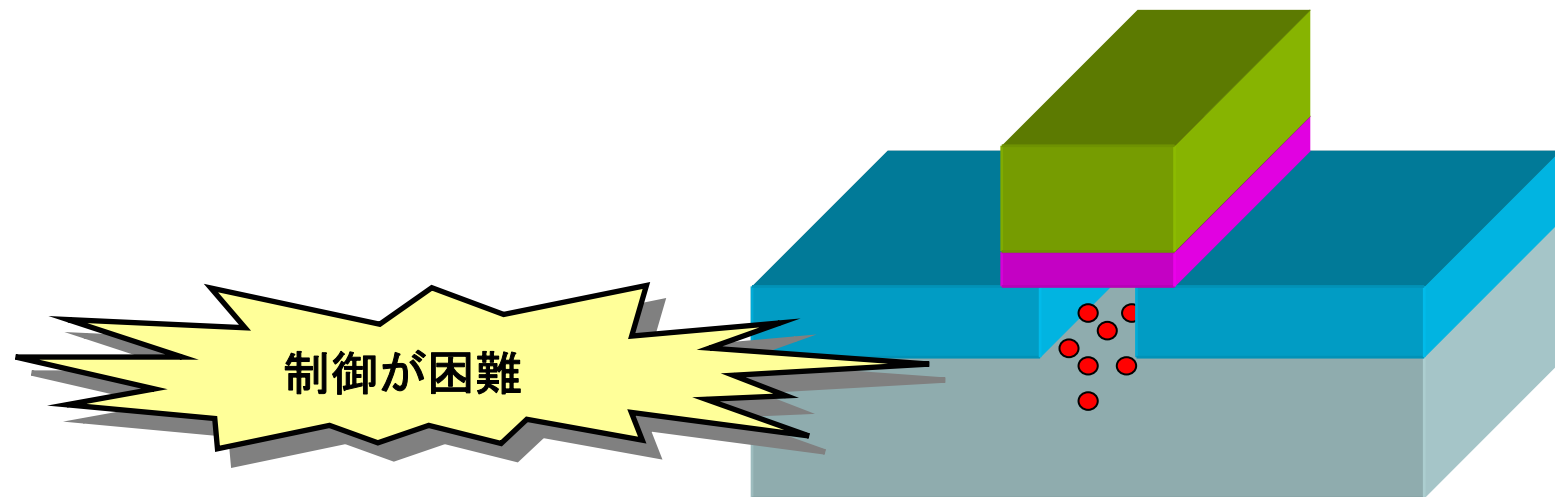
V_{th} : 不純物のゆらぎ

→ 不純物原子数

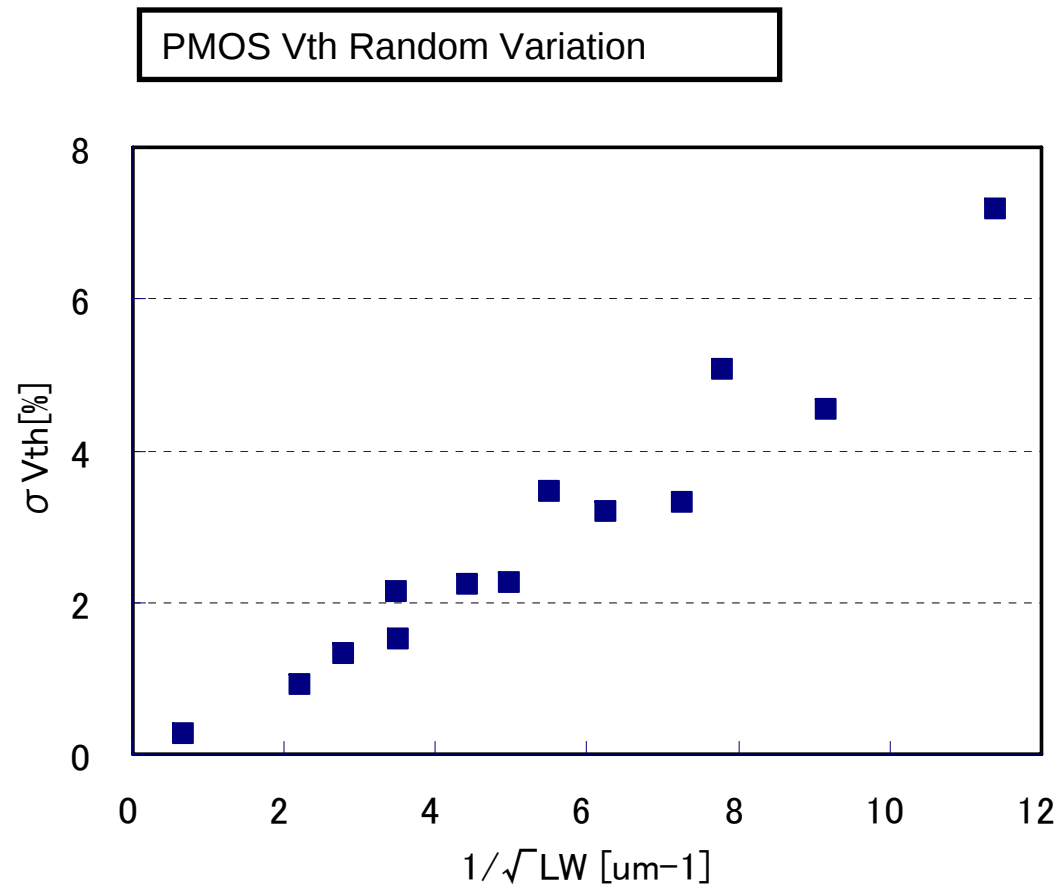
→ 不純物の空間分布

L : LER (Line Edge Roughness)

T_{ox} : OTV (Oxide Thickness Variation)



VthのRandomばらつき

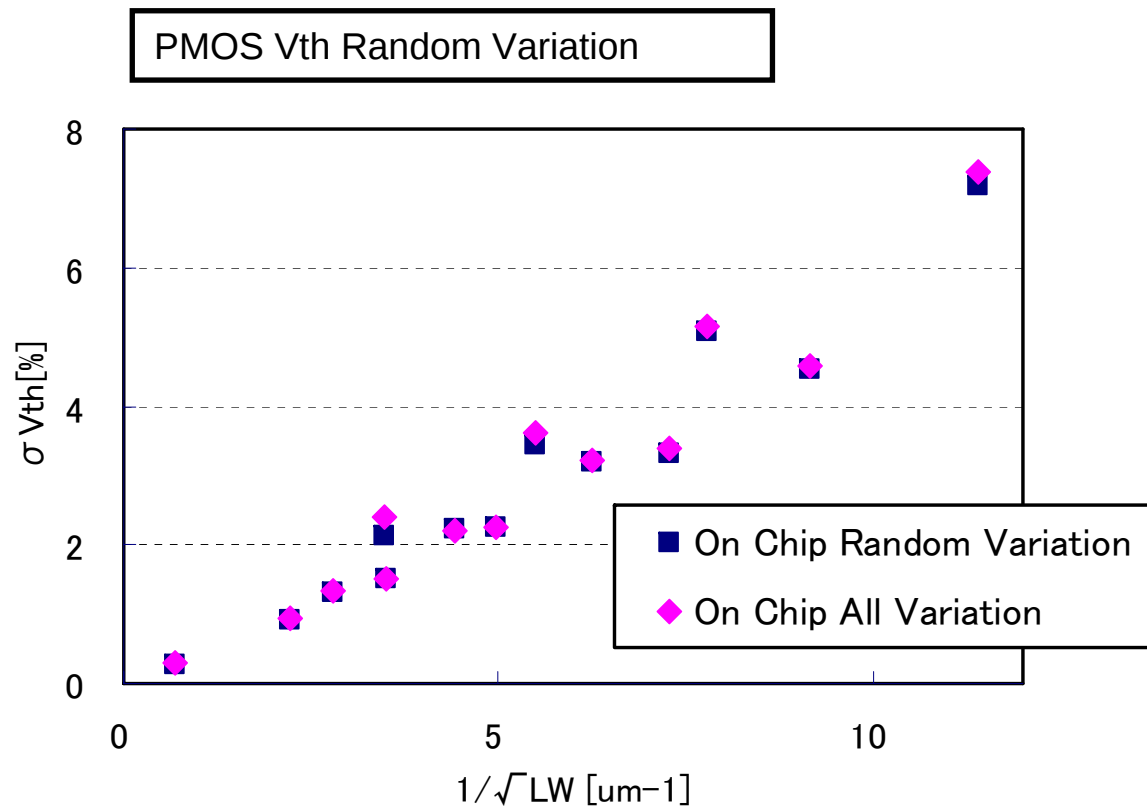


VthのRandomばらつきは $1/\sqrt{LW}$ にほぼ比例



チャンネルに存在する不純物数のゆらぎが大きな影響を与えている

VthのRandomばらつき

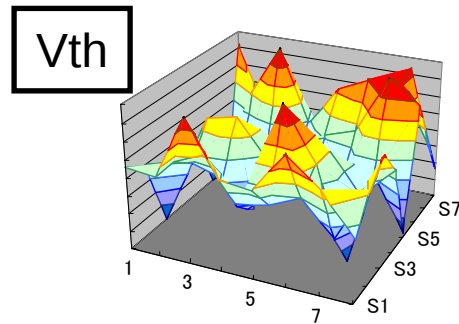


VthのOn Chipのばらつきの大部分がRandom成分

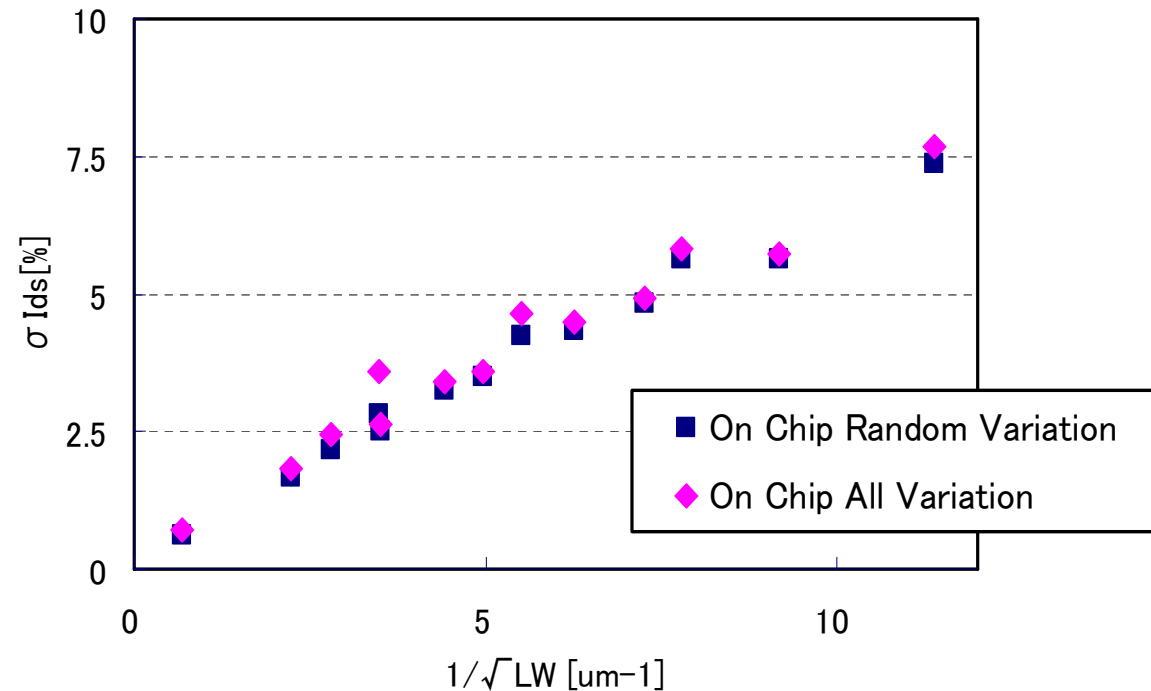
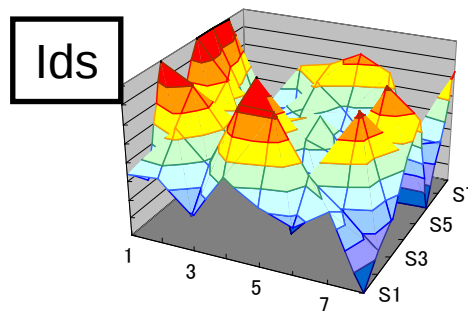


ばらつきが $1/\sqrt{LW}$ に比例するため、メモリなどの小面積の回路では深刻な問題
クリティカルパスなどある程度回路段数が多い場合は、平均化の効果が期待できる

IdsのRandomばらつき



VthとIdsのランダム成分に
強い負の相関



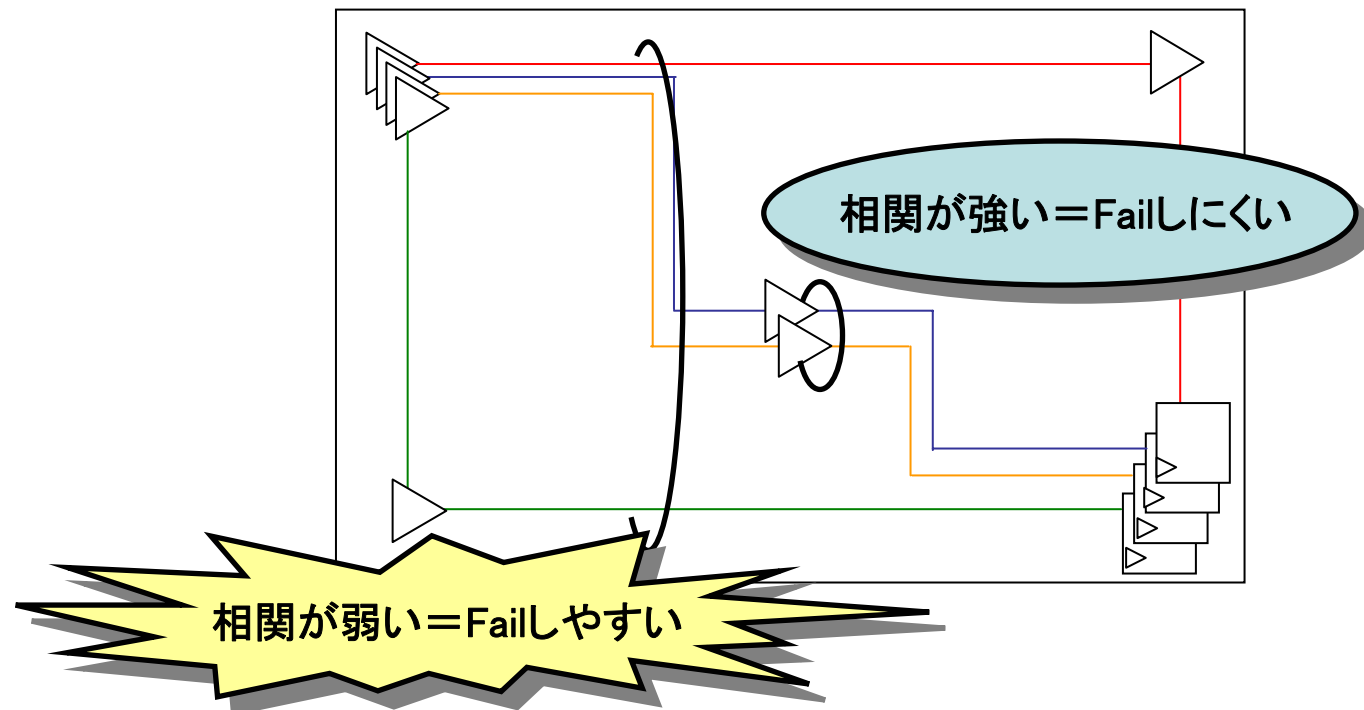
IdsのRandomばらつきは $1/\sqrt{LW}$ にほぼ比例

↓
Vthのばらつきが
IdsのRandomばらつきに大きな影響を与えている

5.3. Systematic成分 (On Chip)

■ 空間内で緩やかに変動するばらつき成分

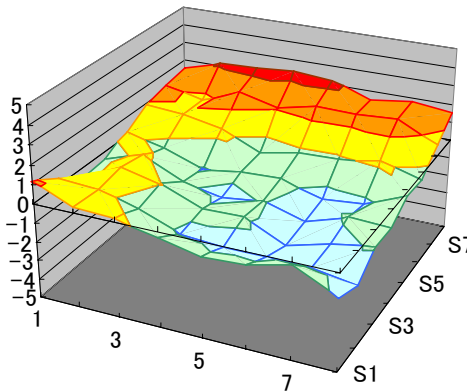
- ・チップ内の素子は、距離に依存した相関係数で変動
- ・異なるチップ間の同一場所は無相関
- ・近接配置されたパスは相関が強く、遠接配置されたパスは相関が弱い
- ・大規模回路での影響が懸念



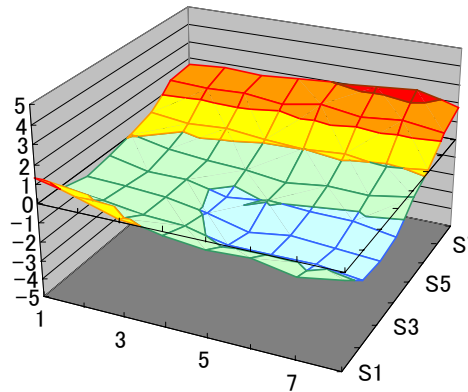
■ ゲート容量のSystematicばらつき

ΔW と ΔL の感度の異なる3パターンの結果から、
ゲート容量のSystematicばらつきの主な原因を調べる

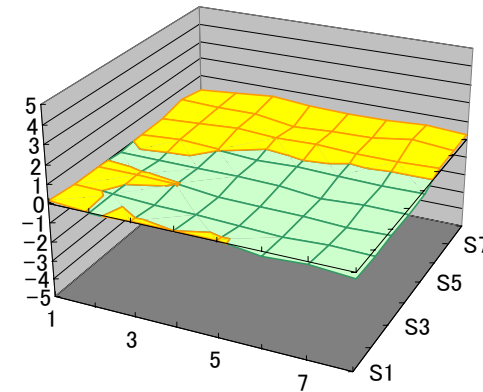
Refパターン
 $L_d: 60\text{nm}$, $W_d: 1.5\mu\text{m}$



ΔW 感度小パターン
 $L_d: 60\text{nm}$, $W_d: 7.5\mu\text{m}$



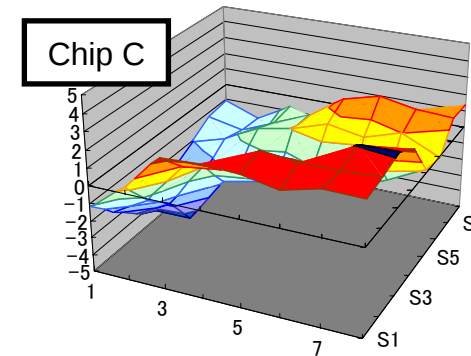
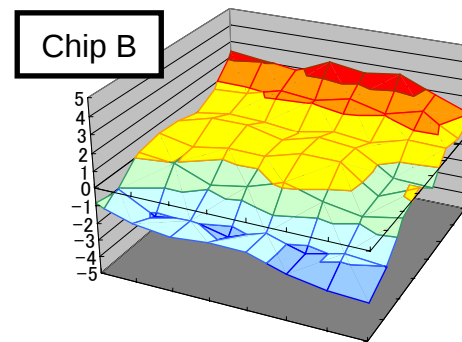
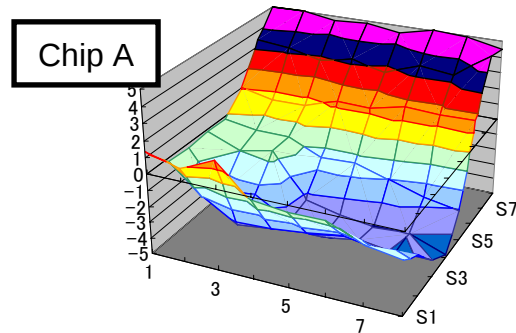
ΔL 感度小パターン
 $L_d: 710\text{nm}$, $W_d: 1.5\mu\text{m}$



Lのばらつきが
ゲート容量のSystematicばらつきに大きな影響を与えている

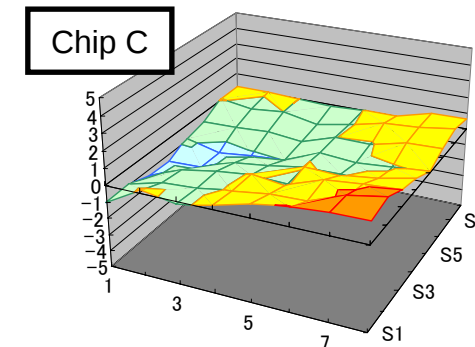
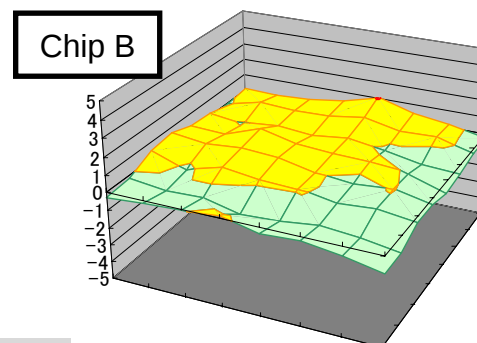
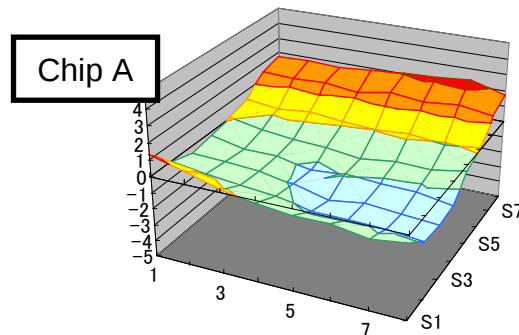
■ R.O.のSystematicばらつき

Systematic Variation of Delay Time (Ring Oscillator $L_d:60\text{nm}$, $W_d:1.0\mu\text{m}$, Steps:11)



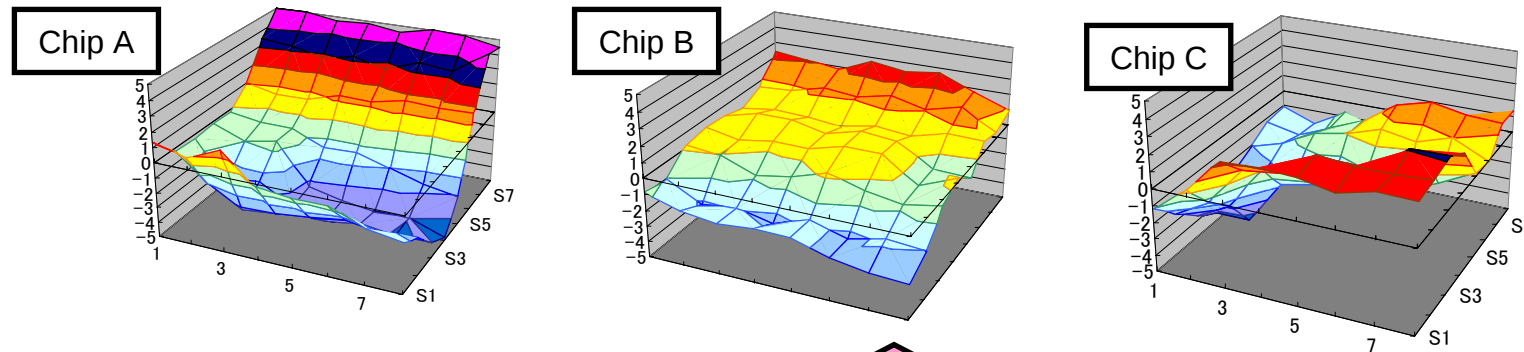
Lのばらつきは、
R.O.のSystematicばらつに大きな影響を与えている

Systematic Variation of Gate Cap ($L_d:60\text{nm}$, $W_d:7.5\mu\text{m}$)



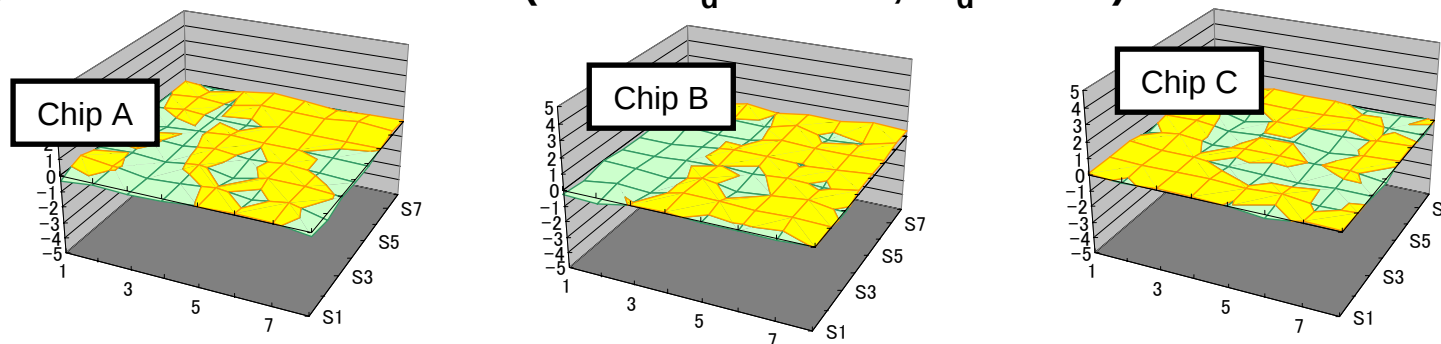
R.O.のSystematicばらつき

Systematic Variation of Delay Time (Ring Oscillator L_d :60nm, W_d :1.0um, Steps:11)

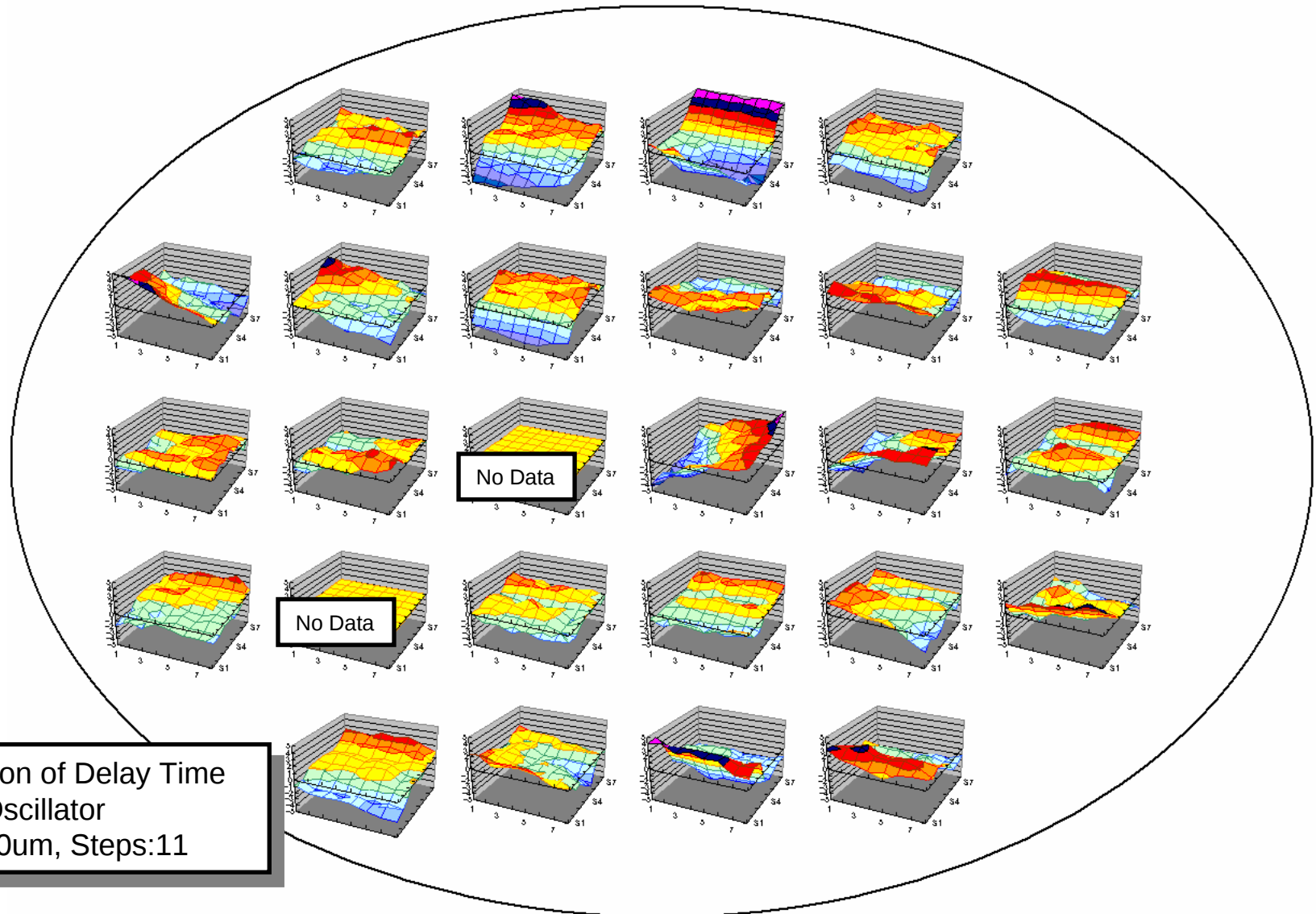


不純物濃度の揺らぎは、
R.O.のSystematicばらつきにほとんど影響を与えていない

Systematic Variation of V_{th} (PMOS L_d :1450nm, W_d :1.5um)



■ R.O.のSystematicばらつき

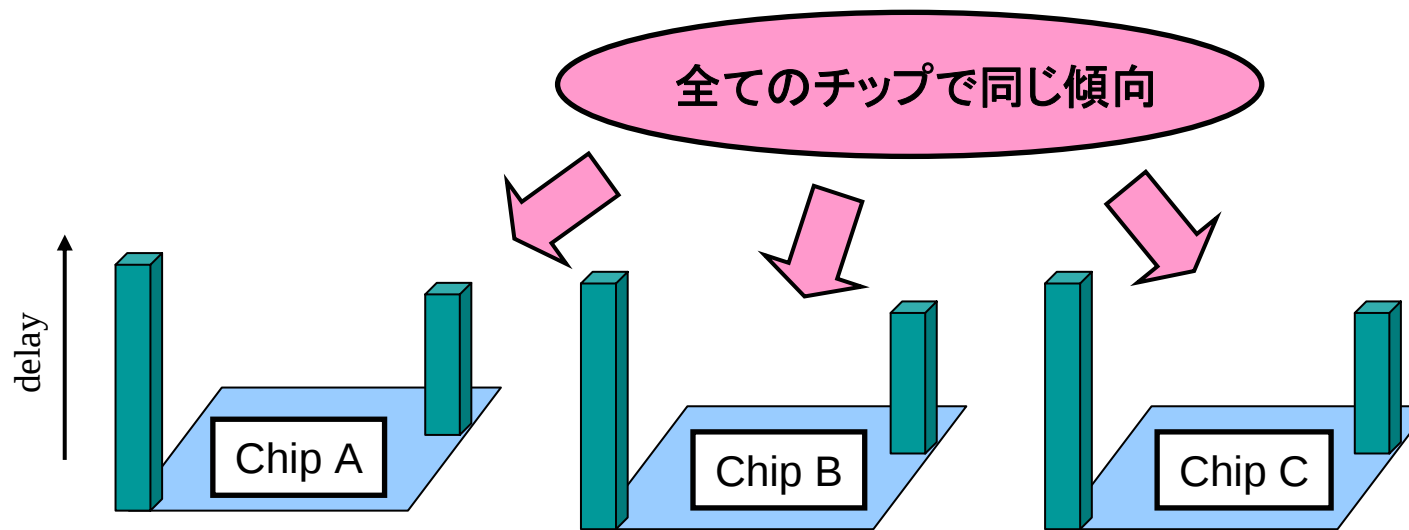


Systematic Variation of Delay Time
Ring Oscillator
 $L_d: 60\text{nm}$, $W_d: 1.0\mu\text{m}$, Steps: 11

5.4. Deterministic成分 (On Chip)

■ 1～3以外のばらつき成分

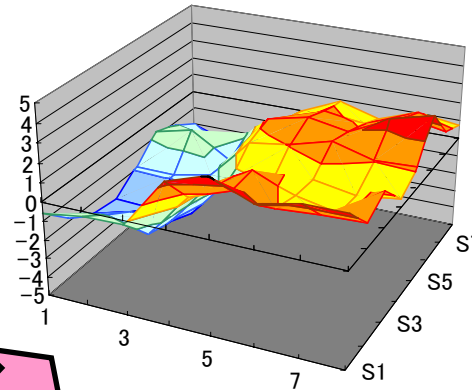
- ・レイアウト形状、製造に起因する再現性のあるばらつき
- ・占有率、近接効果 (OPC、応力、ウェル近接効果)、IRドロップ、製造時の装置特性など...
- ・本来は統計量でない成分もあるが、チップの動作のために考慮の必要がある
- ・因果関係が明白なものは、設計時にフィードバックすることができれば原理的には対応可能



R.O.のDeterministicばらつき

DMA-TEGでは同一のレイアウトをアレイ配置しているが.....

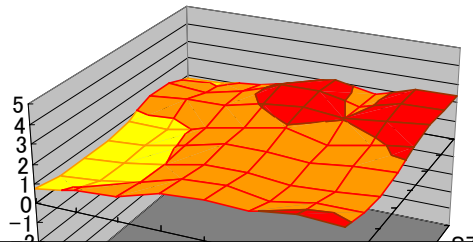
Deterministic Variation of
Delay Time
(Ring Oscillator
 L_d :60nm, W_d :1.0um, Steps:11)



相関:大

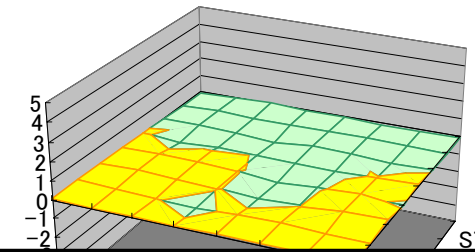
相関:小

Deterministic
Variation of Gate Cap
(L_d :60nm, W_d :7.5um)



Lのばらつきは、
R.O.のDeterministicばらつに
大きな影響を与えている

Deterministic
Variation of V_{th}
(PMOS L_d :1450nm,
 W_d :1.5um)



不純物濃度の揺らぎは、
R.O.のDeterministicばらつきに
ほとんど影響を与えていない

まとめ

1. ばらつきの実態を把握するため、DMA-TEGを用いて65nmノードのばらつきを評価した
2. ばらつきを性質ごとに4成分に分離し、各成分の解析を行った
 - (1) Global成分 (Off Chip)
 - ・チップの平均(中央値)のばらつき成分
 - ・不純物、Lが主な原因
 - (2) Random成分 (On Chip)
 - ・チップの位置、距離に関係なくばらつく成分
 - ・不純物の揺らぎによりVthが変動する効果が顕著
 - (3) Systematic成分 (On Chip)
 - ・空間内で緩やかに変動する成分
 - ・Lのばらつきが主な原因
 - (4) Deterministic成分 (On Chip)
 - ・レイアウト形状、製造に起因する再現性のあるばらつき
 - ・本TEGではLのばらつきが主な原因



株式会社ルネサス テクノロジ

©2007. Renesas Technology Corp., All rights reserved.