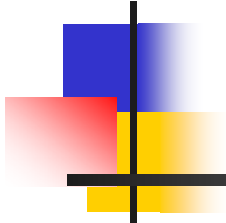


システム・デザイン・フォーラム 2007



バラツキのモデリング技術

三洋半導体株式会社

黒川 敦

2007年1月25日 フィジカル・デザイン・フォーラム



謝辞

本資料の内容のほとんどは、2005年度にSTARC(半導体理工学研究センター)「あすかプロジェクト」に従事していた時の研究開発の成果である。

本テーマ(バラツキのモデリング)は、当時物理設計開発室の室長で現在ルネサステクノロジの増田弘生様、ソニーの宮司文雄様、クレディストの加瀬部彰様、C-techの園和也様、チャンウェイフォン様、そして当時メソドログ開発室の室長でSTARCの西口信行様、ルネサステクノロジの井下順功様、NECELの藤井淳子様、日立の林厚宏様、メイテックの三木理人様と一緒に検討し、本資料の「出典:STARC」と明記してあるものは当時の作業により得られたものである。

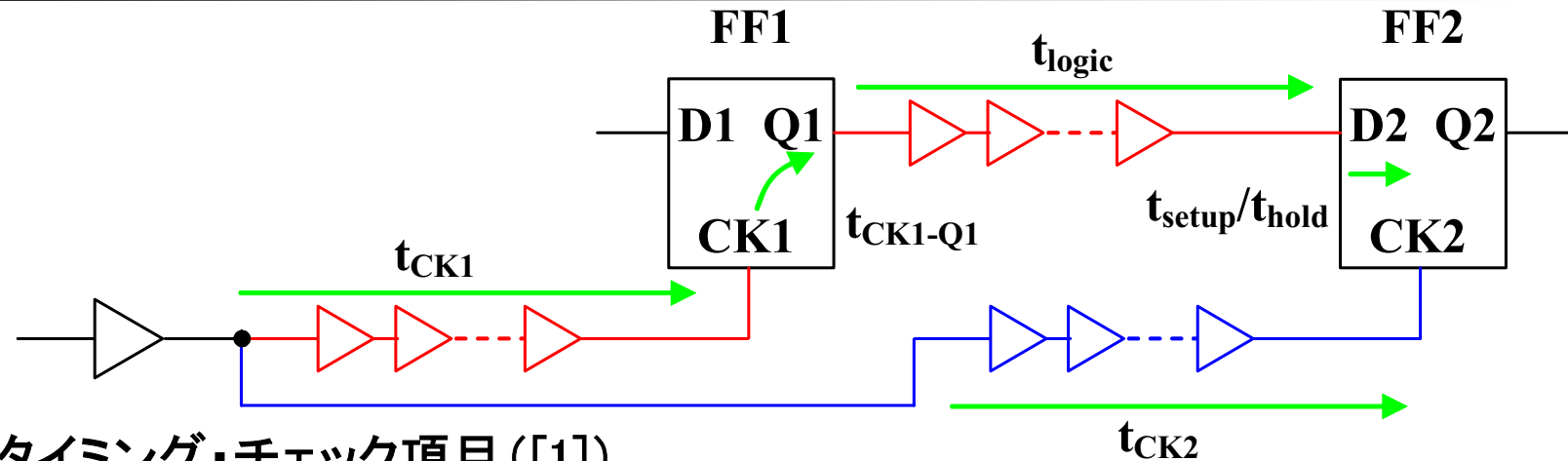
また、東芝の山田正昭様、石井千尋様、富士通の粟屋友晴様、佐方剛様、松下の田中正和様、ルネサステクノロジの高田英裕様、大川真一様、伊藤仁一様、NECELの杉本益規様、沖の馬場俊祐様、ソニーの長谷川洋平様、シャープの新庄信次様、エプソンの関浩様、田口和男様、ロームの森川誠人様、STARCの山口龍一様、三洋半導体の伊部哲也様等には、本テーマに関して活発に議論して頂きました。日立の小高雅則様、森和孝様にはプロセス技術を含む幅広い意見を頂きました。更に、中央大学の築山修治先生、大阪大学の橋本昌宜先生、諏訪東京理科大学の青木正和先生、早稲田大学の井上靖秋先生にはご指導頂きましたので感謝致します。



構成

1. ばらつきの分類
2. システマティックとランダム変動
3. 空間相関
4. シンプルな統計的なシミュレーション方法
5. タイミング解析
6. まとめ

設計におけるタイミング・チェック



タイミング・チェック項目 ([1])

セットアップ時間の制約

$$t_{CK1} + t_{CK1-Q1} + t_{logic} + t_{setup} - t_{clk} \leq t_{CK2}$$

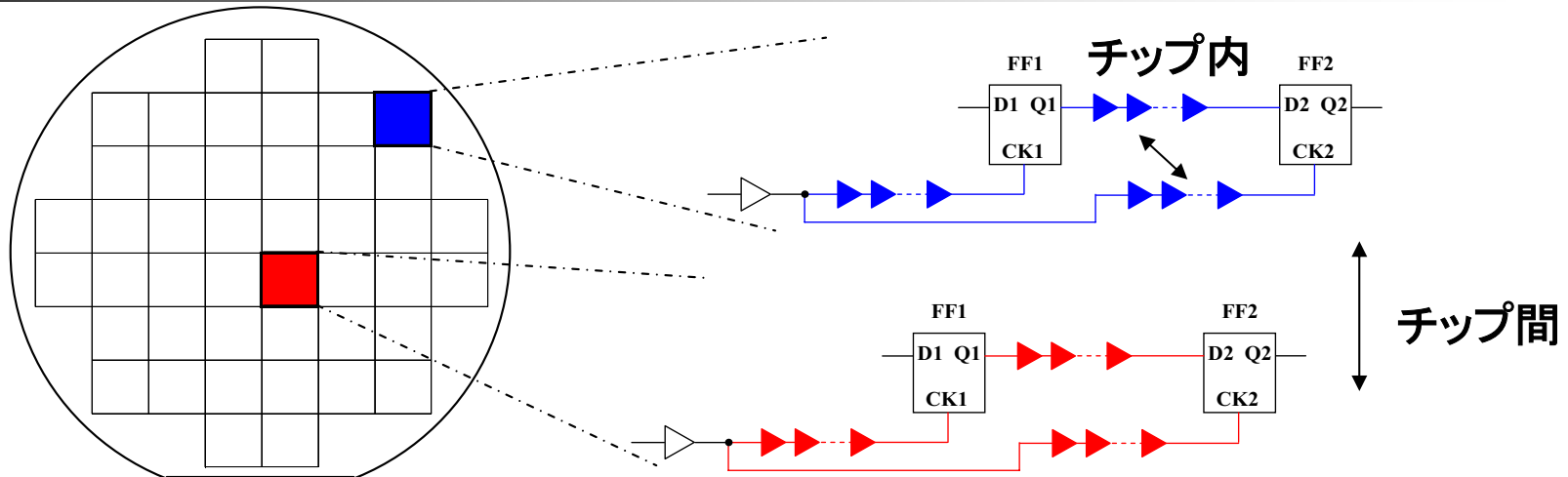
ホールド時間の制約

$$t_{CK1} + t_{CK1-Q1} + t_{logic} - t_{hold} \geq t_{CK2}$$

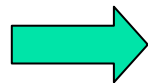
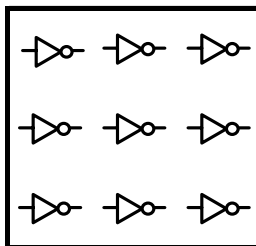
その他(ゲーティングのセットアップ/ホールド、リカバリ、リムーバル、...)

設計で主要なタイミング・チェックはセットアップ&ホールド時間
データ&クロック・パスの関係を
如何にリーズナブルに見積もるかが鍵

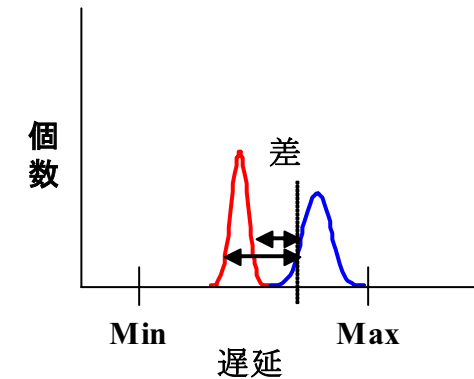
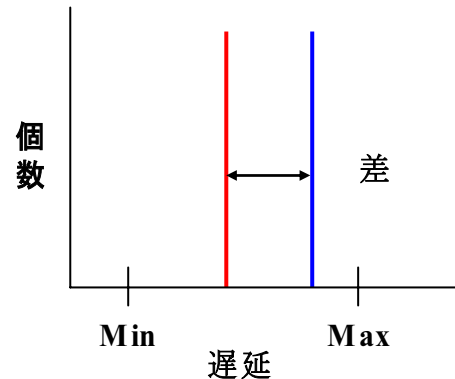
チップ内ばらつきとチップ間ばらつき



例えば、
チップ内に同じサイズ & 負荷
のインバータがあった場合



チップ内ばらつき無し チップ内ばらつき有り



- チップ内ばらつきが無ければ固定のMin-Maxコーナー解析で検証可能
- チップ内ばらつきが有ると、パスの遅延にばらつきが出ると共に、パス間の差にもばらつきが出るので、検証漏れがないように解析方法の工夫が必要



ばらつきの分類

○は主要因

種別			チップ間	チップ内	
				システマティック	ランダム
プロセス	トランジスタ	L, W	○	○	○
		T_{ox}, U	○	○	
		V_{th}	○		○
	配線	w, t, h, ε	○	○	
環境	電圧		○	○	
	温度		○	○	
	信頼性			○	
	回路			○	
	EDAツール			○	

参考文献[2]



システムティックとランダム変動

- 用語の意味
 - ランダムとは、でたらめで規則性がないこと
 - システムティックとは、系統的な(順序立った統一がある、もしくは同じ方面や種類に属する)こと
- ばらつきの区分け
 - チップ内ランダム変動
 - LER → 削れの様を明確にできない、一定でない
 - Dopant → ドーパントの原子数が明確にできない、一定でない
(参考 [3] ドーパントの原子数は70nmテクノロジーで100個以下)
 - チップ内システムティック変動
 - CMPによる配線厚みの削れ、温度分布のようななだらかな分布
 - IR-dropやCrosstalkのように場所と値を限定できるが、0にできない局所変動
 - チップ間(グローバル)変動
 - ウェハ内のチップ間にはある程度、規則性がある
 - ロットの異なる(製造時期含む)チップ間では規則性はない
 - 補足
 - チップ内システムティックでも、値が満遍なく前後している状況が生じている場合はランダムとして扱っても問題ないかもしれない(例えばEDAツール誤差として配線容量や遅延計算等)



チップ内環境のばらつき

- 電圧
 - チップ内のIR-dropは0に抑えられない(～5%Vdd)
 - 動的電源ノイズの遅延に与える影響は考慮されるべき
(電位変動による遅延変動を加味したSTAを使う場合は必要ない)
- 温度
 - チップ内の温度差は40℃～60℃という報告がある
 - 温度変動による遅延(トランジスタと配線)への影響は考慮されるべき
- 信頼性
 - NBTIやHCIによるデバイス劣化が信頼性基準を満たしていても、例えば10年保証であれば10年後に劣化が数%に及ぶ場合は考慮が必要
- 回路
 - クロストークによる遅延変動は0には抑えられない
(クロストークを考慮したSTAではマージンは必要ない)
 - その他周波数効果等によるRLの変動等
- EDAツール
 - LPEの誤差は5%～10%
 - ライブラリや遅延計算の精度等

チップ内の環境ばらつきとしてのシステマティック変動

$$\sigma_{sys,env}^2 = \left(\sigma_{volt}^2 \right) + \sigma_{temp}^2 + \sigma_{reliability}^2 + \sigma_{circuit}^2 + \sigma_{tool}^2$$



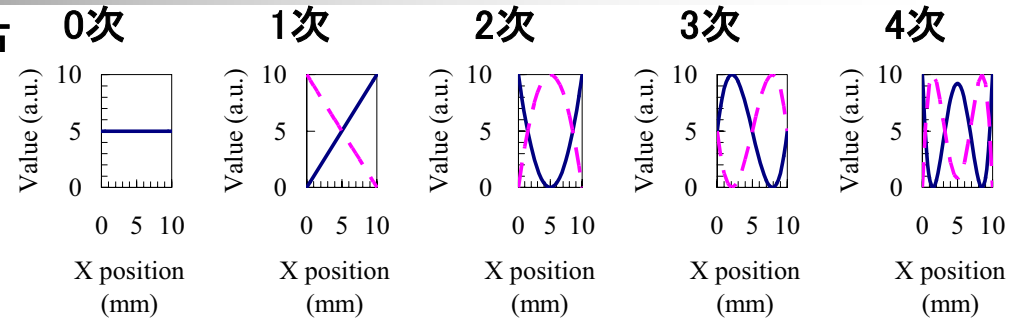
ばらつきの分離の必要性

- チップ間とチップ内の分離
 - チップ間はシステマティックでもランダム変動でもタイミング解析ではそれ程重要ではなく、ある程度Min/Maxコーナーがわかればよい(チップをウェハーマップのどの位置、ロットNo.という売り方をしないので)
 - チップ内がばらつくとMin/Maxコーナーのそれぞれに幅を持たせないと検証漏れを起こすので、チップ間とチップ内という分離は必要
- チップ内システマティックとランダムの分離
 - チップ内をシステマティックとランダムに分離しないと、統計理論に基づいて、ランダム性による段数効果やサイズ効果をうまく扱えない
 - 正確に表現すると、分離しなくても統計学的には扱えるがサイズ別等の膨大な相関の情報が必要となるので現実的ではない
- 補足
 - チップ間はチップ内平均の集合としてのばらつきでも、チップ内を含む全体のばらつきでもモデルが変わるだけでどちらもSTAで扱える
 - 理想はチップ内平均の集合としてのばらつき(SPICEモデル・パラメータ等)の方が扱いやすい
 - チップ内ランダム変動を何がしかの方法で得る必要がある

システマティックとランダム成分の分離

関数近似でできるのは図のような分布
(X軸上のデータの関数近似の例)

$$f(x) = \sum_{i=0}^n a_i x^i = a_0 + a_1 x + a_2 x^2 + a_3 x^3 + \dots$$



実際のチップはXY平面なので多項式は以下

$$f(x, y) = a_{0,0} + a_{1,0}x + a_{1,0}y + a_{2,0}x^2 + a_{0,2}y^2 + a_{1,1}xy + \dots$$

- 文献[4]では、生ばらつきを4次で近似したものをシステマティックと定義
 - 本資料のシステマティックはこの方法で分離したものを使用
- 隣接データは相関係数1と仮定して、差分はランダム(加算はシステマティック)と考えで分離する方法もある
- 課題として、
 - 多項式の関数近似は、その次数に制限されるので、例えば、4次近似の場合は、5次以上のシステマティック変動は表現できない
 - 隣接データによる分離はTEGが隣接に配置されていること、実測の値に影響を受けるので膨大なデータが必要
- 完全にランダム性を分離することは困難であるが、設計で使用する場合はおおよそ的をはずさなければ実用可能

本資料の実測におけるTEG仕様とモデリングは[4][10]を参照

トランジスタのばらつき

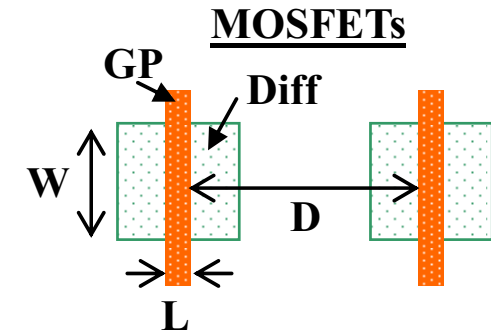
トランジスタの面積と距離による素子ばらつきの関係 (Pelgromモデル[5])

2つの素子間のパラメータの関係式

$$\Delta P(x_{12}, y_{12}) = \frac{1}{area} \left\{ \iint_{area(x_1, y_1)} P(x', y') dx' dy' - \iint_{area(x_2, y_2)} P(x', y') dx' dy' \right\}$$

Fourier解析による分散

$$\sigma^2(\Delta P) = \underbrace{\frac{A_P^2}{WL}}_{\text{ランダム}} + \underbrace{S_P^2 D^2}_{\text{システムティック}} \quad A_P \text{と} S_P \text{は面積と距離に関するプロセス依存定数、} D \text{は距離}$$



<閾値電圧 V_{th} の分散>

$$V_{th} = V_{th0} + K \left(\sqrt{|V_{SB}| + 2\phi_F} - \sqrt{2\phi_F} \right)$$

$$\sigma^2(V_{th0}) = \frac{A_{V_{th0}}^2}{WL} + S_{V_{th0}}^2 D^2$$

$$\sigma^2(K) = \frac{A_K^2}{WL} + S_K^2 D^2$$

< I_d の分散>

$$\frac{\sigma^2(I_d)}{I_d^2} = \frac{4\sigma^2(V_{th0})}{(V_{gs} - V_{th0})^2} + \frac{\sigma^2(\beta)}{\beta^2}$$

<利得係数 β の分散>

$$\beta = \frac{W}{L} \mu C_{ox}$$

$$\frac{\sigma^2(\beta)}{\beta} = \frac{\sigma^2(W)}{W^2} + \frac{\sigma^2(L)}{L^2} + \frac{\sigma^2(\mu)}{\mu^2} + \frac{\sigma^2(C_{ox})}{C_{ox}^2}$$

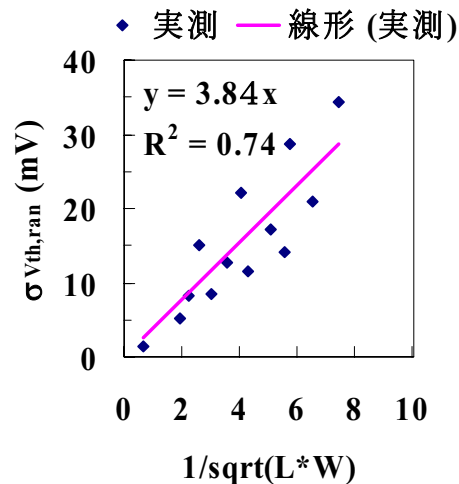
$$= \frac{A_W^2}{W^2 L} + \frac{A_L^2}{WL^2} + \frac{A_\mu^2}{WL} + \frac{A_{C_{ox}}^2}{WL} + S_\beta^2 D^2$$

$$\cong \frac{A_\beta^2}{WL} + S_\beta^2 D^2$$

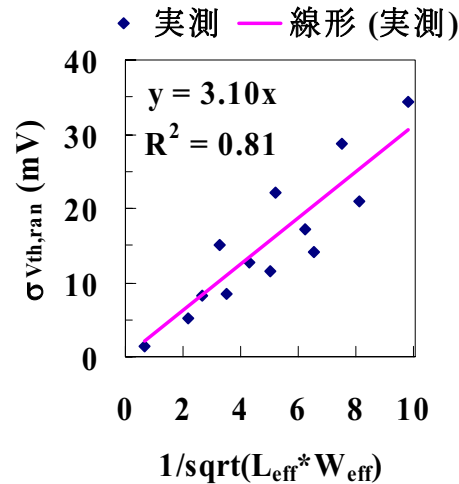
Pelgromモデルの評価

<90nm PMOSFETの例>

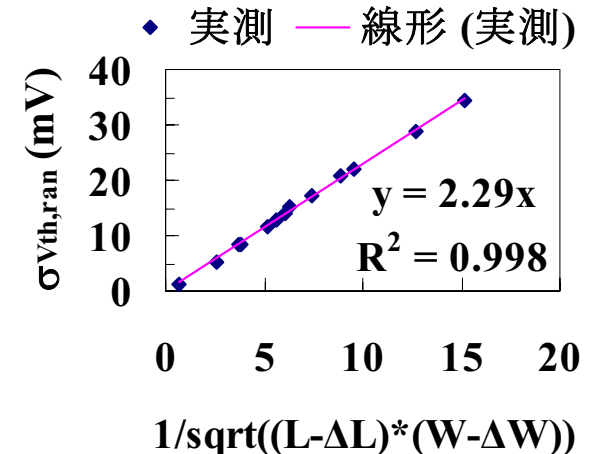
物理レイアウト・サイズ
 L, W (μm 単位)を使用



BSIMモデルから計算した
 L_{eff}, W_{eff} を使用



数値フィッティング
 $\Delta L, \Delta W$ を使用



- Pelgromモデルはショートチャンネルで合わなくなっているという報告もある
- スタンドセルの場合は、 L のサイズ毎にフィッティングさせる方が精度が高い



空間相関

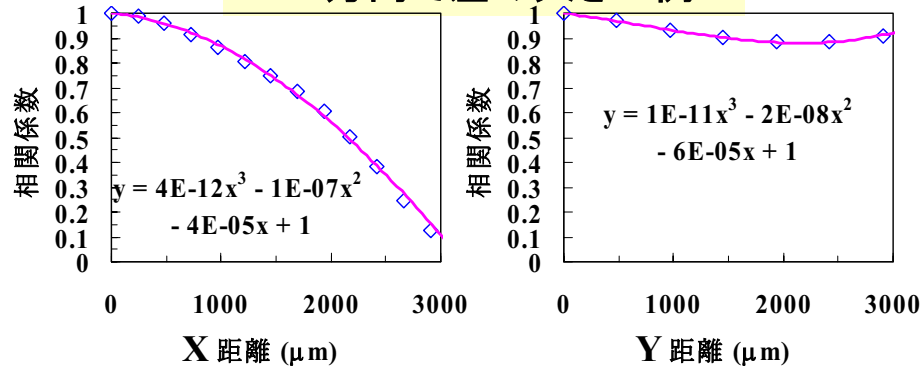
- 空間データは位置の情報を持っており、その相関を空間相関と呼ぶ
- 一般に近い位置にあるもの同士の相関が強く、遠くなるに従い相関が弱くなる
- 相関を求める方法[6,7]
 - Covariogram
 - Variogram
 - Robust Variogram
- 本資料のXY方向性を考慮した空間相関は、方向別に自己相関を求める方法を用い、方向性を考慮しない場合は、Robust Variogramを用いる
- 空間相関は生の測定データを使って、システムティックに分離したデータを使っても求めることはできる
 - 生データを用いた場合はランダム性が強いと相関が小さくなる
 - SSTAに適用する場合は、生データとシステムティックではデータの持ち方と計算方法を変えることで可能であるが膨大な情報が必要となる

空間相関の実際

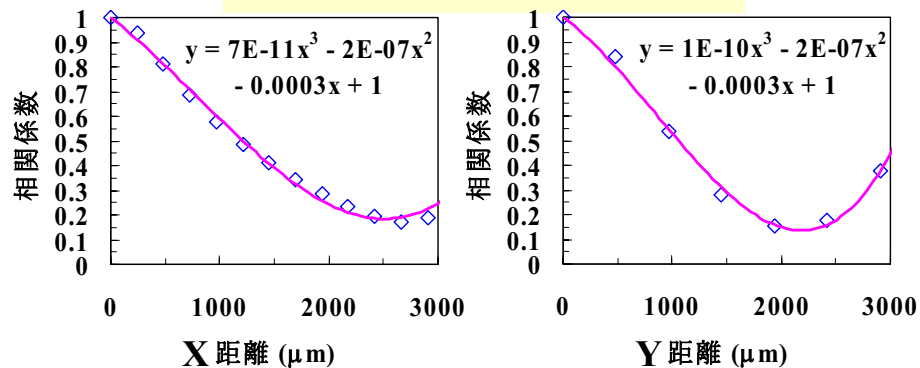
(1) XY方向の相関

☆システムティックの結果

XY方向で差の大きい例



XY方向で差の小さい例

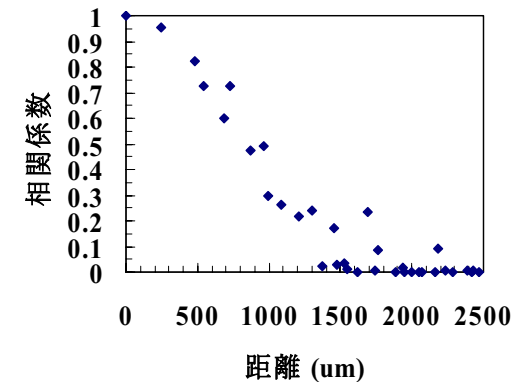


XY変数の2次多項式で表現可能

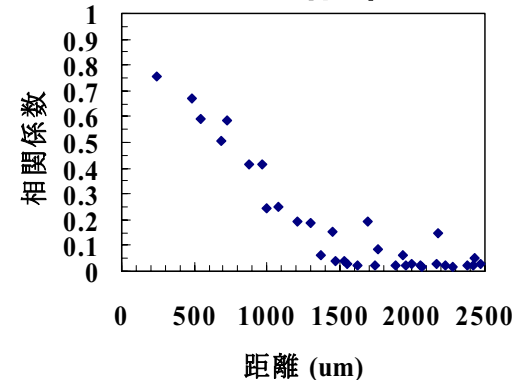
$$\rho(x, y) = a_0 + a_1x + a_2y + a_3xy + a_4x^2 + a_5y^2$$

(2) 全体の相関(方向性未考慮)

☆システムティックの結果



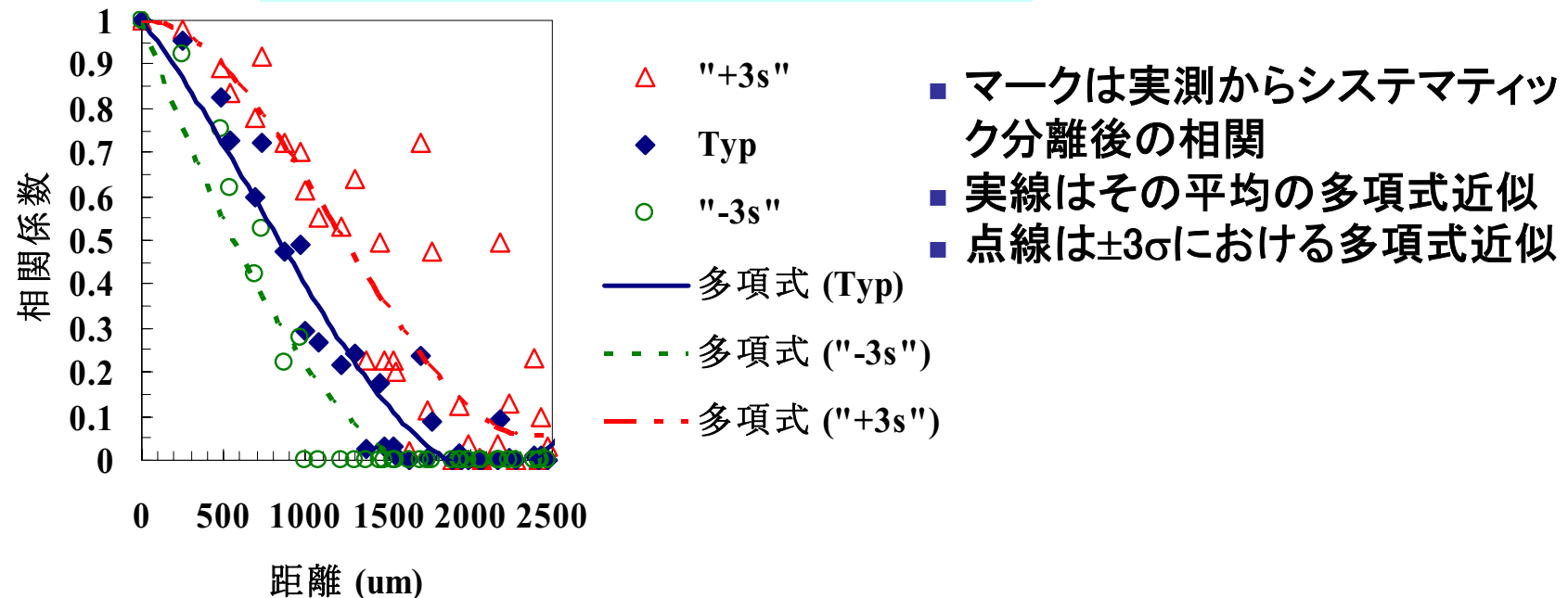
☆生データの結果



生データの相関はランダム成分により、隣接距離でも相関1とならない

空間相関の利用法

空間相関は一定ではない



- 空間相関はウェハのSlit/Scan方向によって相関が異なる場合がある[8]
- しかし、その程度は同じウェハ上でも一律ではなく、方向性を考慮した相関が必ずしも精度が高いとは言い難い
- STAで空間相関を利用する場合は、同一パス上の相関(本資料では直列相関と呼ぶ)か、異なるパスの相関(並列相関)かによって、相関係数の悪い方を使う(直列相関 ~ 1 、並列相関 ~ 0)とかマージンを取った方がよい



統計的なシミュレーション方法

- SPICEを使ったシンプルな統計的なシミュレーション方法を示す
- トランジスタのプロセスばらつきには、物理的に、L, W, TOX, U(移動度), N(ドーパント量)等の変動がある
- これらのパラメータは直接可視的な測定は困難であり、電氣的(電流、抵抗、容量)な方法が用いられる
- 理想的には以下のパラメータの変動と相関がわかることである

$$I_{dsat} = \frac{1}{2} \frac{W}{L} \mu \frac{\epsilon_{ox}}{T_{ox}} (V_{gs} - V_t)^2 (1 + \lambda V_{ds})$$

- しかしながら、それぞれを精度よく求めるのは現実的には難しい
- 微細プロセスでは、一般にLとVthの変動が大きいと報告されているが、Lの測定は簡単ではない
- これらの背景から、よりシンプルな方法として、実測のVthを基準にIon変動をLで調整する方法を示す



統計的シミュレーションのセットアップ方法

実測からばらつき考慮のSPICEを行うための手順

① 実測データの準備

- サイズL,W別のPMOSとNMOSの実測 I_{on} ($V_{ds}=V_{gs}=V_{dd}$ の飽和電流)と実測 V_t のそれぞれの平均と σ を測定
- 測定データからシステムティックとランダム成分分離

② SPICEモデル・パラメータの実測への合わせ込み

- 実測の平均 V_t とSPICEの V_t を合わせ込む(V_{TH0})
- 実測の平均 I_{on} とSPICEの I_{on} を合わせ込む(U_0)

③ ランダム変動の合わせ込み

- 実測の σ_{V_t} をSPICEモンテカルロ解析の変数に設定
- 異なるサイズでも使用できるように、Pelgromもしくは関数近似によって、LとWの関数で定義
- PMOSとNMOSの V_t 相関を設定(本資料の実測との比較ではPNの V_t 相関は1として行った)
- V_t のランダム変動のみで、実測の I_{on} のランダム変動に匹敵するかを確認
- I_{on} 変動が大きければ、Lで調整する

④ システムティック変動の合わせ込み

- 実測 I_{on} のシステムティック変動をLで合わせ込む

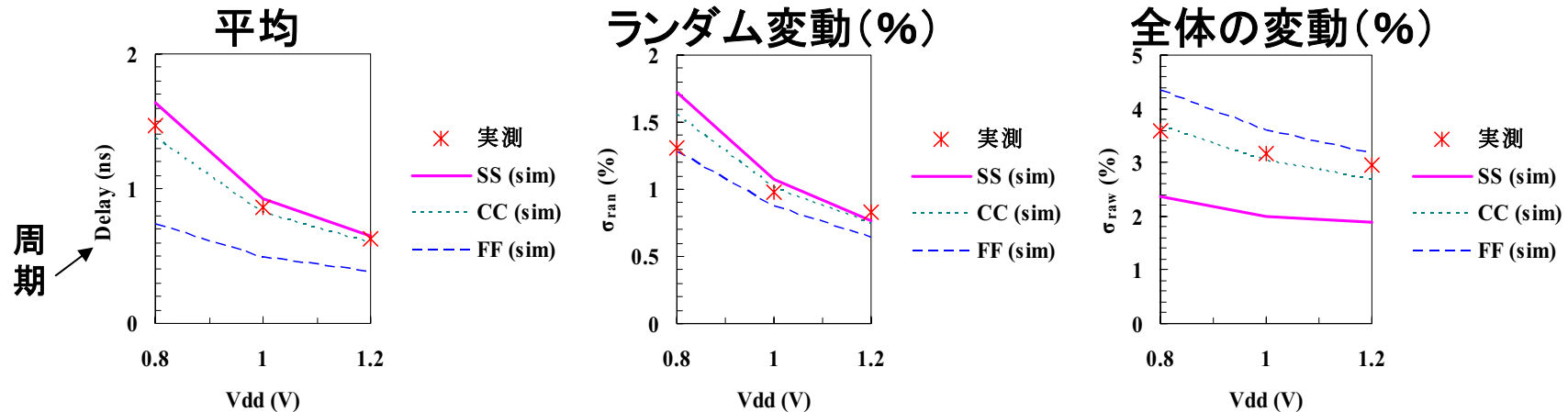
⑤ 回路シミュレーション

- モンテカルロで V_t 、Lを変動
- システムティックは各トランジスタに同率に、ランダムはばらばらに乱数を発生
- システムティックに各トランジスタ間の相関を設定することも可能であるが、異なる相関を設定するのはトランジスタ規模にも拠るが非現実的

出典: STARC(+ α)

実測との比較

17段インバータ(x1ドライブ)のリング・オシレータの 実測とシミュレーションの比較(周期変動)



- CCはSPICE Typモデル・パラメータを使って、実測の I_{on} に合うように U_0 をフィッティングしたもの
- SSとFFは、SPICEモデル・パラメータのSSとFFを使用
- CC/SS/FF共に、 V_{th} 変動と L 変動は同一なものを設定

ここで用いたシミュレーション方法の用途

- ① 小規模回路の統計的回路特性の解析
- ② 妥当なOCV値の解析
- ③ SSTA用セル・ライブラリ作成

ゲート・サイズと段数の関係

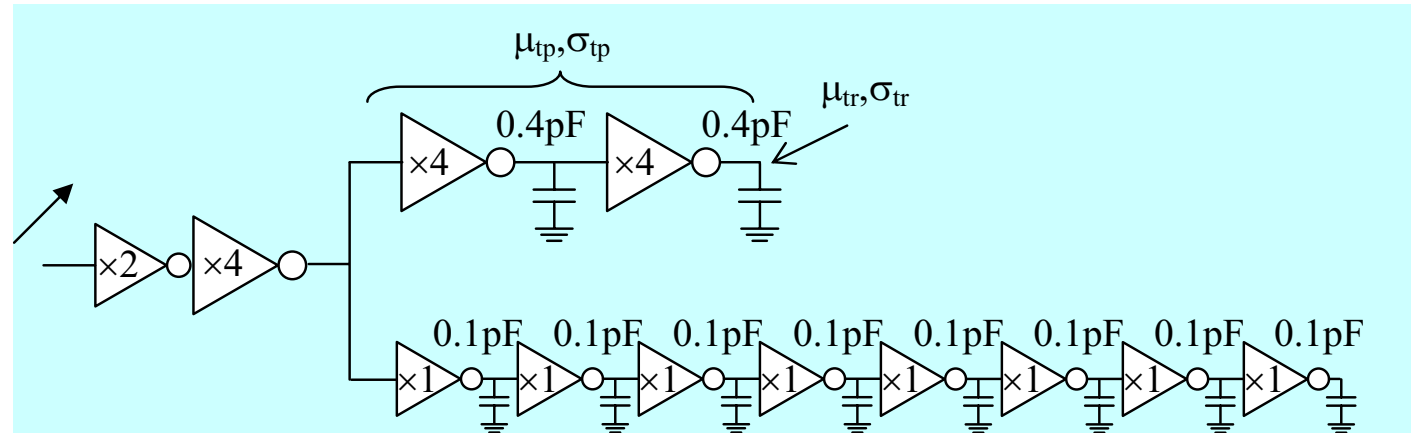
ゲート・サイズ効果

$$\% \sigma_{ran, delay}^2 \propto \frac{1}{WL}$$

段数効果

$$\% \sigma_{ran, delay}^2 \propto \frac{1}{n}$$

Wを2倍してもセル
面積は1.4~1.8倍



段数	Size	C_L (pF)	Delay			Slew		
			μ (s)	σ (s)	σ (%)	μ (s)	σ (s)	σ (%)
2	x4	0.4	8.05E-10	1.50E-11	1.9	8.13E-10	1.33E-11	1.6
8	x1	0.1	4.08E-09	8.74E-11	2.1	8.24E-10	2.61E-11	3.2
2	x1	0.4	3.13E-09	1.17E-10	3.8	3.22E-09	1.06E-10	3.3

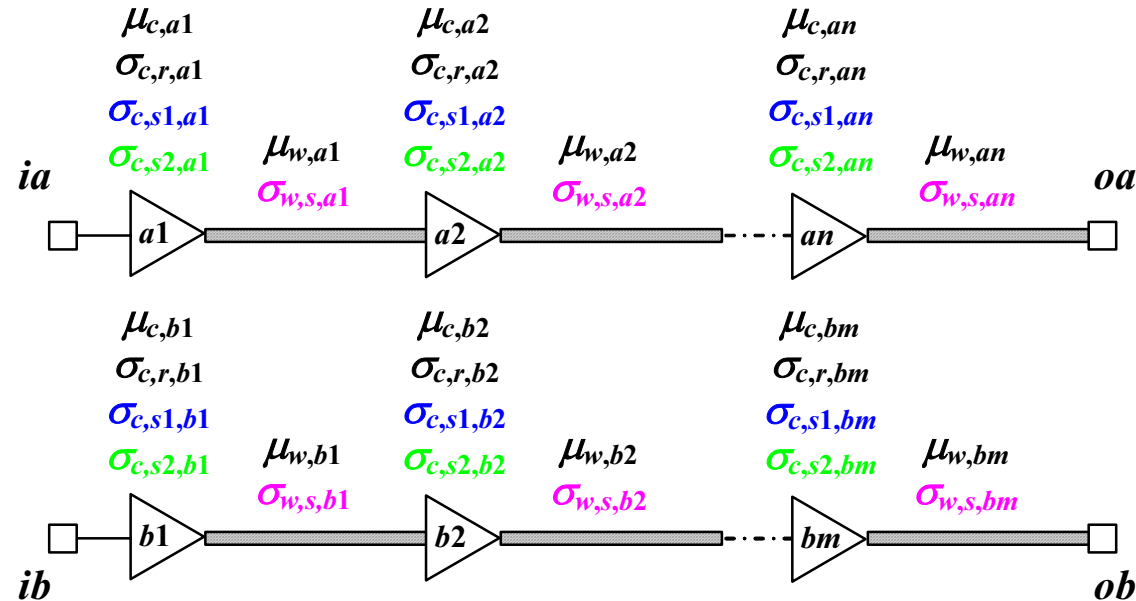
バッファ・サイズと段数効果が
近いことを示す

これは単純に段数効果

ゲート容量は付加した容量より非常に
小さいが遅延は近くなる
(負荷容量と遅延が線形でないため)

タイミング解析のためのパス遅延の計算式 1/2

下図の2つのパスの遅延差を求める



前提条件

- ◆ $\sigma_{c,r}$: トランジスタ・ランダムに相当 $\rightarrow \rho=0$
- ◆ $\sigma_{c,s1}$: トランジスタ・システマティックに相当 $\rightarrow \rho=0\sim 1$
- ◆ $\sigma_{c,s2}$: その他のシステマティック(ツール誤差等)に相当 $\rightarrow \rho=1$
- ◆ σ_w : 配線システマティックに相当 $\rightarrow \rho=1$
- ◆ それぞれ($\sigma_{c,r}, \sigma_{c,s1}, \sigma_{c,s2}, \sigma_w$)は独立

タイミング解析のためのパス遅延の計算式 2/2

(1) 2つのパスの平均の遅延差

$$\mu_{oa} - \mu_{ob} = \sum_{i=1}^n (\mu_{c,ai} + \mu_{w,ai}) - \sum_{j=1}^m (\mu_{c,bj} + \mu_{w,bj})$$

(2) パスaの出力までの要因別の分散

$$\sigma_{r,oa}^2 = \sum_{i=1}^n \sigma_{c,r,ai}^2$$

$$\sigma_{c,s1,oa}^2 = \sum_{i=1}^n \sigma_{c,s1,ai}^2 + 2 \sum_{j=1}^{n-1} \sum_{k>j}^n \rho_{c,s1,aj-ak} \sigma_{c,s1,aj} \sigma_{c,s1,ak}$$

$$\sigma_{c,s2,oa}^2 = \left(\sum_{i=1}^n \sigma_{c,s2,ai} \right)^2$$

$$\sigma_{w,s,oa}^2 = \left(\sum_{i=1}^n \sigma_{w,s,ai} \right)^2$$

$$\sigma_{oa}^2 = \sigma_{c,r,oa}^2 + \sigma_{c,s1,oa}^2 + \sigma_{c,s2,oa}^2 + \sigma_{w,s,oa}^2$$

(3) 2つのパス間の相関

$$\rho_{c,s1,oa-ob} = \frac{\sum_{i=1}^n \sum_{j=1}^m \rho_{c,s1,ai-bj} \sigma_{c,s1,ai} \sigma_{c,s1,bj}}{\sigma_{c,s1,oa} \sigma_{c,s1,ob}}$$

$$\rho_{c,s2,oa-ob} = 1$$

$$\rho_{w,s,oa-ob} = 1$$

(4) 遅延差の標準偏差

$$\sigma_{oa-ob}^2 = \left(\sigma_{c,r,oa}^2 + \sigma_{c,r,ob}^2 \right) + \left(\sigma_{c,s1,oa}^2 + \sigma_{c,s1,ob}^2 - 2\rho_{c,s1,oa-ob} \sigma_{c,s1,oa} \sigma_{c,s1,ob} \right) + \left(\sigma_{c,s2,oa} - \sigma_{c,s2,ob} \right)^2 + \left(\sigma_{w,s,oa} - \sigma_{w,s,ob} \right)^2$$

並列相関

(5) 遅延差の最大

$$D_{oa-ob} = (\mu_{oa} - \mu_{ob}) + 3\sigma_{oa-ob} \quad \text{where } \mu_{oa} \geq \mu_{ob}$$

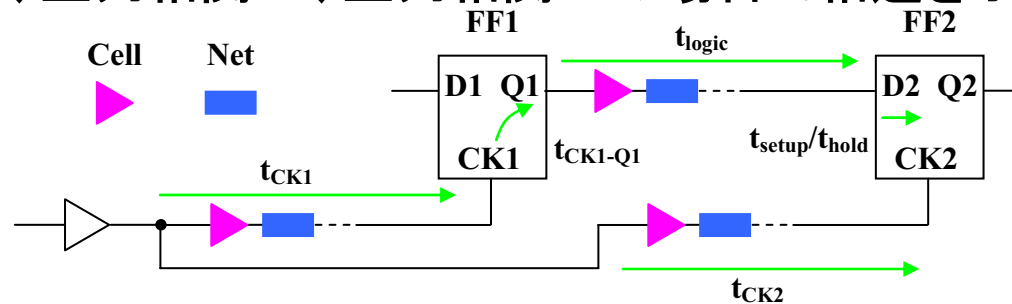
パスaをdataとした時のホールド制約は

$$\mu_{oa} - \mu_{ob} - 3\sigma_{oa-ob} \geq 0$$

- 直列相関が1に近いほど、遅延差の標準偏差が大きくなる
- 並列相関が1に近いほど、遅延差の標準偏差が小さくなる
- 空間相関をSTAで考慮する場合、直列相関=1, 並列相関=0がワースト条件となる
- 言い方を変えると、2つのパスが近くにある場合、並列相関を考慮することで、タイミング・エラーを削減できる

タイミング解析例

- 同一パス上の相関(直列相関)はタイミング・チェックを厳しくし、異なるパス間の相関(並列相関)はタイミング・チェックを緩和する方向に働く
- 以下に、一例としてホールド時間チェックの結果を、OCVなし、一律OCV($\pm 10\%$)、並列相関=0、並列相関=1の場合で相違を示す



回路条件

Path	Step	Size	Cell (ps)				Net(=wire) (ps)	
			μ_c	$\sigma_{c,r}$	$\sigma_{c,s1}$	$\sigma_{c,s2}$	μ_w	$\sigma_{w,s}$
t_{CK1}	8	8	240	1.2	3.6	2.4	24	0.24
t_{CK1-Q1}	2	2	60	1.2	0.9	0.6	6	0.06
t_{logic}	0	0	0	0.0	0	0	10	0.1
t_{hold}	2	1	0	1.7	0.9	0.6	0	0
t_{CK2}	5	4	290	2.6	4.35	2.9	29	0.29

結果

手法	D_m (ps)	判定
OCV無し	21.0	OK
一律OCV	-44.9	NG
並列相関=0	-3.5	NG
並列相関=1	7.6	OK

$$D_m = t_{CK1} + t_{CK1-Q1} + t_{logic} - t_{hold} - t_{CK2} \geq 0$$

- 結果として、OCV無し、並列相関=1、並列相関=0、一律OCVの順に検証は通りやすい
- しかし、OCV無しや一律OCVは不正確である
- サイズや段数効果を考慮し、更に相関を考慮した統計手法は、統計理論として正確であり、マージン削減につながる

最小マージンの限界

経験からの変動量

		Cell				Interconnect	
		$\% \sigma_{tr,ran}(x1)$	$\% \sigma_{tran,sys}$	$\% \sigma_{other}$	$\% \sigma_{Vdd}$	$\% \sigma_{wire}$	$\% \sigma_{other}$
補足	Min	4	1.5	1	1.5	0.5	1
	Max	5	2.5	3	2.5	1	6

■ セル

- PelgromモデルによるP&Nトランジスタの面積定数は、約3～5

■ 配線

- 同一構造(真上と断面)の配線ばらつきは小さい
- 配線構造が異なる一般のLSIでは、Litho & CMPシミュレータでその様子を考慮するならば問題ないが、考慮しない場合はマージンが必要
- 配線の温度変動による配線遅延への影響が少しある
- ツール誤差は配線の方が大きい(LPE)

Cell遅延(配線変動とVdd変動を除く)のOCV値(3 σ %) … 上記表のMin条件

サイズ (x1)	段数	1-path $\rho_s=1$	Difference between 2 paths		
			$\rho_s=1, \rho_{p,1}=0, \rho_{p,2}=0$	$\rho_s=1, \rho_{p,1}=1, \rho_{p,2}=0$	$\rho_s=1, \rho_{p,1}=1, \rho_{p,2}=1$
1	1	13.2	18.6	17.5	17.0
4	4	6.2	8.7	6.0	4.2
8	8	5.6	7.9	4.7	2.1
16	16	5.5	7.7	4.4	1.1

但し、 ρ_s は直列相関、 $\rho_{p,1}$ はtranのsysの並列相関、 $\rho_{p,2}$ はotherのsysの並列相関



まとめ

- ばらつきを設計で扱うためのモデリング、シミュレーション方法を示した
- 統計的手法は回路動作・検証としてより現実的になるであろう
- ばらつきはばらついている！
 - 統計理論は正しくても、タイミング解析に入れるデータが過小見積もりでは危険である
 - 統計理論に基づいて、実測ばらつき平均のばらつきも考慮して(マージンを見込んで)設計すべき



参考文献

- [1] PrimeTime Version W-2004.12, Synopsys, Inc., 2004.
- [2] P.S.Zuchowski, P.A.Habitz, J.D.Hayes, and J.H.Oppold, “Process and environmental variation impacts on ASIC timing,” Proc.ICCAD, pp.336-342, Nov.2004.
- [3] H.Mahmoodi, S.Mukhopadhyay, and K.Roy, “Estimation of delay variations due to random-dopant fluctuations in nanoscale CMOS circuits,” IEEE J. Solid-State Circuits, vol.40, no.9, pp.1787-1796, Sep.2005.
- [4] S.Ohkawa, M.Aoki, and H.Masuda, “Analysis and characterization of device variations in an LSI chip using an integrated device matrix array,” IEEE Trans. Semiconduct. Manufact., vol.17, no.2, pp.155-165, May 2004.
- [5] M.J.M.Pelgrom, A.C.J.Duinmaijer, and A.P.G.Welbers, “Matching properties of MOS transistors,” IEEE J. Solid-State Circuits, vol.24, no.5, pp.1433-1439, Oct.1989.
- [6] N.A.C.Cressie, Statistics for spatial data, John Wiley & Sons, Inc., 1993.
- [7] R.Webster and M.A.Oliver, Geostatistics for environmental scientists, John Wiley & Sons, Inc., 2001.
- [8] P.Friedberg, Y.Cao, J.Cain, R.Wang, J.Rabaey, and C.Spanos, “Modeling within-die spatial correlation effects for process-design co-optimization,” Proc. ISQED, Mar.2005.
- [9] C.S.Amin, N.Menezes, K.Killpack, F.Dartu, U.Choudhury, N.Hakim, and Y.I.Ismail, “Statistical Static Timing Analysis: how simple can we get?,” Proc. DAC, pp.652-657, June 2005.
- [10] H.Masuda, S.Okawa, A.Kurokawa, and M.Aoki, “Challenge: variability characterization and modeling for 65- to 90-nm processes,” Proc. IEEE CICC, pp.594-600, Sep. 2005.