

統計的STAの 実用化技術

富士通(株)
松岡英俊

STA:static timing analysis

2007.1.25

All Rights Reserved, Copyright FUJITSU LIMITED 2007

目次

1. 統計的STAについて
2. 導入の考え方
3. 統計的STAの要素技術
4. 設計への適用
5. まとめ

STA:static timing analysis

目次

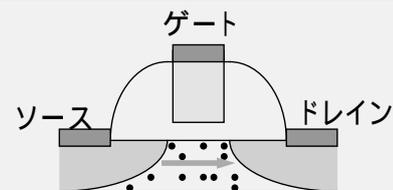
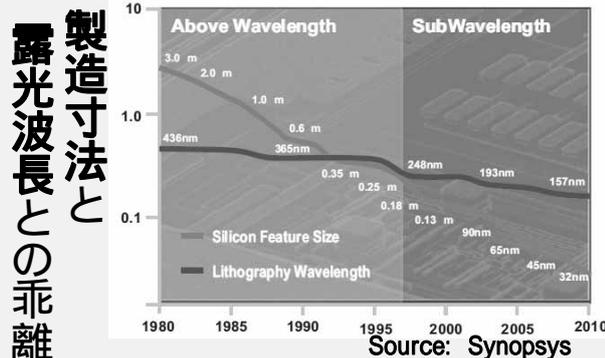
1. 統計的STAについて
 1. 必要となった背景
 2. タイミング解析法
 3. 統計的STAの基本演算
2. 導入の考え方
3. 統計的STAの要素技術
4. 設計への適用
5. まとめ

STA: static timing analysis

2

All Rights Reserved, Copyright FUJITSU LIMITED 2007

統計的STAが必要になった背景



トランジスタ内の不純物原子数が数百個にまで減少し、位置分布が特性へ影響

不純物濃度バラツキの増加

その他の製造バラツキ

- ・CMPでの平坦性の問題
- ・位置合わせ精度
- ・ゴミ
- ・Line Edge Roughness

製造バラツキの増大の結果、ゲートの遅延変動が避けられなくなった

ゲート遅延を確率的に変動するとして扱う統計的STAが必要に

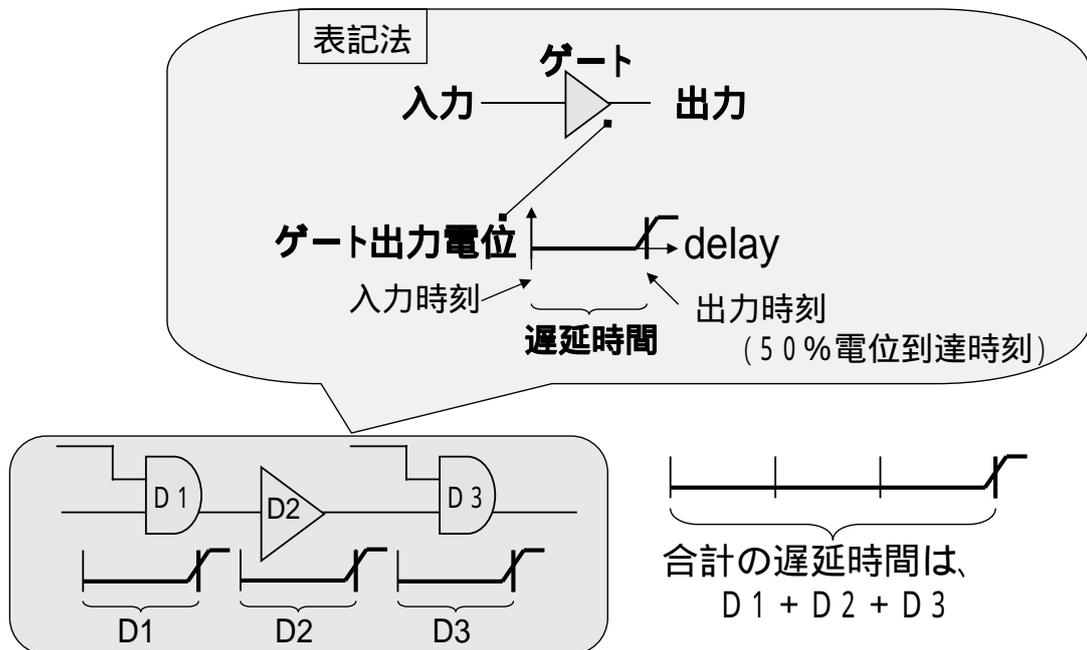
3

All Rights Reserved, Copyright FUJITSU LIMITED 2007

タイミング解析法 (バラツキなし)

■ バラツキのないゲート遅延の考え方

- 同一ゲートの遅延時間は一定とする (チップ内バラツキなし)



4

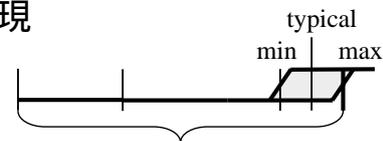
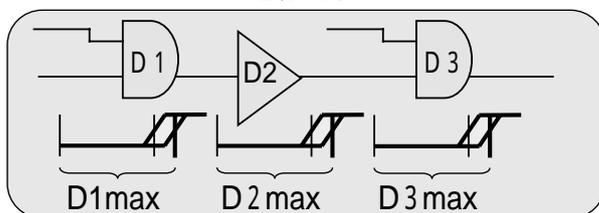
All Rights Reserved, Copyright FUJITSU LIMITED 2007

タイミング解析法 (バラツキ考慮)

■ 従来のゲート遅延バラツキの考え方

- 遅延バラツキが小さい場合

- 製造したチップにより各ゲートの遅延時間が確率的に異なる
- 遅延の 3 相当 (後述) を min-max の幅で表現
- ワーストのみを加算

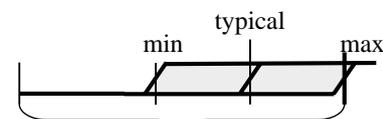
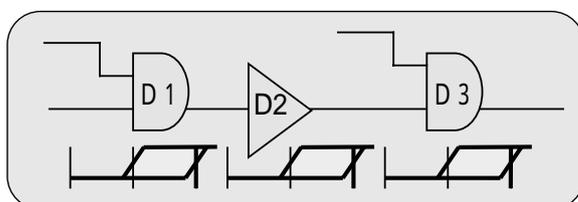


遅延時間は、
 $D1_{max} + D2_{max} + D3_{max}$

ワースト条件で動く様に設計
(チップ間バラツキはこれで正しく扱える)

- バラツキの増大による問題

- テクノロジーの微細化により
平均遅延は減少するがバラツキは増大



遅延ワースト

守るのが困難
あまりにも悲観的

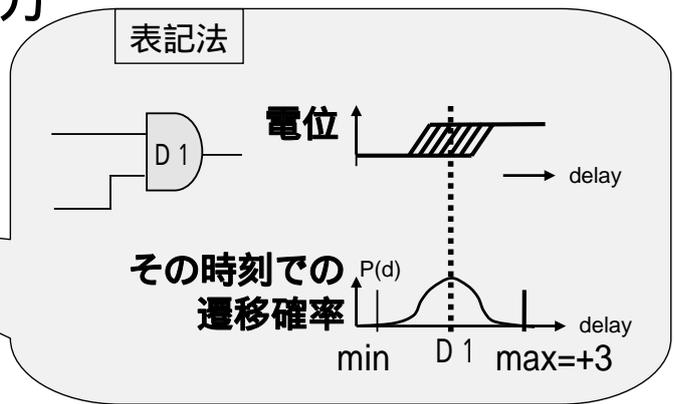
5

All Rights Reserved, Copyright FUJITSU LIMITED 2007

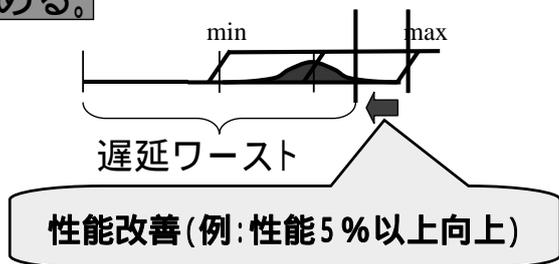
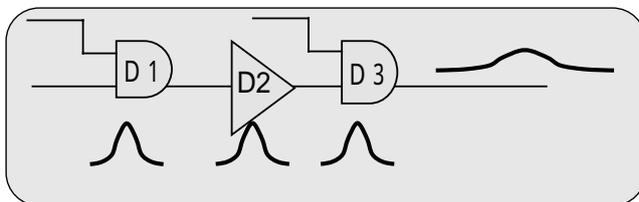
タイミング解析法 (統計的手法)

■ 今後のゲート遅延の考え方 (統計的タイミング解析)

- 遅延を **確率分布として表現。**



- パスやチップの遅延時間の確率分布を **統計的演算により求める。**

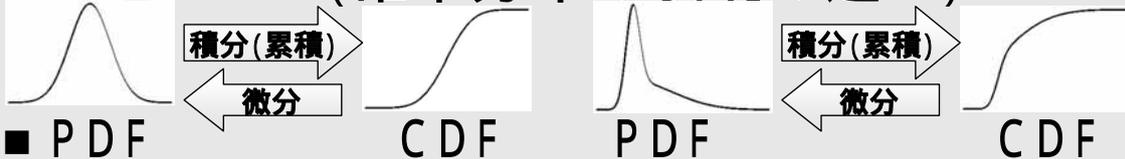


統計に関する用語

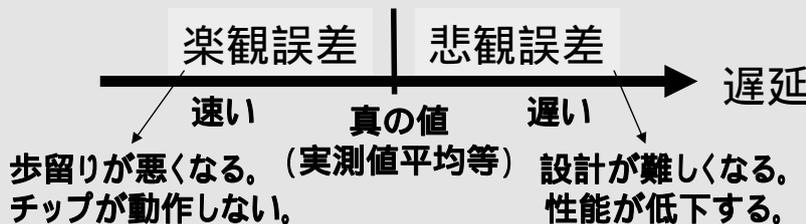
■ 正規分布

- プロセス変動源の分布を正規分布と仮定
- 正規分布に近づく

■ PDFとCDF (確率分布の表現の違い)



■ 遅延解析での悲観誤差と楽観誤差



PDF/CDF:
Probability Density /
Cumulative Distribution
Function

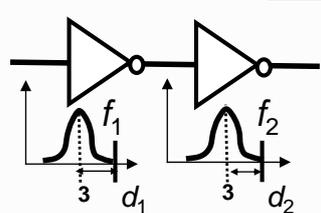
ここでは遅い方が
悪化する場で説明

統計的STA (SSTA) の基本演算

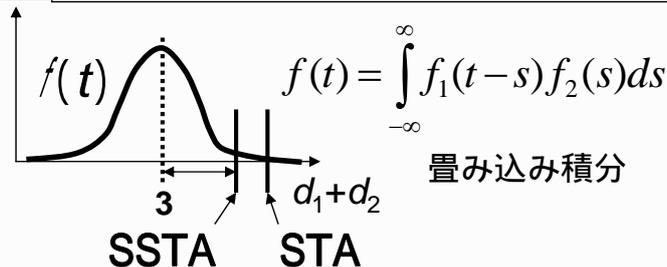
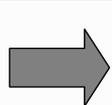
(a) 直列の処理

統計的加算

統計的STAはSTAの **悲観性** を緩和



通常の加算

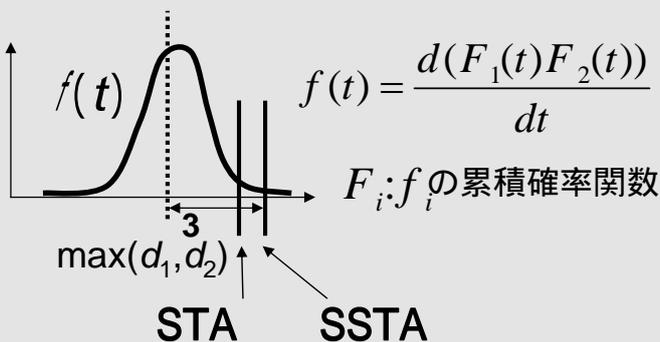
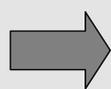
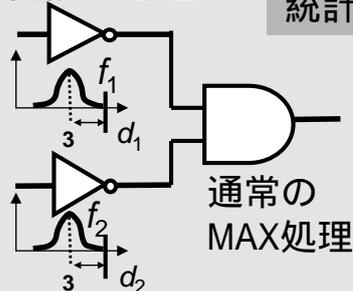


SSTA STA

(b) 合流の処理

統計的MAX処理

統計的STAはSTAの **楽観性** を緩和



$\max(d_1, d_2)$

STA SSTA

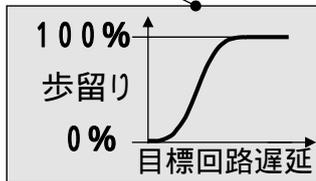
SSTA: statistical STA

目次

1. 統計的STAについて
2. 導入の考え方
 1. 効果
 2. 問題
 3. 方針とアプローチ
3. 統計的STAの要素技術
4. 設計への適用
5. まとめ

統計的STA導入の効果

- 遅延を分布で扱う事でバラツキの大きいテクノロジーで
 - タイミング解析精度の向上
 - 周波数歩留り予測の実現

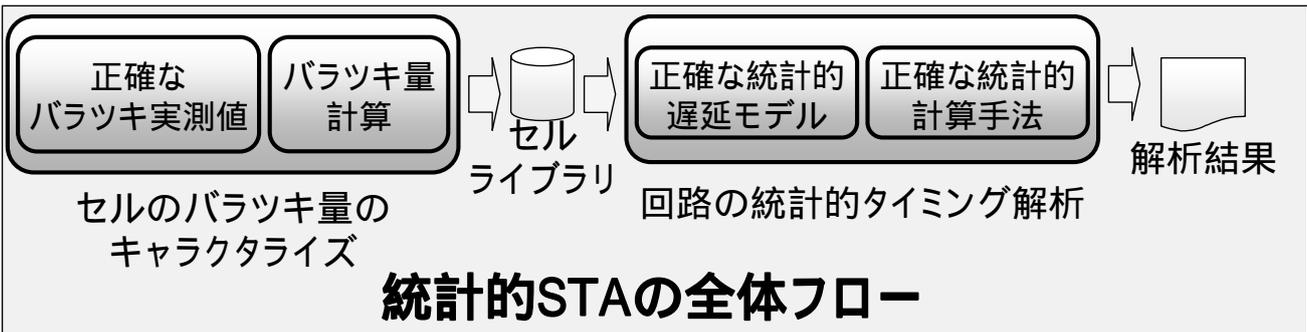


- 従来のSTAでの
 - 直列接続の場合の悲観性誤差を緩和
 - 合流の場合の楽観性誤差を緩和

- 設計期間短縮・性能向上
- マージン(ガードバンド)不足の危険性を回避

- 周波数歩留りの向上
- 生産コストの削減

統計的STA導入の問題



- 解析フロー構築、設計フローへの組み込みに伴う様々な問題
 - 新テクノロジーの実測値が入手困難
 - バラツキ量の計算が困難
 - どの遅延モデルや計算方法が適切か評価が困難
 - 解析結果を活用する適切な設計フローの構築が困難

フローを
ボトムアップに構築

- 一般的な解決策

- ツールを開発 ⇨
- 市販ツールの利用 ⇨

実現コスト大
環境が整うまで
ノウハウの蓄積に } 時間がかかる

統計的STA導入の方針とアプローチ

■ 方針:

- 解析ノウハウ、活用ノウハウの蓄積を優先する
- フローを早く立ち上げる
- 実現コストを低く抑える



■ アプローチ:

- 現実的な近似を行う事で、短時間でフロー構築
- 対象回路の性質を考慮し、誤差の少ない手法を選択
- 実測との比較、近似の影響評価を行い、精度向上
- 市販CAD環境が整えば、置き換え可能に

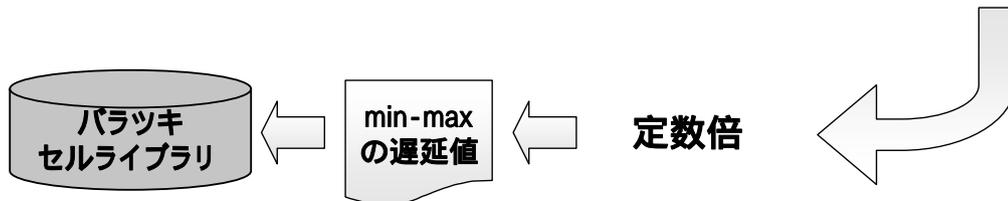
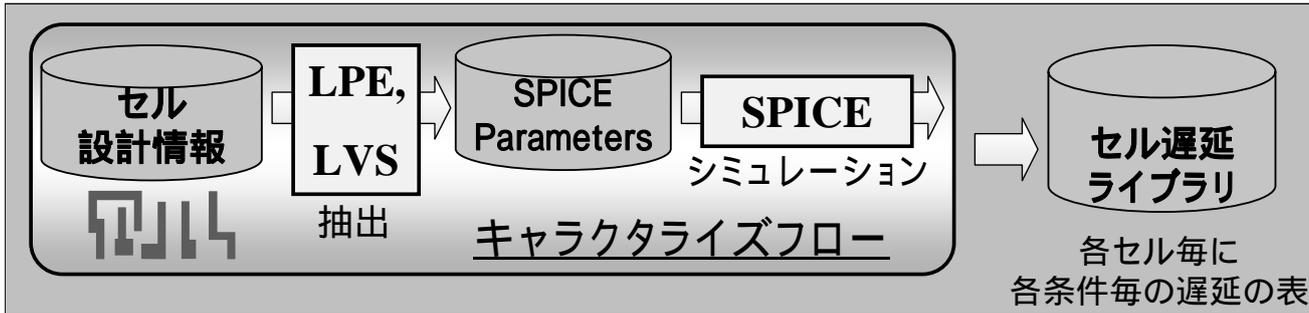
実測値を有効活用し
トップダウンに
フロー構築

目次

1. 統計的STAについて
2. 導入の考え方
3. 統計的STAの要素技術
 1. セルのキャラクタライズ
 2. パラッキの打ち消し効果
 3. 合流の影響
 4. パスの遅延分布の影響
 5. 再収斂パス
 6. スルーパラッキ
4. 設計への適用
5. まとめ

実測との比較や評価から
影響の大きい物を見つけ
性質を調べて実装に反映

従来のセルの遅延モデルの生成



- チップ内バラツキのmin-maxの遅延値は、遅延平均値を定数倍して作成 従来手法

セルの遅延モデルの生成手法

従来のキャラクタライズ結果から生成

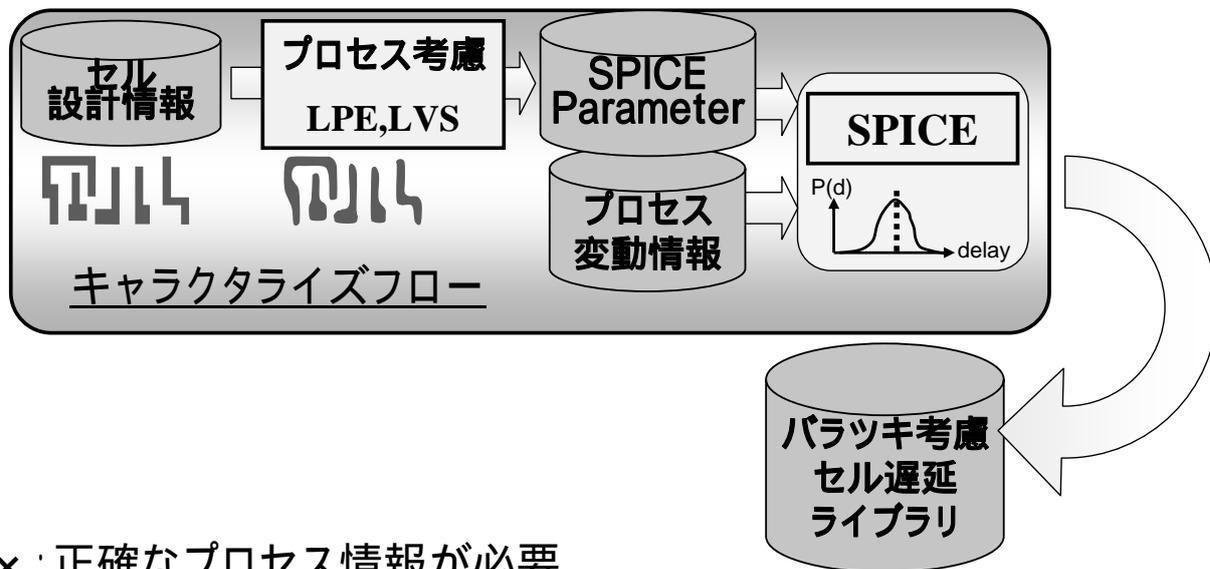
簡易手法



- :再キャラクタライズが不要
- × :バラツキの抽出が正確でない

セルの遅延モデルの生成手法

バラツキを考慮したキャラクタライズ 理想的手法



- × : 正確なプロセス情報が必要
- × : 計算量が膨大、ツール開発コストが大きい
- : バラツキ分布計算精度が高い

セルの遅延バラツキ生成手法まとめ

■ 種類

1. 従来のキャラクタライズ結果から遅延を定数倍して、バラツキ情報を生成 従来手法
2. 従来のキャラクタライズ結果からセル内部構造を考慮して、バラツキ情報を生成 簡易手法
3. バラツキを考慮してキャラクタライズを実行 理想的手法

■ 採用した手法

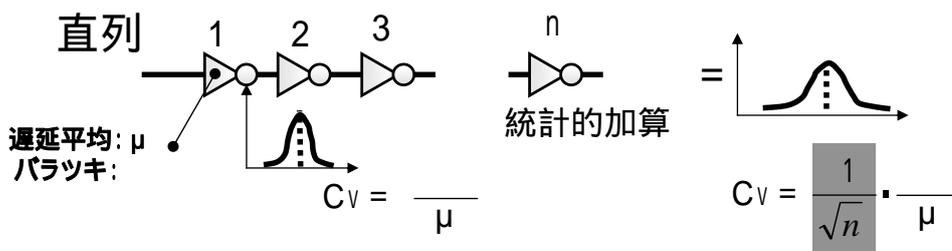
- 当初: 簡易手法を採用 早い立ち上げ
- 現在: 理想的手法の市販ツールで置き換え

実現コスト抑制

バラツキ打消し効果

平均遅延に対する
遅延バラツキ(標準偏差)の割合 $Cv = \frac{\text{遅延バラツキ}}{\text{遅延平均}}$

■直列接続によるバラツキ打消し効果



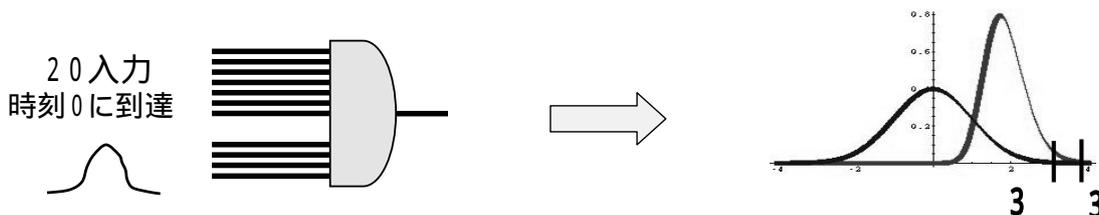
■遅延バラツキの割合は段数に依存

- ただしチップ間バラツキは打ち消し合わない 分離が必要

セルの遅延バラツキの計算に利用

合流による影響

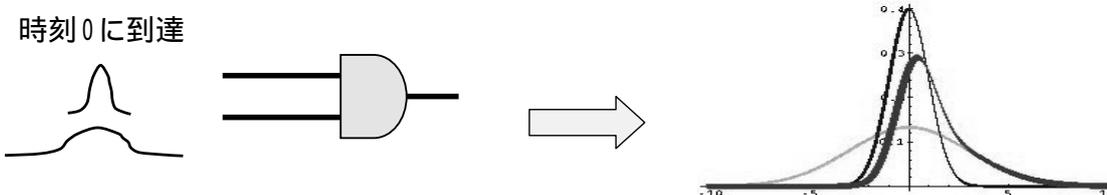
■20入力の同一分布の合流



■同着の合流数が多い場合

従来のSTAでは楽観誤差が発生

■バラツキの異なる分布の合流

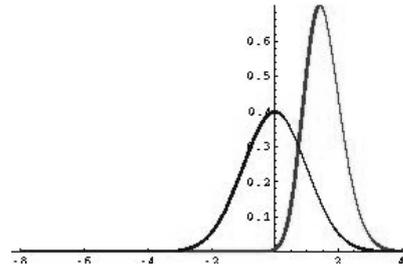
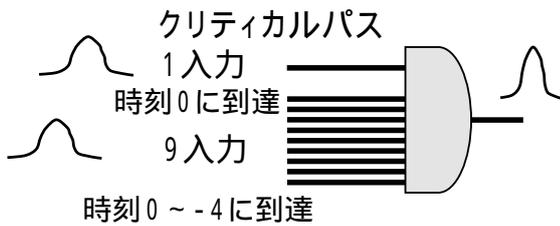


■非正規性の発生

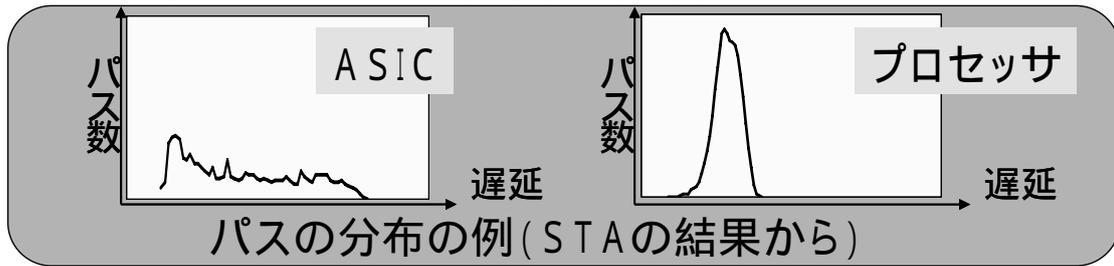
誤差削減のために考慮

パスの分布の性能への影響

■ クリティカルパス近くのパスのみがチップの遅延に影響



■ パスの分布によりチップ性能に影響するパス数が決まる



- 性能へ関与するパス数の回路依存
- 直列性・並列性の回路依存

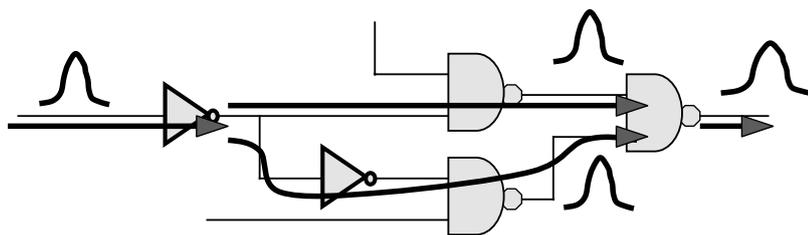
高速化に利用

パス分布に応じた設計フローを実現

再収斂パスとその扱い

■ 再収斂パス

- 一度分岐したパスが下流で再度合流するパス

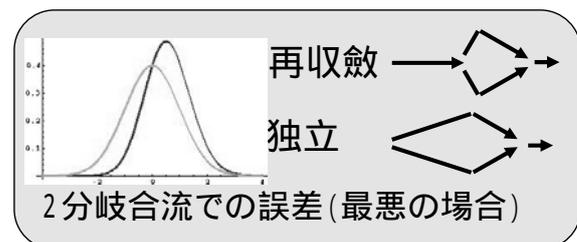


■ 特徴

- 再収斂パスを独立として合流演算を行うと悲観誤差が発生
- 正確な計算が困難
- 誤差の大きさは回路に依存
 - 分岐点の位置、再収斂数

■ 採用した手法

- 誤差評価手法を開発し、誤差が小さい場合は簡易手法で計算



再収斂パスの誤差の評価

■ 評価方法

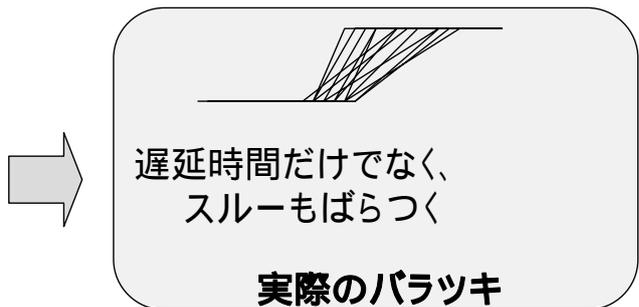
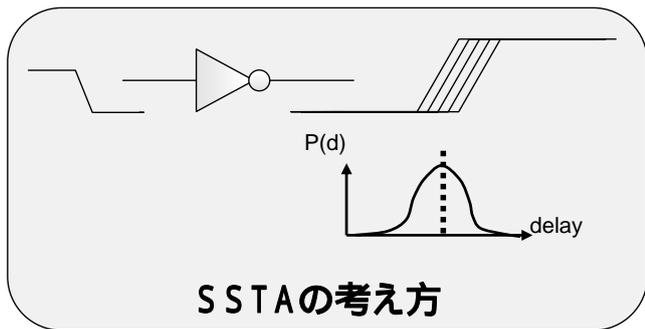
- ・パス切断により、楽観誤差となる回路 を生成
- ・独立とみなした計算結果 と比較
- ・誤差が少なければ、 の結果を代用



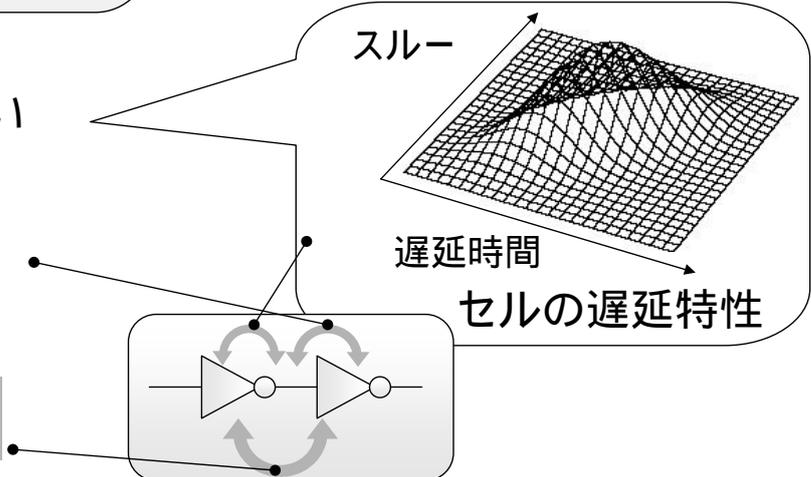
遅延	遅い ←	→	速い
誤差	悲観	正確	楽観
計算	容易	困難・遅い	容易

精度向上・高速化に利用

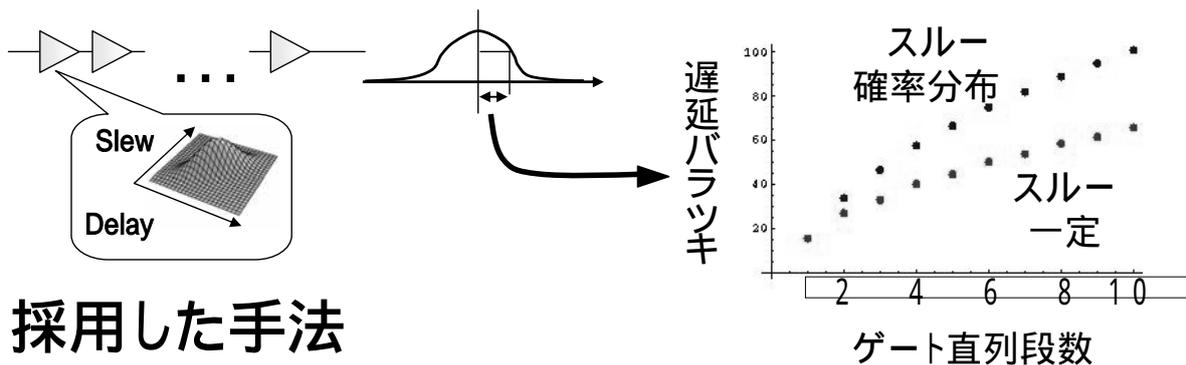
スルー (遷移時間) バラツキによる影響



- スルーが大きい場合は遅延も大きい場合が多い (相関がある)
- セルの入力スルーが大きいと遅延も大きい
- スルーを仲立ちとして、次段のゲート遅延との間に相関が発生



スルーバラツキの扱い



■ 採用した手法

■ プロセッサ

- 遷移時間が短く、論理段数が一定なため、当初はバラツキ係数調整で吸収

実現コストを抑制

■ ASIC

- 回路構造のバラツキが大きく考慮が必要なため、キャラクタライズツールとSSTAツールで考慮

精度を向上

目次

1. 統計的STAについて
2. 導入の考え方
3. 統計的STAの要素技術
4. 設計への適用
 1. 方針とアプローチ
 2. 設計フロー
 3. 効果
5. まとめ

設計への導入の方針とアプローチ

■ 方針

■ 従来のSTAフローからの乗り換えが容易

- 設計者が覚えることが少ないこと
- 設計者の過去の設計ノウハウが活かせること
- 実行時間が大きく増大しないこと

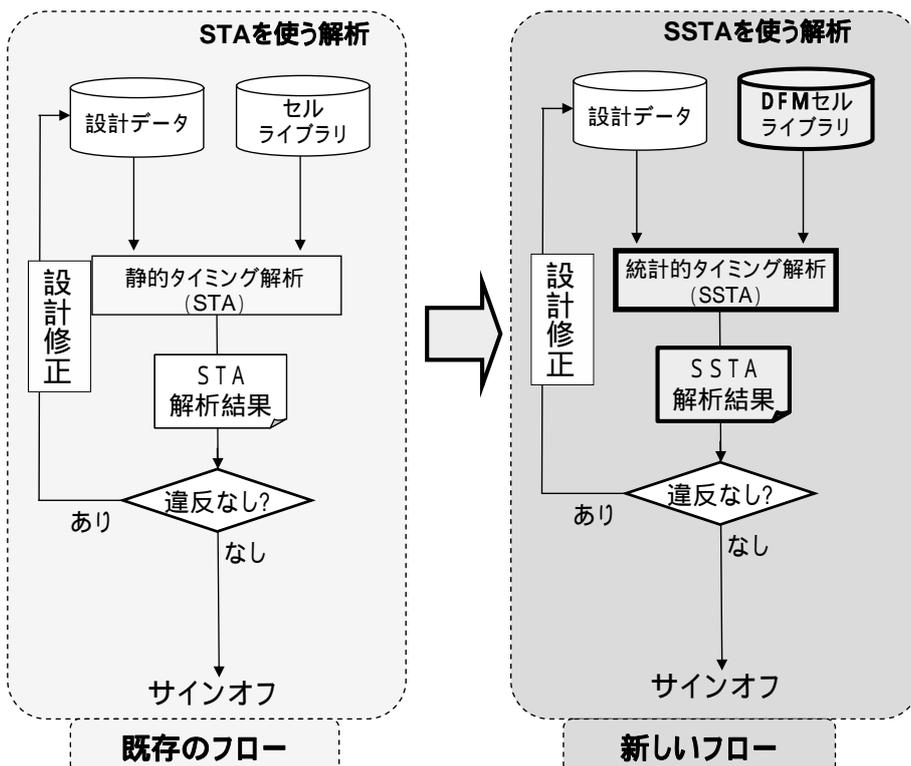
■ アプローチ

■ 既存フローに追加する形で実現

■ 応用に応じたフローを開発

- 一般ロジック専用フロー
- プロセッサ専用フロー

従来考えられていた統計的STAの適用フロー

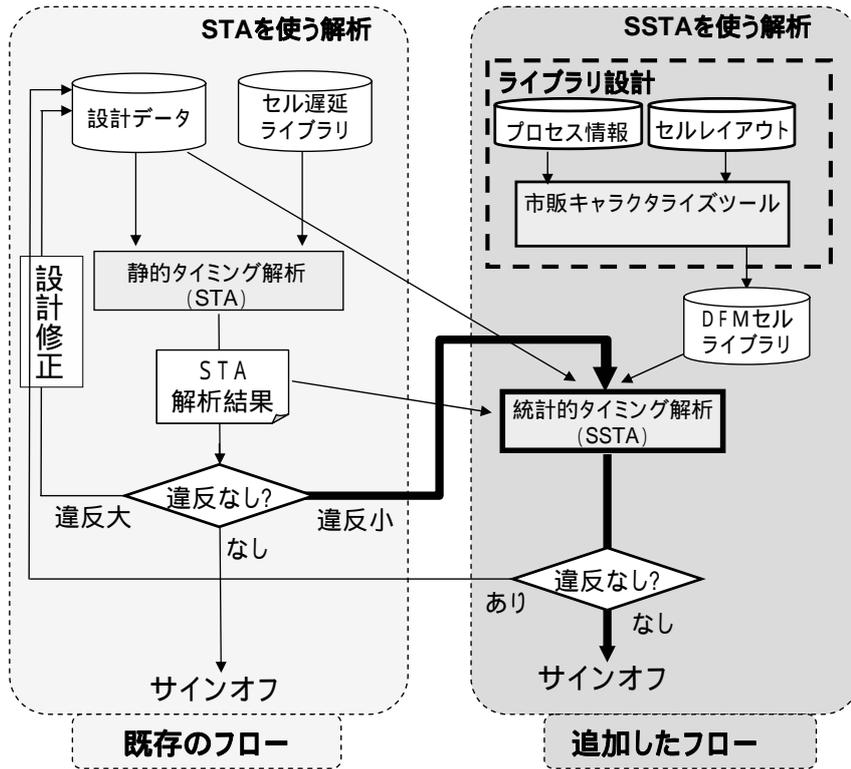


既存フローを
SSTAを使う
フローで置き換
え

実行時間の遅い
SSTAの実行回
数が多い。
SSTAには従来
のSTAと同等の
機能と精度が求
められる。

従来のSTA解析
結果に対する
設計者の感覚、
ノウハウ、自動
化スクリプト等を
SSTA用に置き
換える必要があ
る。

我々の一般のロジックLSI設計への適用フロー



本フローの特徴

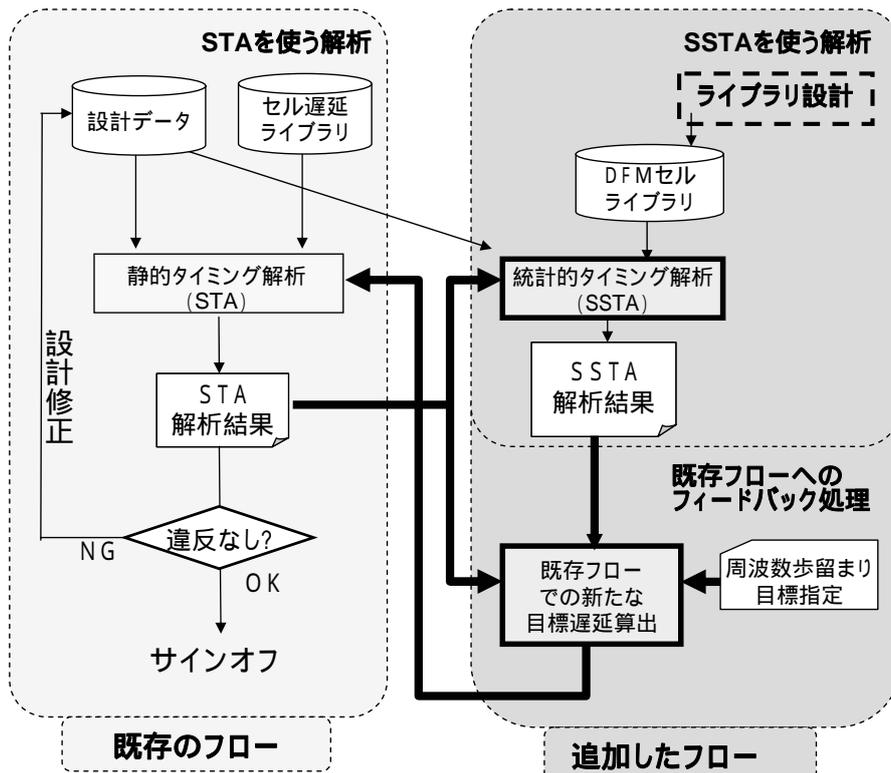
既存フローに SSTA を使う フローを追加

タイミング制約違反の小さい場合に、統計的タイミング解析を実行

STA 解析結果のクリティカルパス情報を利用して SSTA を高速化

設計者は主に実行時間が短く、使い慣れた STA を使って設計できる。

我々のハイエンドプロセッサへの適用フロー



本フローの特徴

既存フローに SSTA を使う フローを追加

STA 解析結果を利用して SSTA を高速化

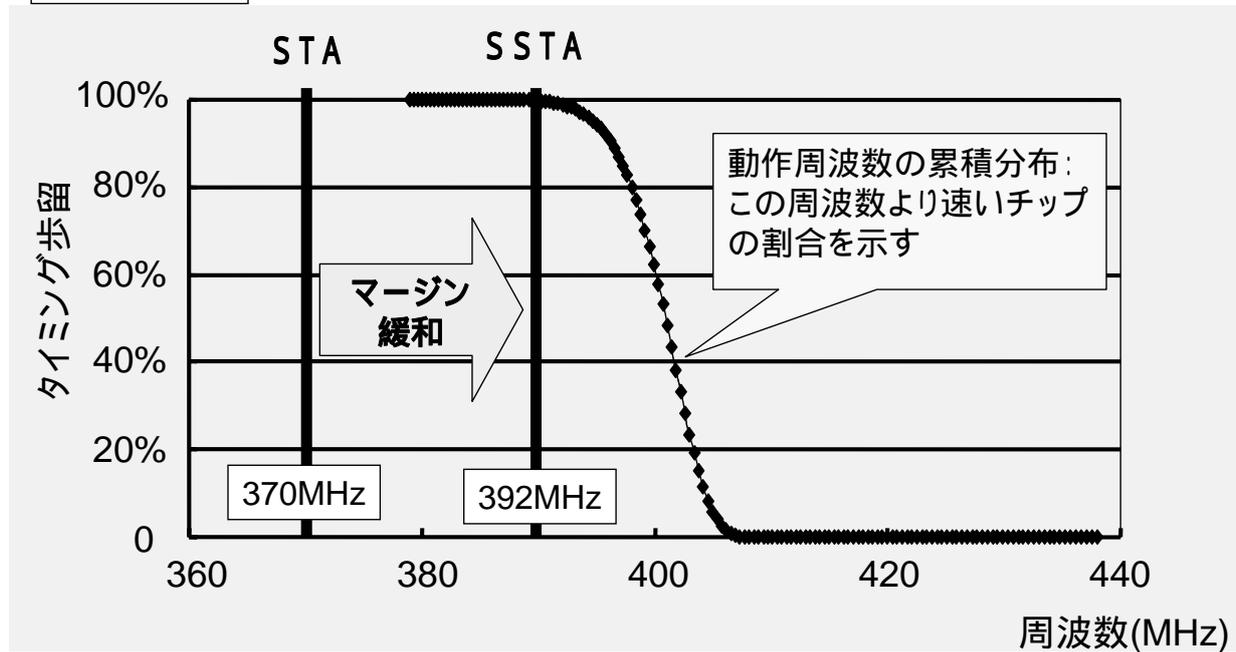
STA 解析結果、SSTA 解析結果から、STA の新たな目標遅延を算出

設計者は主に実行時間が短く、使い慣れた STA を使って設計できる。

統計的STA導入の効果

90nm ASIC

■ 30%の設計期間短縮



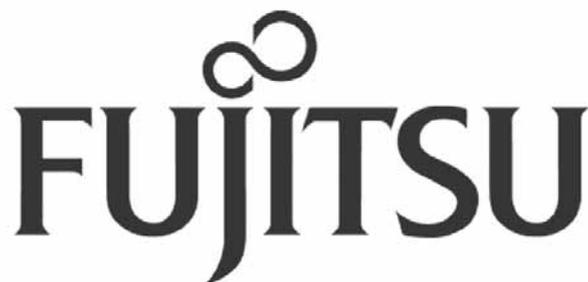
本データはやや古く、最近の評価ではツール精度向上により、効果がさらに改善されている。

目次

1. 統計的STAについて
2. 導入の考え方
3. 統計的STAの要素技術
4. 設計への適用
5. まとめ

まとめ

- 統計的STAツールの開発
 - ノウハウの蓄積を優先
 - 開発コスト・開発期間の圧縮
 - EDAツールとも置き換え可能に(一般ロジック向け)
 - 実測値との比較・近似の影響評価結果を反映
 - 影響の大きい項目の性質を調べ実装に反映
 - 対象回路に応じた近似計算手法を採用
- 設計への適用
 - 従来フローからの乗り移りが容易なフローを構築
 - マージン緩和により設計期間を短縮

The Fujitsu logo consists of an infinity symbol (∞) positioned above the word "FUJITSU" in a bold, serif font.

THE POSSIBILITIES ARE INFINITE