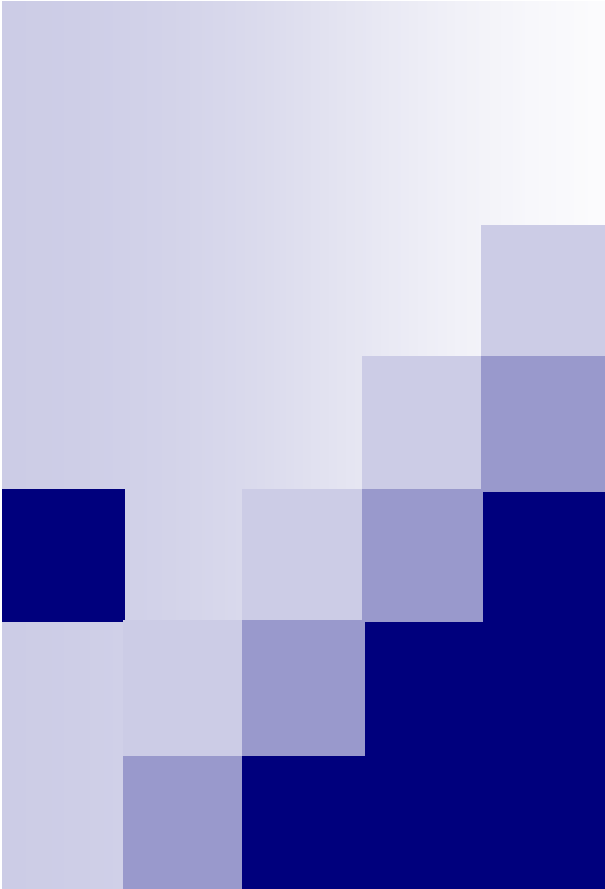




バラツキを許容する 回路技術

NEC システムデバイス研究所
萩原 靖彦



概要

1. 素子ばらつきについての認識
2. 回路毎の対応(ロジック、アナログ、SRAM)
3. embedded-SRAM(eSRAM)の詳細
ばらつきを許容する回路技術
4. その他のばらつき対策
5. まとめ

ばらつき分類

1. ロット間
2. ウエハレベル
3. チップ内 (ショット内)
4. パタン依存 (STIストレスなど)
5. ランダムばらつき (mismatch, LWR)

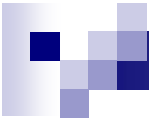
ゴミ、傷、欠陥は
除外します

システマティックばらつき

- ←無限の労力を投入すれば予測可能なばらつき
- OPCや製造技術で改善する
- 製造前に特性を把握した上で許容する
- 把握できなければランダムばらつきと同じ扱い

ランダムばらつき

- 論理的、**回路的**に対処する



ばらつき分類 -続き-

1. ロット間
2. ウエハレベル
3. チップ内 (ショット内)
4. パタン依存 (近接効果、STIストレスなど)
5. ランダムばらつき (mismatch, LWR)

従来のSPICEパラメータのコーナーモデルは1～4を包含する必要があったが、システムティックばらつきの取り込みにより1～2(または1～3)に対応すればよくなる。
5の割合増加に伴い、統一的にハンドリングできる仕組みが必要となっている

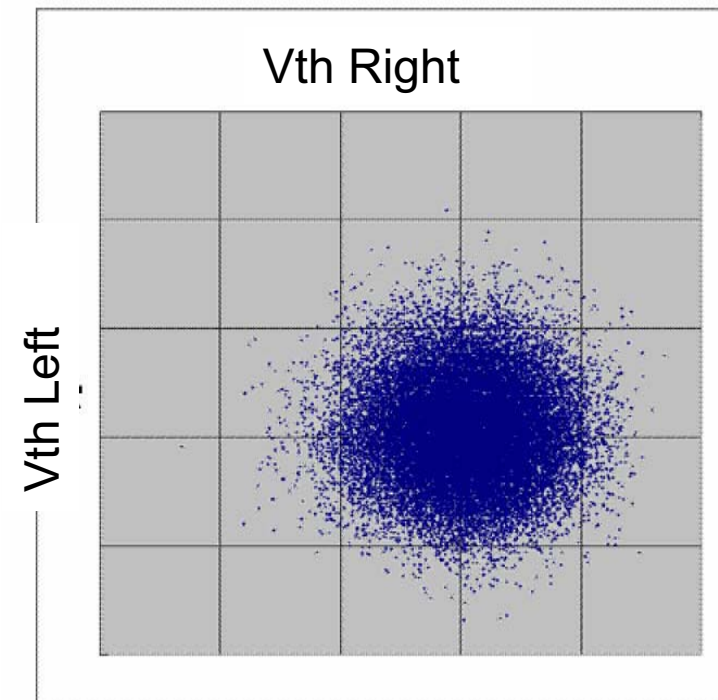
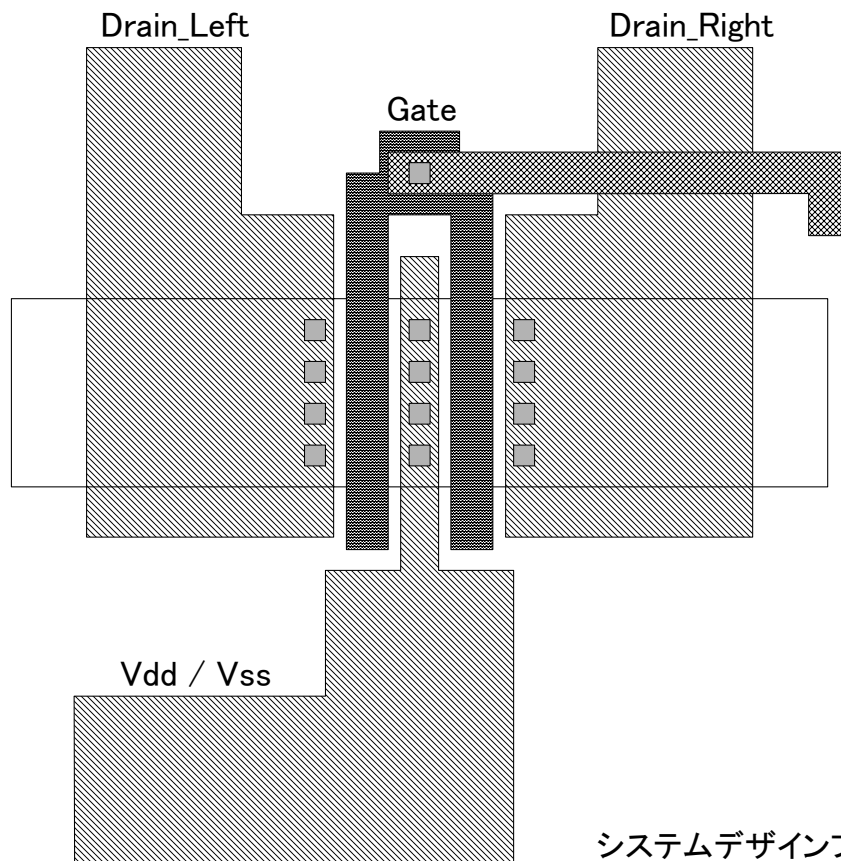
Variability	変化する可能性がある事象 (e.g. ランダム)
Variation	変化する量が予測できる事象 (e.g. パタン依存)

ばらつき分類 -ランダムその1 ミスマッチ-

隣接する2つのトランジスタの V_{th} を測定すると相関がない！？

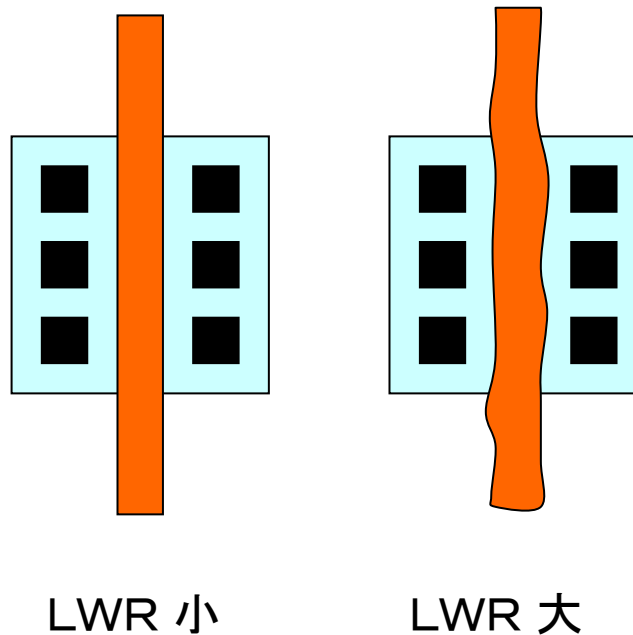
V_{th} 差は正規分布、 σ (V_{th} 差) は T_{ox} に比例し、 $\sqrt{L \times W}$ に反比例する
(Pelgrom則, 1989)

顕微鏡でまったく同じ T_r に見えても、不純物の数／配置で V_{th} が変動



ばらつき分類 -ランダムその2 LWR-

- ・Line Width Roughness (以前はLine Edge Roughness)
幅ばらつきの平均値と周期が一定なら、
素子特性は近似的に $\sqrt{\text{LWR}}$ に反比例する
- ・レジストの分子サイズでリミットされる





ばらつきに関する認識

1. ドーピングで V_{th} を制御するトランジスタ構造を使い、微細化によって $L \cdot W$ をスケールリングする限り、不純物数不確定さに起因するmismatch (Pelgrom係数 / $\sqrt{LW}$)が悪化することは確定しているが、それ以外のばらつきが悪化するとは断言できない
2. Mismatchを直接的に測定する手法は確立している。今後はその他のばらつき量(移動度など)を効率よく測定する回路、測定技術の開発が必要
3. 原因不明なばらつきおよびランダムばらつきについては、状況把握、論理／回路的な対策が必要
4. トランジスタばらつきが注目されがちだが、配線(C,R,L)、抵抗素子、容量素子についても状況把握技術が必要

回路毎の影響・対応

-ロジック-

ばらつきが増加すると、

- ・クロックskew増大で誤動作

メッシュ型トポロジ、GALS(大域非同期／局所同期)で対応

- ・ σV_{th} が増大すると V_{th} ばらつきが増大し、ONになりきれないトランジスタが確率的に出現し高速動作の妨げとなる

- ・ V_{th} ばらつきが増大するとskewed回路(PN比がアンバランス)が動作しなくなる(I_{on} と I_{off} が拮抗し中間電圧が出力に現れる)
さらに微細化が進み V_{th} ばらつきが増大すると通常のNAND、インバータでさえ動作しなくなる

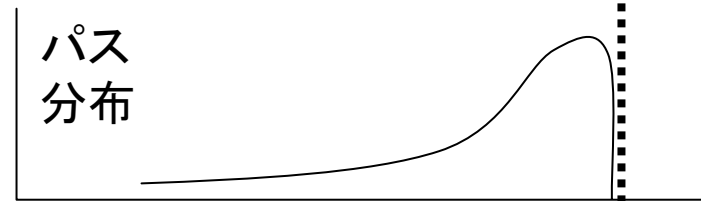
#統計STAはオーバーマージン設計のマージンを実状と一致させることを目的とした技術である。問題力所を的確に発見することで回路の動作マージンを拡大することが可能。

-ロジック1 システマティックとランダム(SSTA) -

- ・従来の設計スタイルではSTAで全クリティカルパスが設計制約以下になるように設計が進められる
- ・システマティックばらつきは様々な努力で状況把握、設計取り込み、製造フィードバックが進められている
- ・統計STA(SSTA)
ランダムばらつきに敏感な回路を抽出することができるかと期待している

STA+従来
型コーナー
モデル

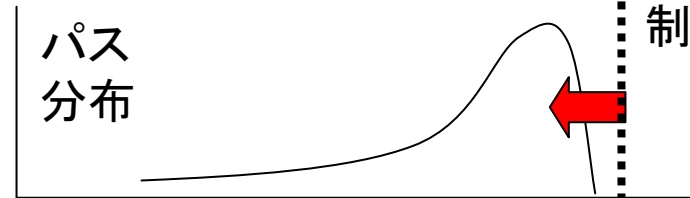
パス
分布



設計
制約

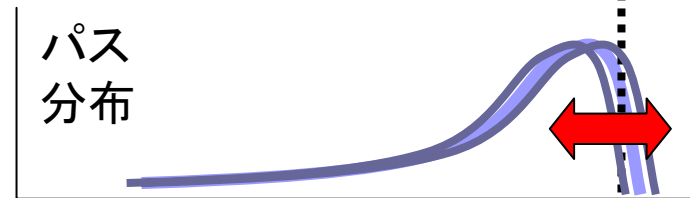
システマ
ティックばら
つきを正しく
考慮

パス
分布



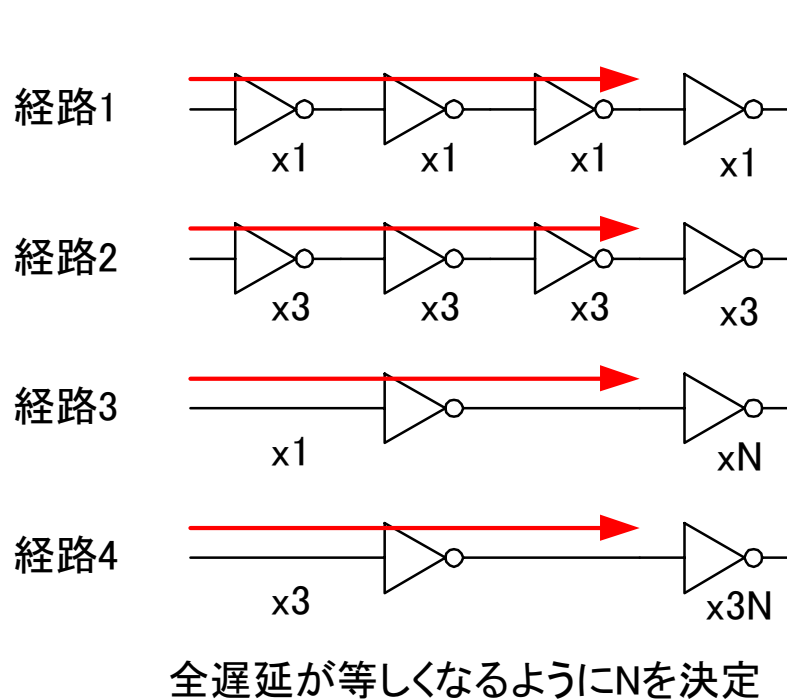
ランダムばら
つきを考慮

パス
分布

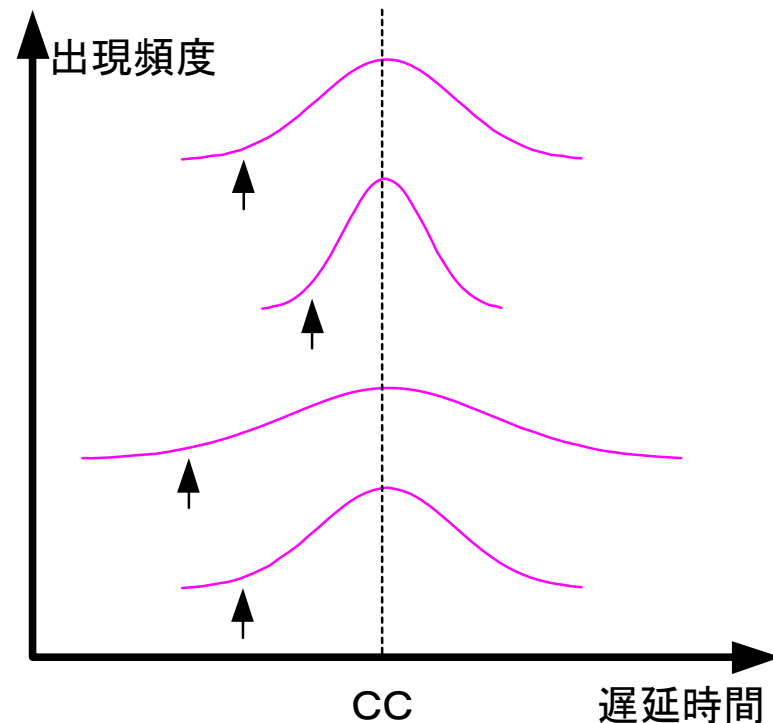


遅延 大→

-ロジック2 ランダムばらつき -



波形傾きが鈍った回路(経路3、4)は、それ以外の等遅延経路と比べると論理段数が少ないためランダムばらつきが平均化されにくい



遅延時間の平均はすべて等しいが
3 σ ワースト値は回路に依存する



回路毎の影響・対応

-アナログ-

- ・1.0Vなど考えたくない!!
- ・スケーリングしても面積縮小率を抑制してVdd低下分を補償したり性能を向上する
- ・一部に厚Toxトランジスタを用いるという選択肢もある
- ・デジタルが得意な領域はデジタルに任せて、アナログは重要部分に注力する。デジタル部のスケーリングを面積・電力スケーリングとして享受



対ばらつきの共通(回路)技術

1. 特性ばらつきが小さいトランジスタを開発、採用する
Native-device (non-dope)
(V_{th} はゲート材料の仕事関数で制御可能)
zero- V_{th} Tr, low- V_{th} Tr
multi-gate-Tr (?)
FD-SOI (?)
2. 並列回路、大LWによる平均化
3. オフセット キャンセル(auto-zero)
4. V_{dd} ブースト, Clockブースト
5. 基板バイアス制御で個々の特性を調整する

回路毎の影響・対応

-eSRAM-

eSRAMの存在意義は

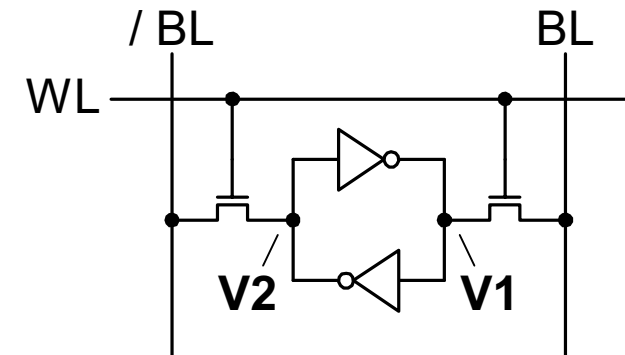
- 1) ロジックプロセスと互換
- 2) ロジックと同等の面積スケールリング
- 3) 速度スケールリング
- 4) ロジックより低電力 (active, standby)
- 5) 安定動作
- 6) 冗長設計により高歩留り

搭載bit数増大(～数Mbit)とランダムばらつき増大により、1)～5)を同時に満たせなくなった。。。

ランダムばらつきの影響

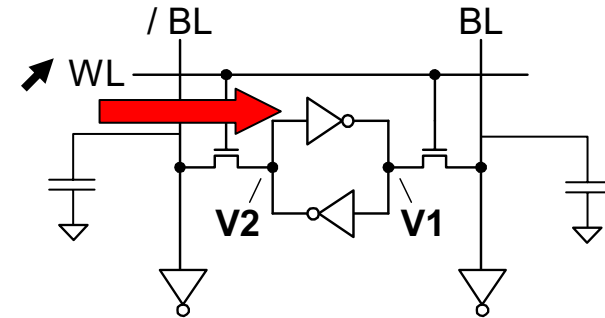
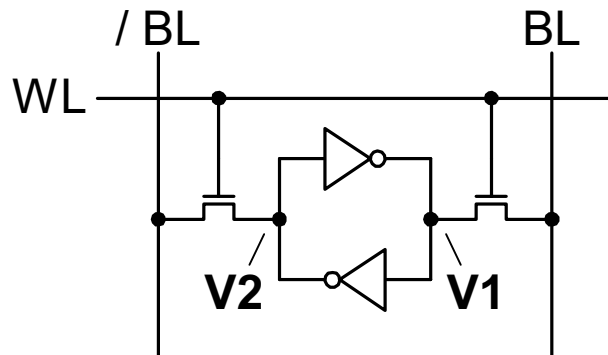
p.10のように、波形が鈍っている遅延経路はランダムばらつきの影響が大きい(SRAMビット線は典型)

パス数＝SRAMビット数であるため考慮すべき σ 数が大きい



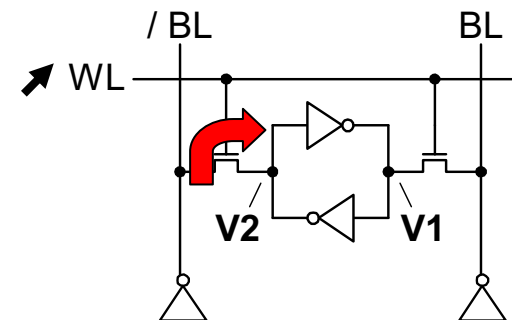
6Trセル

SRAM: “読出し”による内容破壊



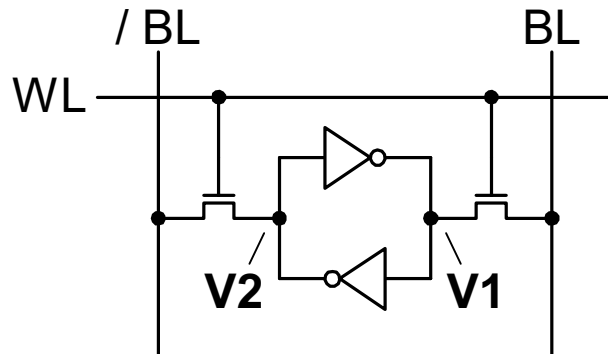
読出し: ノイズに耐える必要あり

セルにとって、読出し動作と書込み動作には大きな違いがない。
読出し時にはビット線から流入する電荷はノイズであり、これでインバータペアが反転しない必要がある
書込み時にはビット線から流入する電荷はデータであり、このデータに従ってインバータペアは反転する必要がある



書込み: 書き込まれる必要あり

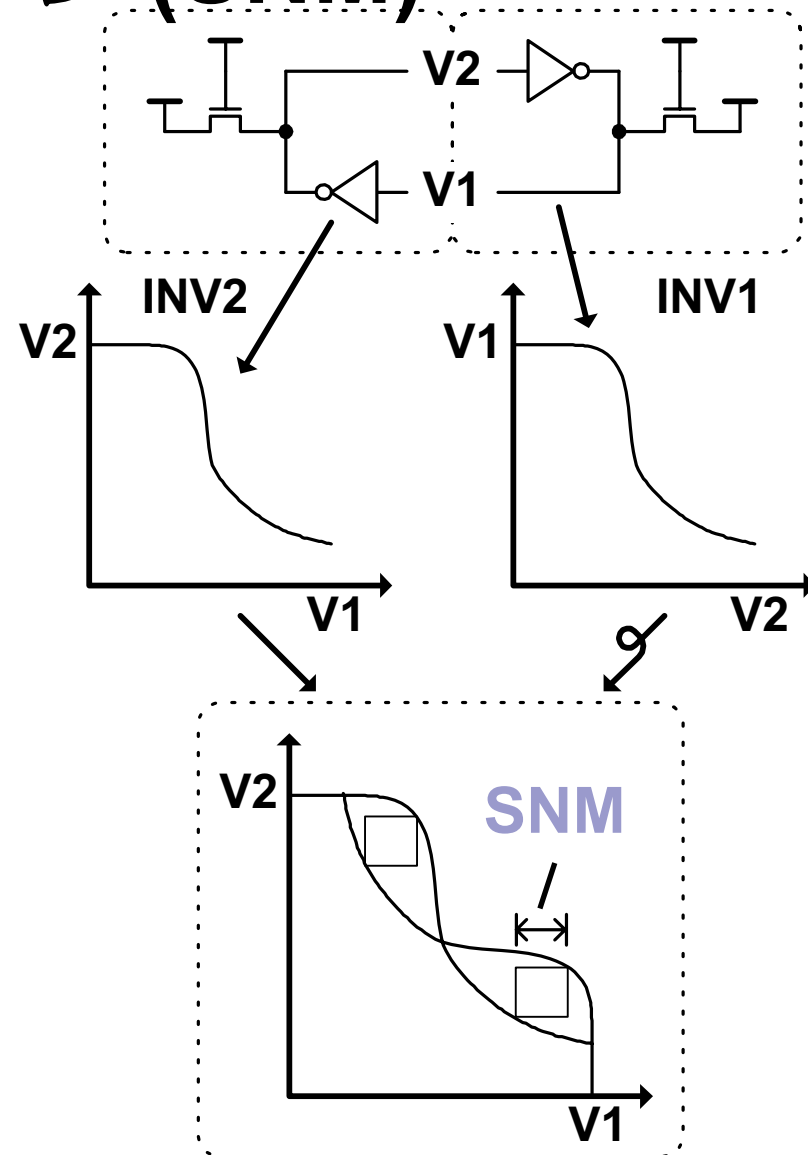
SRAM: リードマージン (SNM)



読出しマージンが負とは読出し操作で内容が破壊されることを示す

ライトマージン(WM)も同様に定義できるが、従来型のWM定義は正規分布しないので新しい定義が提案されている (Takeda, et. al., ISSCC 2006)

書込みマージンが負、とは一定時間で0 (または1) に書き込めないセルであることを示す



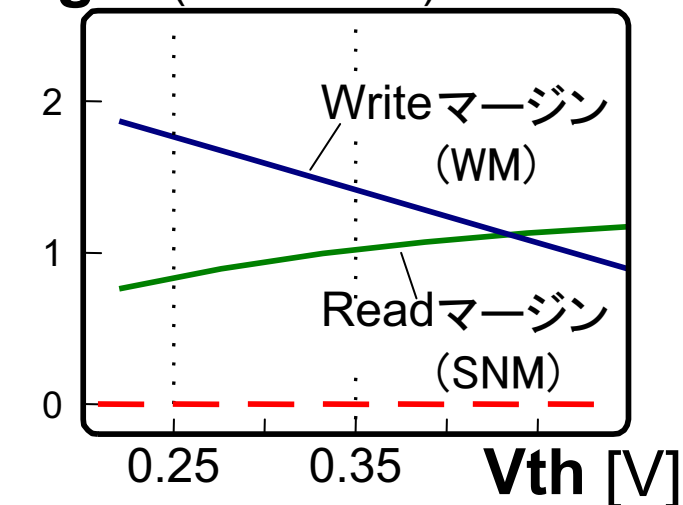
SRAM: V_{th} とSNM, WM

6Tr-SRAMの4特性は V_{th} で変化し、SNMとWMは逆の傾向を示す。

セル電流(読出し速度)はWMと同じ傾向を示す

リーク電流はSNMと同じ傾向を示す

Margin (normalized)

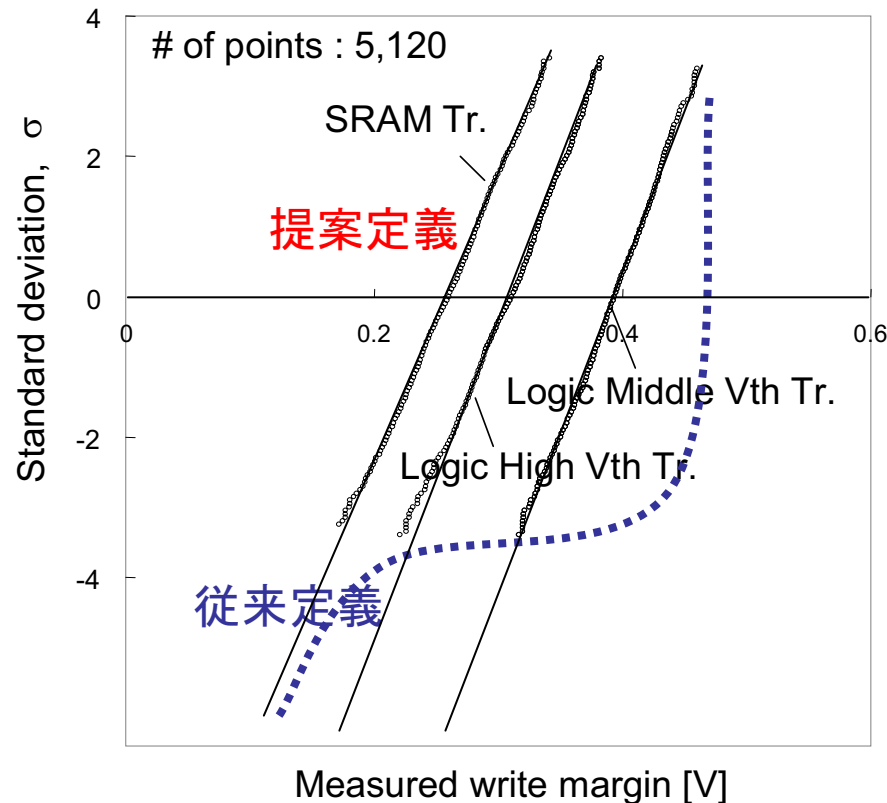


ロジック部 SRAM

SNMとWMの V_{th} 特性[ばらつき無し]

特性が正規分布に従うことの重要性

1. 開発段階で測定可能な素子数は有限であるにも関わらず、ワーストケースに相当する素子の特性を予測する必要がある。
理想的には 3σ (1.5k点)~ 4σ (64k点)の測定データから 5σ 、 6σ の特性を予測できることが望ましい。



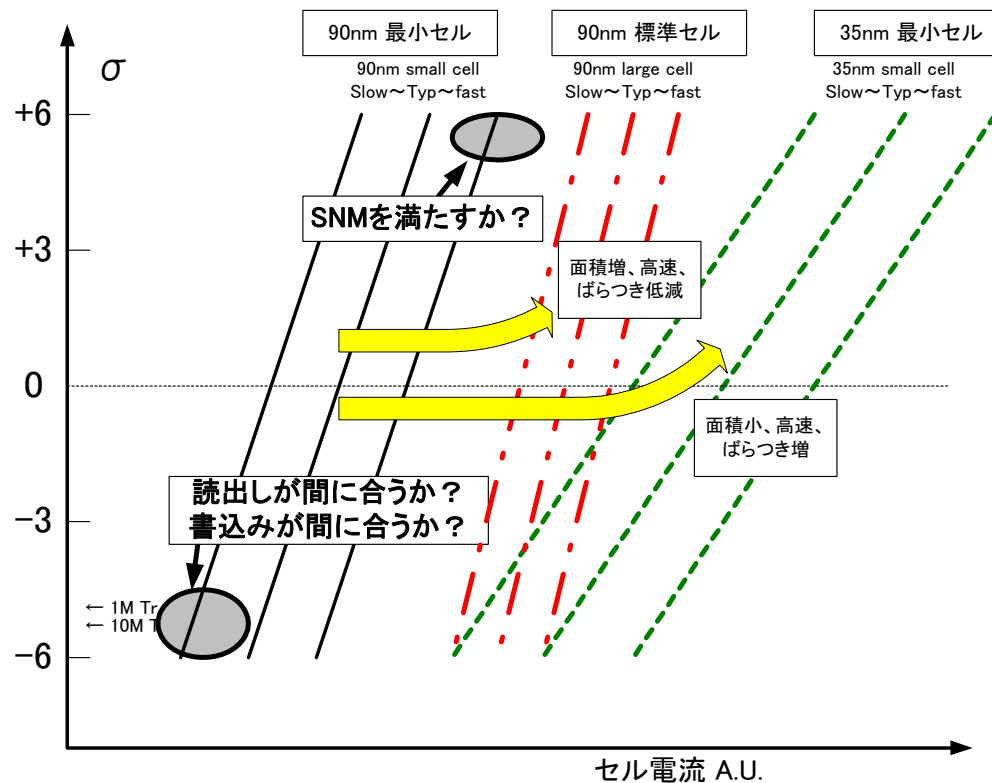
従来の書込みマージンは正規分布に従わず、 -4σ 、 -5σ に相当するデータが必要で、多数の測定を行う必要があった。

正規分布に従うよう工夫した書込みマージンを定義することで開発時に必要となる測定点数を削減することができる。

(Takeda, et. al., ISSCC 2006)

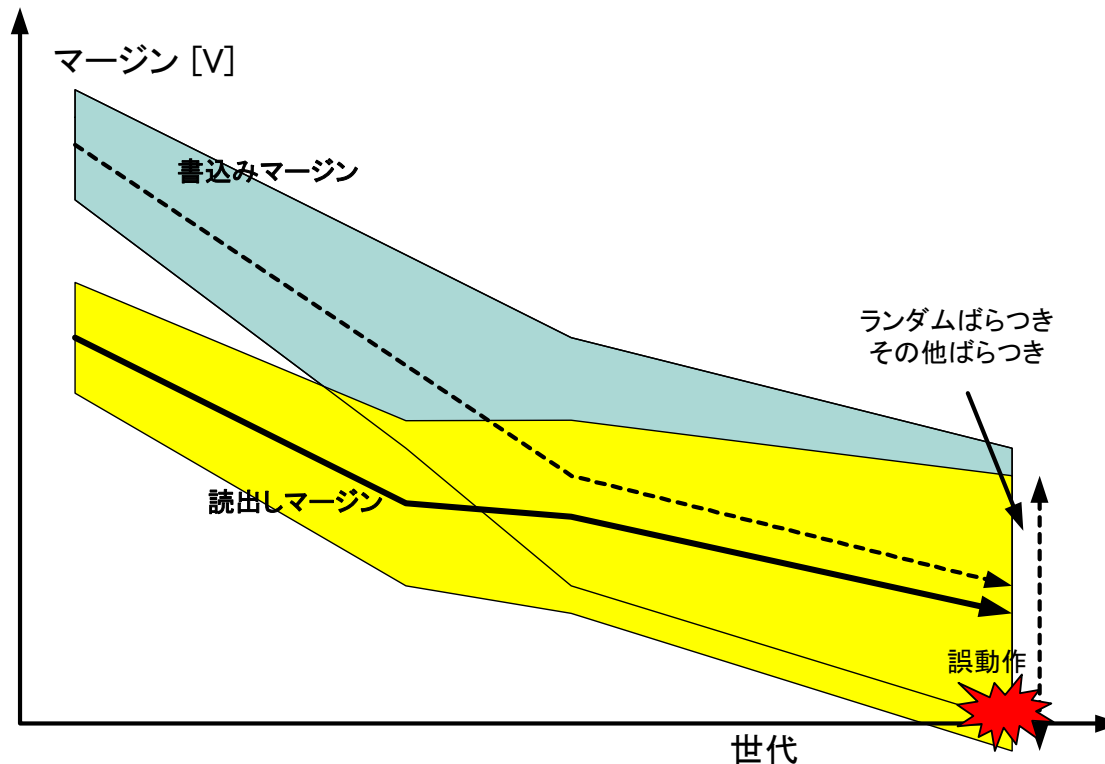
SRAMとばらつき1

1. 同一マクロ内の全SRAMセルのセル電流やSNM, (適切に定義された)WMは正規分布に近い特性を示す
2. 微細化が進み面積がスケーリングされるとVthばらつきが増加し -5σ 、 -6σ に位置する最悪値が悪化する

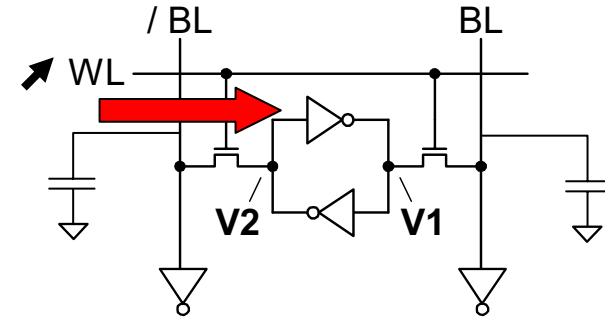
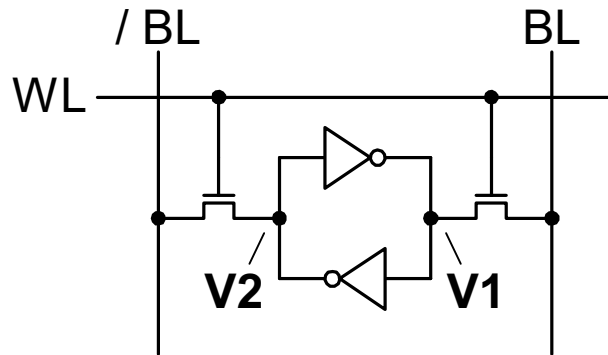


SRAMとばらつき2

1. 各世代の最小セルの書込みマージン、読み出しマージンをプロット。矢印は平均値、リボンは5~6 σ 幅のばらつきを示す。素子縮小によりランダムばらつきが増加し、素子数増加で σ 数が増加する。マージンが負になった世代ではリダンダンシなしで良品を得られない。
2. 1.8V世代までは書込みマージンが充分高く、 V_{th} を高くすればリードマージンを確保することができた。90~65nmでは製造ばらつきを考慮すると、 V_{th} の選択範囲に自由度がなくなる。更に微細化が進むとランダムばらつきに対する6 σ 幅を考慮しただけで読み出し、または書込みマージンが負になり、製造ばらつきが0でも良品率が0になる時代が到来する可能性がある。

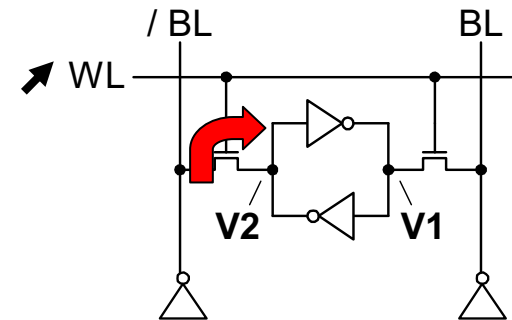


SRAM: 読出し&書込みマージン (再掲)



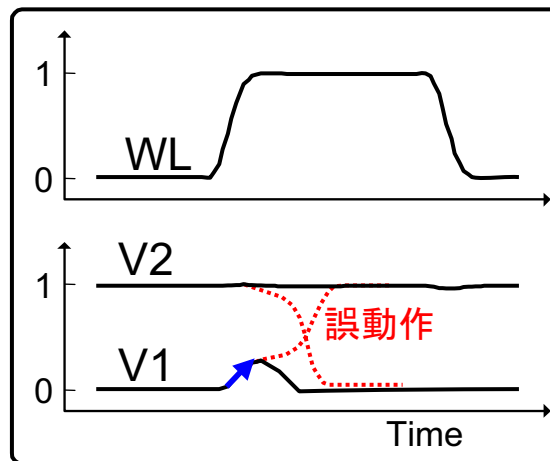
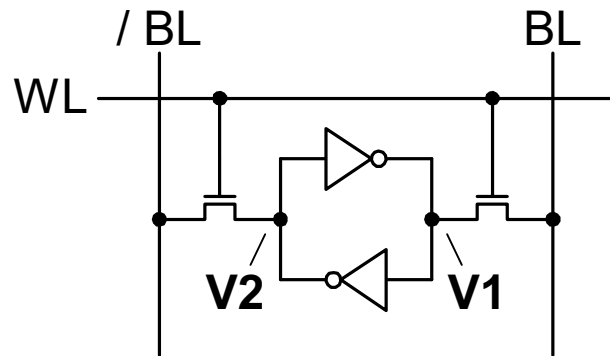
読出し: ノイズに耐える必要あり

セルにとって、読出し動作と書込み動作には大きな違いがない。
読出し時にはビット線から流入する電荷はノイズであり、これでインバータペアが反転しない必要がある
書込み時にはビット線から流入する電荷はデータであり、このデータに従ってインバータペアは反転する必要がある

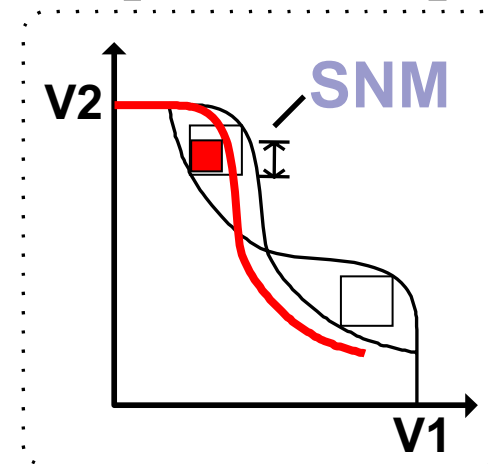
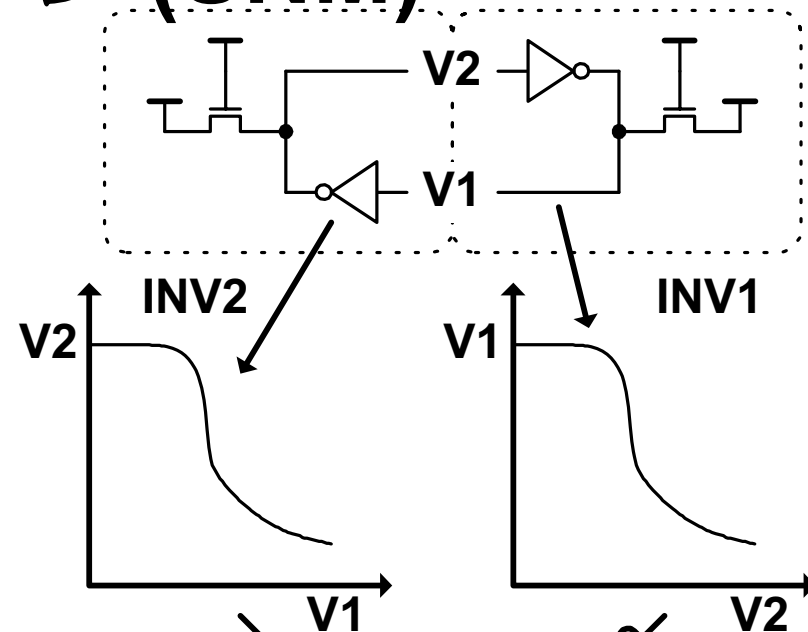


書込み: 書き込まれる必要あり

SRAM: リードマージン (SNM)



ランダムばらつきが大きくなると、インバータペアがアンバランスになり、バタフライカーブが変形する
SNM<0になると、読み出し操作で誤動作する

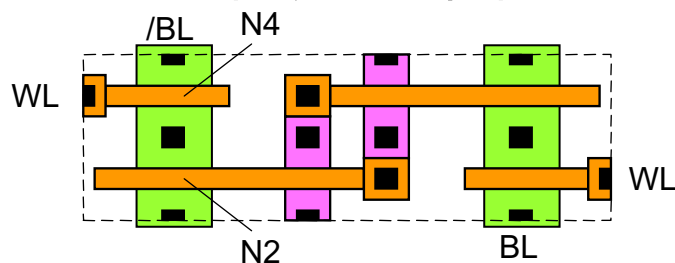


SRAMのばらつき耐性向上技術1

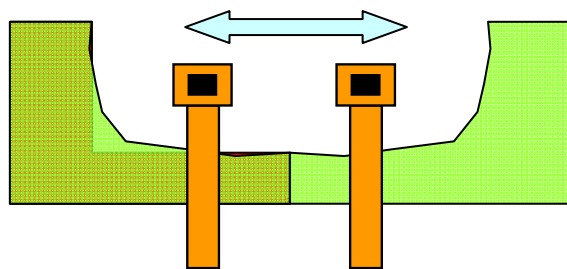
DFMLレイアウト

特殊なフィールド形状を持つSRAMは、
矩形フィールドを持つトランジスタより
mismatch大

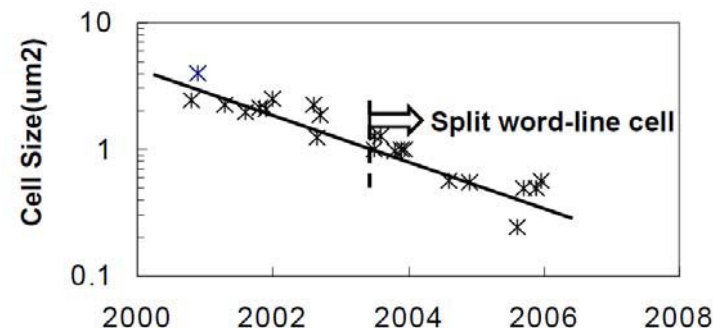
← フィールドエッジとゲートPolyの
目ずれが特性差として現れる



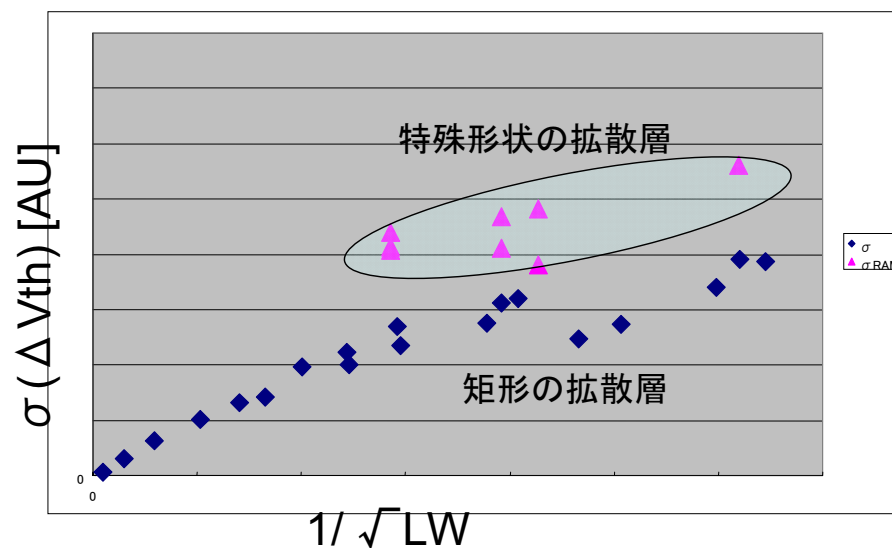
Split-word-line SRAMセル
[矩形拡散層の例]



目ずれで電流差増加

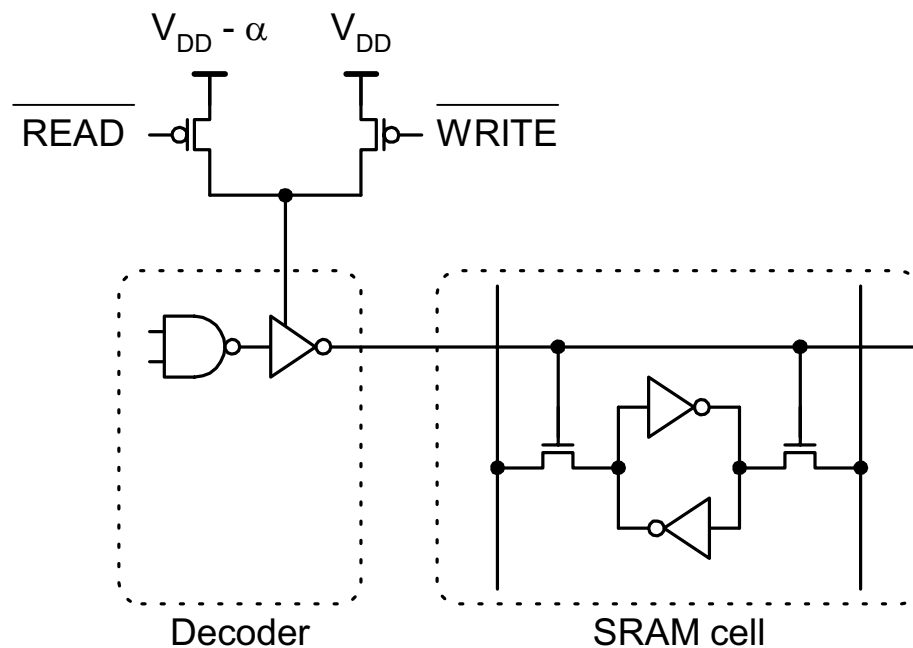


VLSI sympo., IEDMより



SRAMのばらつき耐性向上技術2

1. 6Tr-SRAMの課題は、読出しと書込みという相反する操作を類似の回路を使って実現しようとすることから生じている。
2. 読出し時と書込み時でワード線電圧を変更する、セル電圧を変更する、ことで動作マージンを拡大できる

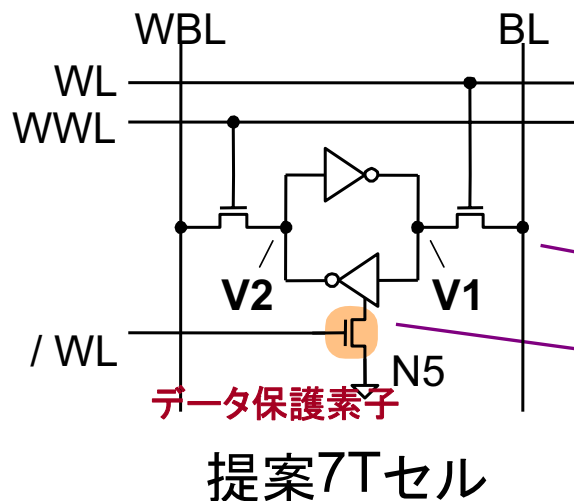


書込み時には V_{dd} を、読出し時には V_{dd} より若干低い電圧をワード線に与える。読出し時にビット線からセルに流入する電荷(ノイズ)を抑制することで読み出し破壊が起こりにくなる。

読出し電流が減少し速度が低下するという弊害がある

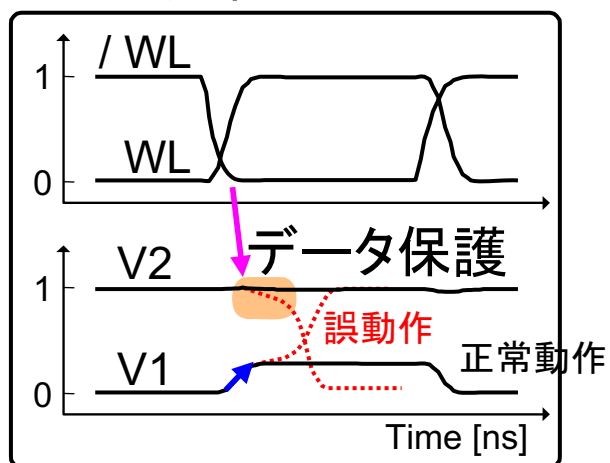
SRAMのばらつき耐性向上技術3

読出し時と書込み時でセル動作を変更する

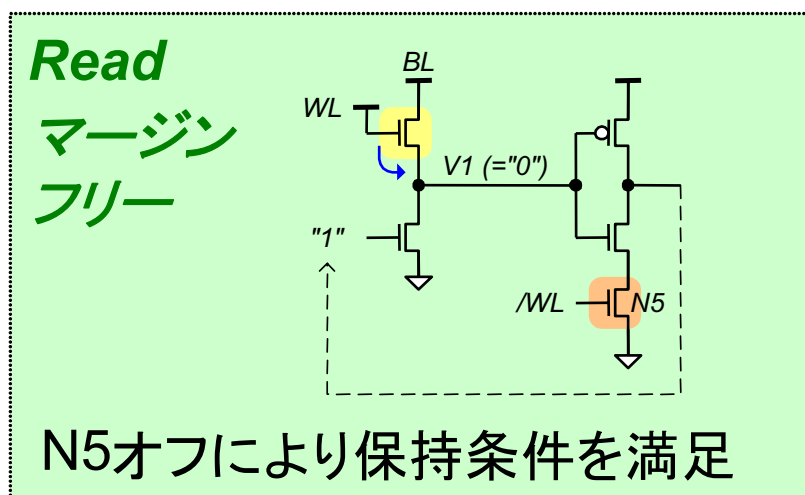


インバータループを動的に切断することで、
非破壊読み出し動作を達成

シングルビット線での読み出し
インバータループ切断のための
データ保護素子 N5を追加



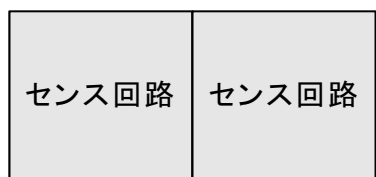
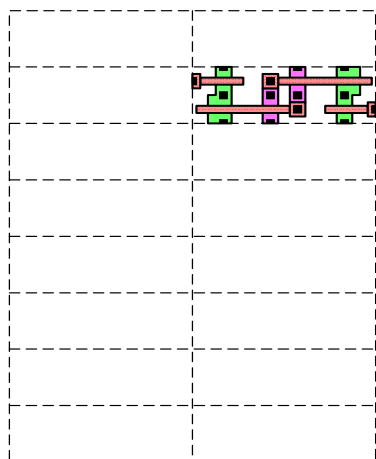
“0” 読み出し



SRAMのばらつき耐性向上技術3 -続き-

面積オーバーヘッド削減の試み

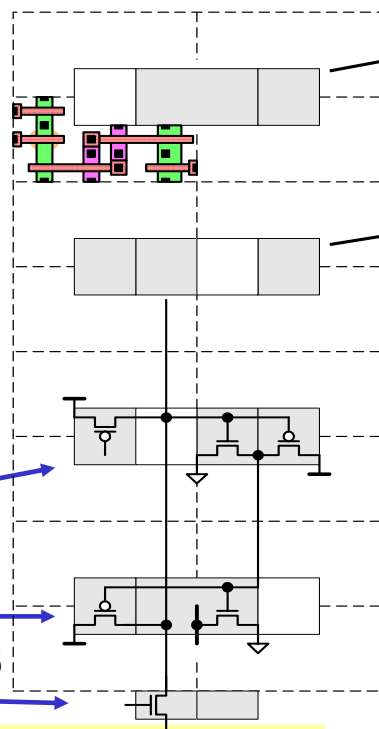
6T-SRAM block
(8 word x 2 bit)



+ 9%



7T-SRAM block
(8 word x 2 bit)



出力
NMOS

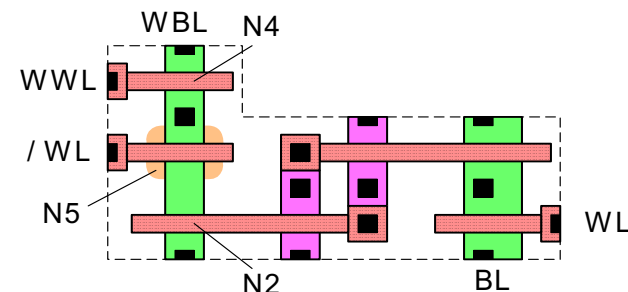
インバータ

インバータ

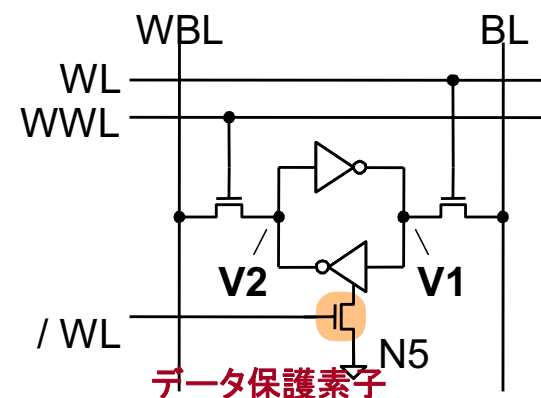
出力NMOS

書き込み用NMOS

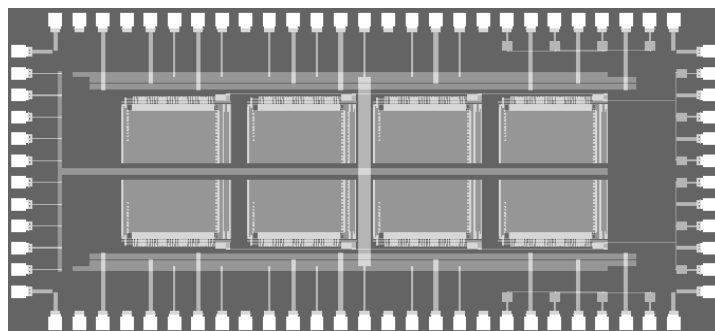
センス回路のパーツを分散して配置



7Tr セル

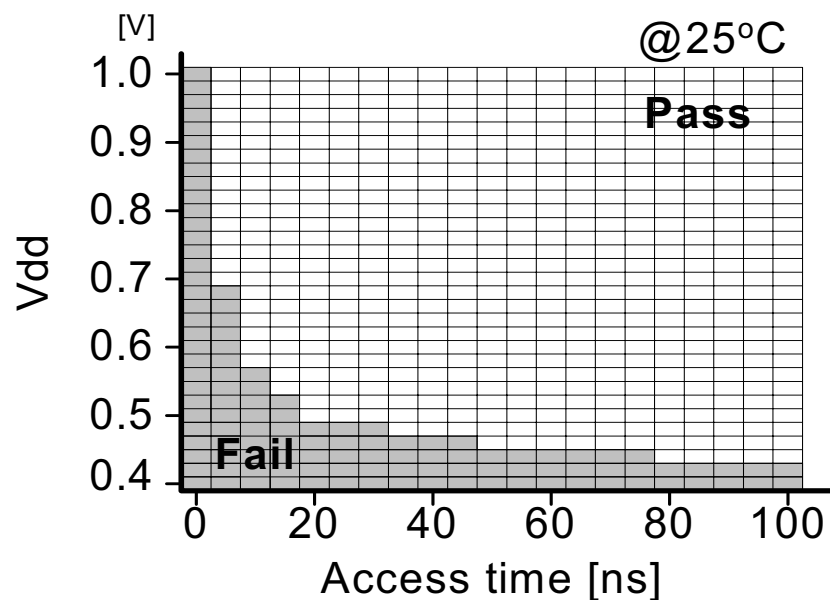


SRAMのばらつき耐性向上技術3 -続き-



64kbマクロ x8

構成: 4Kword x 16b
プロセス技術: 90-nm ASPLA CMOS,
NMOS V_{th} : 0.32V,
PMOS V_{th} : -0.33V
マクロサイズ: 0.4 mm x 0.7 mm
セルサイズ: 2.03 mm²
(ロジック基準で設計)



シュムプロット

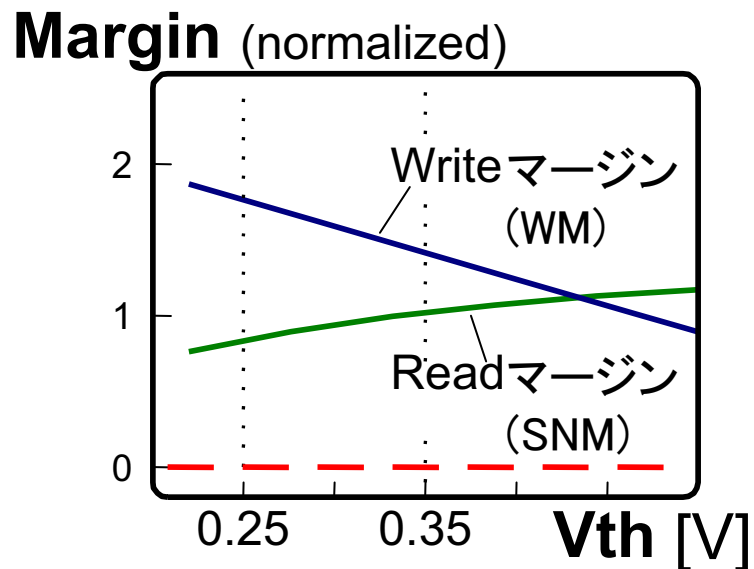
セル面積: 同一世代の6Tセルの+13%
リーク電流: 同一世代のロジックTr並み
(スリープTrの導入でSRAM並)
ほぼCMOS完全互換 (V_{th} チューニング)

SRAM: V_{th} とSNM, WM (再掲)

6Tr-SRAMの4特性は V_{th} で変化し、SNMとWMは逆の傾向を示す。

セル電流(読出し速度)はWMと同じ傾向を示す

リーク電流はSNMと同じ傾向を示す



ロジック部

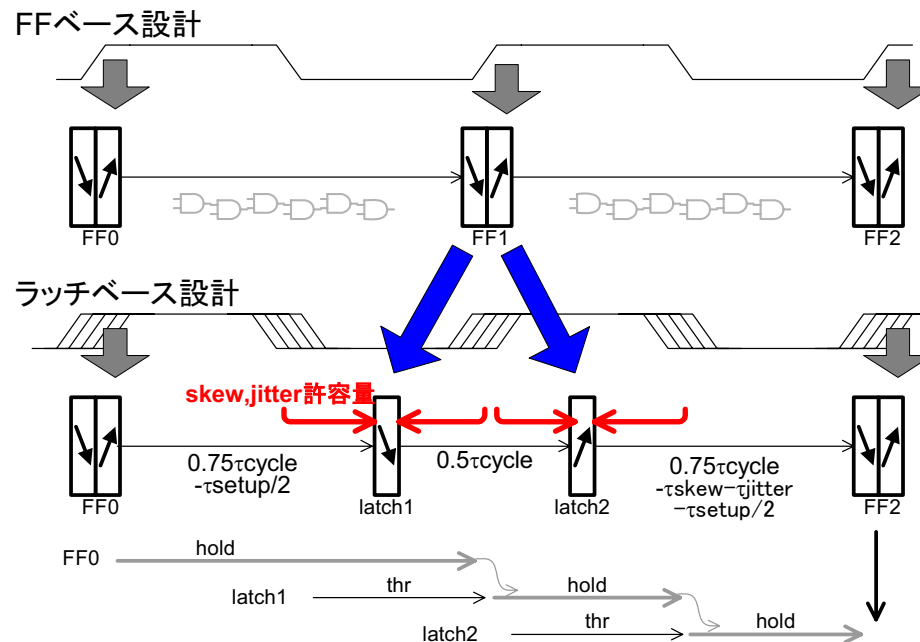
SRAM

SNMとWMの V_{th} 特性[ばらつき無し]

Readマージンフリーを実現すれば V_{th} チューニング(V_{th} を下げる)でライトマージンを改善できる。読出し時間が改善される。
リーク電力が悪化するが、リーク電力を削減する回路技術を採用することで対応する。

論理回路のばらつき耐性向上

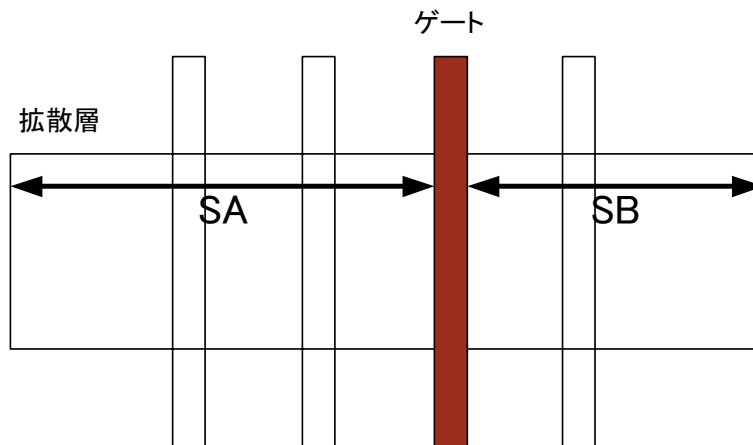
1. ランダムばらつきは着目する論理ゲート段数で緩和される(SSTAが使っているテクニック)
2. 高速化・パイプライン化に伴いFF間論理ゲート段数は短縮してきた。
3. 大規模化に伴いクリティカルパス数は増大した。また電力最適化の観点から、設計ツールの性能向上に伴いクリティカルパスの遅延分布は遅延設計制約の上限に集中。
4. クロックの扱いは？



クロックskew, jitterをキャンセルするために開発したラッチベース設計の概要
細粒度パイプラインにおけるFF間論理段数を拡大しランダムばらつきの影響を低減する効果がある

レイアウト考慮バックアノテーション

1. アートワーク上のLWに合わせて製造するという考え方からの転換
システムティックばらつきをモデル化し設計に反映する。
2. SPICEはMOSの拡散層容量をレイアウト依存パラメータとして取り込んできたが(ADやPS)、これを拡充する。レイアウト依存パラメータはLPEツールが抽出する。
例: フィールド形状によってストレスが生じトランジスタ特性が変化
3. 周辺のデータ率によって配線膜厚、幅がシステムティックに変動するので定式化してLPEツールに盛り込む



MOS00 Drain Gate Source Body PMOS
+ l=0.06u w=1u ad=0.6p as=0.5p pd=7u
+ ps=6u **sa=300n sb=200n**

BSIM4 インスタンスパラメータ(SA,SB)の例



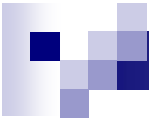
論理的な対処

1. 冗長設計 & 置換
 テスト時置換
 常時テスト & (再試行 or 置換)
2. 常時エラー補正(ECC等)

(注意) 冗長設計はマイノリティ(ゴミ、傷)への対策が主な目的であり、ランダムばらつきのようなマジョリティに関しては(効果はあるものの)抜本的な対策ではない。

置き換え単位

素子、SRAMセル、ロジックセル、マクロ、プロセッサコア、LSI、ボード、筐体



まとめ

1. システマティックばらつきは適切に把握しモデル化すれば設計フローの中でキャンセルすることができるが、把握出来なければランダムばらつきと同じ扱いになる。
2. ランダムばらつきは論理的、回路的に対処する必要がある。
3. {面積、速度、電力、製造容易性、、}といった価値観の全てを同時に満たす回路アイデアを捻出することは難しい。いくつかの特性を犠牲にしつつ価値の平均値を増大させ、犠牲になった特性を向上させる別の手段を考えることが解決の近道になるのではないだろうか
4. 130nm～65nm世代のランダムばらつき増加傾向が22nm世代まで続けばCMOSは終焉を迎える。業界をあげての対策が必要である

補足

1. ドーピングで V_{th} を制御するトランジスタ構造を使い、微細化によって $L \cdot W$ をスケールリングするとmismatchによる V_{th} ばらつきだけで V_{dd} の大きな割合に達する
2. 1M個のインバータで発生するnMOS,pMOSアンバランスを σ 数で表現すると 6.7 ($N1+N2=6.7$)
3. L , V_{dd} トレンドなどは筆者の予測

Tech node [nm]	90	65	45	32	22
Leff of SRAM [μ m]	0.0750	x0.7	x0.7	x0.7	x0.7
Weff of SRAM [μ m]	0.1900	x0.7	x0.7	x0.7	x0.7
Vdd [V]	1.00	1.00	0.95	0.95	0.90
Avt [mVum]	4.00	4.00	3.80	3.80	3.60
σV_{th} [mV]	23.69	33.85	45.94	65.62	88.82
$(N1 \sigma V_{th1} + N2 \sigma V_{th2}) / V_{dd}$ [%]					
SRAM内インバータ	15.9%	22.7%	32.4%	46.3%	66.1%
標準Logicインバータ (参考)	7.1%	10.1%	15.2%	21.8%	32.8%